

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：A2106541 ※IPC分類：H01L 27/14

※申請日期：A23.24

壹、發明名稱

(中文) 半導體裝置及其製造方法、以及成像裝置

(英文) SEMICONDUCTOR APPARATUS AND THE METHOD FOR
MANUFACTURING THE SAME, AND IMAGING APPARATUS

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 大川成實

(英文) Narumi OHKAWA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人(共1人)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4
丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. PCT； 2003.3.19； PCT/JP03/03316

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

本發明係有關於一種半導體裝置及其製造方法、以及
成像裝置，該半導體裝置係混合載置(以下以”混置”表示)
5 有用以形成像素之像素區及用以形成可記憶來自像素之輸出
信號之記憶元件之記憶元件區者。

【先前技術】

在一將 CMOS 影像感測器及用以事先暫時保存影像資
料之 DRAM 混合載置於單一晶片之形態中，欲於 DRAM
10 元件使用堆疊型電容器時，乃使自基板迄至將形成於堆疊
型電容器之上層的最下層佈線間之巨體層間膜形成很厚，
因此造成整個晶片也形成的很厚。為此，欲形成於晶片表
面之微透鏡若不能形成非常地薄時，即無法配合晶片的厚
度以拉大焦距，致使焦點會聚於基板之前的位置。

15 CMOS 影像感測器係於光二極體之聚光不足時，便使
其靈敏度降低。如第 65 圖所示，層間膜太厚時，便難以
藉微透鏡聚光於基板表面。尤其在像素尺寸更為縮小時，
則上述傾向愈加趨強。

【發明內容】

20 本發明係有鑑於上述問題點而所構建成者，其目的係
於提供一種半導體裝置及其製造方法、以及成像裝置，可
避免透過微透鏡照射之光的對焦位置位於像素之前時所造
成之靈敏度降低者。

玖、發明說明

本發明人係經精心研究後，結果思及以下所示之發明態樣。

本發明係以一種半導體裝置為對象，該半導體裝置係具有：像素區，係用以形成多數像素者；及，記憶元件區，係用以形成記憶來自前述像素之輸出信號之一或多數記憶元件者。且本發明之特徵係於用以構建前述像素區及前述記憶元件區之各層係藉同一製程所形成者。

【實施方式】

以下，參考所附圖式，詳細說明適用本發明之較佳實施形態。

<第 1 實施形態>

首先利用第 1 至 15 圖，針對本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造步驟進行說明。此外，在第 1A 至 12B 圖之各圖中，亦將位於 DRAM 混置型 CMOS 影像感測器內之 DRAM 胞元(cell)形成區與像素形成區之製造步驟一併顯示。

如第 1A 圖所示，在 P 型 Si 基板 1 上，於 DRAM 胞元形成區中選擇形成 N 型井區 2。此時，以高能量進行磷或砷離子佈植，將 N 型井區 2 形成至 P 型 Si 基板 1 之深層位置。

接著，如第 1A、1B 圖所示，藉 LOCOS(矽的局部氧化)法形成場區氧化膜 3，且劃分成 DRAM 胞元形成區、像素形成區及周邊邏輯電路形成區等各個元件有效區。其

玖、發明說明

次，在上述之元件有效區之淺層位置形成 P 型井區 4。

接著，如第 2A、2B 圖所示，全面性地形成閘極氧化膜 5 到 5nm 左右之膜厚，並形成用以只覆蓋 DRAM 胞元形成區之光阻圖案 6 之後，藉用氟酸為藥劑之濕式蝕刻，
5 以除去形成在 DRAM 胞元形成區之外的閘極氧化膜 5。

隨後，如第 3A、3B 圖所示，藉灰化處理除去光阻圖案 6，進而全面性形成 5nm 左右膜厚之閘極氧化膜 5。藉此，在 DRAM 胞元形成區形成 8nm 左右膜厚之閘極絕緣膜 5，且在像素形成區及周邊邏輯電路形成區形成 5nm 左
10 右膜厚之閘極絕緣膜 5。

其次，藉 CVD 法形成多晶矽膜 7 有約 180nm 膜厚後，再形成於像素形成區及周邊邏輯電路形成區上開口之光阻圖案，接著以條件 10KeV~30KeV、 $3 \times 10^{15}/\text{cm}^2 \sim 6 \times 10^{15}/\text{cm}^2$ 程度進行磷離子佈植。

15 接著，藉電漿 CVD 法全面形成氮化矽膜 8 以作為抗反射膜，且藉著微影步驟及後續之蝕刻步驟，以對氮化矽膜 8 及多晶矽膜 7 施行圖案化處理，如第 4A、4B 圖所示，在基板 1 上形成閘極 9。

隨後，形成在像素形成區內之光二極體形成區上開口
20 之光阻圖案，以 30keV~300keV、 $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{13}/\text{cm}^2$ 之條件進行磷離子佈植。藉此，如第 5B 圖所示，在光二極體形成區上迄至基板的深層位置形成 N 型擴散層 10。接著，以 7keV、 $1 \times 10^{13}/\text{cm}^2$ 左右之條件施行硼離子佈植，

玖、發明說明

在光二極體形成區中之基板的表面部位形成 P 型擴散層 11，以該層作為光二極體表面種晶層。藉以上步驟，在像素形成區內形成有光二極體(FD)12。

接著形成在 DRAM 胞元形成區上以及除了光二極體部外之像素形成區上開口之光阻圖案，以 20keV、 $2 \times 10^{13}/\text{cm}^2$ 左右之條件施行磷離子佈植，如第 6A 及 6B 圖所示，在 DRAM 形成區及像素形成區之基板的淺層位置形成 N 型擴散層 13。

接著，形成僅於周邊邏輯電路形成區上開口之光阻圖案，以 10keV、 $6 \times 10^{13}/\text{cm}^2$ 左右之條件進行砷離子佈植，便於周邊邏輯電路形成區之基板的較淺位置形成 N 型擴散層。

藉此，可抑制之後在像素形成區上形成之轉移電晶體 (TR-Tr)與重設電晶體(RST-Tr)間之接面洩漏電流小於周邊邏輯電路形成區上形成之電晶體。

又在此，是在施行朝周邊邏輯電路形成區之離子佈植之前，先進行朝 DRAM 胞元形成區及像素形成區之離子佈植，但其順序並無特別限制，亦可先進行對周邊邏輯電路形成區之離子佈植步驟。

其次於全面形成 HTO(高溫氧化膜；High Temperature Oxide)膜約 80nm 膜厚。接著，形成一光阻圖案，俾覆蓋自像素形成區之光二極體部迄至重設電晶體部之閘極的一部分上面為止之領域以及 DRAM 胞元形成區之元件有效

玖、發明說明

區，再對 HTO 膜進行各向異性乾式蝕刻。

藉此，如第 7A 及 7B 圖所示，於 DRAM 胞元形成區之元件有效區上殘留有 HTO 膜，且在於像素形成區中之重設電晶體(RST-Tr)靠閘極一方的側壁面、源極隨動電晶體(SF-Tr)靠閘極的兩側壁面，及，選擇電晶體(Select-Tr)部靠閘極之兩側壁面上形成有側壁 14。

其次，藉熱氧化處理以於前面形成氧化矽膜有約 5nm 之膜厚，再藉磷酸處理以除去位於閘極上之抗反射膜 SiN8。然後，形成在像素形成區上及周邊邏輯電路形成區上開口之光阻圖案，以條件 40keV、 $2 \times 10^{15}/\text{cm}^2$ 程度進行砷離子佈植。藉此，使處於像素形成區內未被 HTO 膜覆蓋之部位的 N 型擴散層與周邊邏輯電路形成區內之 N 型擴散層一同形成為 LDD 結構。

接著，藉以氟酸為藥劑之濕式蝕刻處理，以除去上述膜厚約 5nm 之氧化矽膜，再藉濺鍍法，於全面上形成 Co 膜。隨即藉以 500°C 左右之 RTA 處理，使露出於像素形成區及周邊邏輯電路形成區之摻雜物擴散層進行矽化物化，形成 CoSi_2 膜 15。此時，如第 8A 及 8B 圖所示，在於像素形成區之光二極體部 12 迄至重設電晶體之閘極部分上面為止之區域以及 DRAM 胞元形成區之元件有效區上形成有 HTO 膜，因此上述區域未形成有 CoSi_2 膜 15。

其次，如第 9A 及 9B 圖所示，藉電漿 CVD 法依順序形成氮氧化矽膜 16 有 200nm 膜厚，形成 BPSG(硼磷矽膜

玖、發明說明

；Borophosphosilicate glass)膜 17 有約 $1\mu\text{m}$ 之膜厚，再藉 CMP 法，將表面作平坦化。此外，亦可依序形成氧化矽膜及氮化矽膜各有 20nm 及 70nm 膜厚，以代替氮氧化矽膜 16。

- 5 接著，藉微影步驟及隨後之蝕刻步驟，而各於 DRAM 胞元形成區上形成用以連接位元線與 DRAM 元件且為開口部之位元線接觸孔 18；於像素形成區上形成浮動傳播 (FD)部以及用以連接源極隨動電晶體之閘極與上層佈線且為開口部之閘極接觸孔(源極隨動電晶體之閘極接觸孔未
10 圖示)19。

 接著，如第 10A 及 10B 圖所示，藉電漿 CVD 法以於全面沉積氧化矽膜或氮化矽膜約有 100nm 膜厚，再藉回蝕刻(etchback)，以於位元線接觸孔 18、閘極接觸孔 19 之側壁部形成側壁 20。

- 15 接著，各自沉積磷摻雜非晶矽膜、WSi 膜各約 50nm、100nm 膜厚，再藉微影步驟及隨後之蝕刻步驟，以各於 DRAM 胞元形成區中位元線接觸孔 18 內形成位元線 21，並於像素形成區中閘極接觸孔 19 內形成局部佈線 22。

- 接著，如第 11A 圖所示，於全面上沉積 BPSG 膜 23
20 約 $1.5\mu\text{m}$ 膜厚，再藉 CMP 法研磨使之平坦化。其次，藉微影步驟及隨後之蝕刻步驟，形成用以連接 DRAM 胞元形成區之 N 型擴散層與儲存電極相連接且為開口部之儲存接觸孔 24。

玖、發明說明

接著，藉 CVD 法以於前面沉積氧化矽膜或氮化矽膜約 100nm 膜厚，再藉回蝕刻，於儲存接觸孔 24 之側壁部上形成側壁 25。

接著，如第 12A 圖所示，於全面沉積磷摻雜非晶矽膜約 600nm 膜厚，再藉微影步驟及隨後之蝕刻步驟，對磷摻雜非晶矽膜施以圖案化，形成儲存電極 26。

接著，藉處於 SiH_4 氣氛下之退火處理，而於儲存電極 26 表面上形成 HSG 多晶矽膜 27，將儲存電極 26 之表面粗糙化。

藉此，可一面抑制堆疊電容器的高度，並可一面確保電容器容量，因此可抑制 Si 基板 1 上之層積物的厚度。為此，在混合載置堆疊電容器型 DRAM 時，可避免由於焦距不對所引起之影像感測器的靈敏度降低之問題。

接著，藉 CVD 法以於全面上沉積氮化矽膜約 5nm 膜厚，並以 750°C 程度進行熱氧化處理。隨後於全面上沉積磷摻雜非晶矽膜約 100nm 膜厚，藉微影步驟及隨後之蝕刻步驟，對氮化矽膜及磷摻雜非晶矽膜施行圖案化，形成胞元板極 28。

其次，如第 13 至 15 圖所示，於全面沉積 BPSG 膜 29 約 2 μm 膜厚，藉 CMP 法以將表面平坦化。在此，第 13 圖係 DRAM 胞元形成區之截面結構圖；第 14 圖係像素形成區之截面結構圖；第 15 圖係指 CMOS 混置型影像感測器內之像素電壓用保險絲形成區之截面結構圖。在本實施

玖、發明說明

形態中，由以上說明可明白 DRAM 胞元形成區及像素形成區係藉同一步驟而形成，不過像素電壓用保險絲形成區亦藉與 DRAM 胞元形成區及像素形成區同一步驟形成者。以下針對該製程進行說明。

- 5 接在第 12A 及 12B 圖所示之製程後，再藉微影步驟及隨後之蝕刻步驟，在 DRAM 胞元形成區中，形成用以連接胞元板極 28 之部分表面與第 1 金屬佈線之通孔 30，並與周邊邏輯電路形成區一同，形成用以連接胞元形成區中之 N 型擴散層與第 1 金屬佈線之接觸孔 33。其次，朝
- 10 上述通孔 30 及接觸孔 33 內填入鎢(W)，形成 W 栓塞 31。

接著，藉濺鍍法依序形成 Ti 膜、TiN 膜、Al 膜、Ti 膜及 TiN 膜，並經由微影步驟及隨後之蝕刻步驟對 Ti 膜乃至 TiN 膜進行圖案化，在 DRAM 胞元形成區及像素形成區與周邊邏輯電路形成區一同形成第 1 金屬佈線 32。

- 15 其次，於全面上藉電漿 CVD 法或偏壓高密度電漿 CVD(HDP-CVD)法沉積氧化矽膜 34 後，藉 CMP 法將其表面平坦化。

- 接著，又藉微影步驟及隨後之蝕刻步驟，對氧化矽膜 34 進行圖案化，迄至露出第 1 金屬佈線 32 之表面為止，
- 20 而形成通孔。接著朝通孔內填滿鎢 W 以形成 W 栓塞 35。

又，於上層上在 DRAM 胞元形成區、像素形成區、像素電壓用保險絲形成區及周邊邏輯電路形成區上，經由同樣步驟形成第 2 金屬佈線 36、第 3 金屬佈線 39、W 栓

玖、發明說明

塞 38 及層間絕緣膜 37、40。

在此，DRAM 胞元形成區及像素電壓用保險絲形成區上，藉第 3 金屬佈線 39，以形成 DRAM 電源用保險絲與像素電源用保險絲。進而，在 DRAM 形成區上同樣藉第 3 金屬佈線 39，以形成覆蓋 DRAM 胞元上方之遮光層。

形成第 3 金屬佈線 39 後，藉電漿 CVD 法或 HDP-CVD 法沉積氧化矽膜 40 後，再藉 CMP 法研磨氧化矽膜 40，將氧化矽膜 40 平坦化。

其次，藉電漿 CVD 法沉積氮化矽膜(未圖示)於全面上，以作為覆蓋膜後，再同樣地於未圖示之襯墊形成區上，經由微影步驟及隨後之蝕刻步驟，對氧化矽膜 40 及氮化矽膜進行圖案化，使露出第 3 金屬佈線表面，以形成電極墊。

接著，在 DRAM 胞元上方及像素形成區上方形成色彩過濾器 41。在此，形成在 DRAM 胞元上方之色彩過濾器 41 係利用黑色遮光層。其次，形成被覆色彩過濾器 41 之保護膜 42 後，在相當於光二極體 12 上方之保護膜 42 上之位置形成微透鏡 43。

如上述，於本實施形態中之 DRAM 混置型 CMOS 影像感應器係為了可作成藉雷射照射以切斷保險絲之作業上，而在避開保護絲上方之位置上形成色彩過濾器及微透鏡。

DRAM 部之測試步驟中，指定不良位元後，再藉雷射

玖、發明說明

將所對應之胞元的保險絲切斷。又，在影像感應部所形成之保險絲係為了調整重設電壓等之晶片內部產生電壓而所準備的，將該保險絲同樣地藉雷射來切斷，便可微調整重設電壓等。

- 5 第 16 至 19 圖係本實施形態中之 DRAM 混置型 CMOS 影像感測器之像素形成區之平面結構圖。第 20 圖係適用於本實施形態之 DRAM 混置型 CMOS 影像感測器之堆疊電容器型 DRAM 之平面結構圖。又，第 16 至 20 圖之 X-Y 線為第 14 圖之剖面圖示線，圖中的網影部分係
- 10 顯示通孔或接觸孔與金屬佈線之連接部分。

第 16 圖係第 14 圖中 $\alpha - \alpha'$ 線之平面結構之示意圖。
第 17 圖係第 14 圖中 $\beta - \beta'$ 線之平面結構之示意圖。
第 18 圖係第 14 圖中之 $\gamma - \gamma'$ 線之平面結構之示意圖。
第 19 圖係第 14 圖中之 $\delta - \delta'$ 線之平面結構之示意圖。

- 15 本實施形態之 DRAM 混置型 CMOS 影像感測器係如第 16 圖所示，重設電晶體與源極隨動電晶體相連線之金屬佈線 110 係與 DRAM 胞元之位元線位於同一層且以相同材料所製作的。

- 20 另一方面，通常之 4 電晶體型像素之結構，即重設電晶體與源極隨動電晶體相連線之佈線係使用如第 14 圖所示之層內的第 1 金屬佈線所形成。因此，與平常的 4 電晶體型像素相較之下，本實施形態之 4 電晶體型像素係於構成 4 電晶體型像素上不需要第 3 金屬佈線。因此，本實施

玖、發明說明

形態之 DRAM 混置型影像感測器係可使用第 3 金屬佈線，以作為除光二極體部以外之部分之像素形成區之遮光專用層。

進而，轉移閘極線 111 亦與 DRAM 胞元之位元線同一層且以相同材料(多晶矽及 W 矽化物之積層構造)而所形成。進行以一次快門動作之攝影時，轉移閘極線以全部行數一次(以一次攝影)作 1 次 ON 動作而已，所以不是那麼需要速度。為此，藉一次快門動作，4 電晶體型像素之轉移閘極線亦可使用如此之多晶矽及 W 矽化物之積層構造。

10 < 第 2 實施形態 >

其次，利用第 21A 至 31 圖，俾說明本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製程。此外，第 21A 至 28B 圖中亦顯示有 DRAM 混置型 CMOS 影像感測器內之 DRAM 胞元形成區與像素形成區之製程。

15 首先，與第 1A 及 1B 圖之形態同樣，於 DRAM 胞元形成區中選擇地在 P 型 Si 基板 47 上形成 N 型井區。此時，以高能量進行磷或砷離子佈植，迄至 Si 基板 47 深層位置，形成 N 型井區 48。

其次，如第 21A 圖所示，形成基板胞元板極型之溝槽電容器。溝槽電容器之形成方法係諸如“第 43 次半導體專題講習會 預稿集”中所示者。溝槽電容器 53 係藉色彩氧化膜、SiN 膜 44、多晶矽膜 45 及胞元板極等所形成。溝槽電容器 53 之下部係形成有磷或砷由溝槽電容器 53

玖、發明說明

朝基板內擴散之 N 型擴散層 46，連接於 N 型井區 48，而形成胞元板極。在形成溝槽電容器後，對 Si 基板進行圖案化，形成 STI 用溝槽，在溝槽內沉積氧化矽膜，隨後藉 CMP 法研磨表面，而形成 STI（淺溝槽絕緣；Shallow Trench Isolation）49。

接著，如第 22A 及 22B 圖所示，於全面上形成閘極氧化膜 51 約 5nm 膜厚，形成只覆蓋 DRAM 胞元形成區之光阻圖案後，再藉用氟酸作為藥劑之濕式蝕刻，將形成在 DRAM 胞元形成區以外的區域之閘極氧化膜 51 除去。

10 接著，藉灰化處理除去光阻，形成閘極氧化膜 51 約 5nm 膜厚。藉此，在 DRAM 胞元形成區上形成約 8nm 膜厚之閘極氧化膜 51，且在像素形成區及周邊邏輯電路形成區形成約 5nm 膜厚之閘極氧化膜 51。

接著，各沉積磷摻雜非晶矽膜、WSi 膜及氧化矽膜為
15 各約 50nm、150nm、200nm，再藉微影步驟及隨後之蝕刻步驟，如第 23A 及 23B 圖所示，在 P 型 Si 基板 47 上形成閘極 52。

接著，形成在像素形成區內之光二極體形成區上開口之光阻圖案，並以條件 30keV~300keV、 $1 \times 10^{12}/\text{cm}^2 \sim$
20 $1 \times 10^{13}/\text{cm}^2$ 程度，進行磷離子佈植。藉此，如第 24B 圖所示，在光二極體形成區上形成 N 型擴散層 54 迄至基板 47 之深層位置。其次，以條件 7keV、 $1 \times 10^{13}/\text{cm}^2$ 左右進行硼離子佈植，在光二極體形成區靠基板 47 的表面部位形成

玖、發明說明

P 型擴散層 55 以作為光二極體表面種晶層。藉以上步驟，在像素形成區內形成有光二極體 56。

接著，如第 25A 及 25B 圖所示，形成在 DRAM 胞元形成區上及除了光二極體部之外的像素形成區上開口之光阻圖案，藉以條件 20keV、 $2 \times 10^{13}/\text{cm}^2$ 左右進行磷離子佈植，在 DRAM 胞元形成區及像素形成區之基板淺層位置上形成 N 型擴散層 57。

接著，形成只於周邊邏輯電路形成區上開口之光阻圖案，以條件 10keV、 $6 \times 10^{13}/\text{cm}^2$ 左右，進行砷離子佈植，以於周邊邏輯電路形成區之基板淺層位置形成 N 型擴散層。

藉此，可抑制像素形成區之後所形成之轉移電晶體與重設電晶體間之接面洩漏電流較形成於周邊邏輯電路形成區之電晶體還小。

又，在此，相對於朝周邊邏輯電路形成區進行之離子佈植，使 DRAM 胞元形成區及像素形成區進行之離子佈植事先進行，但其順序並無特別限定，亦可先進行對周邊邏輯電路形成區進行之離子佈植。

接著，於全面形成氮化矽膜約 50nm 膜厚。其次，形成用以覆蓋由像素形成區之光二極體部迄至重設電晶體部之閘極之部分上面為止之區域和 DRAM 胞元形成區之元件有效區之光阻圖案，並對氮化矽膜施以各向異性乾式蝕刻。

玖、發明說明

藉此，如第 26A 及 26B 圖所示，在 DRAM 胞元形成區之元件有效區上殘留有氮化矽膜，並於重設電晶體靠閘極之一邊側壁面、源極隨動電晶體靠閘極之兩側壁面及選擇電晶體靠閘極之兩側壁面上形成有側壁 58。

- 5 接著，對氧化矽膜施以熱氧化處理，而於全面形成約 5nm 膜厚，且形成由像素形成區內之光二極體迄至除了重設電晶體靠閘極部分上面之以外區域及周邊邏輯電路形成區上開口之光阻圖案，以條件 40keV、 $2 \times 10^{15}/\text{cm}^2$ 左右進行砷離子佈植。藉此，使位於周邊邏輯電路形成區內之 N
- 10 型擴散層一同，與像素形成區內未被氮化矽膜所被覆之部位之 N 型擴散層形成為 LDD 結構。

- 接著，藉以氟酸為藥劑之濕式蝕刻，將上述膜厚 5nm 左右之氧化矽膜除去後，再藉濺鍍法以於全面沉積 Co 膜。隨後藉 500°C 程度之 RTA 處理之施行，使在像素形成區
- 15 及周邊邏輯電路形成區所露出之摻雜物擴散層行矽化物化，形成 CoSi_2 膜 59。此時，如第 27A 及 27B 圖所示，因為在像素形成區中之光二極體迄至重設電晶體靠閘極之部分上面之區域以及 DRAM 胞元形成區之元件有效區上形成有氮化矽膜，所以沒有形成 CoSi_2 膜 59。

- 20 接著，如第 27A 及 27B 圖所示，藉以電漿 CVD 法形成氧化矽膜約 50nm 膜厚之後，進一步形成 BPSG 膜 60 約 $1\mu\text{m}$ 膜厚，再藉 CMP 法以將表面平坦化。

 接著，藉微影步驟及隨後之蝕刻步驟，各於 DRAM

玖、發明說明

形成區上形成一用以連接位元線及 DRAM 胞元且為開口部之位元線接觸孔 61，在像素形成區上形成用以連接浮動傳播部及源極隨動電晶體之閘極與上層佈線且為開口部之閘極接觸孔(閘極隨動電晶體之閘極接觸孔未圖示)62。

- 5 上述接觸孔形成步驟係包含有：第 1 步驟，係一邊保持與氮化矽膜之選擇比，一邊蝕刻氧化矽膜迨至露出氮化矽膜之表面者；及第 2 步驟，係除去氮化矽膜，以使通孔開口。

10 接著如第 28A 及 28B 圖所示，於全面沉積磷摻雜非晶矽膜約 300nm 膜厚後，再藉 CMP 法研磨其表面，即於位元線接觸孔 61、閘極接觸孔 62 內形成多晶矽栓塞 63。

15 接著，按序沉積 Ti 膜、TiN 膜及 W 膜各約 20nm、50nm、100nm 膜厚。其次，形成一殘留於內包有多晶矽栓塞 63 之區域之光阻圖案，以該光阻圖案為覆蓋後，而對 W 膜、TiN 膜及 Ti 膜進行蝕刻。藉此，如第 28A 及 28B 圖所示，在 DRAM 胞元形成區上形成位元線 64，並於像素形成區上形成可與浮動傳播部及源極隨動電晶體之局部佈線 65。

20 接著，如第 29 圖至 31 圖所示，沉積 BPSG 膜 65 約 1 μ m 膜厚，進一步藉 CMP 法以將表面平坦化。在此，第 29 圖係 DRAM 胞元形成區之剖面結構圖；第 30 圖係像素形成區之剖面結構圖；第 31 圖係 CMOS 混置型影像感測器內之像素電壓用保險絲形成區之剖面結構圖。在本實施

玖、發明說明

形態中，由以上說明可明白 DRAM 胞元形成區與像素形成區是藉同一步驟所形成者，與第 1 實施形態同樣，像素電壓用保險絲形成區亦藉與 DRAM 胞元形成區及像素形成區同一之步驟形成者。以下針對該製程進行說明。

5 接著第 28A 及第 28B 圖所示之製程之後，經由微影步驟及隨後之蝕刻步驟，使與周邊邏輯電路形成區一同，同時形成用以將像素形成形成區中之 N 型擴散層與第 1 金屬佈線相連接之接觸孔。其次，藉於接觸孔內填滿鎢 W，以形成 W 栓塞 75。

10 其次，藉濺鍍法按序沉積 Ti 膜、TiN 膜、Al 膜、Ti 膜及 TiN 膜，再藉微影步驟及隨後之蝕刻步驟，對 Ti 膜至 TiN 膜施行圖案化，在 DRAM 胞元形成區及像素形成區上，與周邊邏輯電路形成區一同，形成第 1 金屬佈線 67。

15 隨後，藉電漿 CVD 法或偏壓高密度電漿 CVD(HDP-CVD)法沉積氧化矽膜 68 後，再藉 CMP 法以將表面做平坦化。

 接著，藉微影步驟及隨後之蝕刻步驟，將氧化矽膜 68 進行圖案化直至第 1 金屬佈線 67 之表面裸露為止，形成
20 通孔。接著，在通孔內填滿鎢 W，以形成 W 栓塞 69。

 再來，接著在上層，在 DRAM 胞元形成區、像素形成區、像素電壓用保險絲形成區及周邊邏輯電路形成區上以同樣的步驟形成第 2 金屬佈線 70、第 3 金屬佈線 73、

玖、發明說明

W 栓塞 72 及層間絕緣膜 71、74。

在此，在 DRAM 胞元形成區及像素電壓用保險絲形成區上藉第 3 金屬佈線 73 以形成 DRAM 電源用保險絲及像素電壓用保險絲。進而，在 DRAM 形成區上同樣藉第 3 金屬佈線 73，形成有一用以覆蓋溝槽電容器 53 上方之遮光層。

在形成第 3 金屬佈線 73 之後，藉電漿 CVD 法或 HDP-CVD 法沉積氧化矽膜 74，隨後藉 CMP 法將表面平坦化。

接著，藉電漿 CVD 法於全面沉積氮化矽膜(未圖示)作為蓋膜後，再同樣於未圖示之襯墊形成區中經由微影步驟及隨後之蝕刻步驟，以將氧化矽膜 74 及氮化矽膜圖案化，使露出第 3 金屬佈線 73 表面，而形成電極墊。

接著，在 DRAM 胞元形成區上方及像素形成區上方各形成色彩過濾器 76、79。在此，用黑色遮光層作為形成在 DRAM 胞元形成區上方之色彩過濾器。其次，形成用以覆蓋色彩過濾器 76、79 之保護膜 77 後，在相當於光二極體 56 上方之保護膜 77 上之位置形成微透鏡 78。

對於本實施形態之 DRAM 混置型影像感測器，舉出對應於在 DRAM 及影像感測器之測試步驟後切斷保險絲，進一步形成色彩過濾器與微透鏡時之形態為例。隨此，如第 29 及 31 圖所示，本實施形態之 DRAM 混置型影像感測器係形成有色彩過濾器，其覆蓋 DRAM 電源用保險

玖、發明說明

絲及像素電壓用保險絲的上方。

第 43 圖係指適用於本實施形態中之 DRAM 混置型 CMOS 影像感測器之溝槽電容器型 DRAM 之平面結構圖。圖中之 X-Y 線係顯示第 29 圖之剖面線。本實施形態中之 DRAM 混置型 CMOS 影像感測器之像素形成區的平面結構，跟第 16 至 19 圖所示形態同樣，係只將浮動傳播部變更為 SAC 接觸孔者。

< 第 3 實施形態 >

其次，利用第 32A 至 42 圖，針對本發明第 3 實施形態之快閃記憶體混置型 CMOS 影像感測器之製程進行說明。此外，第 32A 至 40 圖之各圖中，一同顯示快閃記憶體混置型影像感測器內中之快閃記憶體胞元形成區與像素形成區之製程。

首先，與第 1A 及 1B 圖之形態同樣，係於 P 型 Si 基板 80 上，快閃記憶體胞元形成區內選擇形成 N 型井區 81。此時，以高能量進行磷或砷離子佈植，將 N 型井區 81 形成至 Si 基板 80 之深層位置。

接著，形成 STI 82，各劃分成快閃記憶體胞元形成區、像素形成區及周邊邏輯電路形成區之各個元件有效區。

其次，在以上元件有效區之淺層位置形成 P 型井區 83。

接著，經由熱氧化處理以於全面形成通道氧化膜 86 約 7~11nm 膜厚。隨後沉積非晶矽膜 84 約 50~100nm 膜厚後，再藉微影步驟及隨後之蝕刻步驟，由快閃記憶體胞元

玖、發明說明

形成區以外之區域除去通道氧化膜 83 及非晶矽膜 84。藉此，如第 32A 及 32B 圖所示，在快閃記憶體胞元形成區之元件有效區殘留有通道氧化膜 83 及非晶矽膜 84。

接著，經由 CVD 法，依序沉積氧化矽膜及氮化矽膜
5 各約 5~10nm 膜厚，藉熱氧化處理之進行，於全面形成 ONO 膜 85。

接著，如第 33A 及 33B 圖所示，藉微影步驟及隨後之蝕刻步驟，在快閃記憶體胞元形成區之元件有效區上殘留有 ONO 膜 85。

10 接著，如第 34A 及 34B 圖所示，經由熱氧化處理的進行，而在快閃記憶體胞元形成區以外之區域形成閘極氧化膜 86。

接著，如第 35A 及 35B 圖所示，於全面沉積多晶矽膜 87 約 180nm 膜厚，並藉微影步驟及隨後之蝕刻步驟，
15 在快閃記憶體胞元形成區、像素形成區及周邊邏輯電路區各形成有閘極 88。

接著，形成在像素形成區內之光二極體形成區上開口之光阻圖案，以條件 30keV~300keV、 $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{13}/\text{cm}^2$ 進行磷離子佈植。藉此，在光二極體形成區且至
20 基板之深層位置形成 N 型擴散層 89。其次，以 7keV、 $1 \times 10^{13}/\text{cm}^2$ 左右進行硼離子佈植，在光二極體形成區之基板的表面部位上形成 P 型擴散層 90 以作為光二極體表面種晶層。經由以上步驟，如第 36B 圖所示，在像素形成區

玖、發明說明

內形成有光二極體 91。

接著，如第 37A 及 37B 圖所示，在快閃記憶體胞元形成區內之源極形成區上形成開口之光阻圖案，並進行磷離子佈植。其次，藉灰化處理除去光阻後，進一步形成於
5 快閃記憶體胞元形成區之汲極形成區上開口之光阻圖案，並進行硼離子佈植。此外，相對於快閃記憶體胞元形成區中之源極形成區及汲極形成區之離子佈植的順序係不限於此，亦可由汲極形成區開始先進行離子佈植者。

接著，同樣如第 37A 及 37B 圖所示，形成在像素形
10 成區內之光二極體迄至除重設電晶體之部分閘極以外之區域上開口之光阻圖案，並進行磷離子佈植。相對於快閃記憶體胞元形成區與像素形成區之離子佈植之順序並不限於此，可由像素形成區開始先進行離子佈植，或者是在快閃記憶體胞元形成區及像素形成區間同時進行個別對於源極
15 形成區與汲極形成區之離子佈植。

接著，於全面沉積氧化矽膜約 100nm 膜厚。其次，形成覆蓋像素形成區中由光二極體部迄至重設電晶體部之閘極的部分上面之區域以及快閃記憶體胞元形成區之元件有效區之光阻圖案，並對氧化矽膜進行各向異性乾式蝕刻。

藉此，如第 38A 及 38B 圖所示，在快閃記憶體胞元之閘極側壁面、重設電晶體之閘極之一邊的側壁面、源極隨動電晶體之閘極的兩側壁面以及選擇電晶體之閘極之兩側壁面上形成側壁 92。

玖、發明說明

接著，經由熱氧化處理而於全面形成氧化矽膜約 5nm 膜厚後，進一步形成在像素形成區內之光二極體迄至除了重設電晶體之部分閘極以外的區域上及周邊邏輯電路形成區上開口之光阻圖案，以 40keV、 $2 \times 10^{15}/\text{cm}^2$ 左右進行砷離子佈植。藉此，形成周邊邏輯電路形成區內之 N 型擴散層之同時，於像素形成區內形成未被氧化矽膜 92 覆蓋之部位之 N 型擴散層，而為 LDD 結構。

接著，藉以氟酸為藥劑之濕式蝕刻處理，以將上述 5nm 左右膜厚之氧化矽膜除去後，經由濺鍍法於全面沉積 Co 膜。其次，進行 500°C 左右之 RTA 處理，使 Co 跟 Si 相反應，並除去未反應之 Co 膜之後，進一步施行 800°C 左右之 RTA 處理，形成 CoSi_2 膜 93。此時，如第 39A 及 39B 圖所示，在像素形成區之由光二極體部迄至重設電晶體之部分閘極上面之區域以及快閃記憶體胞元形成區之元件有效區上形成有氧化矽膜，因此 Co 跟 Si 不會反應，所以在該區域上沒有形成 CoSi_2 膜 93。

接著，如第 40A 及 40B 圖所示，於全面形成 SiN 膜約 50 至 10nm 膜厚或形成 SiON 膜約 100 至 200nm 膜厚之後，再形成 BPSG 膜 94 約 1.5 μm 膜厚，並藉 CMP 法將其表面平坦化。

接著，藉微影步驟及隨後之蝕刻步驟，對 SiN 膜或 SiON 膜及 BPSG 膜 94 進行圖案化，以於快閃記憶體胞元形成區、像素形成區及周邊邏輯電路形成區各形成用以連

玖、發明說明

接 N 型擴散層與上層佈線且為開口部之接觸孔。其次朝接觸孔內填滿鎢 W，以形成 W 栓塞 95。

其次，經由濺鍍法以依序沉積 Ti 膜、TiN 膜、Al 膜、Ti 膜及 TiN 膜，進一步經由微影步驟及隨後之蝕刻步驟，對 Ti 膜至 TiN 膜施以圖案化，使與周邊邏輯電路形成區一同，在快閃記憶體胞元形成區及像素形成區上形成第 1 金屬佈線 96。

接著，如第 41 及 42 圖所示，藉電漿 CVD 法或偏壓高密度電漿 CVD(HDP-CVD)法沉積氧化矽膜 97 之後，再藉 CMP 法將其表面平坦化。

接著，藉微影步驟及隨後之蝕刻步驟，將氧化矽膜 97 施行圖案化迄至露出第 1 金屬佈線 96 之表面，以形成通孔。其次，朝通孔內填滿鎢 W，以形成 W 栓塞 98。

接下來，進一步在上層，經由同樣步驟將第 2 金屬佈線 99、第 3 金屬佈線 101、W 栓塞 98 及層間絕緣膜 100 形成於快閃記憶體胞元形成區、像素形成區及周邊邏輯電路形成區上。其次，藉電漿 CVD 法或 HDP-CVD 法沉積氧化矽膜 102，隨即藉 CMP 法以將其表面平坦化。

接著，藉電漿 CVD 法以於全面沉積氮化矽膜(未圖示)以為覆蓋膜，同樣地在未圖示之襯墊形成區中經由微影步驟及隨後之蝕刻步驟，對氧化矽膜 102 及氮化矽膜施行圖案化，使露出第 3 金屬佈線 101 表面，形成電極墊。

接著，在快閃記憶體形成區上及像素形成區上方形成

玖、發明說明

色彩過濾器 103 及 105。在此，形成在快閃記憶體形成區上方之色彩過濾器 105 係使用黑色遮光層。其次，形成可覆蓋色彩過濾器 103、105 之保護膜 104 之後，進而在相當於光二極體 91 上方之保護膜 104 上之位置形成微透鏡 5 106。

此外，在本實施形態中，雖未言及像素電壓用保險絲及快閃記憶體電源用保險絲，當然亦可藉與上述第 1 及第 2 實施形態同樣之步驟，形成這些保險絲。

第 44 至 47 圖係指本實施形態中之快閃記憶體混置型 CMOS 影像感測器之像素形成區的平面結構圖。第 48 圖係適用於本實施形態中之快閃記憶體混置型 CMOS 影像感測器之快閃記憶體的平面結構圖。此外，第 44 至 48 圖之 X-Y 線係第 42 圖之剖面線，圖中的網狀部分係顯示通孔或接觸孔及金屬佈線之連接部分。

15 第 44 圖係顯示第 42 圖中之 $\alpha - \alpha'$ 線處平面結構圖。第 45 圖係顯示第 42 圖中之 $\beta - \beta'$ 線處平面結構圖。第 46 圖係顯示第 42 圖中 $\gamma - \gamma'$ 線處平面結構圖。第 47 圖係顯示第 42 圖中 $\delta - \delta'$ 線處之平面結構圖。本實施形態之快閃記憶體混置型 CMOS 影像感測器，如第 45 圖 20 所示，係使用第 1 金屬佈線以形成用以連接浮動傳播部及源極隨動電晶體之佈線。因此在本實施形態中，藉第 3 金屬佈線形成重設線，該重設線係構建成兼具用以遮蔽除了光二極體部以外之部分像素形成區之遮光層的功能。

玖、發明說明

<另一實施形態>

第 49 圖係概略顯示 DRAM 混置型 CMOS 影像感測器之平面結構圖。

如第 49 圖所示，本實施形態之 DRAM 混置型 CMOS 影像感測器係混合載設有 CMOS 影像感測器及 DRAM，CMOS 影像感測器係具有將像素呈 2 維配置之像素陣列。

各像素係與重設電壓線 120、轉移閘極線 121、選擇線 122、信號讀出線 123 及重設線 124 相連接。重設電壓線 120 係一用以將重設時之基準電壓由像素用電壓產生電路 125 送往各像素之佈線。轉移閘極線 121 係一用以由行選擇電路 126 送一控制信號到各像素之佈線，該控制信號係用以控制來自各像素之光二極體之電氣信號讀出者。重設線 124 係一用以將用以重設光二極體及浮動傳播部之控制信號，由行選擇電路 126 送往各像素之佈線。信號讀出線 123 係一用以使信號讀出暨雜訊刪除電路 127 讀取來自各像素之輸出信號之佈線。

來自各像素之信號讀取係藉信號讀出暨雜訊刪除電路 127 之控制而予以執行者。信號讀出暨雜訊刪除電路 127 係讀出來自各像素之輸出信號並將雜訊除去後，將之輸出到放大器暨 AD 轉換器電路 128。放大器暨 AD 轉換器電路 128 係將輸入信號放大以及數位化後，即將之輸出到輸出電路 130 及 DRAM129。

由放大器暨 AD 轉換器電路 128 有全部像素的 1/4 到

玖、發明說明

1/10 量左右的影像資料送往輸出電路 130，所傳送的影像資料係由輸出電路 130 朝晶片外輸出，經過畫面構成處理後，顯示在諸如行動電話的畫面上。另一方面，由放大器暨 AD 轉換器電路 128 由全部像素之影像資料送往 DRAM 5 129 而予以暫時記錄其中。於 DRAM 中保護有將來自像素的信號經過 A/D 轉換後之資料。爾後，例如使用者想要儲存行動電話的畫面上所顯示之影像資料時，經由預定操作的進行，即可將暫時保存的全像素量的影像資料由 DRAM 129 經過畫面構成處理之後，再儲存於記憶卡等記錄媒體 10 中。

對習知之 CMOS 影像感測器而言，用以重設光二極體及浮動傳播部之重設電壓通常是使用較電源電壓還低之電壓，而該重設電壓 VR 將因電晶體等之製作誤差而隨之變動。令使 PNP 型植入型光二極體完全空乏化之電壓為 15 Vpd，使重設電壓 VR 與 Vpd 間之差距形成信號之動態範圍，所以如果重設電壓 VR 因為製造誤差使其低於預期值，就會因此使動態範圍狹窄。

反之，重設電壓 VR 高於預期值時，則使接面洩漏變大，致使 S/N 比降低。除了重設電壓之外，也有可能將諸 20 如轉移電晶體或重設電晶體之間極電壓形成與電源電壓不同之電壓，但此時也會由於製造誤差所起因的電壓誤差，來影響攝影元件的功能。

第 50 圖係模式顯示由 4 電晶體型像素之光二極體迄

玖、發明說明

至重設電晶體之剖面結構圖，第 51 圖係顯示 4 電晶體型像素之光二極體迄至重設電晶體之勢能狀態圖。

在於來自光二極體之電荷讀出時或光二極體之重設時，為了完成取出光二極體之電荷時，浮動傳播部之電壓必須停在 V_{pd} 以下，將動態範圍限制在 $VR-V_{pd}$ 以下者。

又，朝光二極體或浮動傳播部供給重設電壓 VR 係透過重設電晶體而進行，但為了避免電晶體之閾值電壓(V_{th})部分的電壓降低，必須降低重設電晶體之閾值或對重設電晶體之閾極施加相當高的電壓。使用很低的閾值電壓 V_{th} 時，可能會使重設電晶體 OFF 時之洩漏電流成為問題。

對此，本發明之第 1 及第 2 實施形態中之 DRAM 混置型 CMOS 影像感測器亦如第 49 圖所示，具有像素電壓用保險絲 131 及 DRAM 電源用保險絲 132，藉切斷其等保險絲，可調整閾值電壓等因製造誤差所引起之其等內部產生電壓的誤差。又，依上述實施形態之 DRAM 混置型 CMOS 影像感測器，便可以與 DRAM 電源用保險絲 132 同一步驟製造像素電壓用保險絲 131，就無須特別增加製造步驟了。

依上述實施形態，尤可抑制重設電壓(VR)之誤差。經由重設電壓 VR 等之像素用電壓保險絲 131 之調整，不僅於影像感測器上混合載置 DRAM 之形態，對於混置有 SRAM 或單一影像感測器時亦為有效。

第 52 圖係 4 電晶體型像素之等效電路圖。

玖、發明說明

適用上述實施形態之像素係如同第 52 圖所示之具有一個光二極體及 4 個電晶體之 4 電晶體型像素。標號 141 為光二極體(圖中以 PD 表示)、142 為轉移電晶體(圖中以 TG 表示)、143 為浮動傳播部(圖中以 FD 表示)、144 為重設電晶體(圖中以 RST 表示)、145 為重設電壓線(圖中以 VR 表示); 146 為源極隨動電晶體(圖中以 SF-Tr 表示); 147 為選擇電晶體(圖中以 Select 表示); 148 為信號讀出線。

在上述各實施形態中，各舉 4 電晶體型像素為例進行說明，但本發明亦可適用由一個光二極體及三個電晶體構成之 3 電晶體型像素。第 53 圖係 3 電晶體型像素之等效電路圖。

如第 53 圖所示，3 電晶體型像素係由 4 電晶體型像素移除轉移電晶體之結構。使 3 電晶體型像素適用本發明時，亦可進行上述之重設電壓 VR 的保險絲調整。

第 54 圖係顯示可做上述 VR 電壓調整之保險絲一結構形態圖。

由電源電壓迄至 GND0V 之間，使電阻 R0~R3 與保險絲 H1~H3 各做並聯連接。必要時選擇部分或全部保險絲 H1~H3 予以切斷，便可切換節點 V1 與接地間之電阻值，因此可調整節點 V1 之電壓值。實際上，以該節點 V1 代表之電壓值輸入於 VR 生成電路後，便可得到預期之重設電壓 VR。

玖、發明說明

前述之電壓調整用之保險絲係進行雷射切斷型式，亦可使用其他型式的保險絲。例如第 64 圖所示，對以薄絕緣膜作為電容器絕緣膜之電容器施壓絕緣耐壓以上之電壓，破壞絕緣狀態後導通。按此控制電容器之電極間的絕緣 / 導通，即可持有保險絲之作用。以影像感測器之電壓調整用保險絲而言亦可使用如此電性保險絲。此時，可防止隨著保險絲切斷所造成之塵粒產生，因此作為影像感測器用保險絲時有其優點。

第 55 圖係概略顯示 DRAM 混置型 CMOS 影像感測器之另一平面結構形態圖。

本 DRAM 混置型 CMOS 影像感測器係於 DRAM 用電壓產生電路 149 內，使 DRAM 用之電壓 VII(將電源電壓 3.3V~2.5V 在晶片內部降壓後為 1~2V 之電壓)與像素之重設電壓 VR 共用，又將在晶片內部產生之 $-0.1V \sim -1.0V$ 之電壓 VBB 與重設電晶體關閉(OFF)時之閘極電壓共用。

如第 50 及 51 圖所示，重設電晶體係具有將重設電壓 VR 作為用以寫入 FD 或 PD 之閘極用的作用，但是以 Nch 電晶體構成為重設電晶體，因此所施加之閘極電壓一低時，則無法正確地寫入 VR，只將定限電壓 V_{th} 部分作電壓降低之電壓($VR-V_{th}$)寫入。因此宜將重設電晶體之定限電壓 V_{th} 設定較低。

又，如此將定限電壓設定較低時，為了保證重設電晶體在 OFF 時所產生之洩漏電流，因此對 OFF 時之重設電

玖、發明說明

晶體之閘極施加 VBB。又，藉使內部電源產生電路 (DRAM 用電壓產生電路)¹⁴⁹ 在影像感測器與 DRAM 共用，便可減少晶片面積。

如上述，將重設電晶體之閘極電壓在 OFF 時設為負電壓者，不僅在混設影項感測器與 DRAM 之形態，在混置影像感測器與 SRAM，或不設置 DRAM 或 SRAM 下只有單一影像感測器時，在防止洩漏電流產生之方面亦為有效。

又，轉移電晶體之閘極在 OFF 時之電壓亦使用上述 VBB 時，一邊可防止洩漏電流的產生，一邊亦可降低轉移電晶體之定限電壓 V_{th} 。

進而，除了上述 VBB 之外，以可在 DRAM 採用字元線負重設(為使字元線 OFF 用之電壓使用 $-0.1 \sim -1V$ 之負電壓 VNWL 者)時，亦可對 OFF 時之重設電晶體之閘極上施加 VNWL。

此外，在上述中係舉 DRAM 混置型 CMOS 影像感測器為例，針對其平面結構進行說明，本發明之第 3 實施形態中之快閃記憶體混置型 CMOS 影像感測器亦可作成同樣的平面結構。

第 56 圖係顯示通常一次快門動作之示意圖。橫軸為時間軸，縱軸則顯示影像感測器之像素陣列之行。

第 56 圖所示之一次快門動作係指：剛開始將全部行數的像素之浮動傳播部做一次重設後，以全行一次由光二

玖、發明說明

極體部朝浮動傳播部進行電荷傳送，由第 1 行開始讀取浮動傳播部之電壓信號。

該種每 1 行之電壓信號讀取係佔去通常攝影時序的大部分時間，例如以 30 幀/秒之攝影而言，第 1 行與最後 1 行上，經由光二極體部至浮動傳播部的電荷傳送迄至來自浮動傳播部之電壓信號讀取之間產生最大達 33ms 時間差距。因此對後面的行數而言，浮動傳播部之接面洩漏就愈大，使所讀出之電壓信號之 S/N 比降低，使畫質變差。

另一方面，一次進行由光二極體部至浮動傳播部之電荷傳送之後，再以高速進行來自浮動傳播部之電壓信號讀出動作時，對於後面的行數而言亦可抑制源自接面洩漏的影響。

第 57 圖係本發明一實施形態之 DRAM 混置型 CMOS 影像感測器或快閃式記憶體混置型 CMOS 影像感測器之一次快門動作之模式示意圖。

按本發明之實施形態，即可執行高速的來自浮動傳播部之電壓信號讀出動作。由全行之浮動傳播部高速讀出電壓信號時，亦可控制成先暫時將所讀取之電壓信號儲存於晶片內之 DRAM129 中，再隨後由 DRAM129 輸出於晶片外時，就可令朝晶片外之電壓信號傳送按與執行示於第 56 圖之時序時同樣的頻率進行。

第 58 圖係顯示可實現一次快門動作之電路結構形態圖。

玖、發明說明

通常，位於影像感測器內之像素係形成以下排列形狀，即，將 RGB(紅綠藍)用像素配置成方格圖樣之貝爾式排列。如第 58 圖所示之電路結構上，設有 4 個用以讀出來自各浮動傳播部之電壓信號之讀出電路，在此，設置於奇數列 (Blue 列) 之像素用信號讀出線係各經由切換電晶體 (switch transistor) 而連接於藍色 (Blue) 用讀出電路與藍色 (Blue) 列之綠色 (Green) (B) 用讀出電路，另，配設於偶數列 (紅色 (Red) 列) 之像素用信號讀出線則是經由切換電晶體而各與紅色 (Red) 用讀出電路以及紅色 (Red) 列之 Green (R) 用讀出電路相連接。放大器暨 AD 轉換器電路亦設於藍色 (Blue) 用讀出電路之用、綠色 (Green) (B) 用讀出電路之用、紅色 (Red) 用讀出電路之用以及綠色 (Green) (R) 用讀出電路之用共 4 個，以並行由各讀出電路送往放大器暨 AD 轉換器 128 之電壓信號傳送。

第 59A 圖係第 58 圖所示電路之電壓信號讀出動作之模式示意圖；第 59B 圖係通常之電壓信號讀出動作之模式示意圖。圖中以實線表示之斜線部分係指：由像素朝信號讀出暨雜訊刪除電路 127 之信號讀出期間；圖中以虛線表示之斜線部分係指：由信號讀出電路暨雜訊刪除電路 127 至放大器暨 AD 轉換器電路 128 之信號讀出期間。

如第 59A 圖所示，選擇第 $2n$ ($n: 1, 2, 3, \dots$) 行時，將信號讀出電路暨雜訊刪除電路 127 之 Green (B) 用信號讀出電路及 Red 用信號讀出電路連接於信號線，而進行來自

玖、發明說明

像素之電壓信號讀取。俟由像素往信號讀出電路暨雜訊刪除電路 127 之電壓信號讀取結束時，即切換 Green(B)用信號讀出電路以及 Red 用信號讀出電路與信號線之間的連接，移到下一行((2n+1)行)進行信號讀取動作。

- 5 選擇第(2n+1)行作為信號讀出的對象時，將 Blue 用信號讀出電路以及 Green(R)用信號讀出電路與信號線相連接，進行來自像素之電壓信號讀取者。俟由像素往信號讀出電路暨雜訊刪除電路 127 之電壓信號讀出結束時，即切斷 Blue 用信號讀出電路以及 Green(R)用信號讀出電路與信號
- 10 線之間的連接，再移至下一行((2n+2)行)進行信號讀出動作。按序執行以上之動作，以進行全部行數之信號讀出動作。

- 在此，如第 58 圖所示，各讀出電路係讀出來自全部像素的一半列數的像素之信號，因此對由信號讀出電路暨
- 15 雜訊刪除電路 127 往放大器暨 AD 轉換器電路 128 之信號傳送，採用與通常之電壓信號讀出動作同一時鐘頻率，亦可以一半的時間進行信號傳送者。

- 又，如同針對奇數列像素，利用 Blue 用讀出電路及 Green(B)用讀出電路進行信號讀取，而針對偶數列像素則是利用 Red 用讀出電路及 Green(R)讀出電路進行信號讀出
- 20 般，針對各列採用兩個讀出電路進行信號讀出，因此在進行採與通常信號讀出動作同一時鐘頻率之信號讀取時，全體的信號讀出時間最小，約為通常的讀出動作時間的 1/4

玖、發明說明

長。此傾向，是在信號讀出電路暨雜訊刪除電路 127 朝放大器暨 AD 轉換器電路 128 之信號傳送時間(第 59A 圖中虛線之斜線部分)相對於由像素往讀出電路之信號讀出時間(第 59 圖中實線的斜線部分)之比愈大，全體的信號讀出時間就愈與通常的讀出動作時間的 1/4 相近。

惟，具有 4 電晶體型像素或 3 電晶體型像素之 CMOS 影像感測器中，經由重設電晶體使重設電壓 VR 寫入於浮動傳播部。此時，如第 60 圖所示，通常是在重設電晶體之閘極施加電源電壓 VCC，並使可於通道足為 ON 的狀態下寫入重設電壓 VR，將重設電壓 VR 設定成約 $(VCC-1)V$ 之低的電壓。但是近年來隨著半導體積體電路之微細化趨勢，供給每一個像素之電源電壓 VCC 也降低，因此將重設電壓 VR 設定為較低值時，即難以確保像素所需動態範圍。

又，在於朝浮動傳播部及光二極體寫入重設電壓 VR 時，對重設電晶體之閘極施加電源電壓 VCC，且將重設電壓 VR 設定為與電源電壓 VCC 相同之電壓值後，便有一比將重設電壓 VR 設定為 $(VCC-1)V$ 時還高之電壓寫入於浮動傳播部。又，在寫入過程中，令重設電晶體之通道關閉(OFF)，使重設電晶體進入副定限區。為此，如第 61 圖所示，在黑暗中進行連續攝影時，則使於第 2 次重設時，將一較上一次還高之電壓寫入於浮動傳播部，將有恐使實際寫進浮動傳播部之電壓產生變動之可能性存在。

玖、發明說明

第 62 圖係顯示本實施形態之重設動作中之浮動傳播部往重設電晶體之 VR 端子間之勢能狀態圖；第 62B 圖係顯示浮動傳播部、重設電晶體之動作之時序流程圖。

本實施形態之重設動作之步驟 1，係令 VR 端子之施加電壓由 VCC 降低到(VCC-1)後，再將重設電晶體之閘極的施加電壓由 0V 提高為 VCC。藉此，使重設電晶體之通道在充分導通(ON)之狀態下，朝浮動傳播部寫入(VCC-1)。

接下來的步驟 2，係令 VR 端子之施加電壓由(VCC-1)回到 VCC。藉此，使朝浮動傳播部寫入 $VCC - V_{th}$ ，重設電晶體之通道關閉(OFF)，移動到副定限區之狀態。

經由上述之重設動作，俾於浮動傳播部寫入一較 VCC-1V 還高之電壓的 $VCC - V_{th}$ (具體而言，如 $VCC - 0.5V$ 左右)。此時，寫入於浮動傳播部之電壓雖是按重設電晶體之 V_{th} 而定，具有其依存性，但藉 CDS(相關雙重取樣；Correlated Double Sampling)讀出，即可排除該依存性。

進而，如上述，在重設動作下朝浮動傳播部進行電壓寫入時，作成重設電晶體之通道為關閉(OFF)(成為副定限區)之狀態，在寫入動作結束時，則形成於浮動傳播部與 VR 端子間只有自浮動傳播部朝 VR 端子流動之極微小電子流存在，即，在浮動傳播部與 VR 端子間沒有雙向之電子出入的狀態。因此，具有可抑制由浮動傳播部內之電子個數變動所引起之隨機雜訊(kTC 雜訊)之效果。

玖、發明說明

第 63 圖係顯示可實現上述重設動作之 4 電晶體型像素之像素陣列之概略平面圖。

在上述重設動作中，由於以 $VDD-1V$ 至 VDD 間驅動重設電壓線 150，因此可將重設電壓線 150 連接於可控
5 制供給電壓值之行選擇電路，將重設電壓線 150 沿行方向配線，使只有位於讀出行之重設電壓線(VR 線)152 進行充放電。在通常的 4 電晶體型像素中，將轉移閘極線(TG 線)、重設線(RST 線)、及選擇線(SL 線)沿行方向配線，而如上述，重設線(VR 線)152 係沿行方向配線，因此轉移閘極
10 線(TG 線)151 係連接於內部電壓產生電路，而沿列方向配線。

以該轉移閘極線(TG 線)151 之配線方法，是不能按序進行由像素往讀出電路之電荷傳送以及由讀出電路往晶片外之讀出之”輪流快門(rolling shutter)”。不過，只要在執行一於全部行數同時進行由像素朝讀出電路進行電荷傳送
15 且對每一行施行往晶片外讀出電壓信號之”一次快門動作”，使轉移閘極線(TG 線)151 可在全部行數同時進行 ON/OFF 時即可，亦可進行藉上述重設動作之攝影動作。

按本發明，像素區與記憶元件區係以同一步驟形成者
20 因此即可抑制位於混置有像素區與記憶元件區之半導體裝置上之基板上的積層物厚度，且可避免因為經由微透鏡照射之光的對焦位置位於像素之前所導致的靈敏度降低。

玖、發明說明

【圖式簡單說明】

第 1A、1B 圖係用以將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

5 第 2A、2B 圖係接於第 1A、1B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

 第 3A、3B 圖係接於第 2A、2B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

 第 4A、4B 圖係接於第 3A、3B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

 第 5A、5B 圖係接於第 4A、4B 圖之後，將本發明第 15 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

 第 6A、6B 圖係接於第 5A、5B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

20 第 7A、7B 圖係接於第 6A、6B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

 第 8A、8B 圖係接於第 7A、7B 圖之後，將本發明第

玖、發明說明

1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 9A、9B 圖係接於第 8A、8B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 10A、10B 圖係接於第 9A、9B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 11A、11B 圖係接於第 10A、10B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 12A、12B 圖係接於第 11A、11B 圖，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 13 圖係接於第 12A、12B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 14 圖係接於第 12A、12B 圖，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 15 圖係接於第 12A、12B 圖之後，將本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

玖、發明說明

第 16 圖係本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 17 圖係本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之像素形成區之平面結構圖。

5 第 18 圖係本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 19 圖係本發明第 1 實施形態之 DRAM 混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 20 圖係適用於本發明第 1 實施形態之 DRAM 混置
10 型 CMOS 影像感測器之堆疊型 DRAM 之平面結構圖。

第 21A、21B 圖係用以將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 22A、22B 圖係接於第 21A、21B 圖之後，將本發
15 明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 23A、23B 圖係接於第 22A、22B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

20 第 24A、24B 圖係接於第 23A、23B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 25A、25B 圖係接於第 24A、24B 圖之後，將本發

玖、發明說明

明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 26A、26B 圖係接於第 25A、25B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 27A、27B 圖係接於第 26A、26B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 28A、28B 圖係接於第 27A、27B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 29 圖係接於第 28A、28B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 30 圖係接於第 28A、28B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 31 圖係接於第 28A、28B 圖之後，將本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 32A、32B 圖係一概略剖視圖；用以將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示者。

玖、發明說明

第 33A、33B 圖係接於第 32A、32B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 34A、34B 圖係接於第 33A、33B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 35A、35B 圖係接於第 34A、34B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 36A、36B 圖係接於第 35A、35B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 37A、37B 圖係接於第 36A、36B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 38A、38B 圖係接於第 37A、37B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 39A、39B 圖係接於第 38A、38B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 40A、40B 圖係接於第 39A、39B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器

玖、發明說明

之製造方法以步驟順序表示之概略剖視圖。

第 41 圖係接於第 40A、40B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

5 第 42 圖係接於第 40A、40B 圖之後，將本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之製造方法以步驟順序表示之概略剖視圖。

第 43 圖係適用於本發明第 2 實施形態之 DRAM 混置型 CMOS 影像感測器之溝槽電容器型 DRAM 之平面結構
10 圖。

第 44 圖係本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 45 圖係本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之像素形成區之平面結構圖。

15 第 46 圖係本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 47 圖係本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之像素形成區之平面結構圖。

第 48 圖係適用於本發明第 3 實施形態之快閃式記憶體混置型 CMOS 影像感測器之快閃式記憶體之平面結構圖
20 。

第 49 圖係 DRAM 混置型 CMOS 影像感測器之平面結構之概略示意圖。

玖、發明說明

第 50 圖係 4 電晶體型像素之光二極體迄至重設(reset)電晶體之剖面結構之模式圖。

第 51 圖係 4 電晶體型像素之光二極體迄至重設(reset)電晶體之位能狀態之示意圖。

5 第 52 圖係 4 電晶體型像素之等效電路圖。

第 53 圖係 3 電晶體型像素之等效電路圖。

第 54 圖係可作重設電壓 VR 調整之保險絲(熔絲)之一結構例之示意圖。

10 第 55 圖係 DRAM 混置型 CMOS 影像感測器之另一平面結構例之概略示意圖。

第 56 圖係通常的一次快門動作之模式示意圖。

第 57 圖係本發明一實施形態之 DRAM 混置型 CMOS 影像感測器或快閃式記憶體混置型 CMOS 影像感測器之一次快門動作之模式示意圖。

15 第 58 圖係顯示用以實現第 57 圖所示之一次快門動作之電路結構例之圖。

第 59A、59B 圖係電壓信號之讀出動作之模式示意圖。

20 第 60 圖係用以說明對於本發明實施形態之重設動作之比較例之圖。

第 61 圖係用以說明對於本發明實施形態之重設動作之比較例之圖。

第 62A、62B 圖係用以說明對於本發明一實施形態之

玖、發明說明

重設動作之圖。

第 63 圖係顯示可實現第 62A、62B 所示之重設動作之 4 電晶體型像素之像素陣列之概略平面圖。

第 64 圖係可適用於本發明一實施形態之半導體裝置之保險絲之另一結構例之示意圖。

第 65 圖係用以說明由於光二極體之聚光不足所造成之靈敏度降低之圖。

【圖式之主要元件代表符號表】

GND...接地	7,45,87...多晶矽膜
H1~H3...保險絲	8...氮化矽膜(抗反射膜)
R0~R3...電阻	9...閘電極
RST-Tr...重設電晶體	10,13,46,54,57,89...N 型擴散層
Select-Tr...選擇電晶體部	11,55,90...P 型擴散層
V1...節點	12...光二極體(FD)部
VII...DRAM 用電壓	14,20,25,58...側壁
Vth...閾值電壓	15,59,93...CoSi ₂ 膜
1...P 型 Si 基板	16...氮氧化矽膜
2,48,81...N 型井區	17,23,29,60,66...BPSG(硼磷矽玻璃)
3...場區氧化膜	膜
4,83 ...P 型井區	18,61...位元線接觸孔
5...閘極氧化膜(閘極絕緣膜)	19...閘極接觸孔
6...光阻圖案	21,64...位元線

玖、發明說明

22,65...局部佈線	53...溝槽電容器
24...儲存接觸孔	56,91,141...光二極體
26...儲存電極	62...閘極接觸孔
27...HSG 多晶矽	63...多晶矽栓塞
28...元件板狀電極	74...層間絕緣膜(氧化矽膜)
30...通孔	80...基板
31,35,38, 69,72,75,95,98...鎢栓塞	84...非晶矽膜
32,67,96...第 1 金屬佈線	85...ONO 膜
33...接觸孔	86...通道氧化膜(閘極氧化膜)
34,40,68,97,102...氧化矽膜	88...閘極
36,70,99...第 2 金屬佈線	92...側壁(氧化矽膜)
37,40,71...層間絕緣膜	94...BPSG 膜
39,73,101...第 3 金屬佈線	100...層間絕緣膜
41,76,79, 103,105...色彩過濾器	111...轉移閘極線
42,77,104...保護膜	120, 150,152,145...重設電壓線(VR)
43,78,106...微透鏡	121,151...傳送閘極線(TG 線)
44...氮化矽膜	123,148...信號讀出線
47...基板	122...選擇線
49,82...淺溝槽(STI)	124...重設線
51...閘極氧化膜	125...像素用電壓產生電路
52...閘極	126...行選擇電路

玖、發明說明

127...信號讀出暨雜訊刪除電路

128...放大器暨 AD 轉換器電路

129...DRAM

130...輸出電路

131...像素電壓用保險絲

132...DRAM 電源用保險絲

142...轉移電晶體(TG)

143...浮動傳播部(FD)

144...重設電晶體(RST)

146...源極隨動電晶體(SF-Tr)

147...選擇電晶體(Select)

149...DRAM 用電壓產生電路

肆、中文發明摘要

本發明係包含有：像素區，係用以形成一或多數像素；及，DRAM 胞元區，係用以形成可記憶來自各像素之輸出信號之一或多數 DRAM 胞元者；且令用以構建前述像素區及前述 DRAM 胞元區之各層藉同一半導體製程形成者。

伍、英文發明摘要

This invention comprises: a pixel region for forming one or more pixels; and a DRAM cell region for forming one or more DRAM cells that can memorize the output signals from the respective pixel cells. Further, the layers for constructing the pixel region and the DRAM cell region are formed by the same semiconductor manufacturing process.

陸、(一)、本案指定代表圖爲：第 1A 圖

(二)、本代表圖之元件代表符號簡單說明：

1...P 型 Si 基板

2...N 型井區

3...場區氧化膜

4...P 型井區

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種半導體裝置，係包含有：

像素區，用以形成一或多數像素；及

記憶元件區，係用以形成可記憶來自前述像素之輸出信號之一或多數記憶元件者；

5 使與前述記憶元件相連線之位元線及與前述像素相連線之部分佈線結構係藉同一步驟所形成者。

且，至少使前述記憶元件之位元線與前述像素之部分佈線結構藉同一步驟形成者。

10 2. 如申請專利範圍第 1 項之半導體裝置，其中前述記憶元件係具有業經粗糙面化之表面形狀者。

3. 如申請專利範圍第 2 項之半導體裝置，其中前述記憶元件為堆疊型電容器。

4. 如申請專利範圍第 1 項之半導體裝置，其中前述記憶元件為溝槽型電容器。

15 5. 如申請專利範圍第 1 項之半導體裝置，其中前述記憶元件為快閃式記憶體胞元。

6. 如申請專利範圍第 1 項之半導體裝置，其中前述像素係包含有：成像元件，及，用以暫時保持以前述成像元件所生成之電荷之記憶部；

20 與前述記憶部相連接之前述佈線結構係藉與前述位元線同一步驟而形成者。

7. 如申請專利範圍第 6 項之半導體裝置，其中前述像素係進而包含有：用以切換由前述成像元件傳送至前述記憶部之電荷之傳送動作之轉移電晶體；

拾、申請專利範圍

與前述轉移電晶體之閘極相連接之前述佈線結構係藉與前述位元線同一步驟而形成者。

8. 如申請專利範圍第 1 項之半導體裝置，其更具有一用以調整朝前述像素供給之電壓之像素用保險絲。

5 9. 如申請專利範圍第 8 項之半導體裝置，其更具有一用以調整朝前述記憶元件供給之電壓之記憶元件用保險絲；

前述像素用保險絲及前述記憶元件用保險絲係藉同一步驟而形成者。

10 10. 如申請專利範圍第 1 項之半導體裝置，其係更包含有一內部電壓產生電路，俾共同產生可各朝前述像素及前述記憶元件之電壓者。

11. 如申請專利範圍第 10 項之半導體裝置，其中前述像素係包含有重設電晶體，該重設電晶體係用以至少重設於前述記憶體所保持之電荷量者；

15 前述內部電壓產生電路，係用以令一負壓作為前述重設電晶體處於關閉狀態時之閘極電壓，朝前述重設電晶體供給者。

20 12. 如申請專利範圍第 11 項之半導體裝置，其中該內部電壓產生電路，係將前述記憶元件用之字元線負重設電壓作為前述重設電晶體在關閉狀態時之閘極電壓，而朝前述重設電晶體供給者。

13. 如申請專利範圍第 1 項之半導體裝置，其係將來自前述記憶元件所儲存之前述多數像素之全部輸出信號中的一部分輸出於該半導體裝置之外部，隨後有指令時，即

拾、申請專利範圍

由前述記憶元件，將前述全部輸出信號輸出於該半導體裝置之外部。

14. 如申請專利範圍第 1 項之半導體裝置，其係更具有一信號讀出機構，俾讀出來自配置成矩陣狀之前述多數像素之輸出信號；

該信號讀出機構係包含有：配置於奇數列之像素用第 1 信號讀出部，及，配置於偶數列之像素用第 2 信號讀出部。

15. 如申請專利範圍第 14 項之半導體裝置，其中前述第 1 信號讀出部及前述第 2 信號讀出部係各具有一對應於用以取得前述各像素之色彩信號種類的個數之信號讀出電路。

16. 一種成像裝置，其係具有一或多數像素；該像素係包含有：成像元件，及，重設電晶體，係作為可暫時保持以前述成像元件所生成之電荷之記憶部，俾使一方之摻雜物擴散層作動者；

藉將一較施加於前述重設電晶體之閘極的施加電壓減去前述重設電晶體之閾值電壓之值還低之電壓，暫時施加於前述重設電晶體之另一方摻雜物擴散層後，再對前述另一方摻雜物擴散層施加一與前述閘極之施加電壓略同位準之電壓，俾重設前述記憶部所儲存之電荷量者。

17. 如申請專利範圍第 16 項之成像裝置，其中前述信號讀出機構，係用以將來自前述多數像素之輸出信號經由

拾、申請專利範圍

CDS(相關雙重取樣)而讀出者。

18. 如申請專利範圍第 17 項之成像裝置，其更包含有：

一內部電壓產生電路，係用以產生可向前述像素供給之電壓者；及

5 一行選擇電路，係用以於配置成矩陣狀之多數前述像素中就每一行選擇像素，該像素為經由前述信號讀出機構讀出信號之對象，且，可控制由前述內部電壓產生電路向前述像素供給之電壓值；

前述像素係更具有轉移電晶體，俾切換由前述成像
10 元件傳送到前述記憶體之電荷的傳送動作者；

連接於前述轉移電晶體之閘極之信號線係與前述內部電壓產生電路相連接，並配置於前述像素群之列方向；

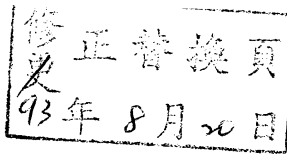
連接於前述重設電晶體之閘極之信號線係與前述行
15 選擇電路相連接，並配置於前述像素群之行方向。

19. 一種半導體裝置之製造方法，該半導體裝置係包含有：
：像素區，用以形成一或多數像素；及，記憶元件區，
係用以形成可記憶來自前述像素之輸出信號之一或多數
記憶元件者；

20 且，至少將前述記憶元件之位元線與前述像素之部分佈線結構以同一步驟形成者。

20. 如申請專利範圍第 19 項之半導體裝置之製造方法，其係將前述記憶元件之表面施行粗糙面化者。

21. 如申請專利範圍第 19 項之半導體裝置之製造方法，其



拾、申請專利範圍

中前述像素係包含有：成像元件、及用以保持暫時儲存以前述成像元件所生成之電荷之記憶部；

而，藉與前述位元線同一之製程形成與前述記憶部相連接之佈線結構者。

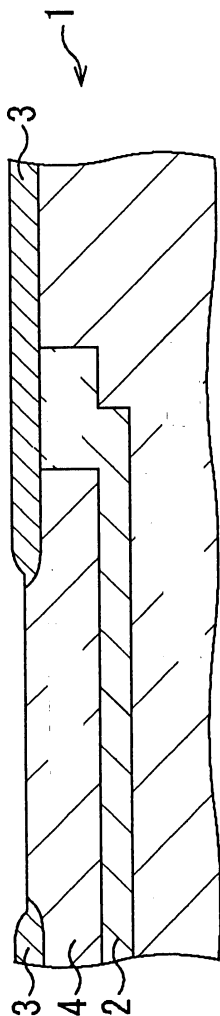
- 5 22. 如申請專利範圍第 21 項之半導體裝置之製造方法，其中該像素更具有有一用以切換由前述成像元件傳送到前述記憶部之電荷之傳送動作之轉移電晶體；

藉與前述位元線同一之製程形成與前述轉移電晶體之閘極相連接之佈線結構者。

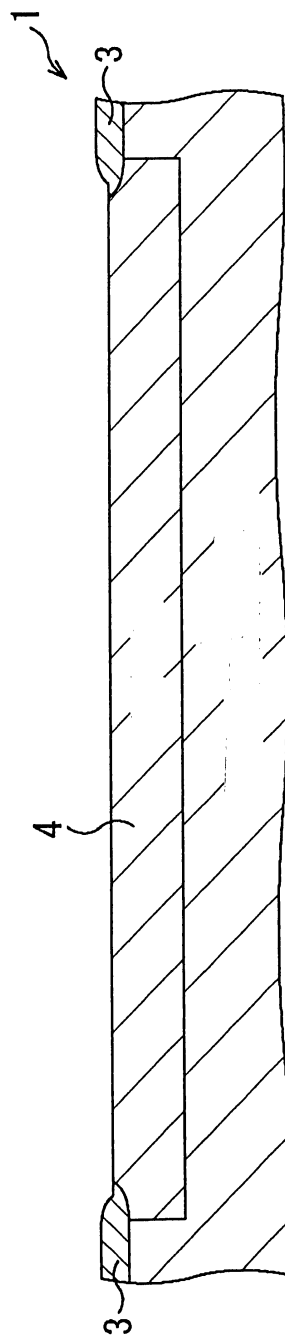
- 10 23. 如申請專利範圍第 19 項之半導體裝置之製造方法，藉此方法進而形成用以調整供給前述像素之電壓之像素用保險絲。

- 15 24. 如申請專利範圍第 23 項之半導體裝置之製造方法，藉此方法，使用以調整朝前述記憶元件供給之電壓之記憶元件用保險絲及前述像素用保險絲以同一步驟形成者。

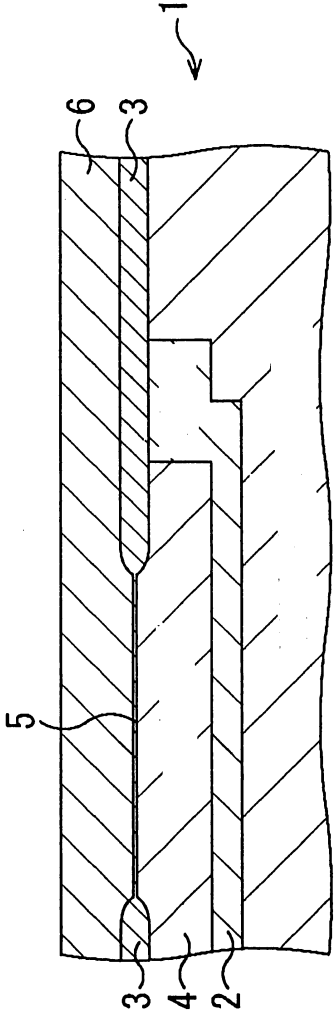
第1A圖



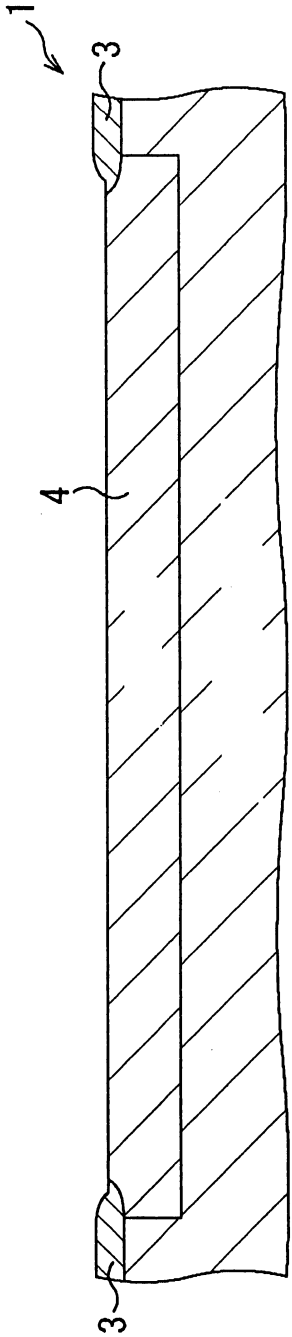
第1B圖



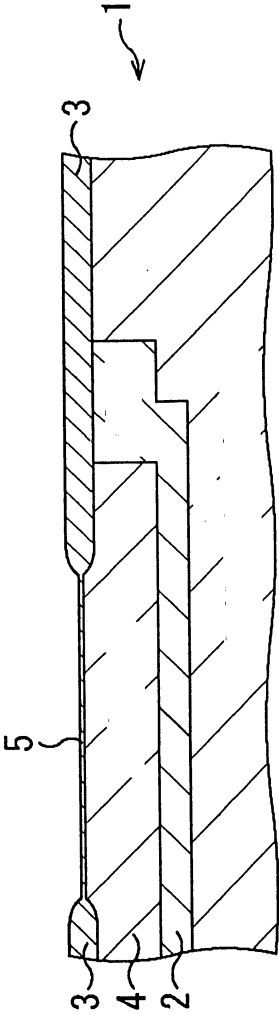
第 2A 圖



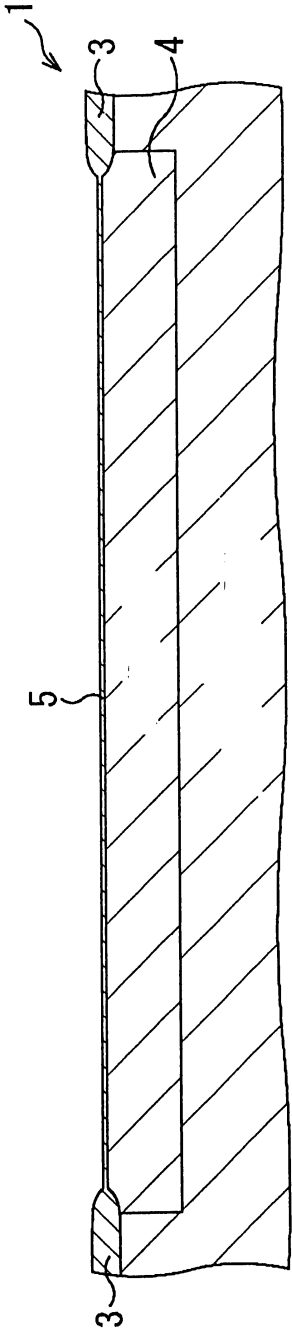
第 2B 圖



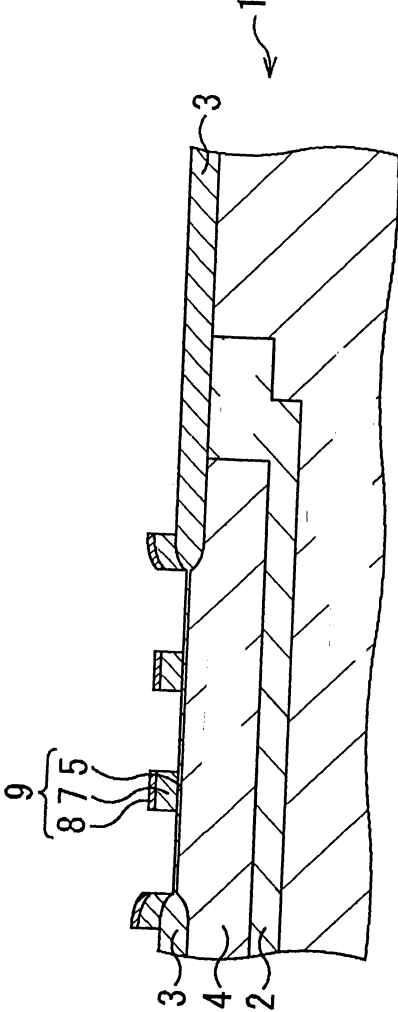
第3A圖



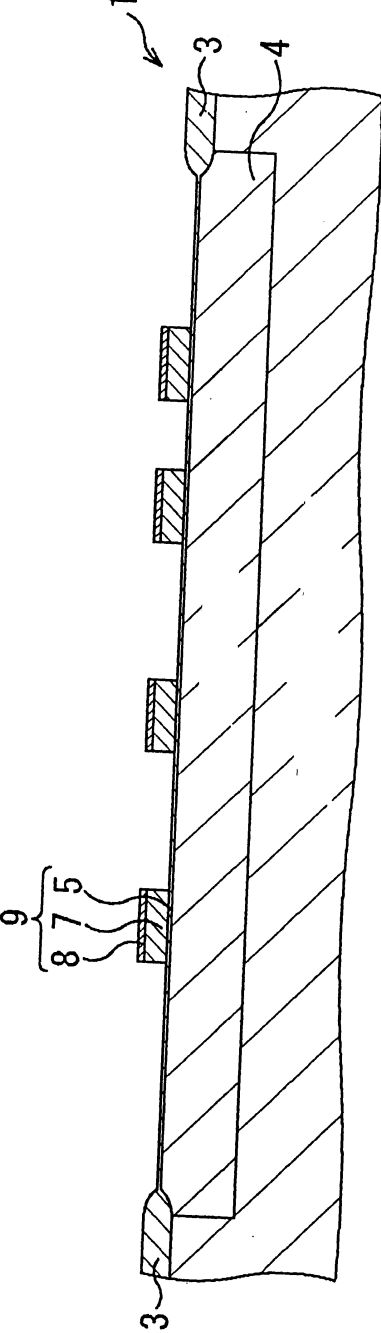
第3B圖



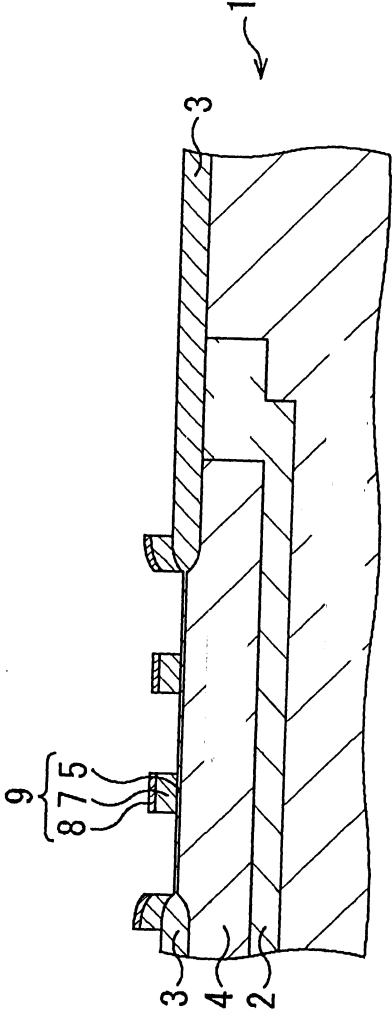
第 4A 圖



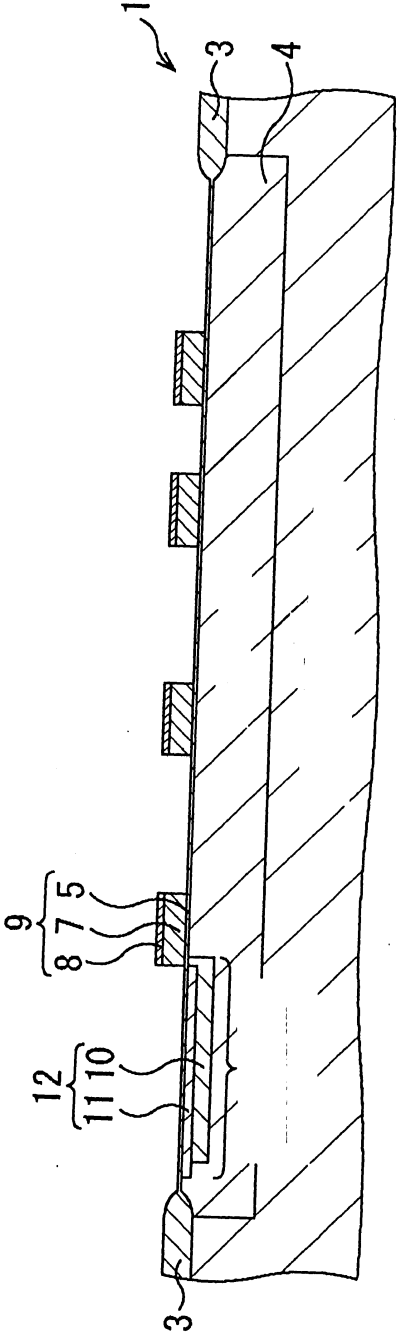
第 4B 圖



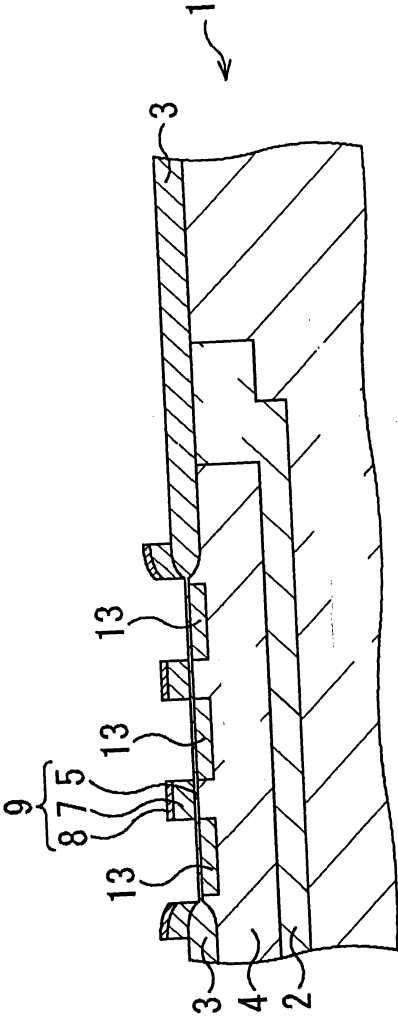
第 5A 圖



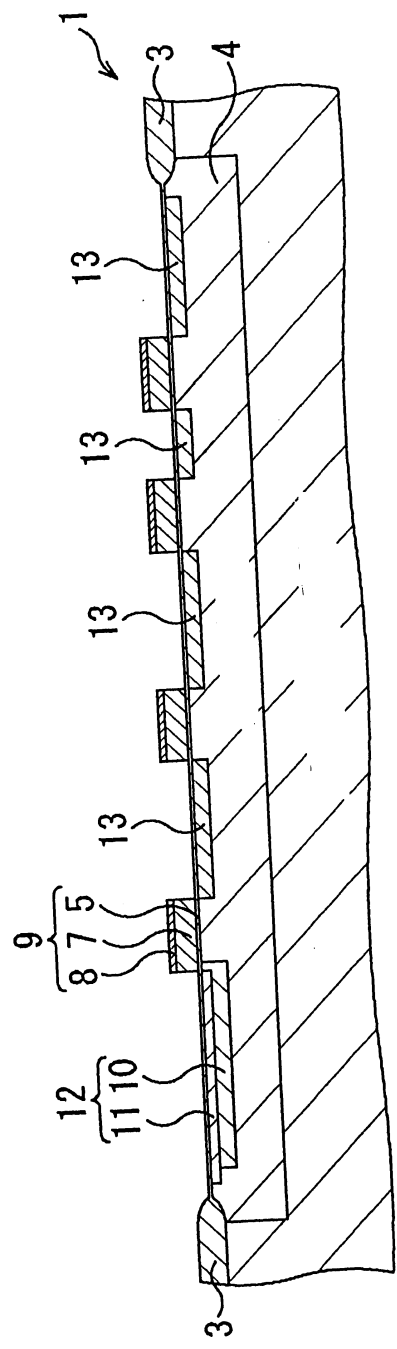
第 5B 圖



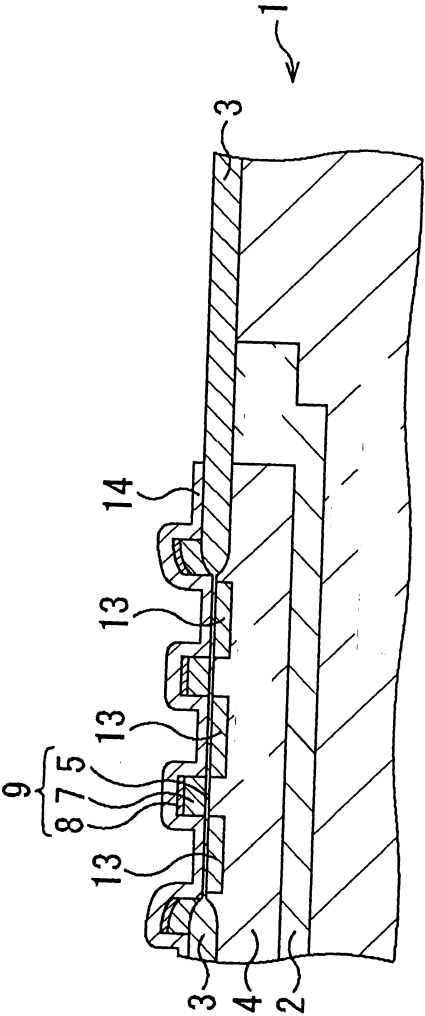
第 6A 圖



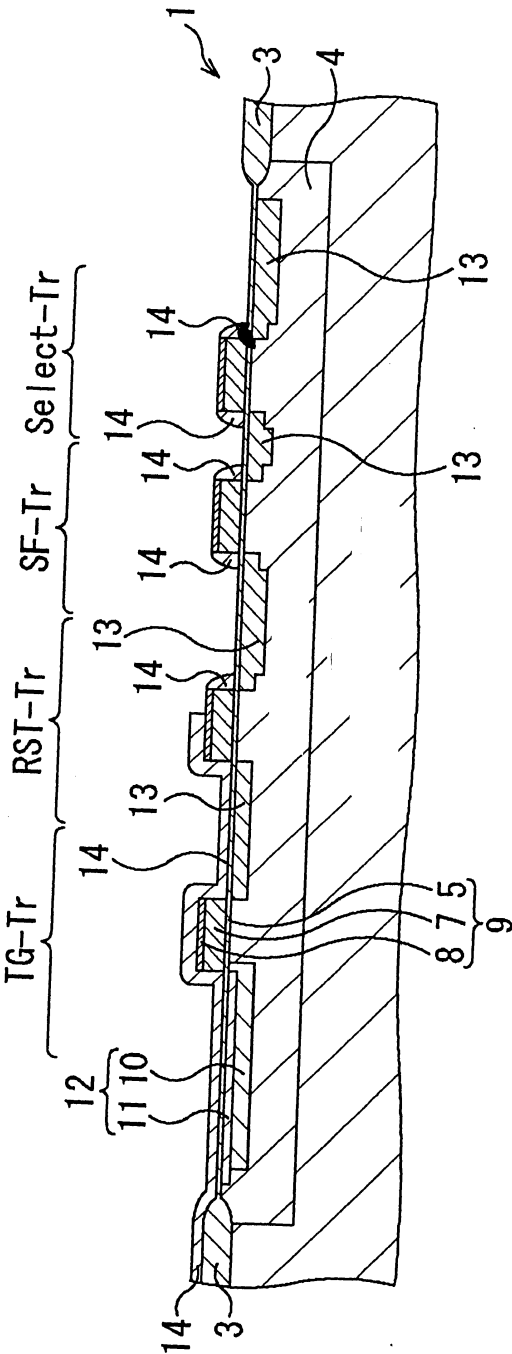
第 6B 圖



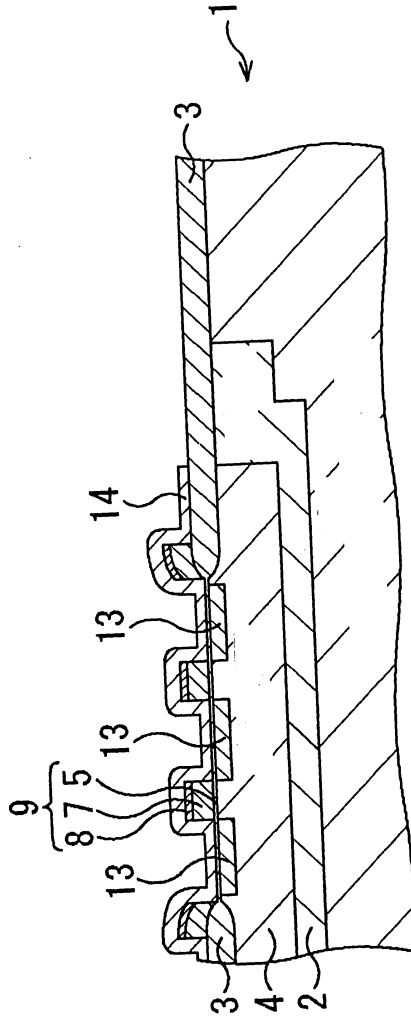
第7A圖



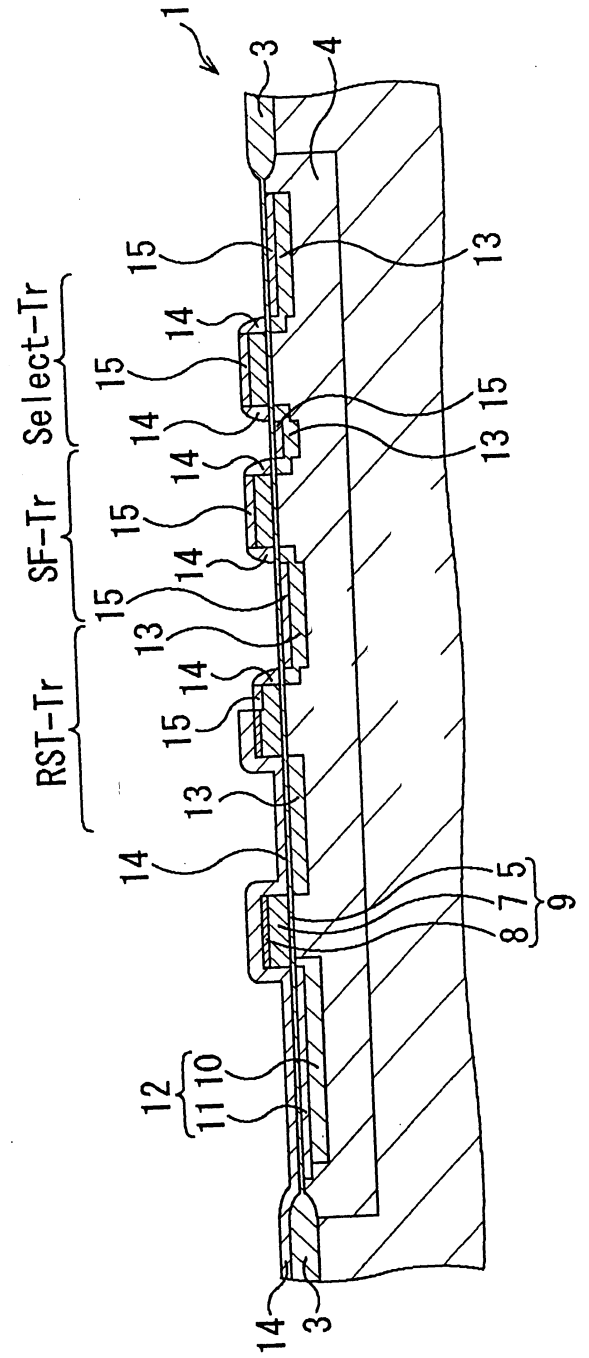
第7B圖



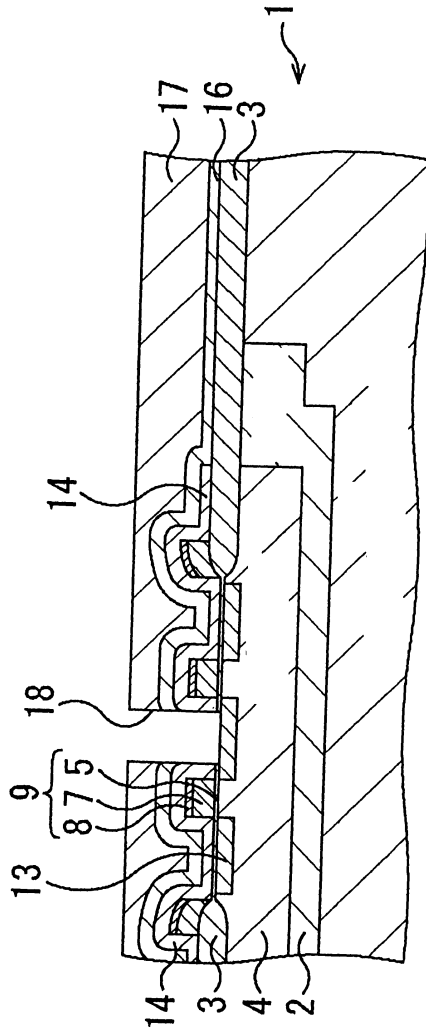
第 8A 圖



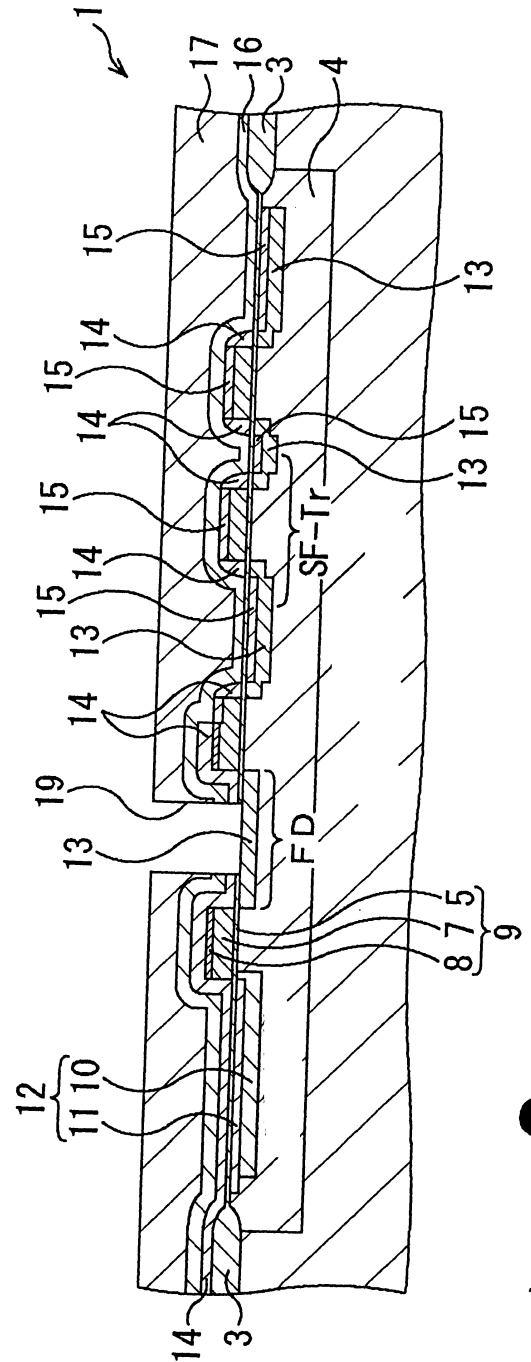
第 8B 圖



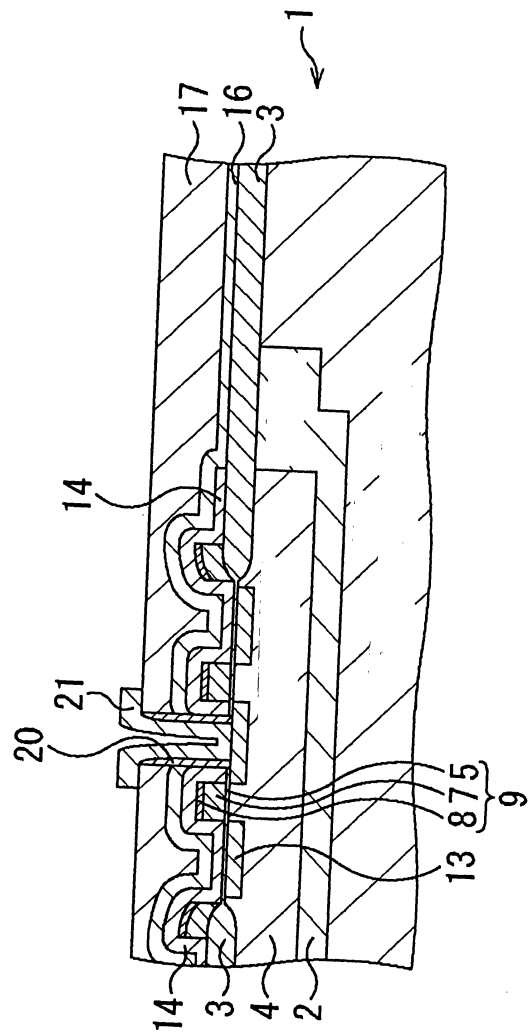
第 9A 圖



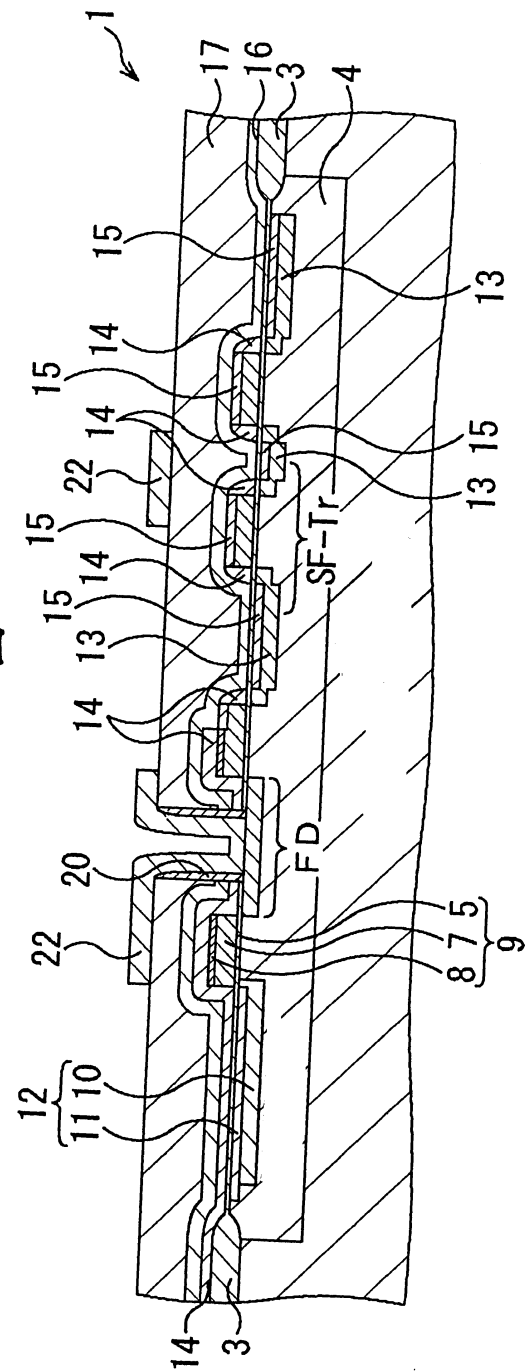
第九回



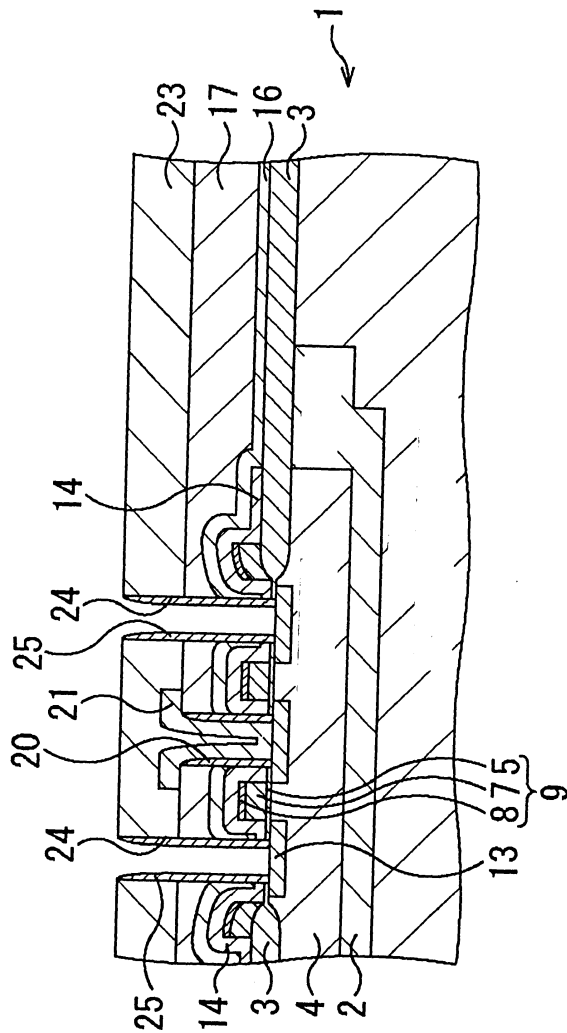
第 10A 圖



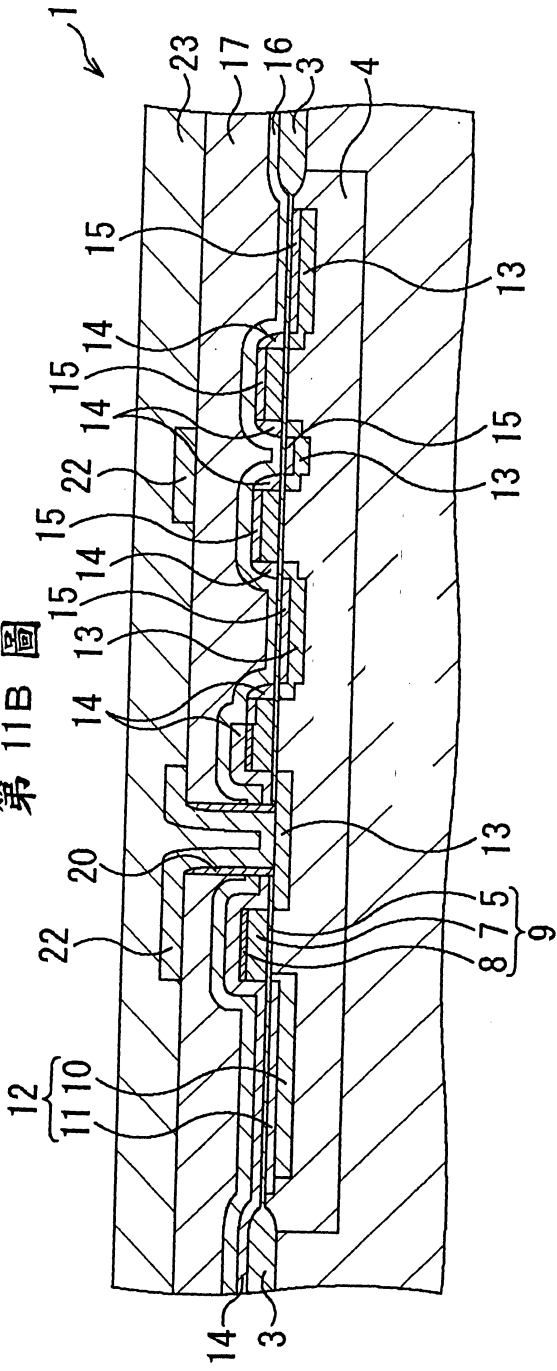
第 10B 圖



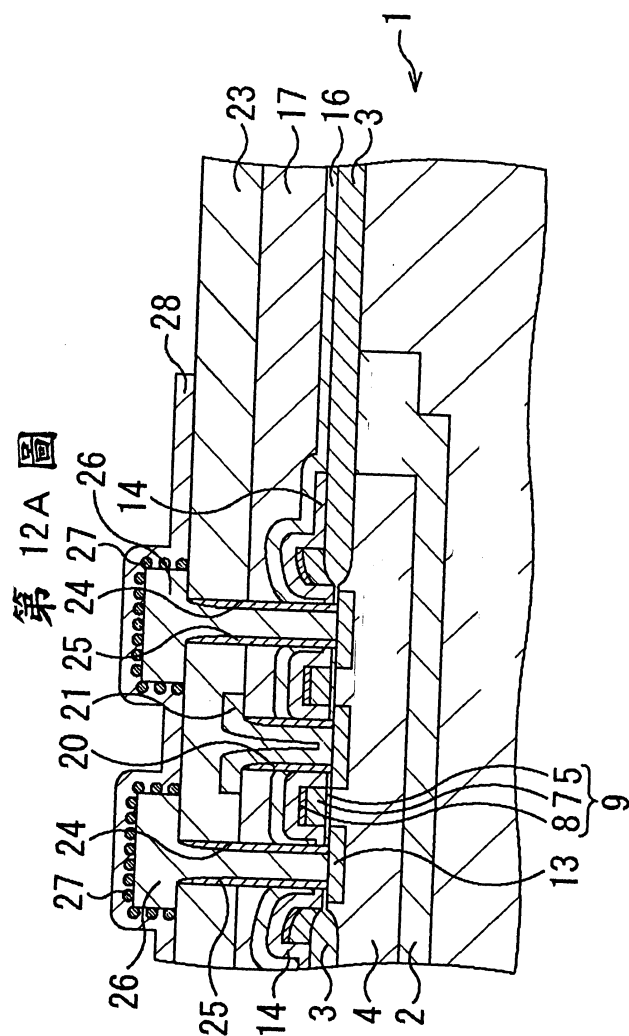
第 11A 圖



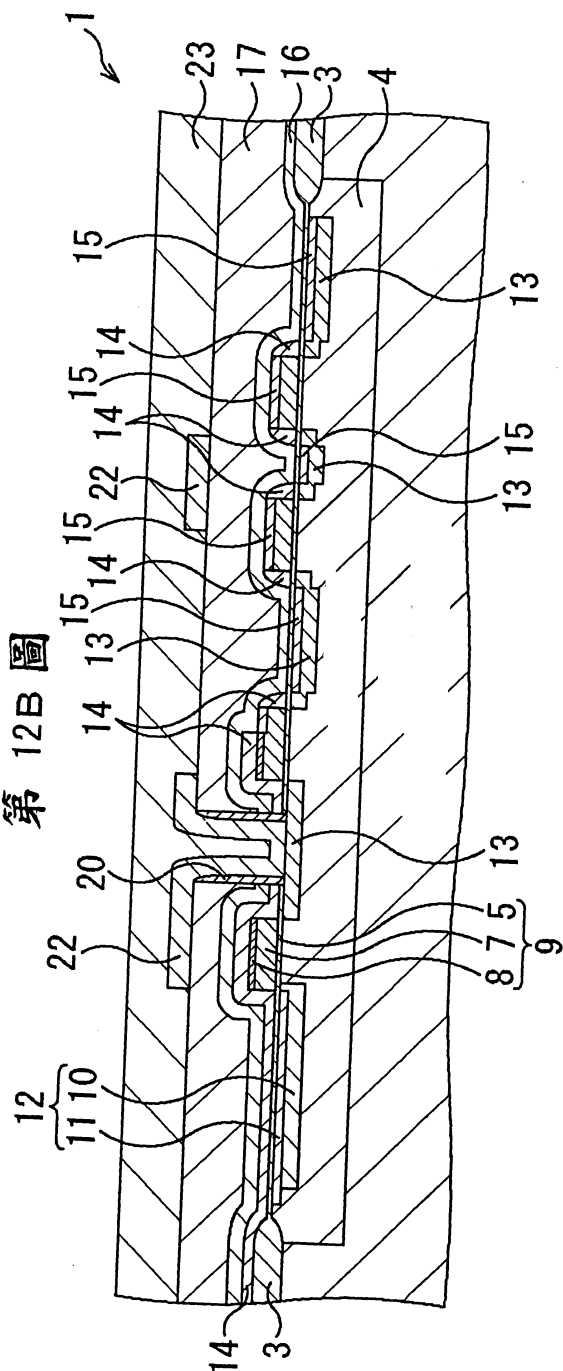
第 11B 圖



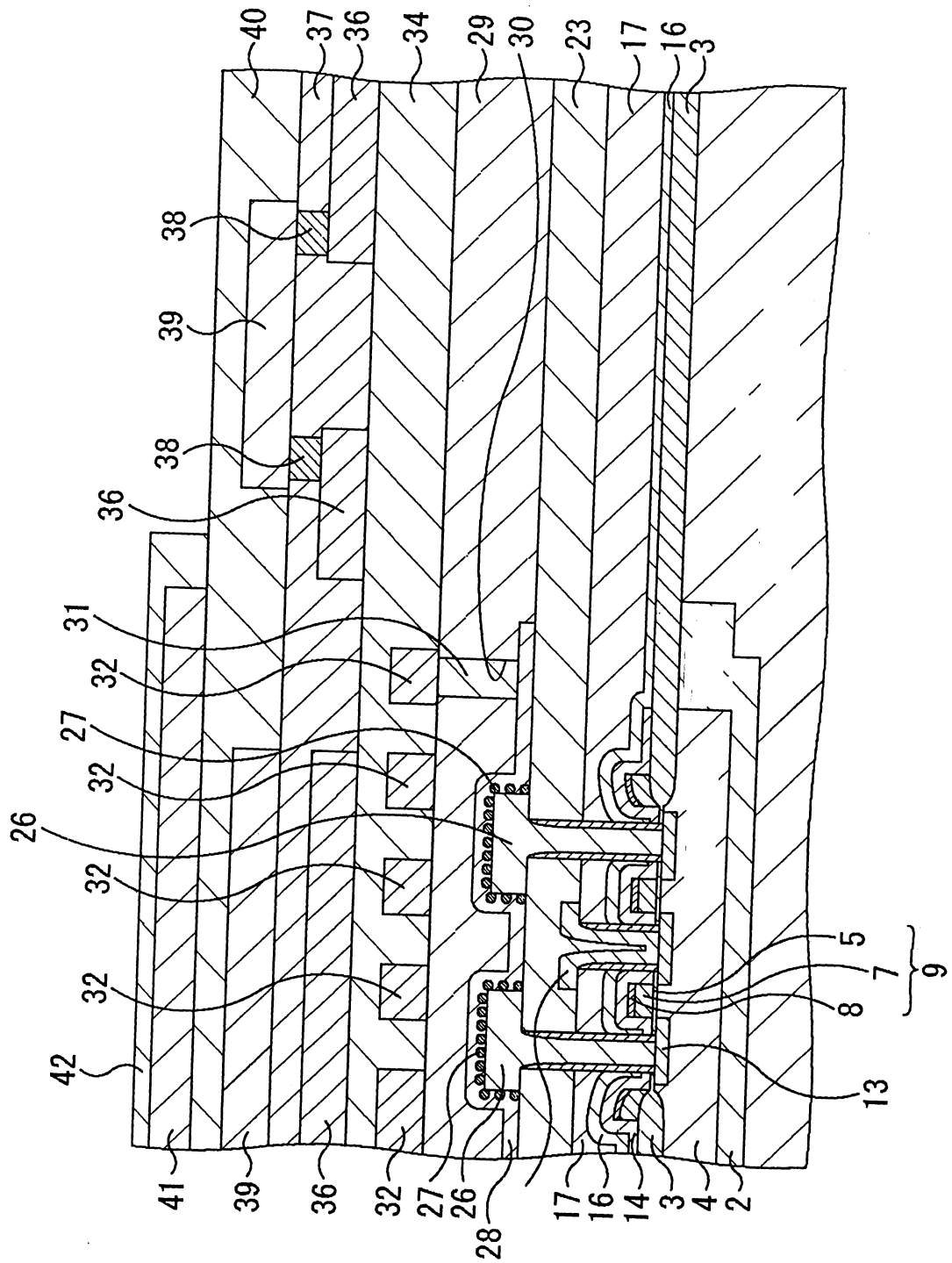
第 12A 圖



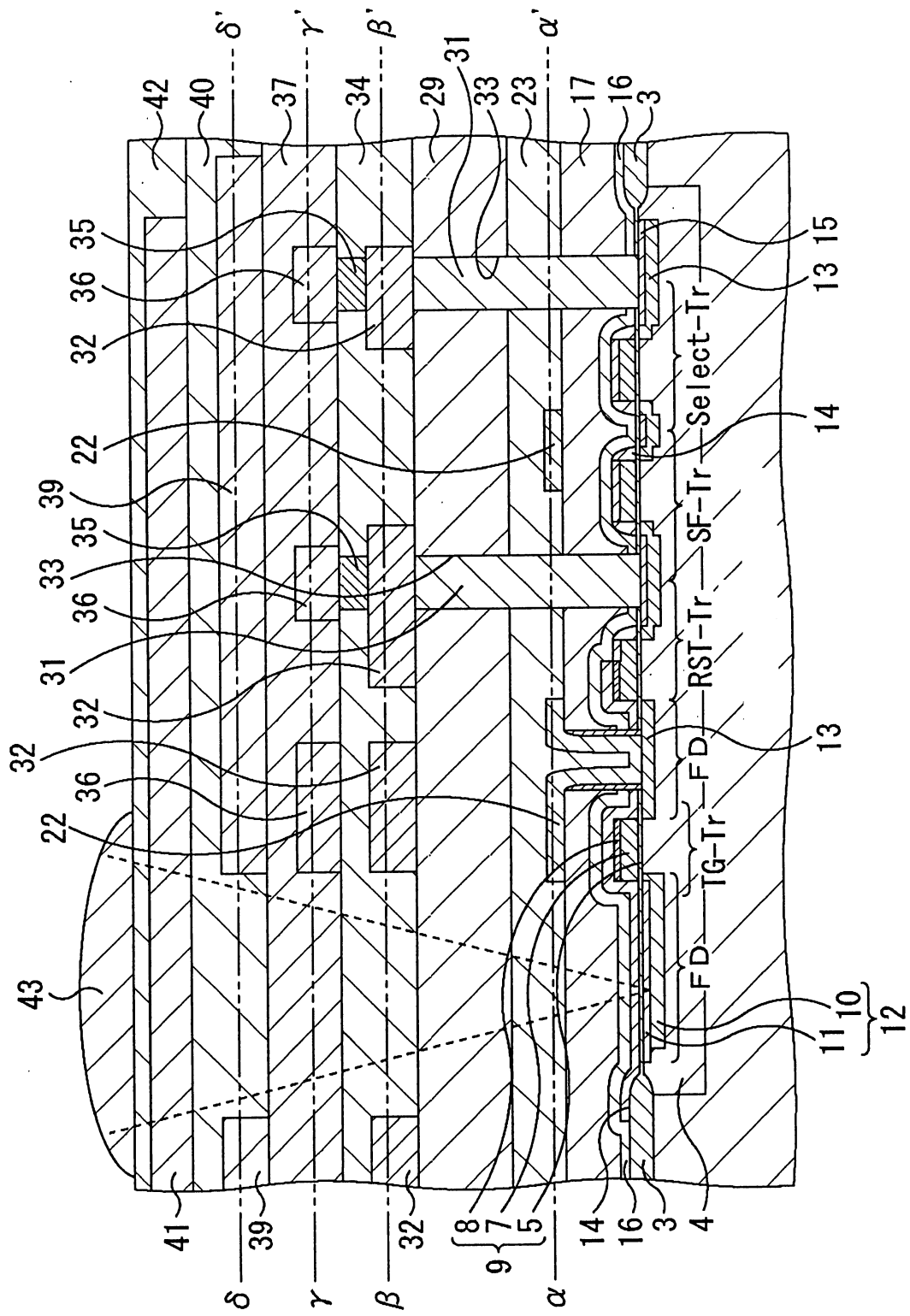
第 12B 圖



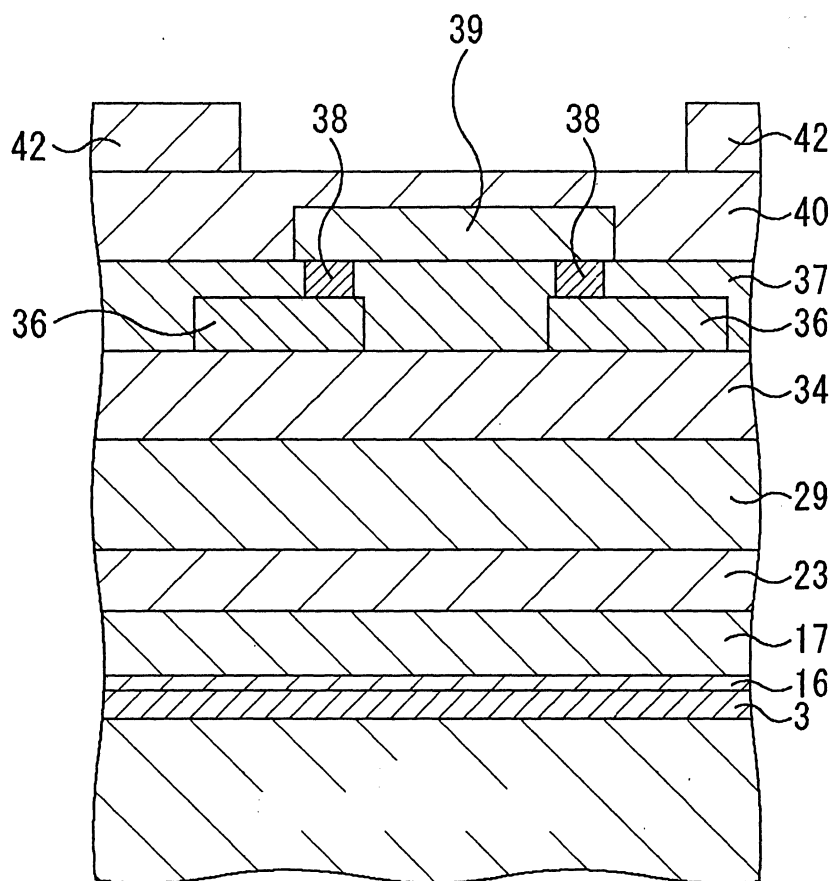
第 13 圖



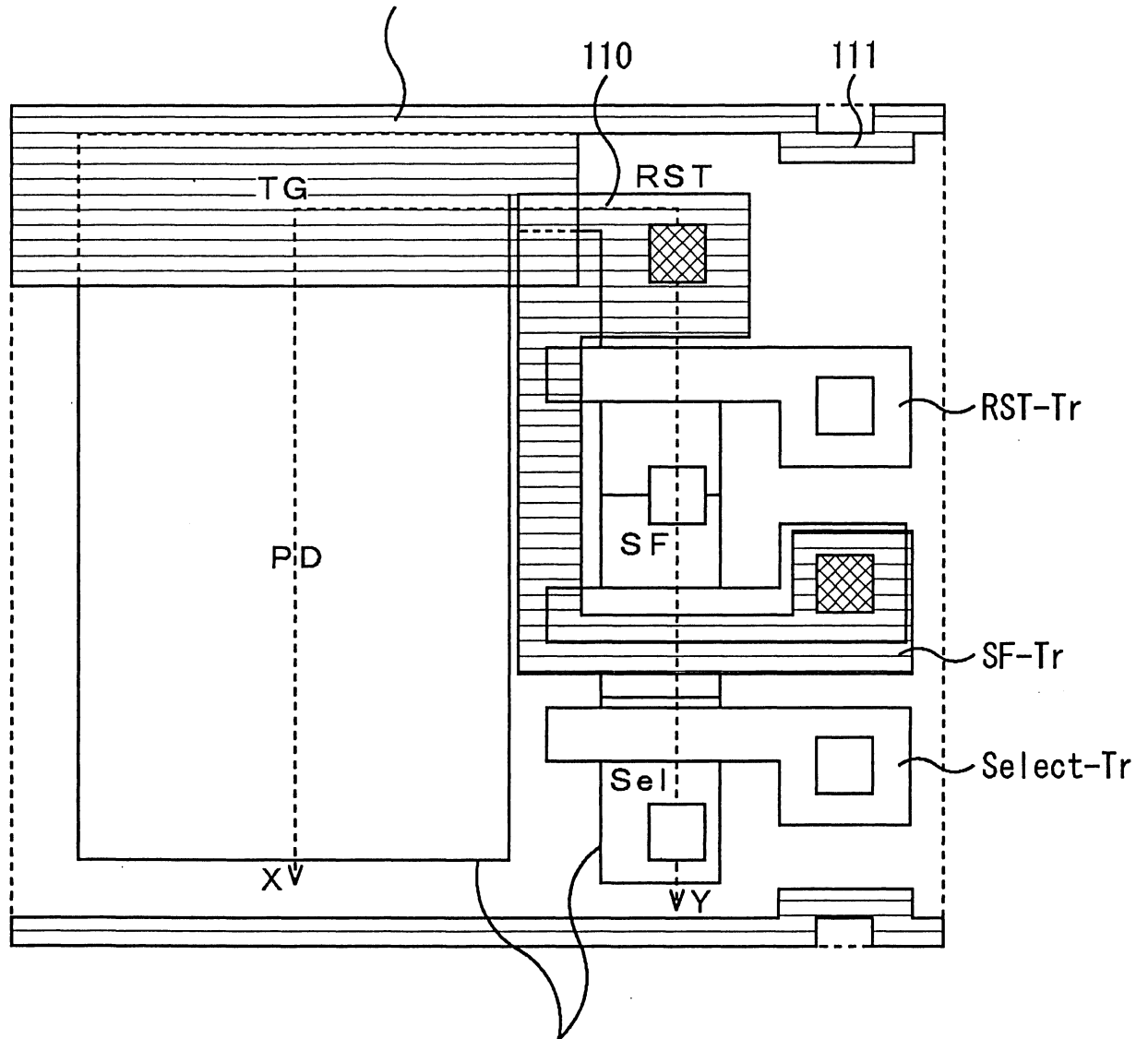
第 14 圖



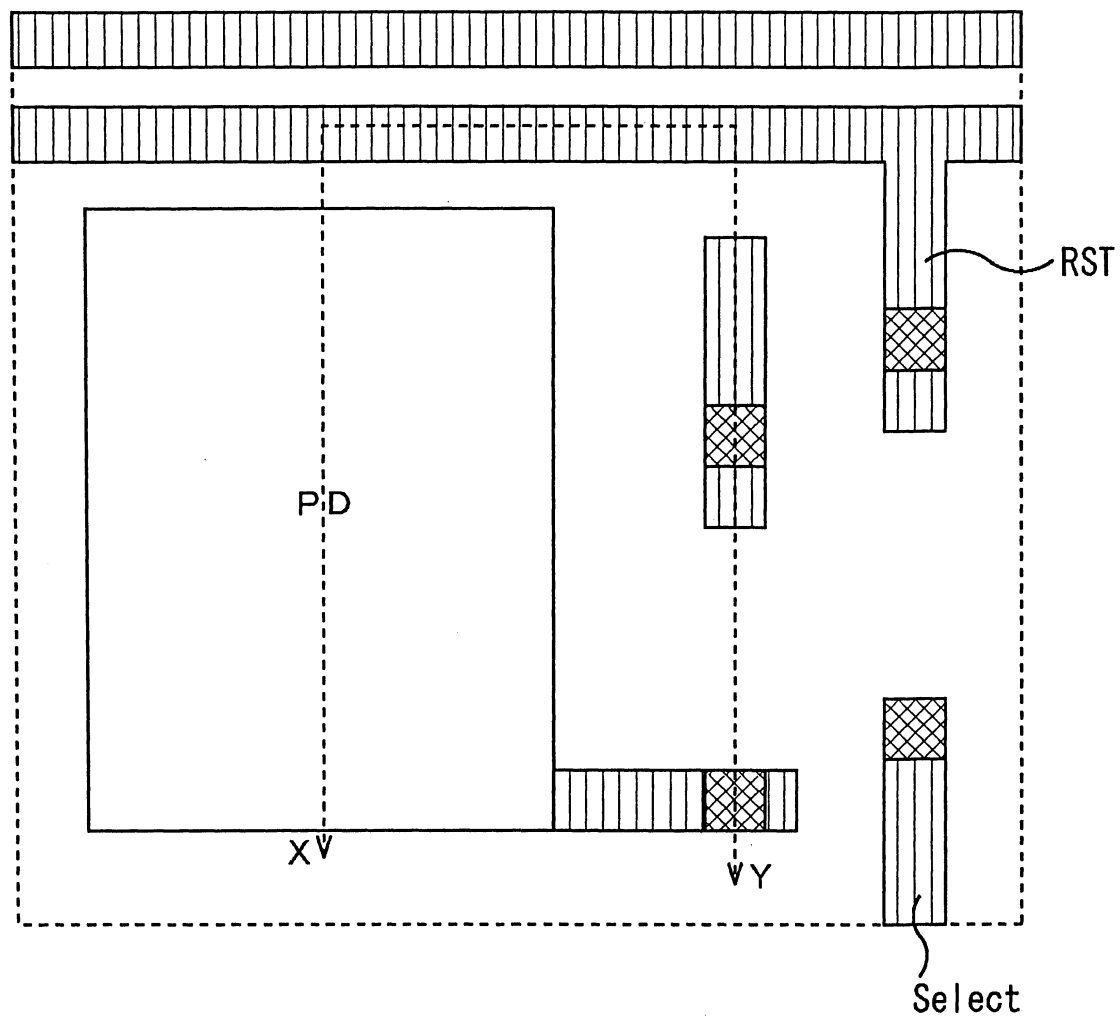
第 15 圖



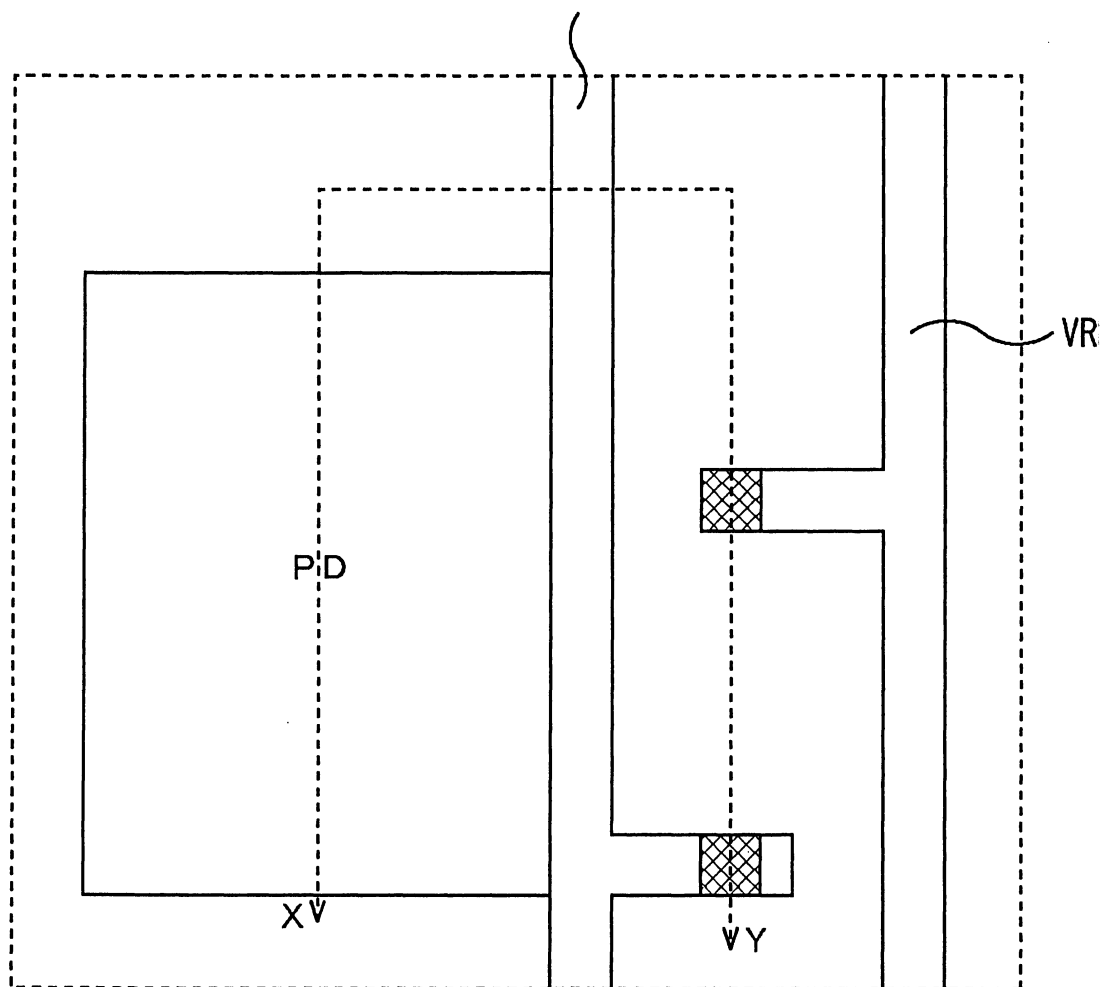
第 16 圖



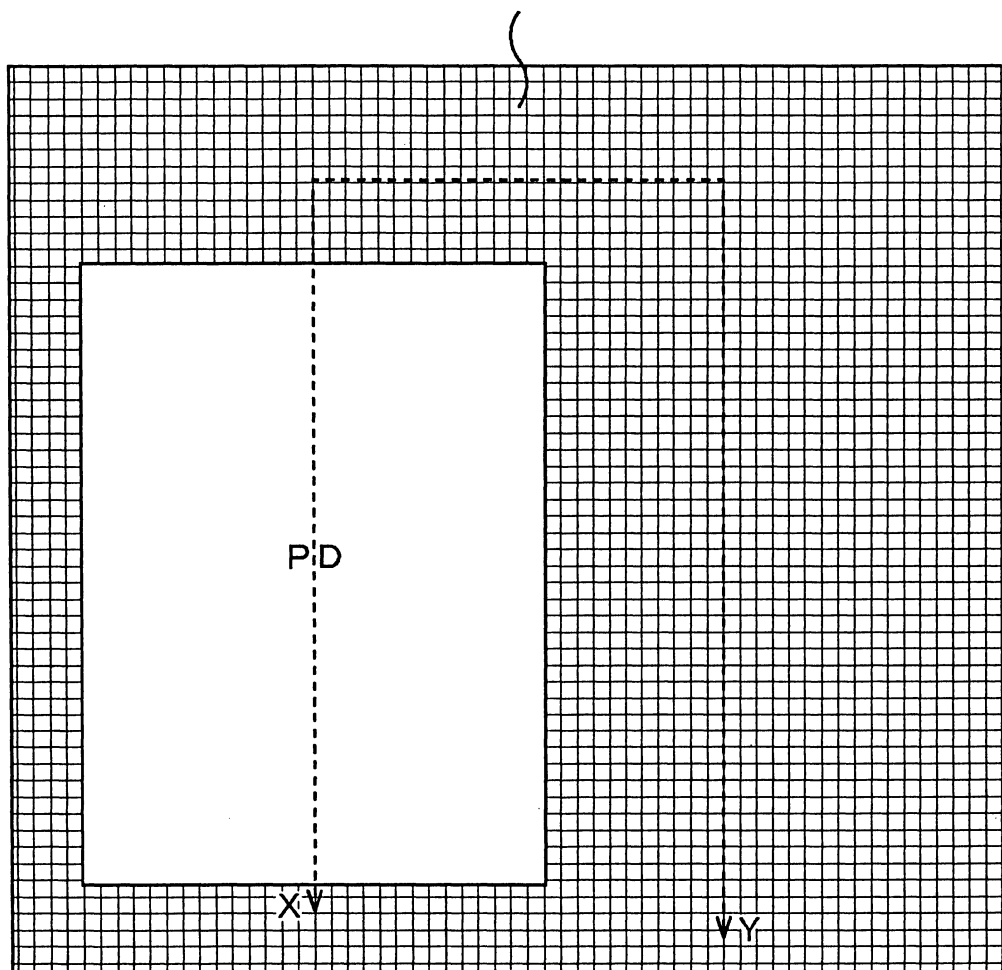
第 17 圖



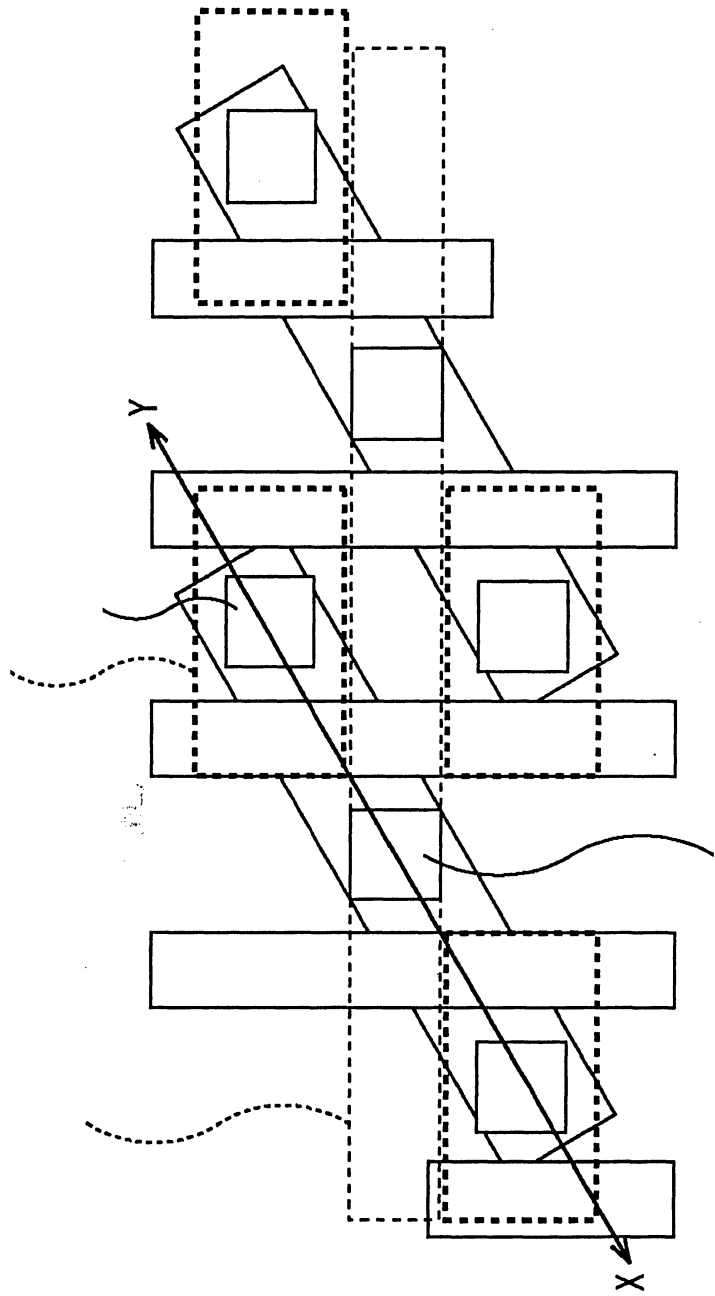
第 18 圖



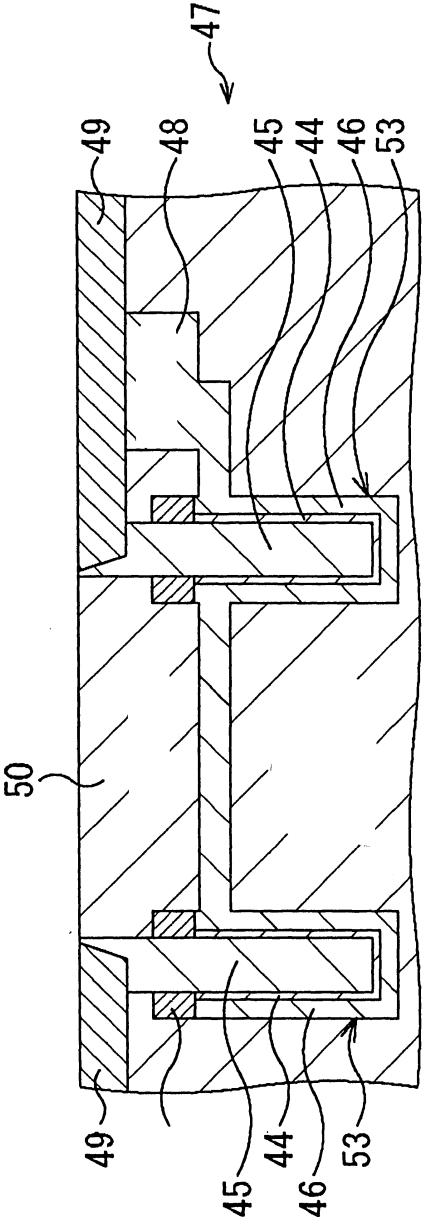
第 19 圖



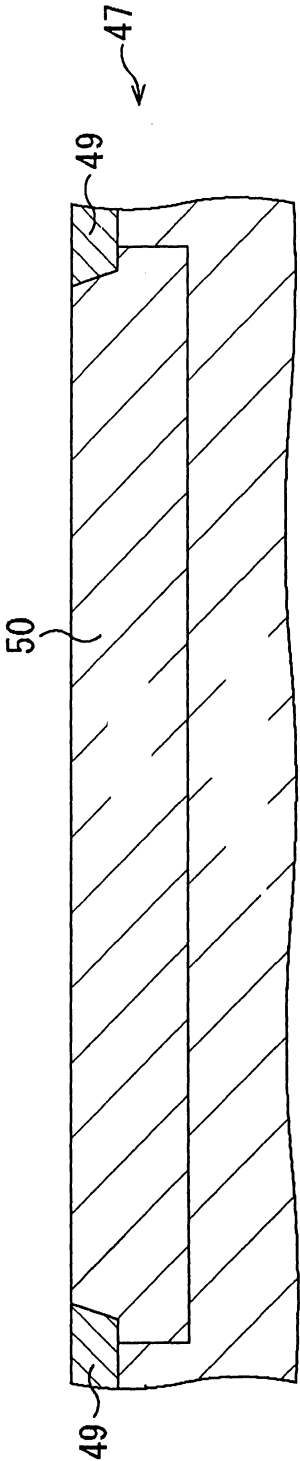
第 20 圖



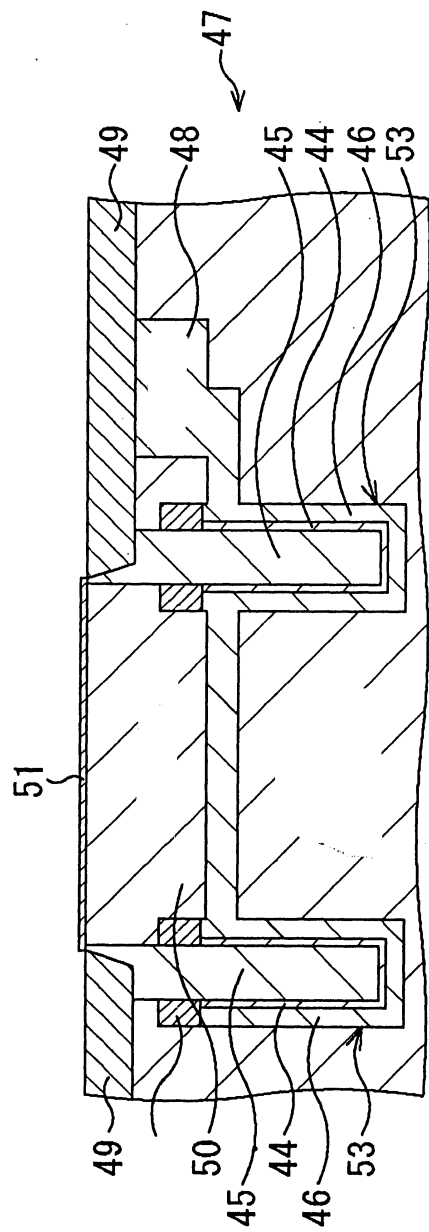
第 21A 圖



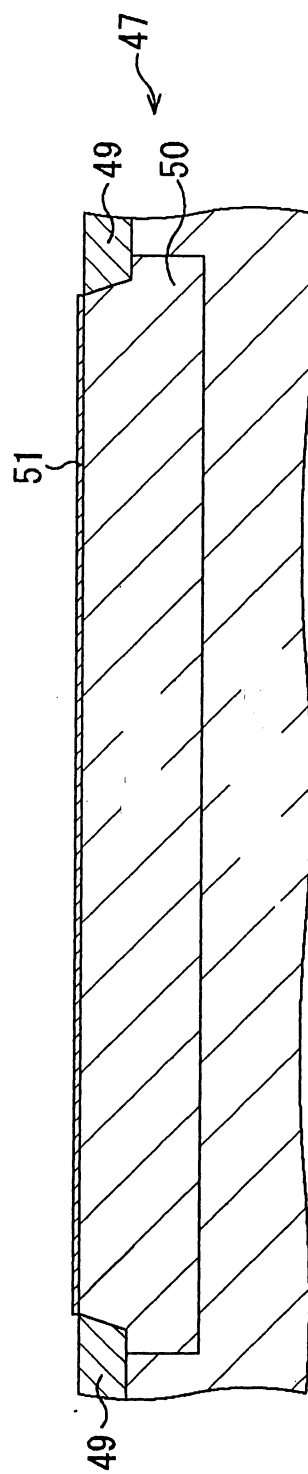
第 21B 圖



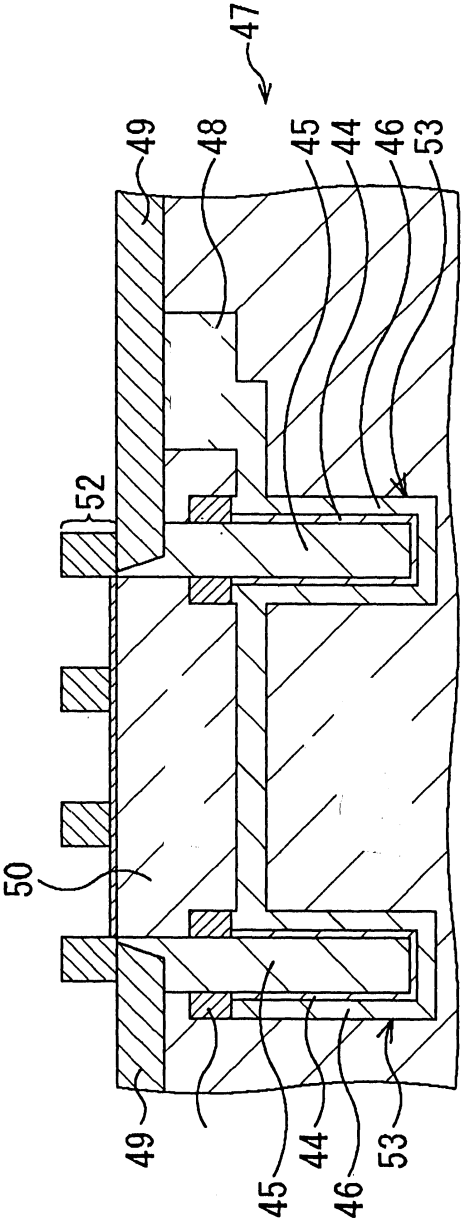
第 22A 圖



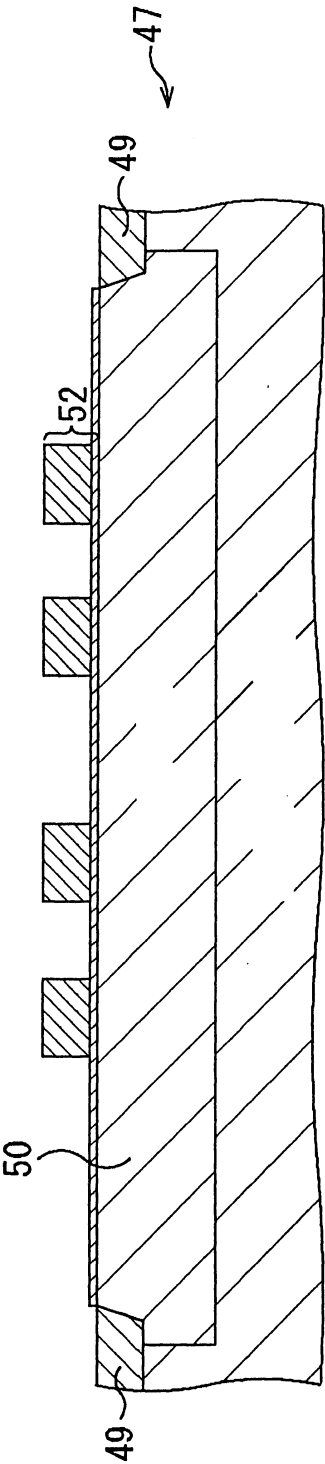
第 22B 圖



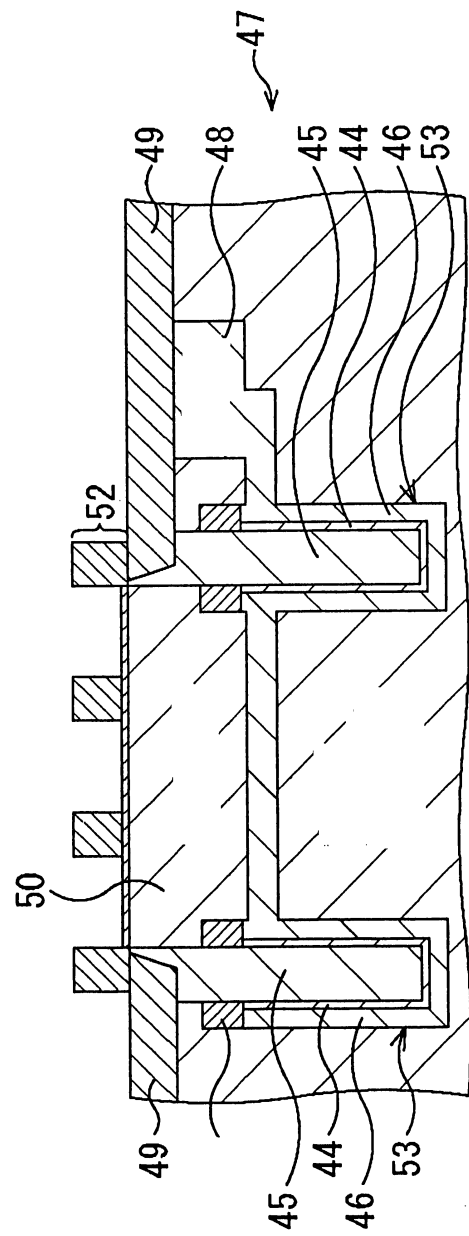
第 23A 圖



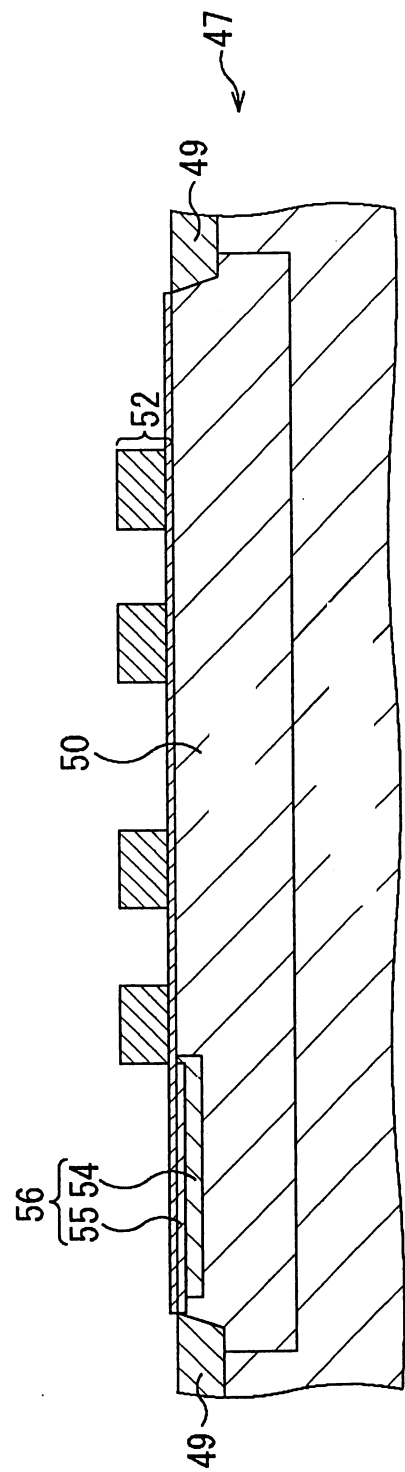
第 23B 圖



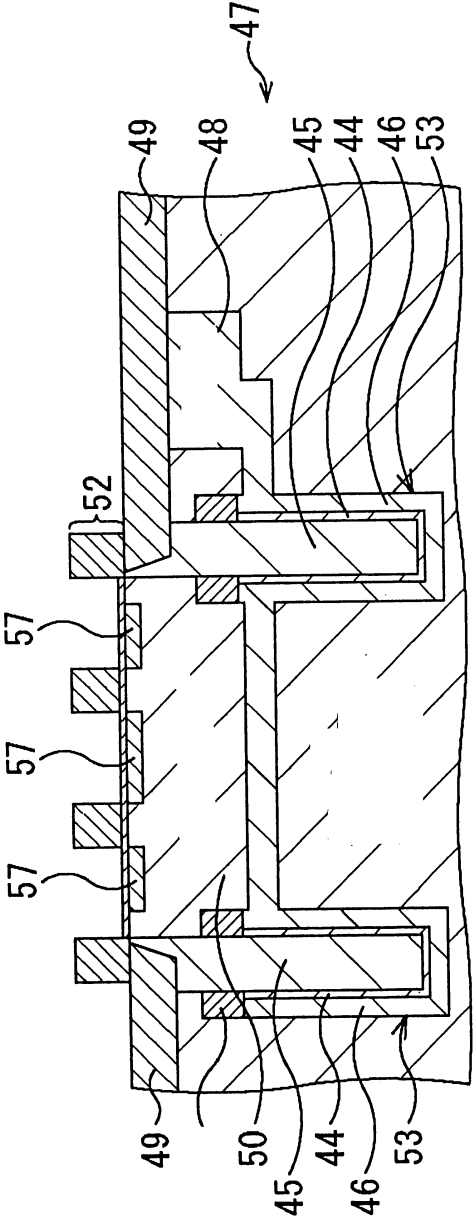
第 24A 圖



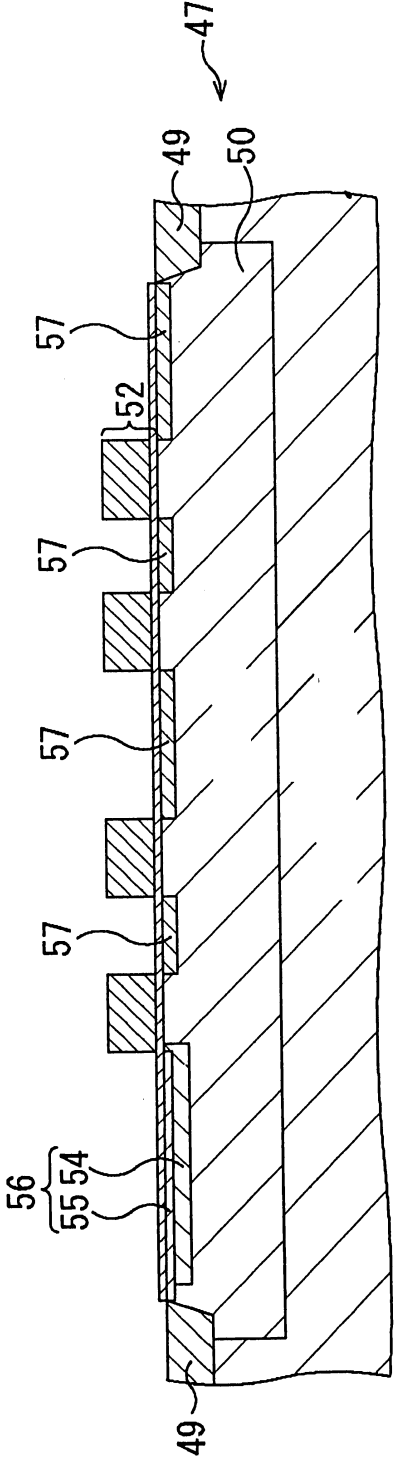
第 24B 圖



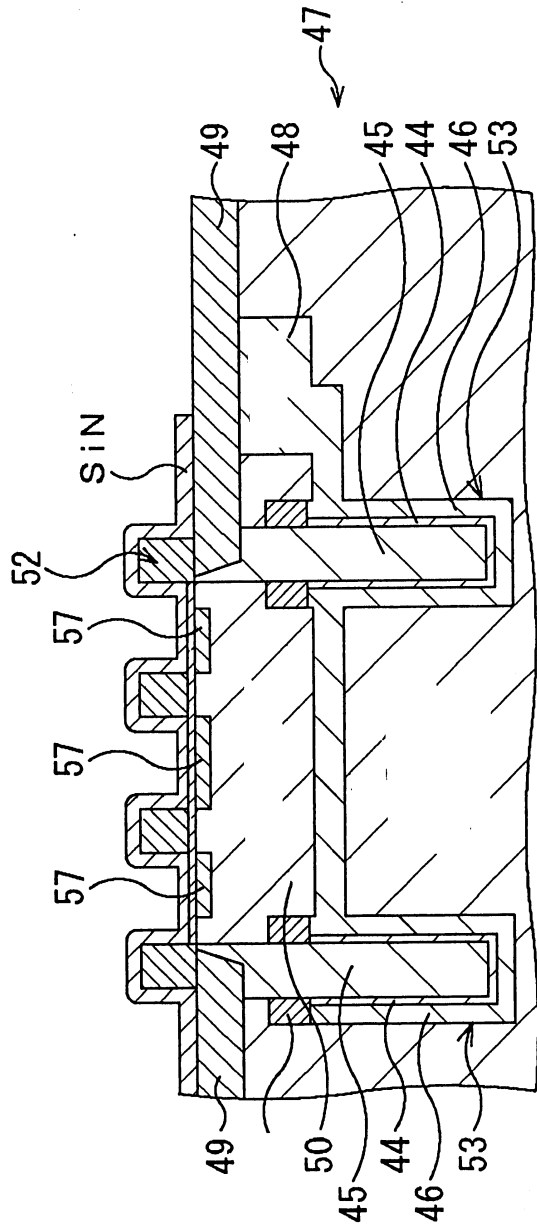
第 25A 圖



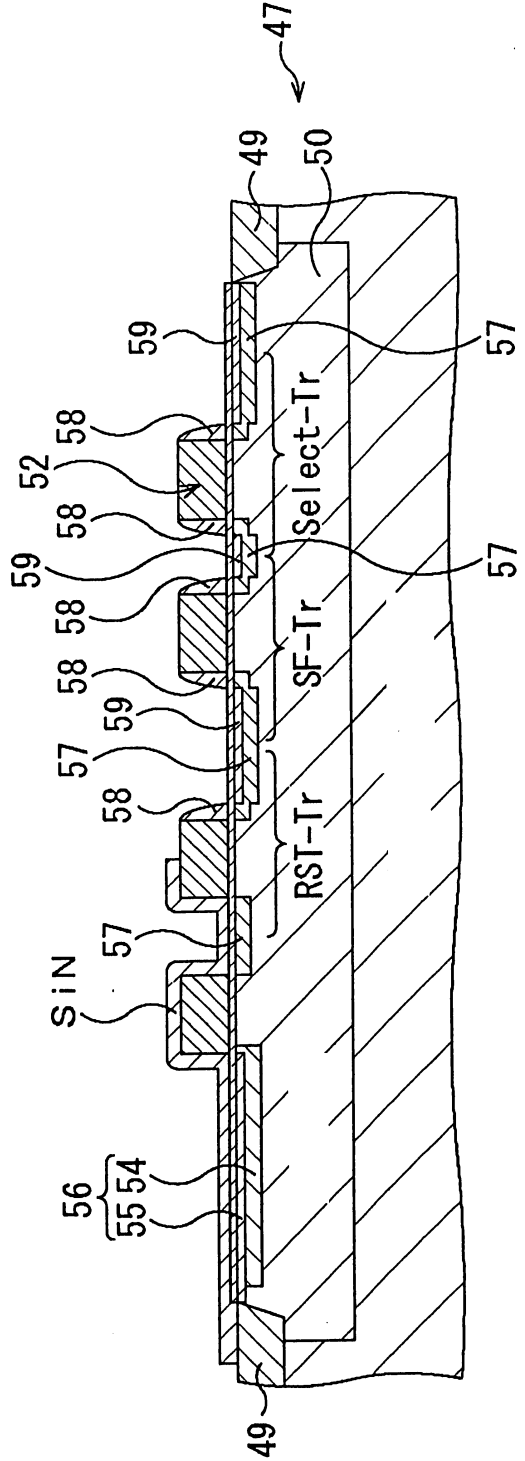
第 25B 圖



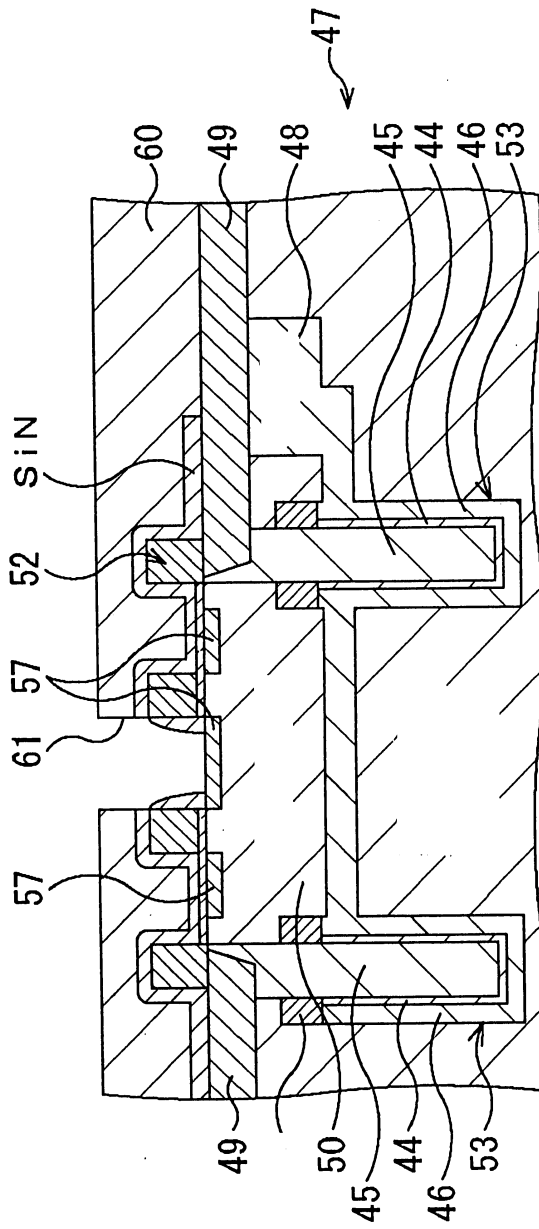
第 26A 圖



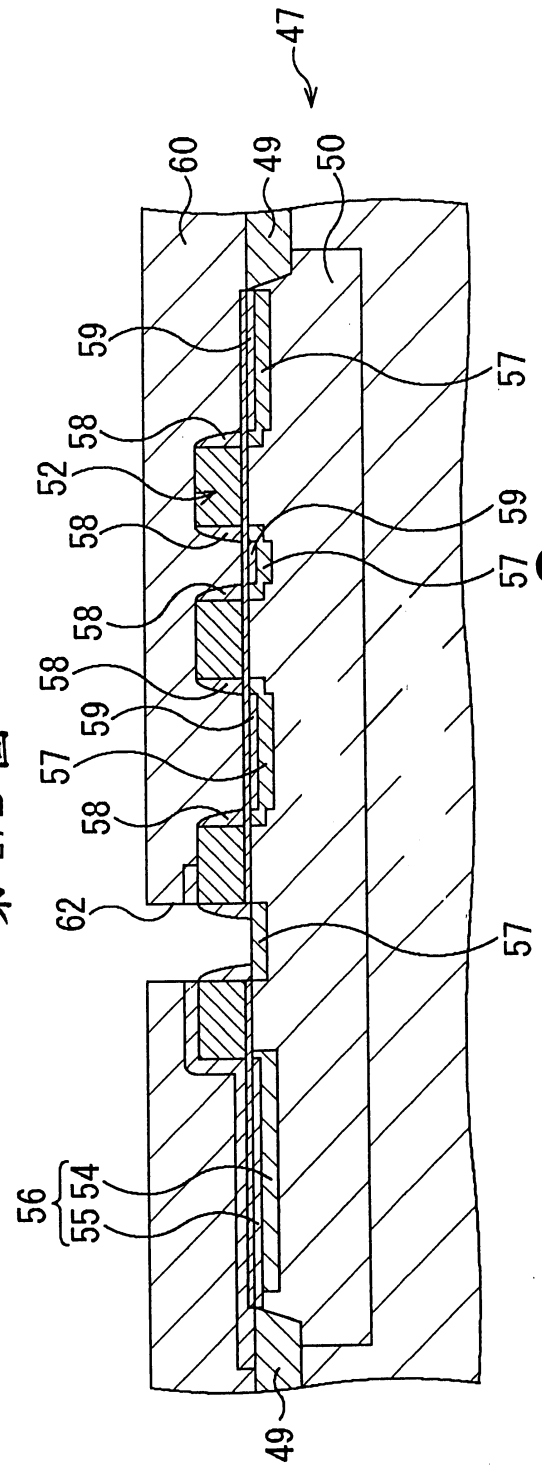
第 26B 圖



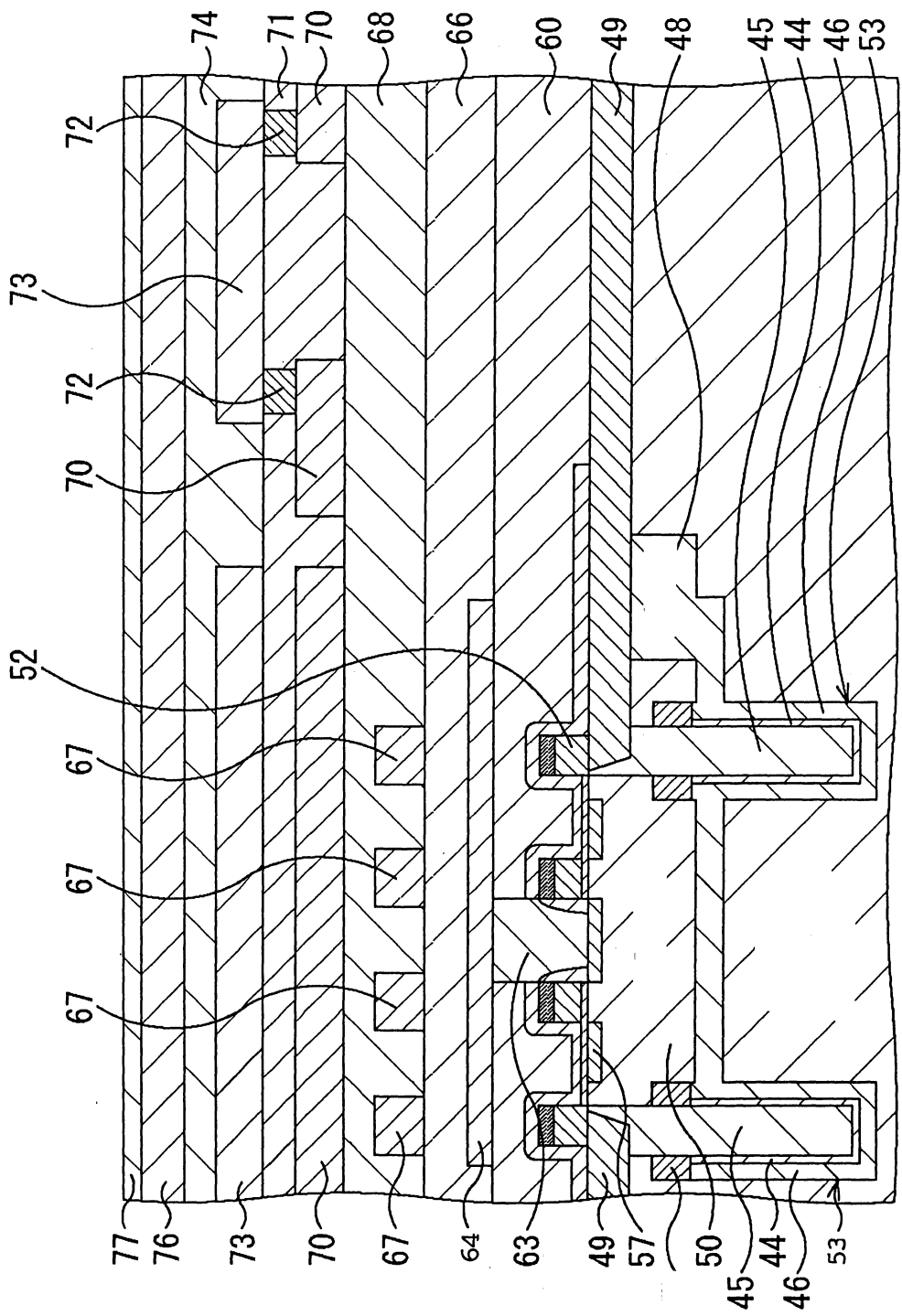
第 27A 圖



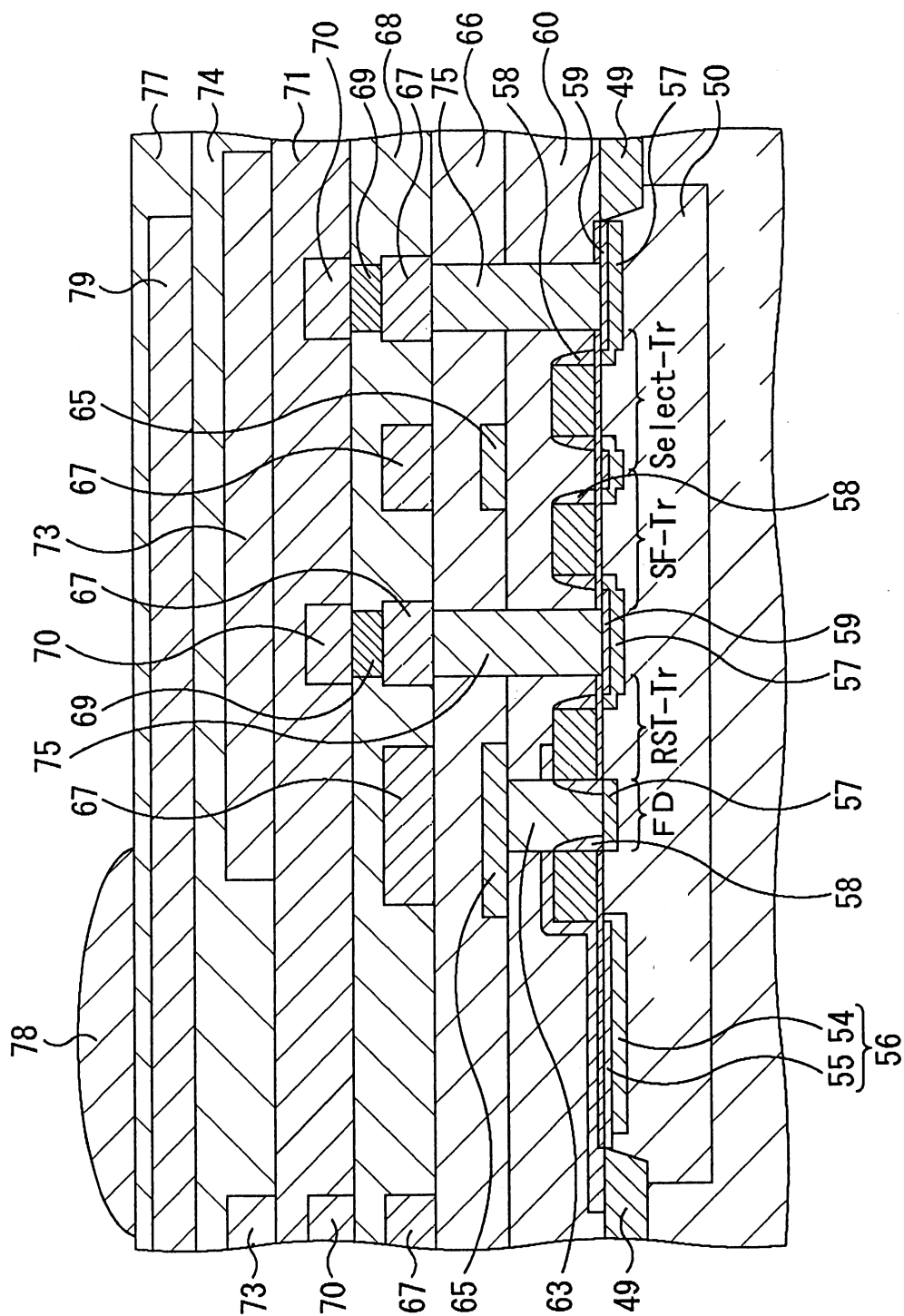
第27B圖



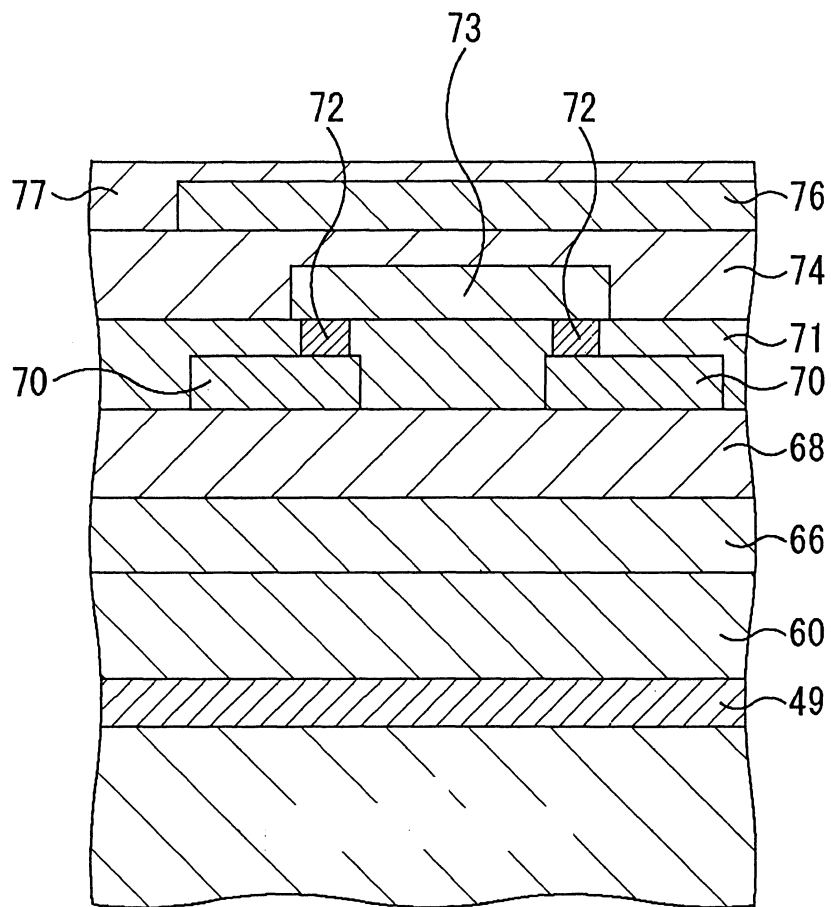
第 29 圖



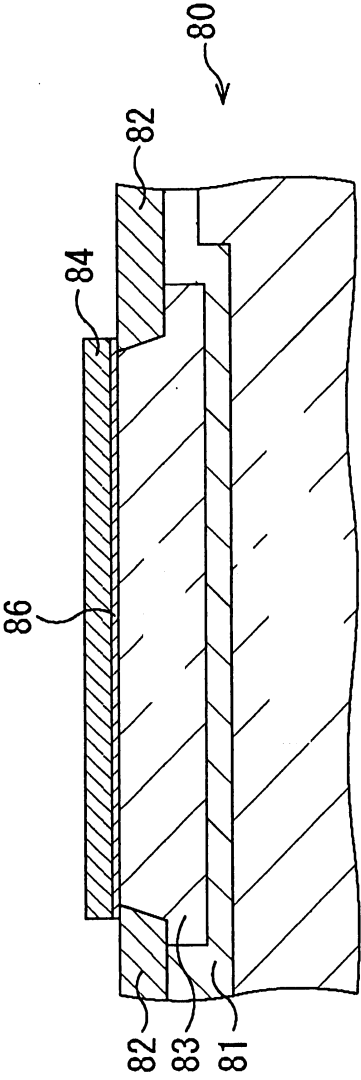
第 30 圖



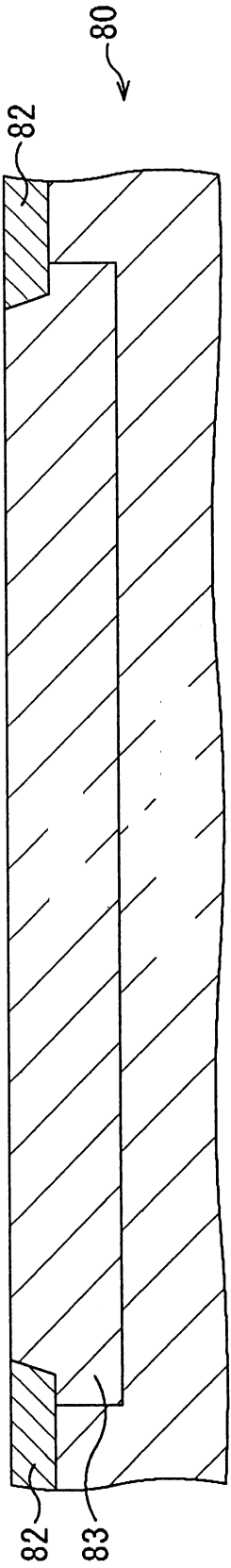
第 31 圖



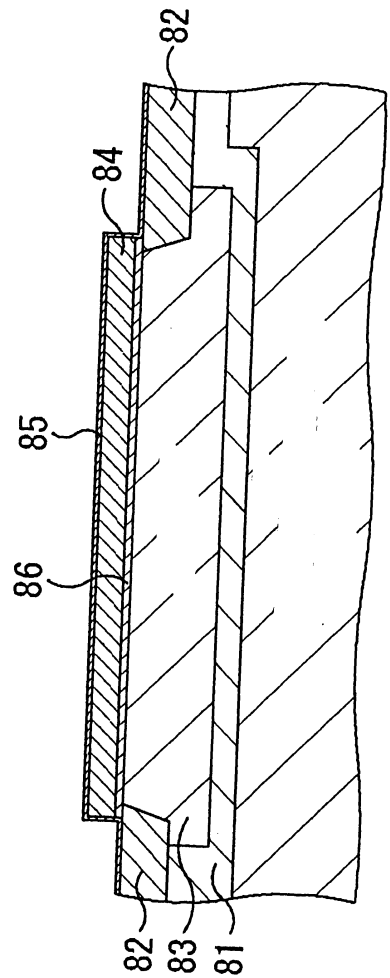
第 32A 圖



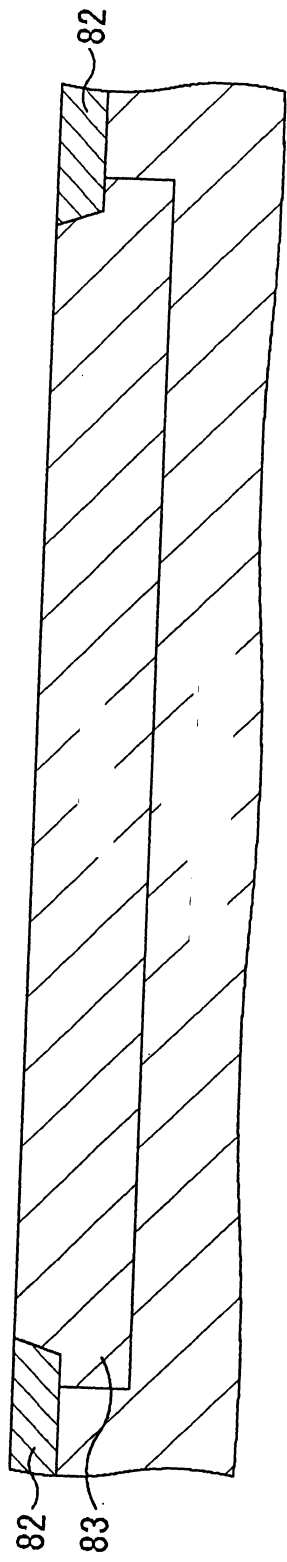
第 32B 圖



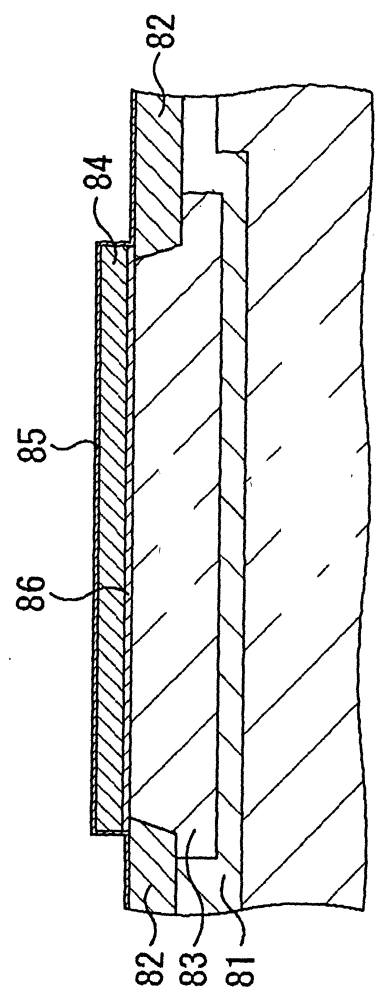
第 33A 圖



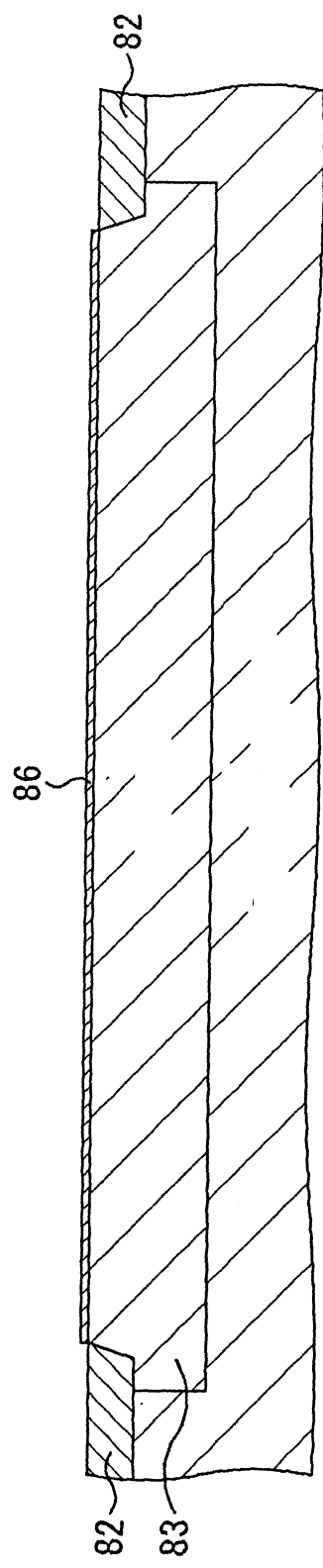
第 33B 圖



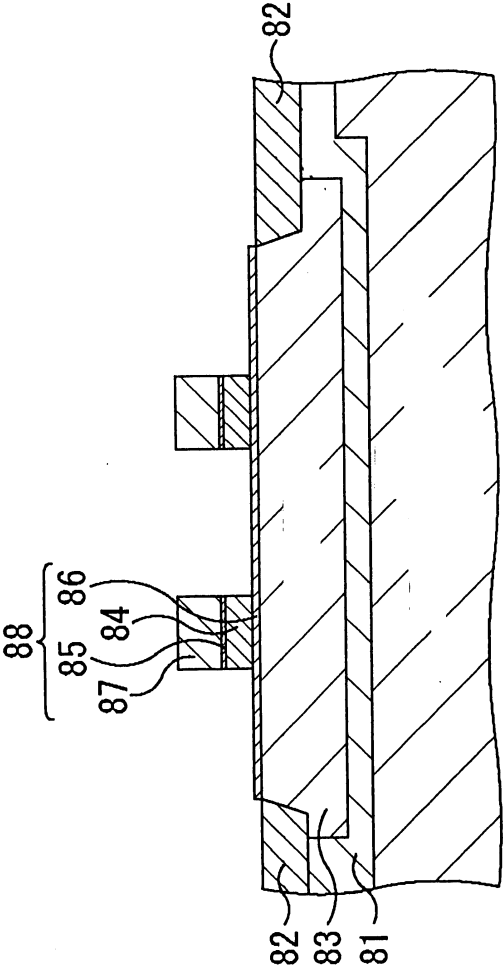
第 34A 圖



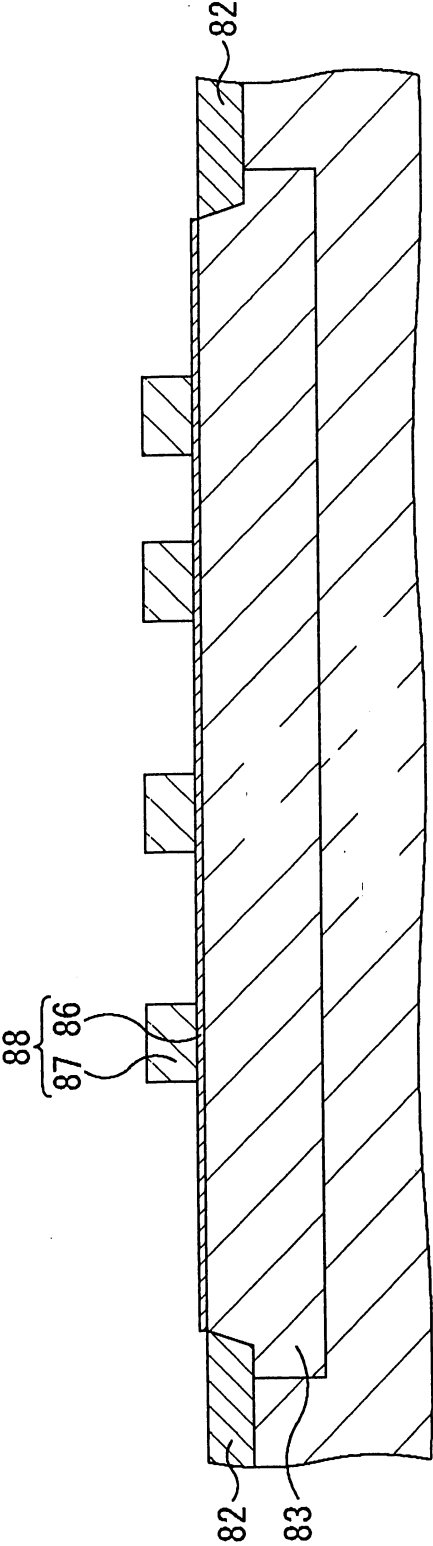
第 34B 圖



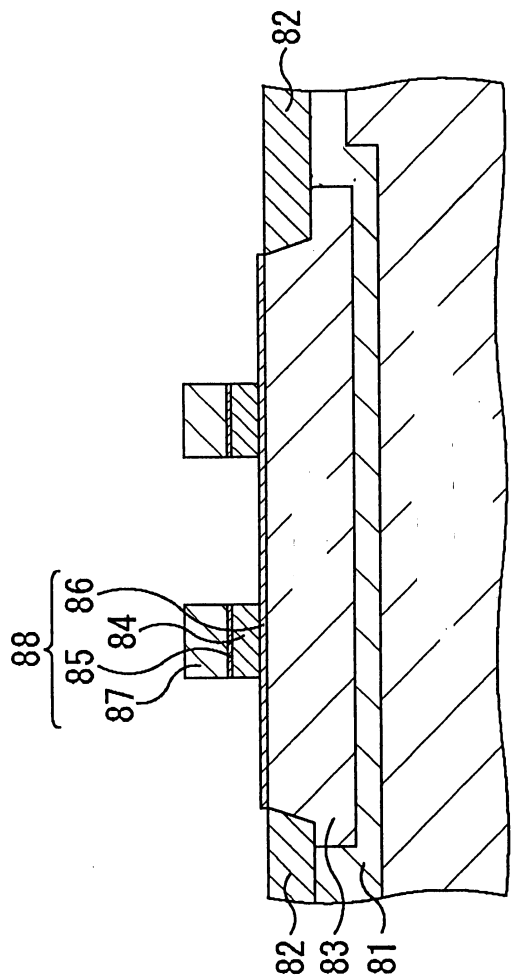
第 35A 圖



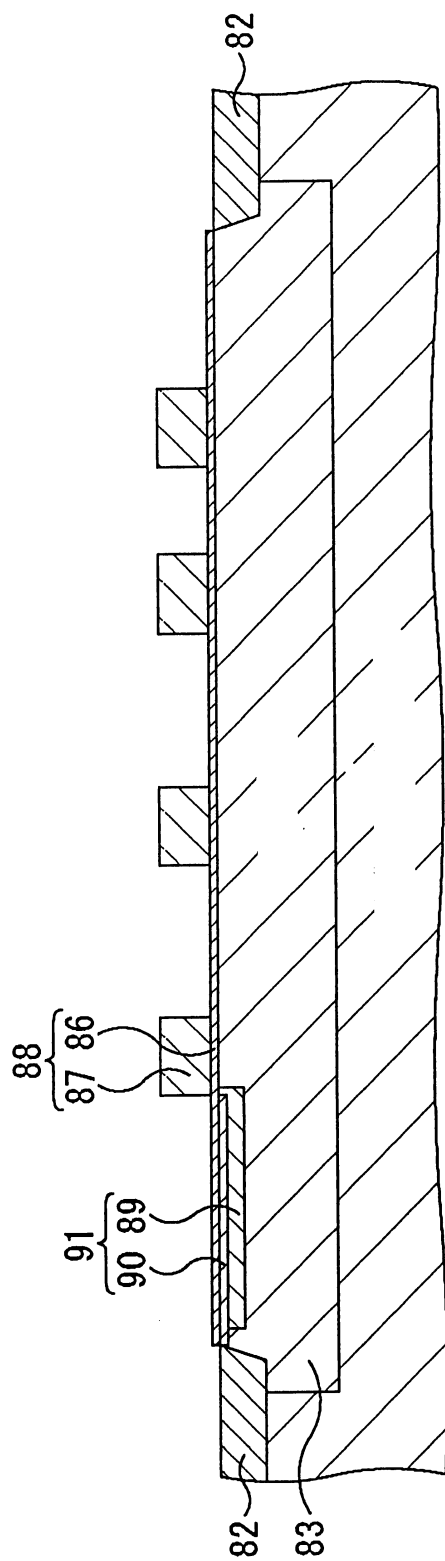
第 35B 圖



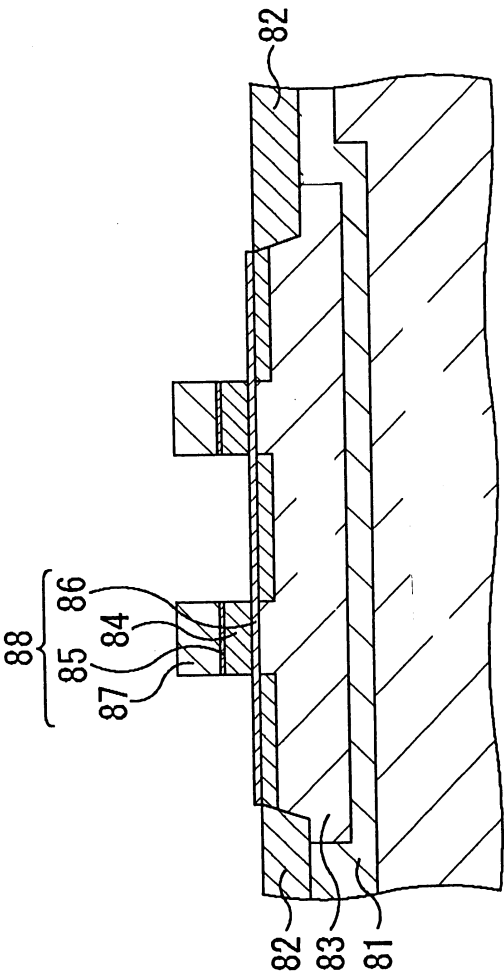
第 36A 圖



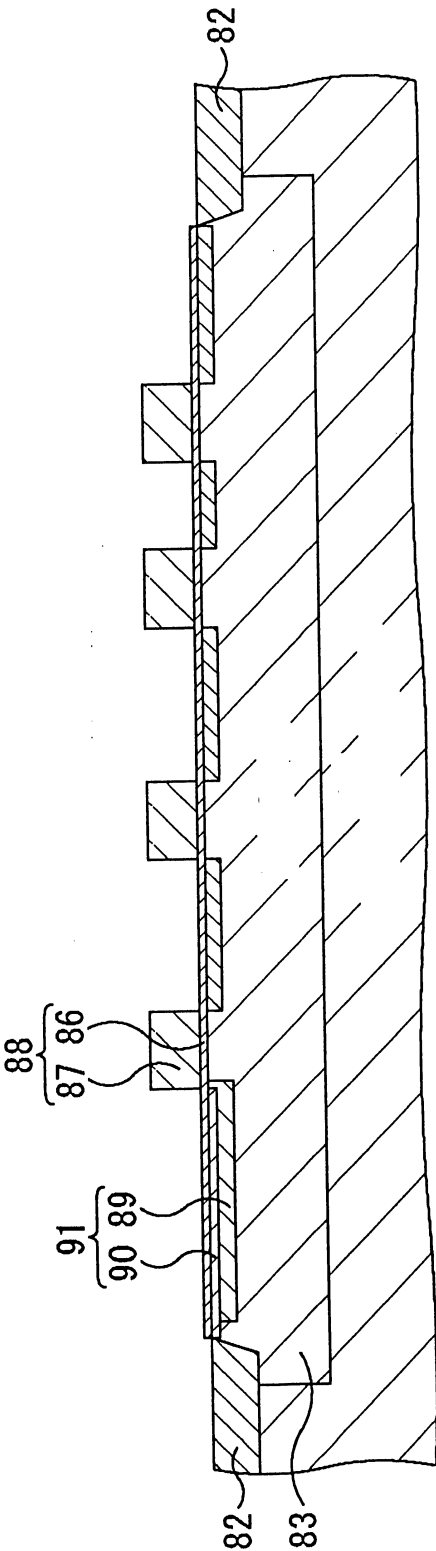
第 36B 圖



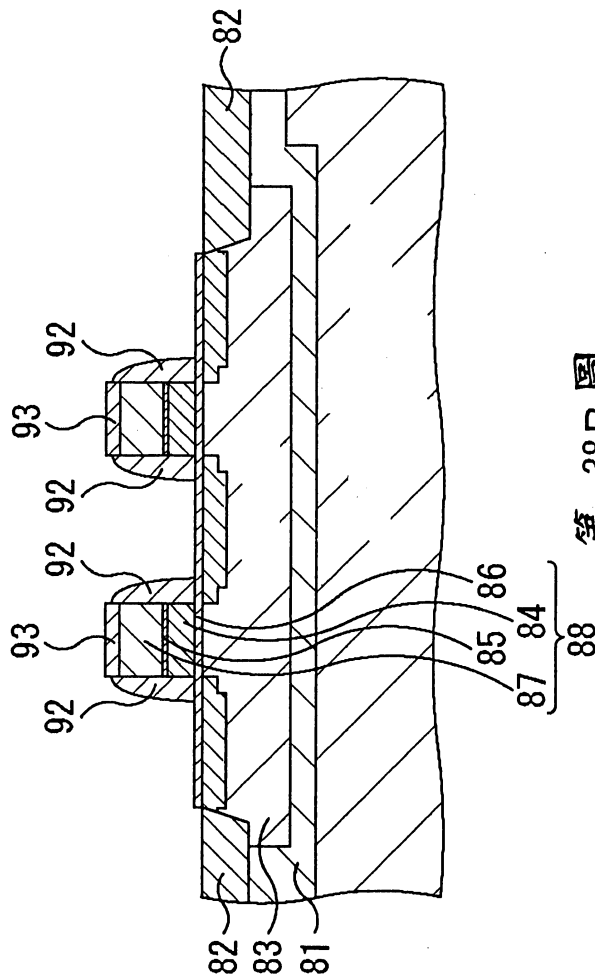
第 37A 圖



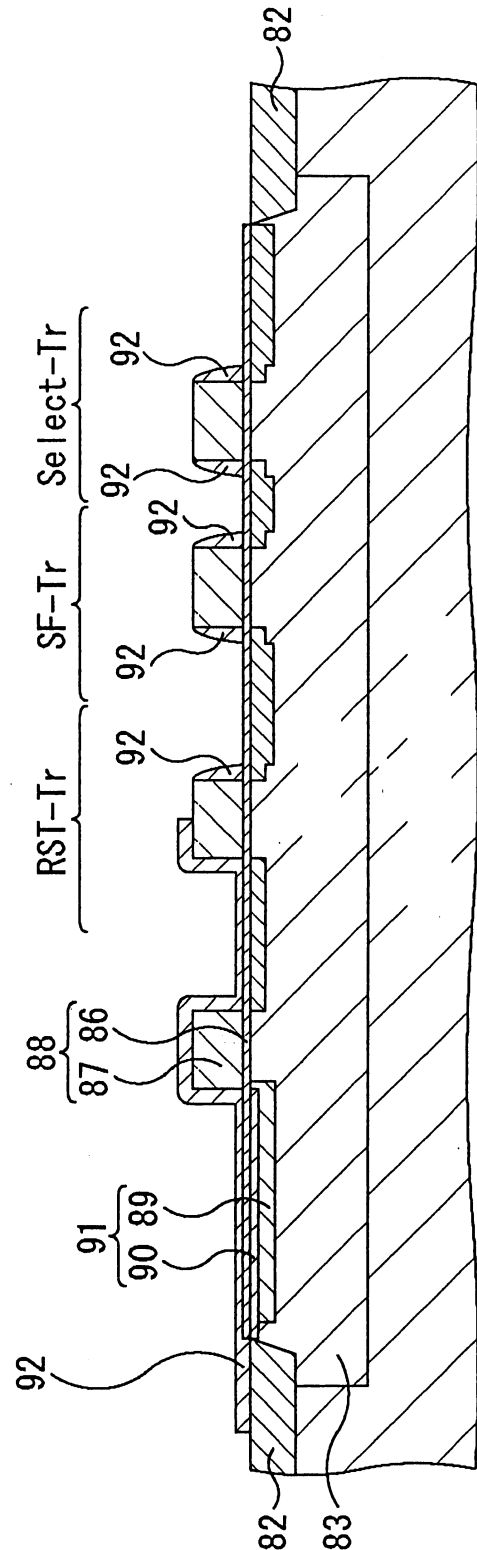
第 37B 圖



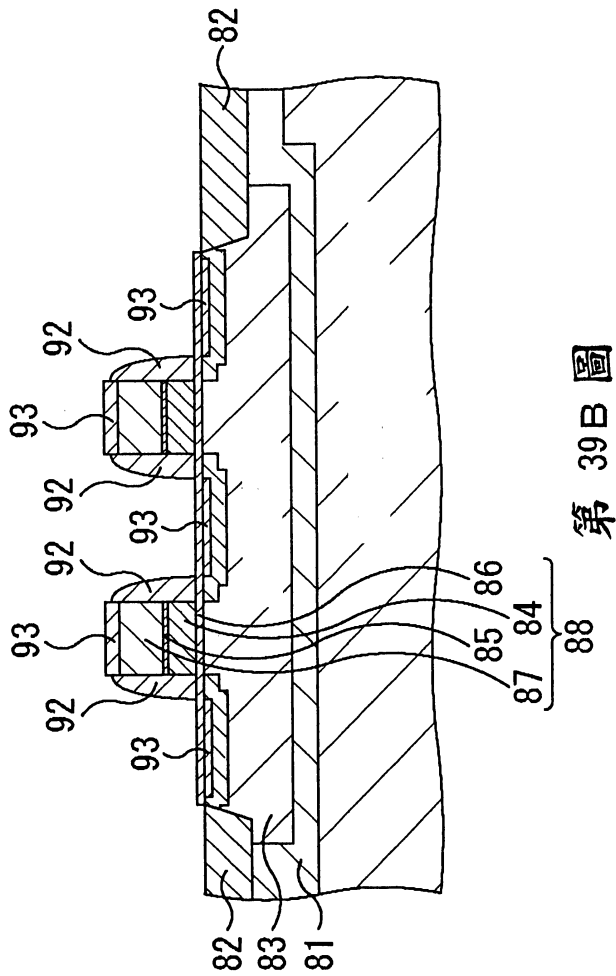
第 38A 圖



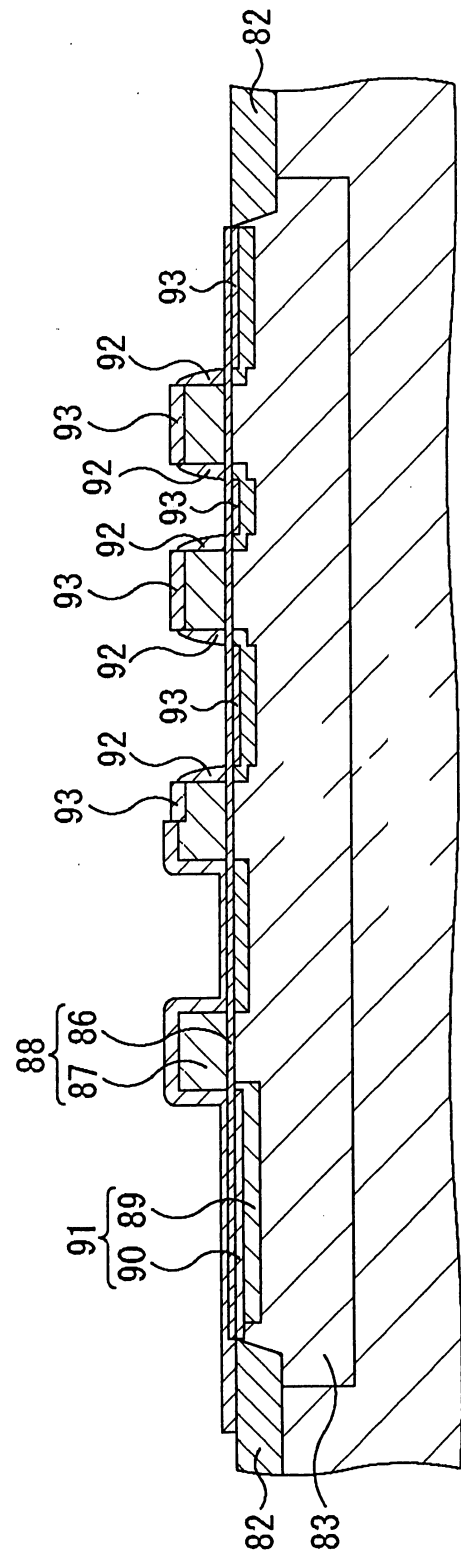
第 38B 圖



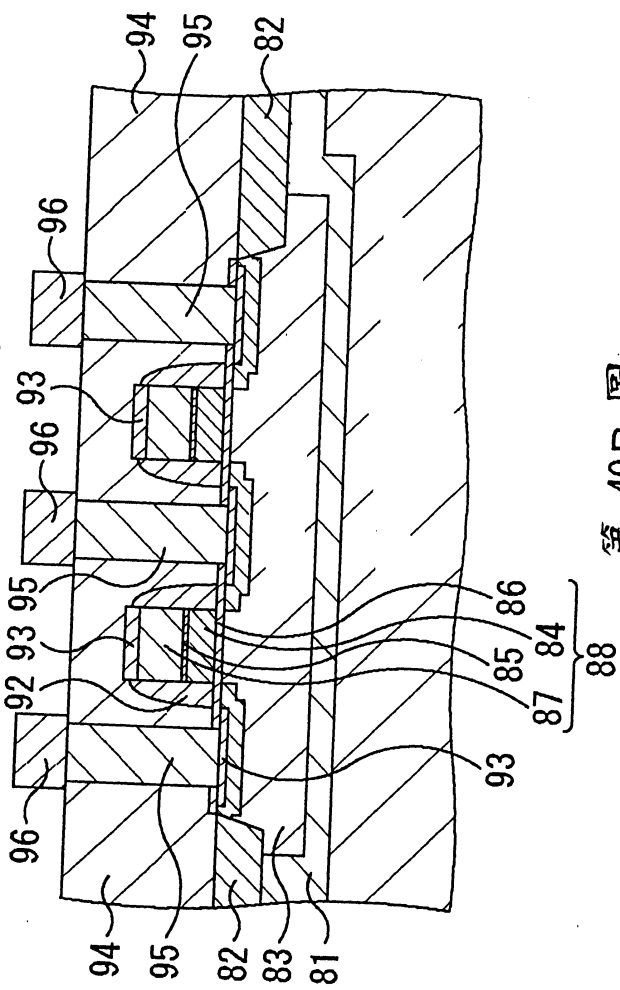
第 39A 圖



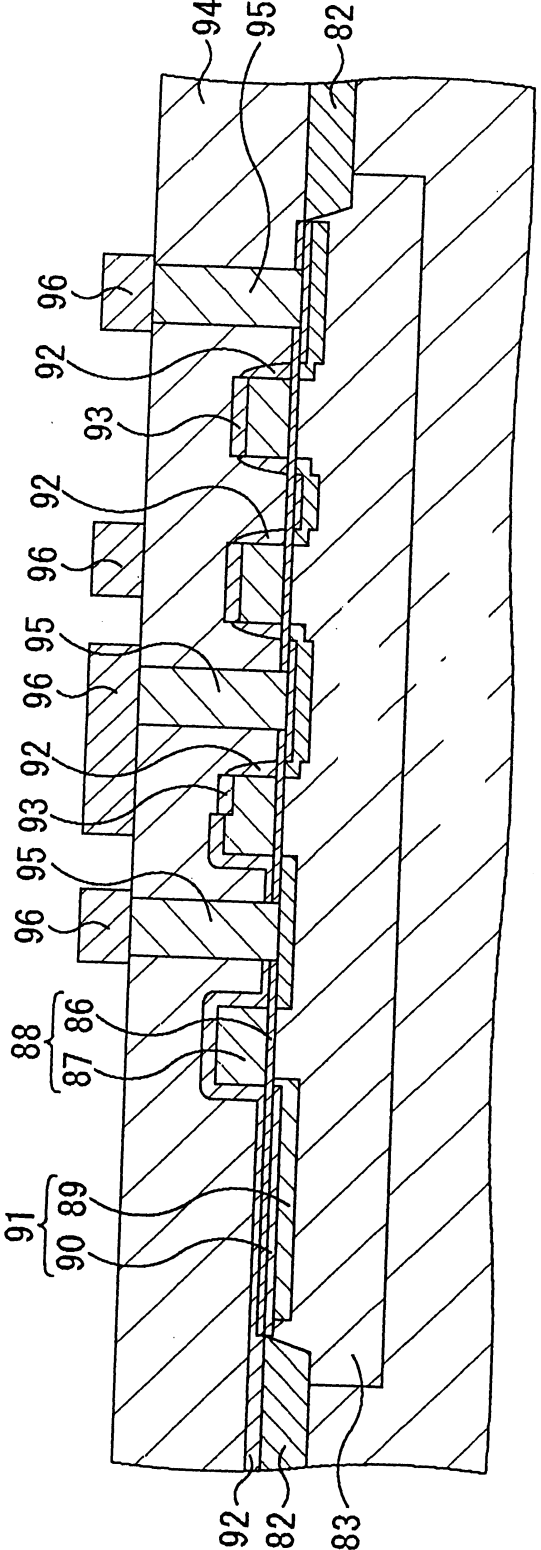
第 39B 圖



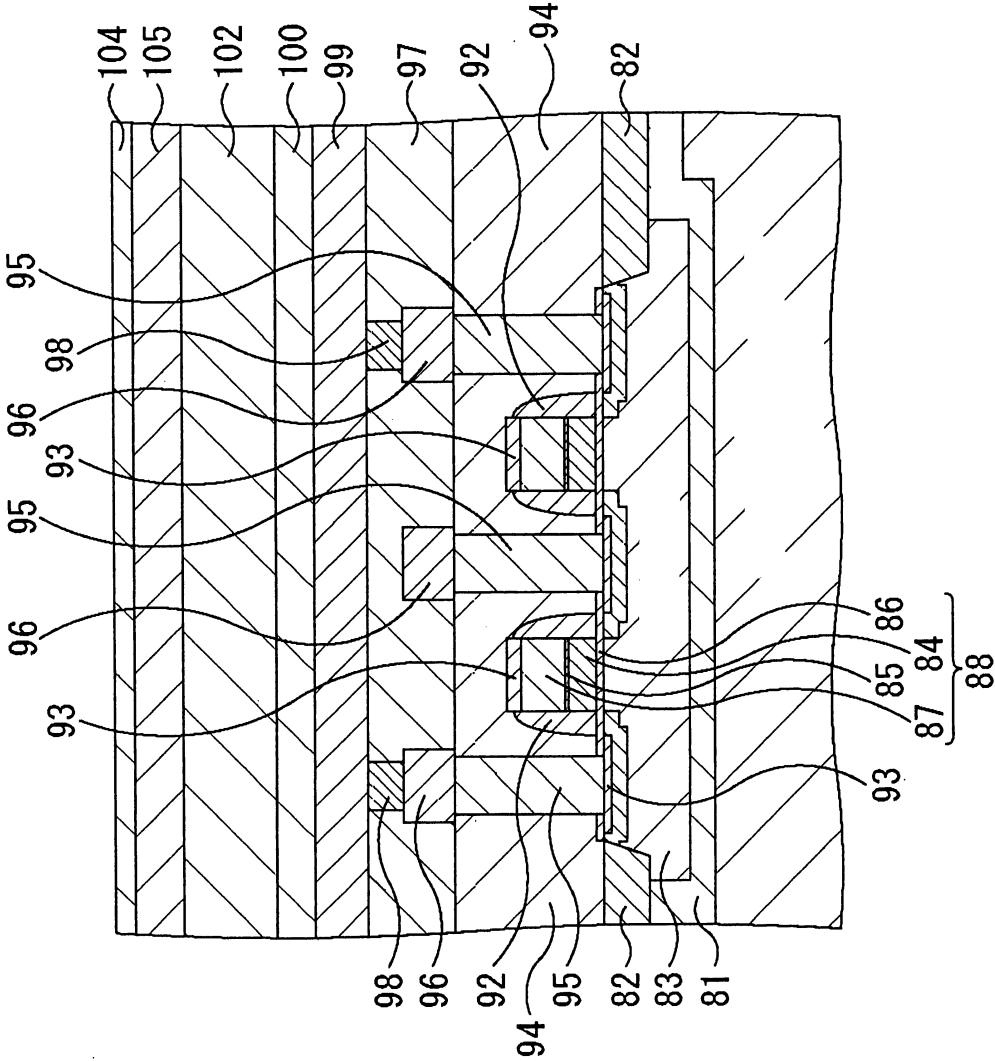
第 40A 圖



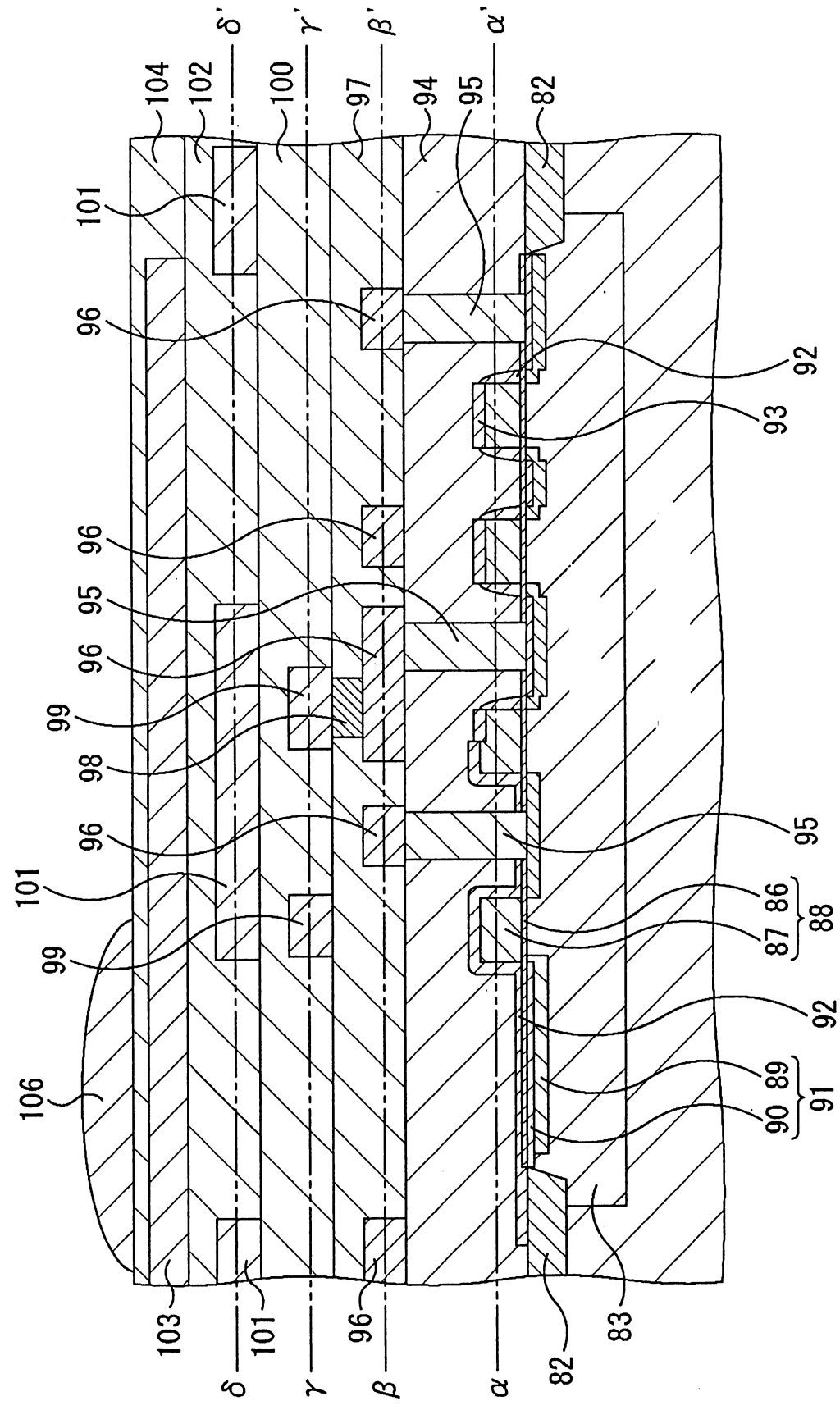
第 40B 圖



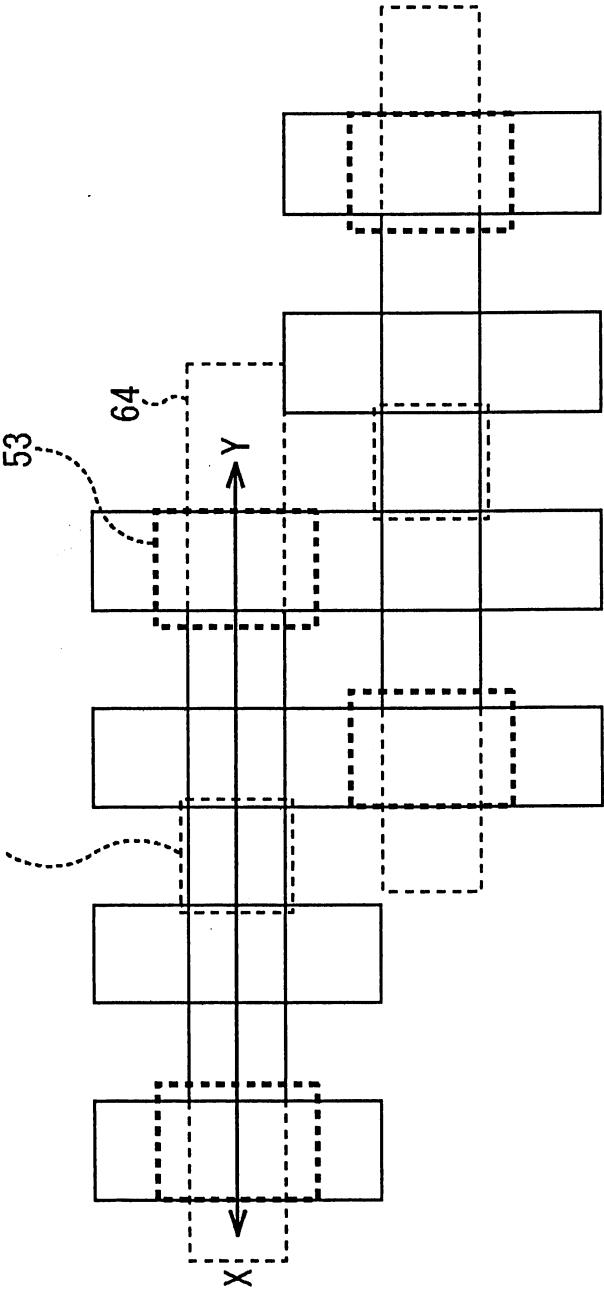
第 41 圖



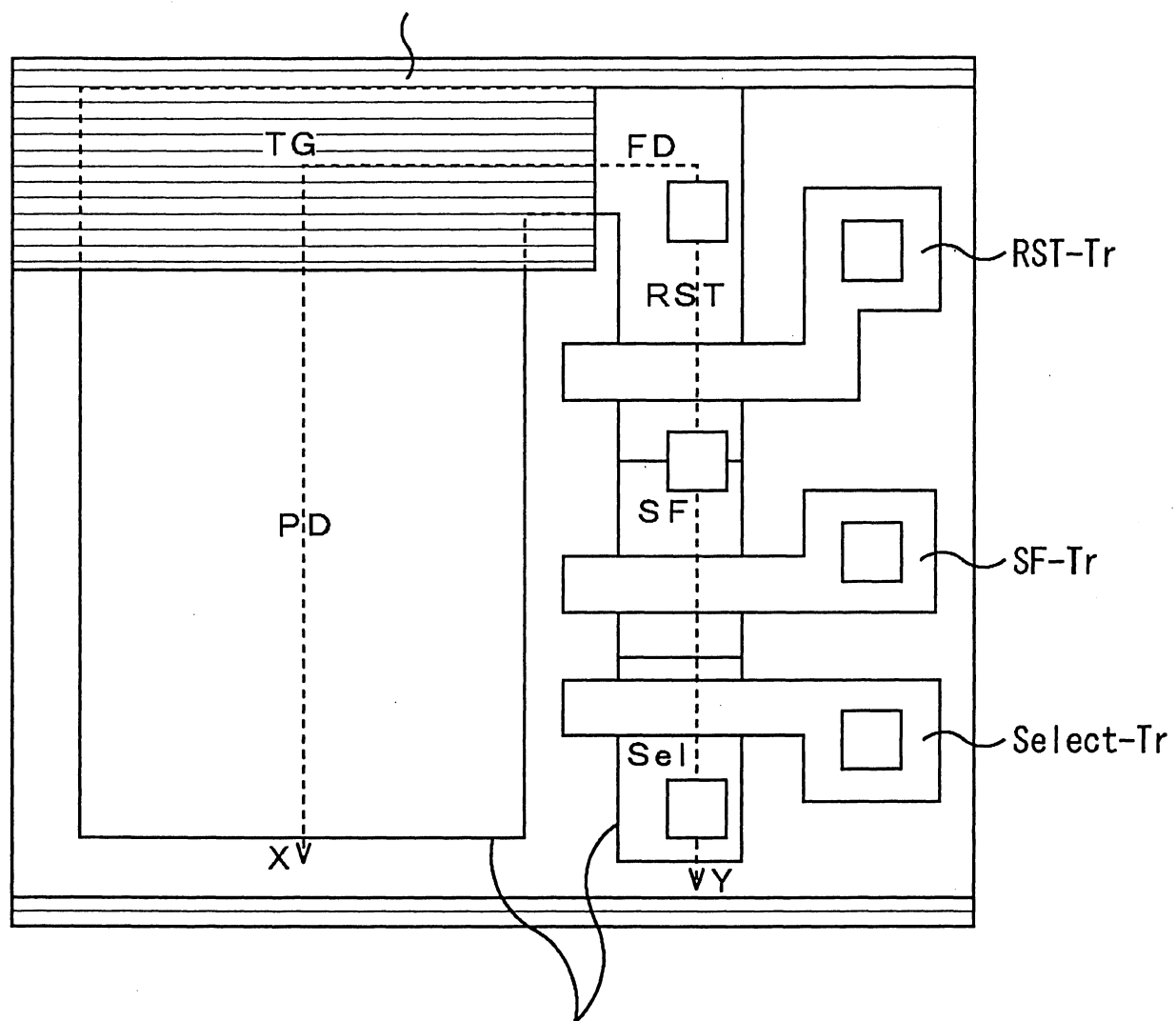
第 42 圖



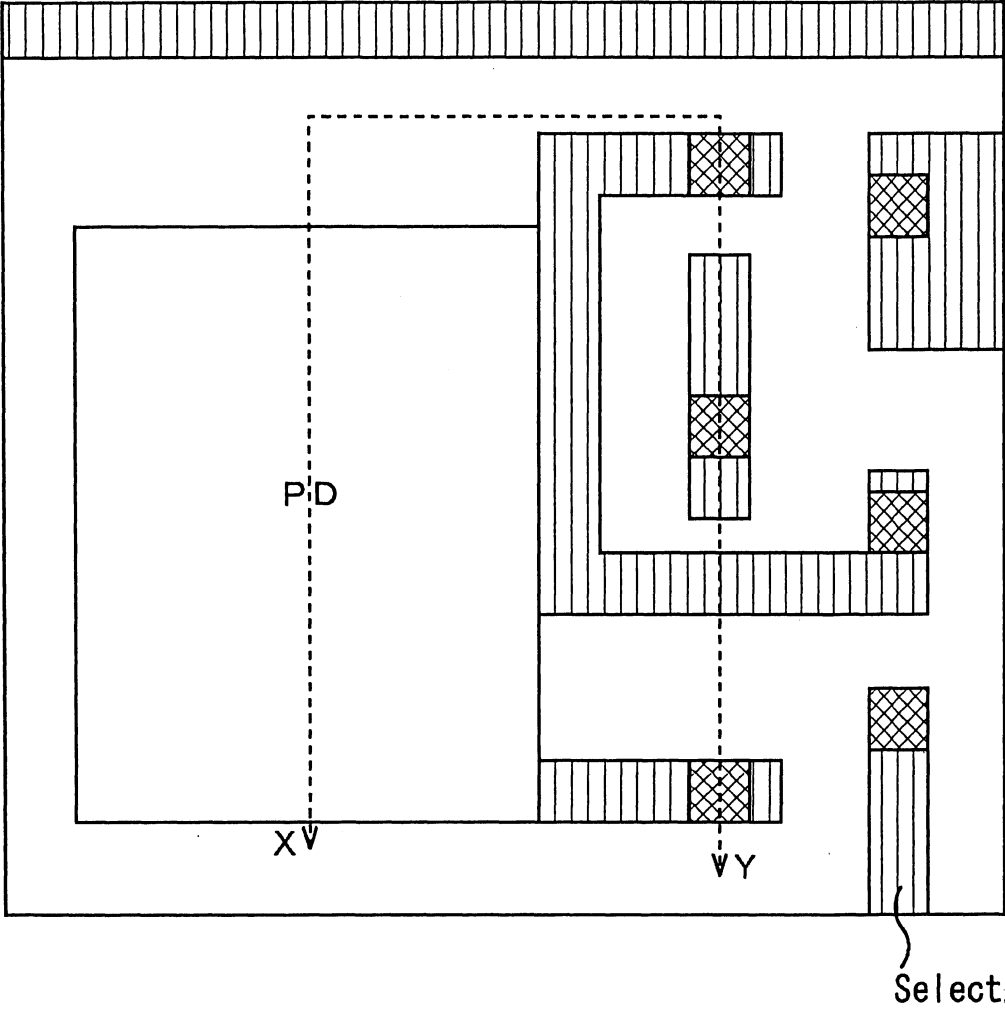
第 43 圖



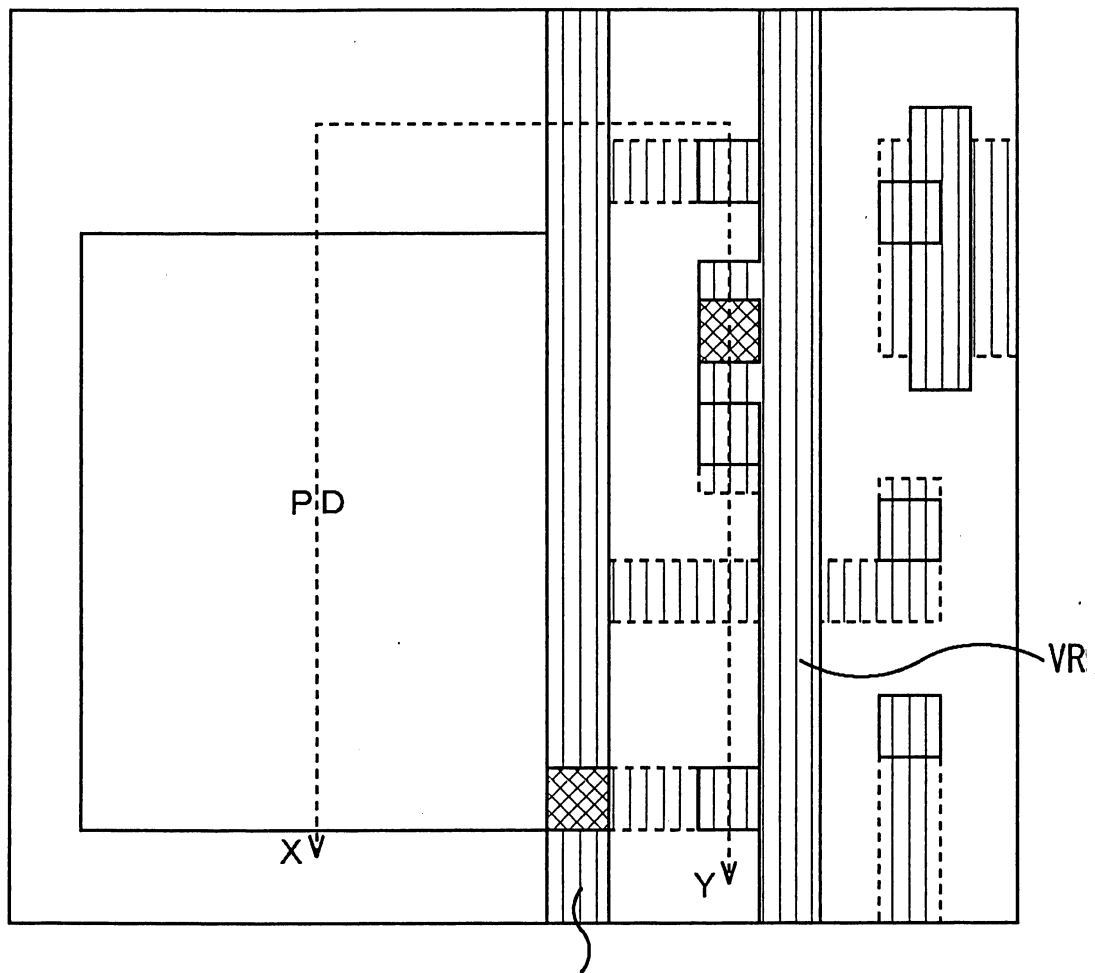
第 44 圖



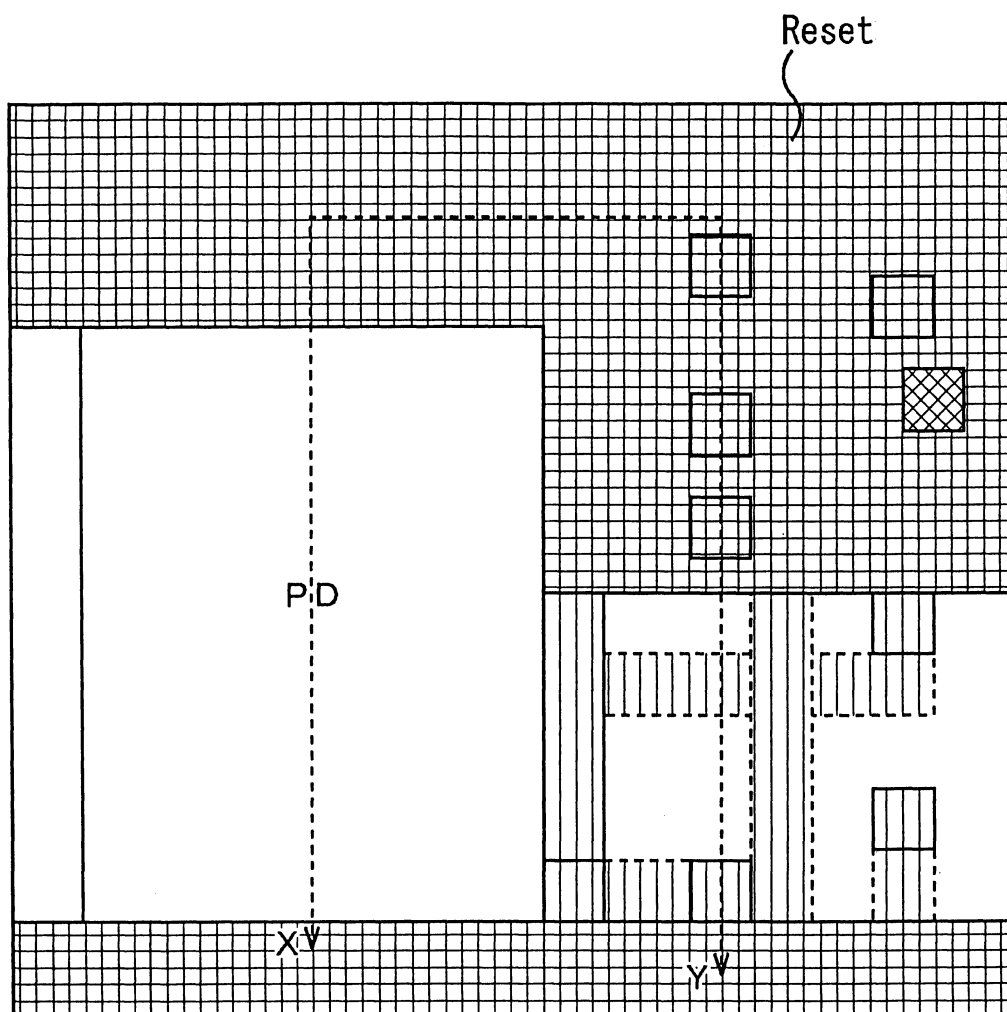
第 45 圖



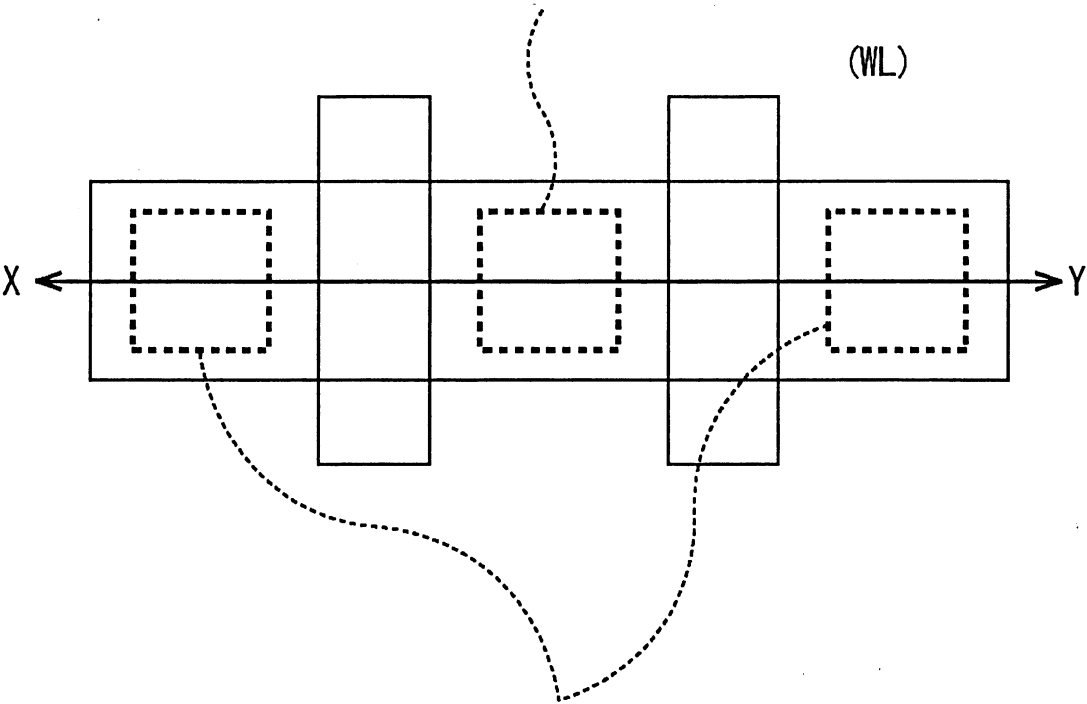
第 46 圖



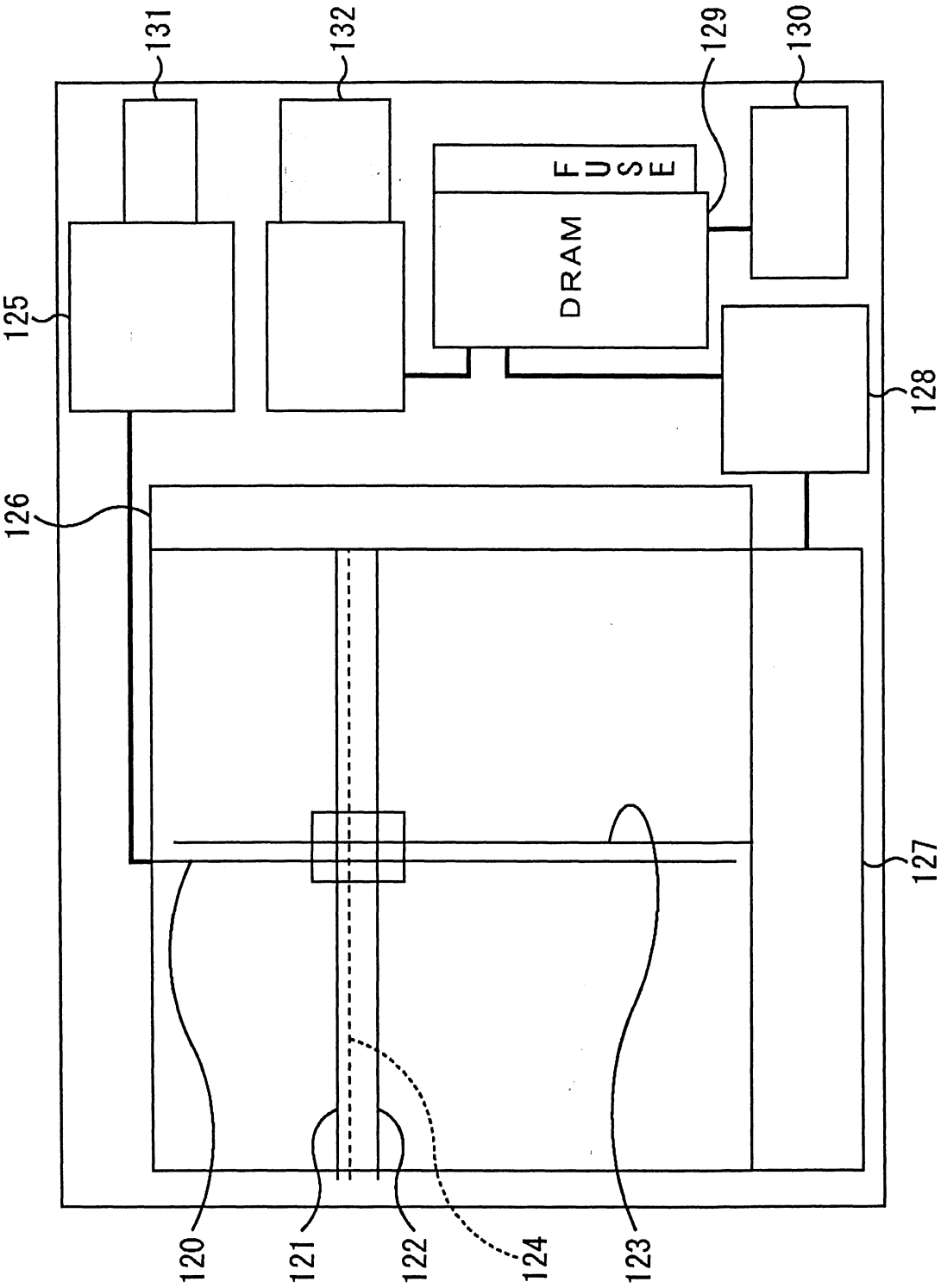
第 47 圖



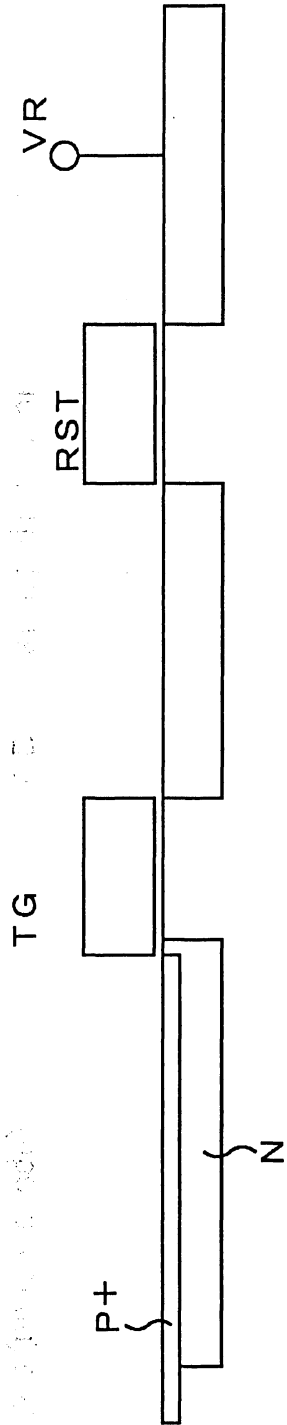
第 48 圖



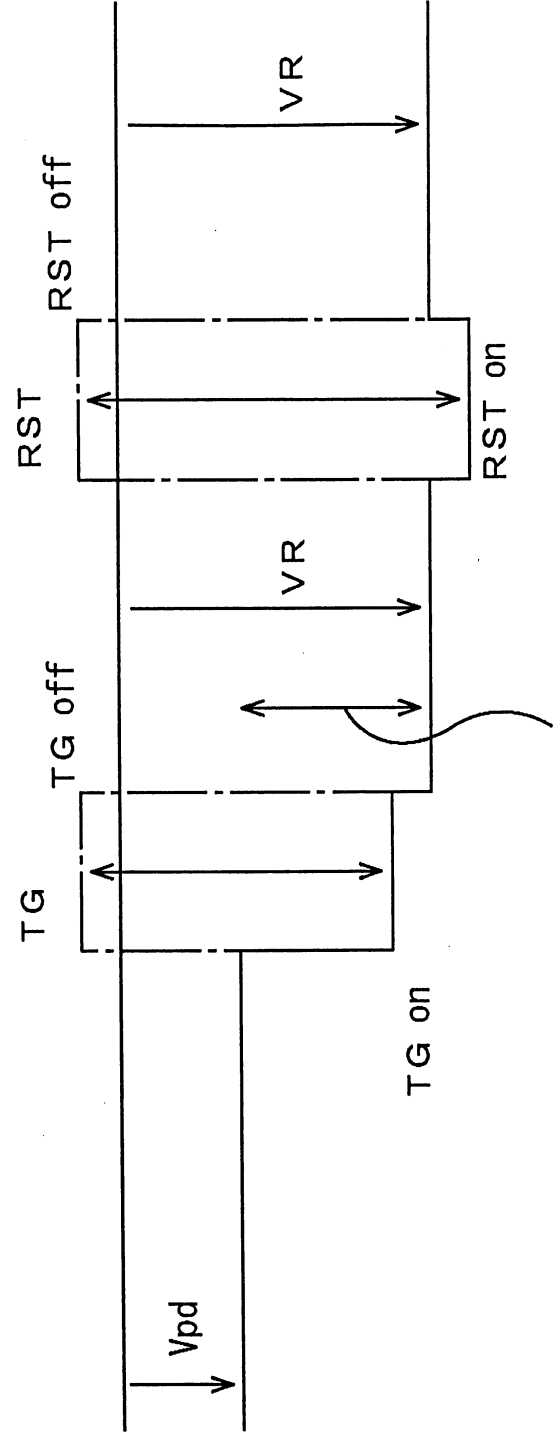
第 49 圖



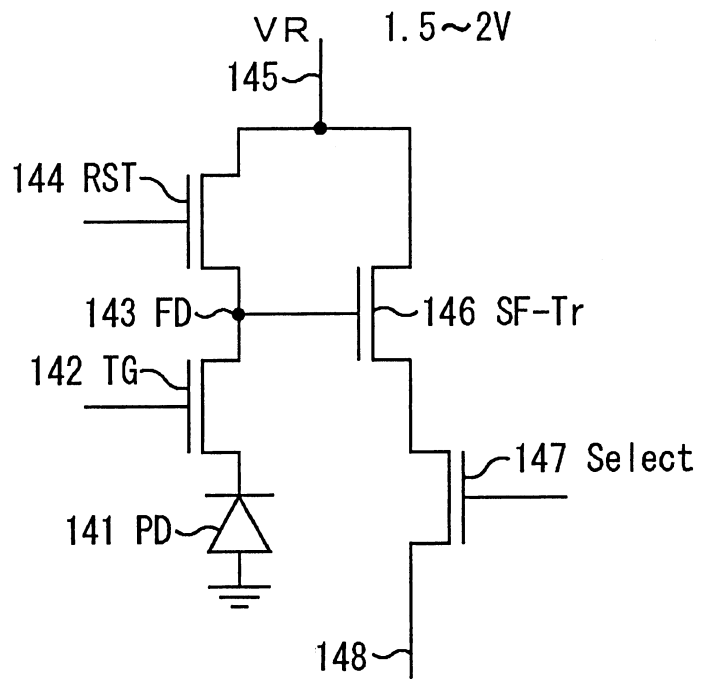
第 50 圖



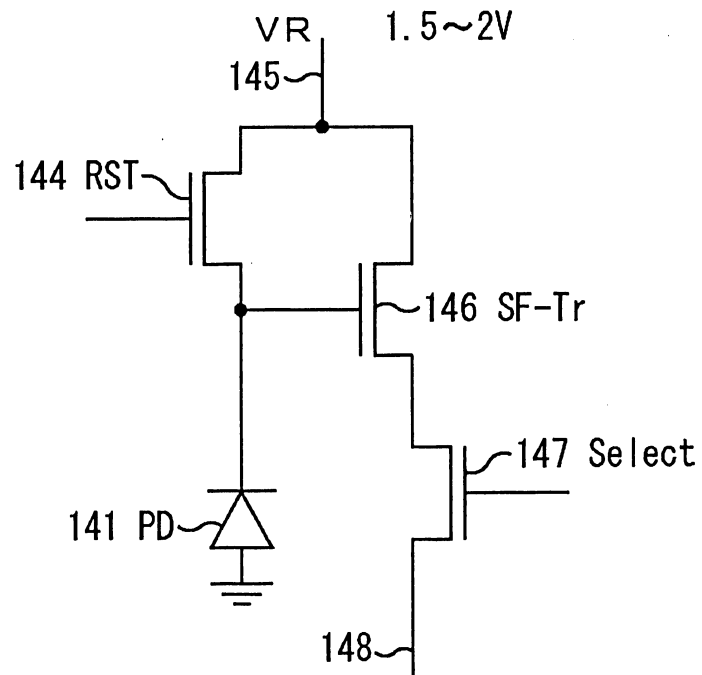
第 51 圖



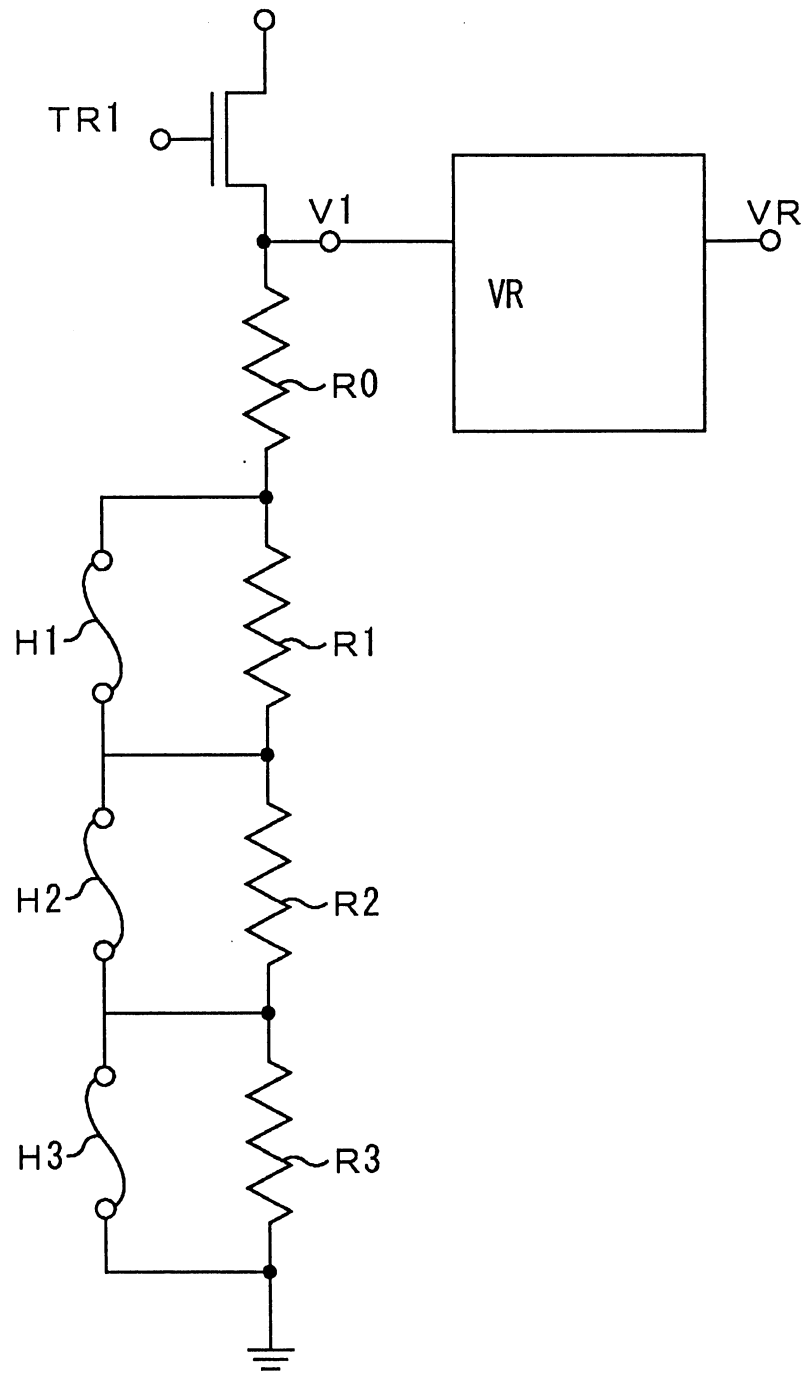
第 52 圖



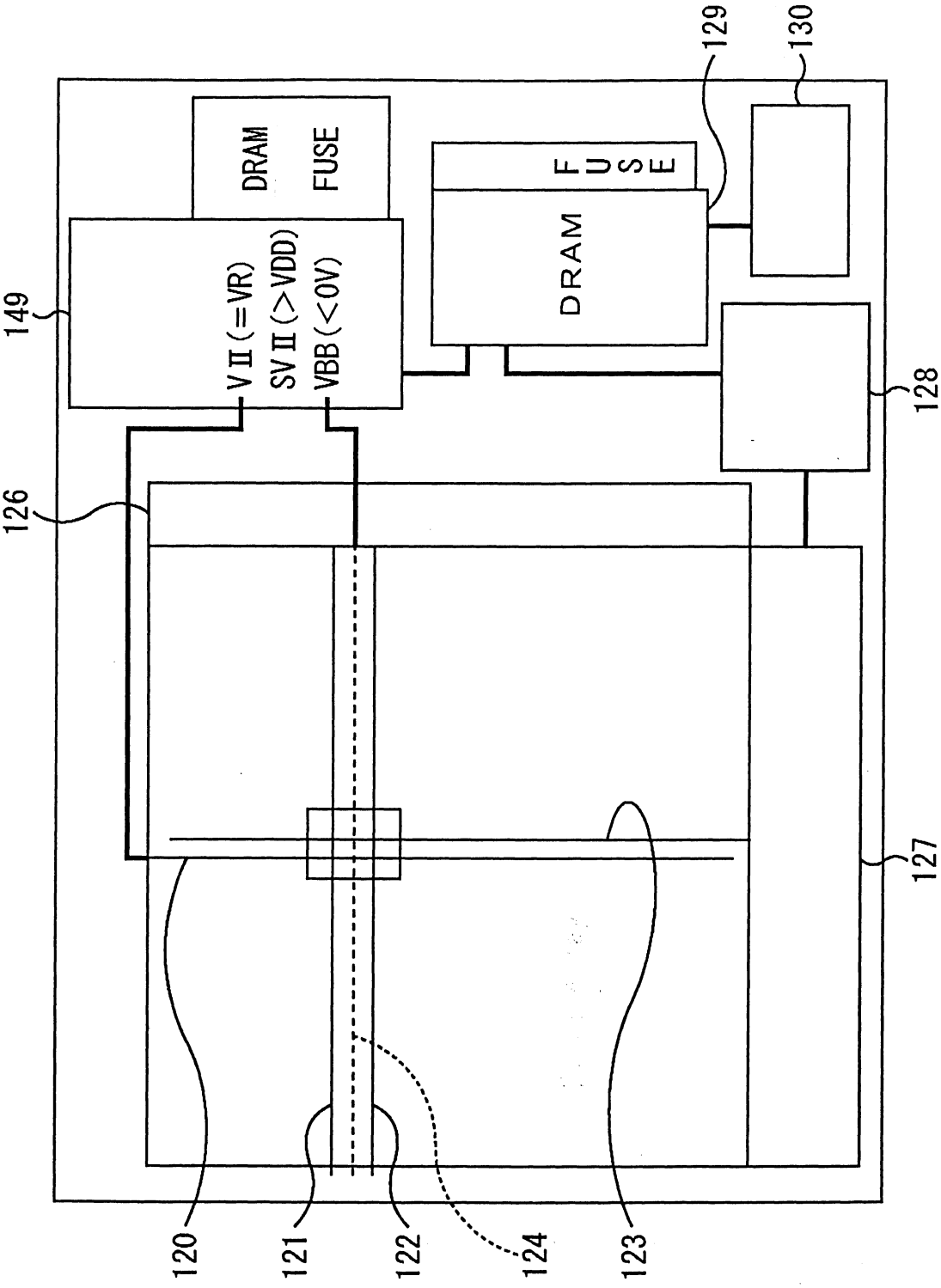
第 53 圖



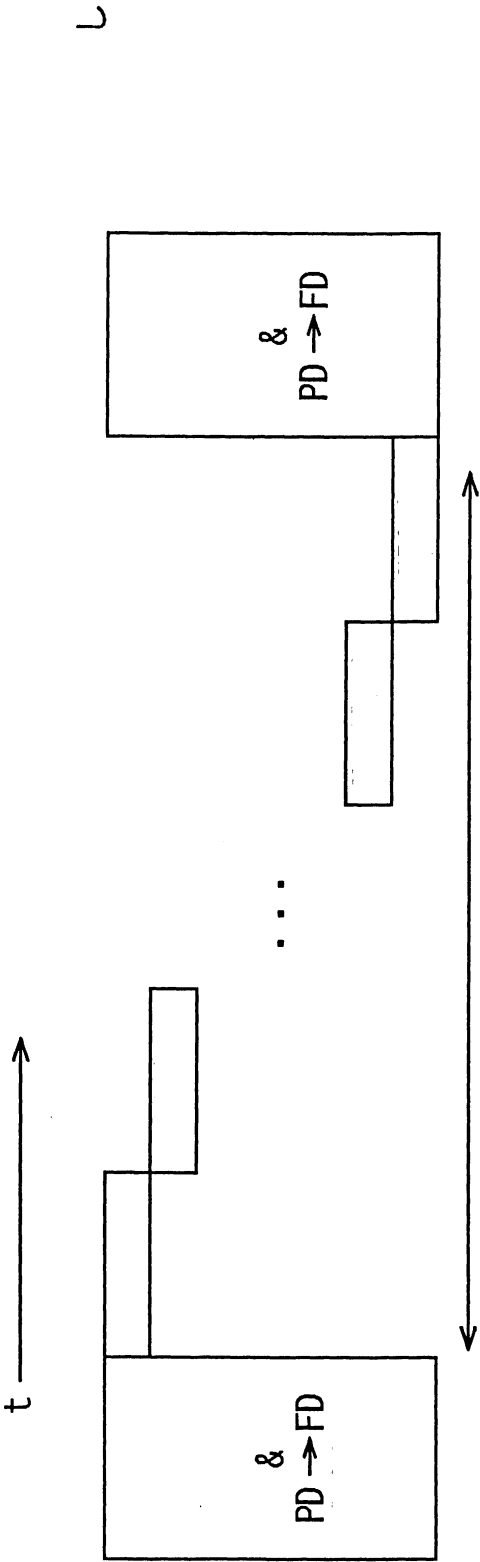
第 54 圖



第 55 圖



第 56 圖



第 57 圖

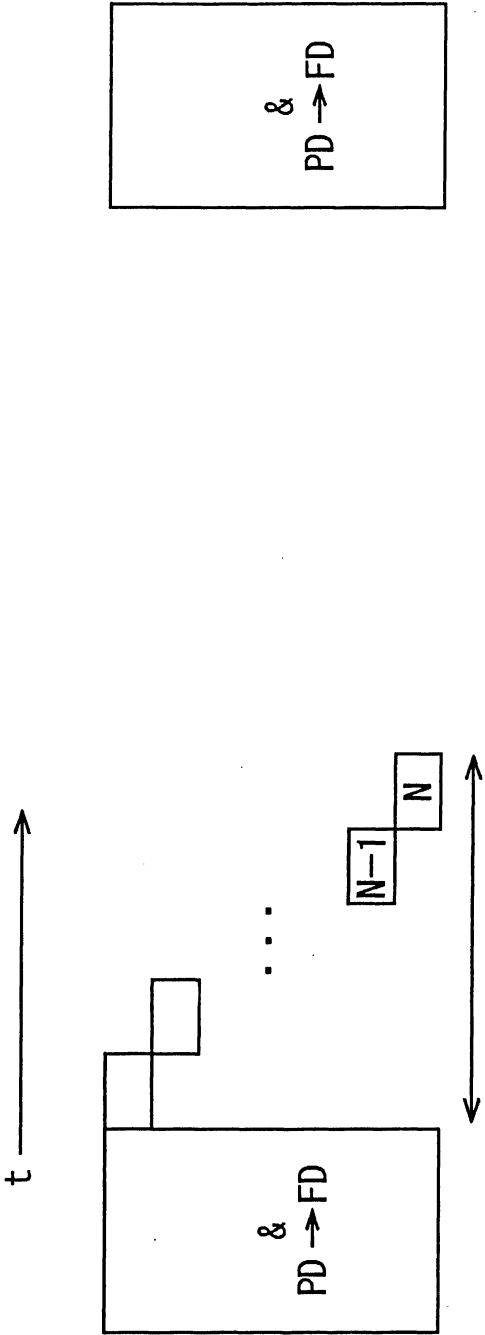
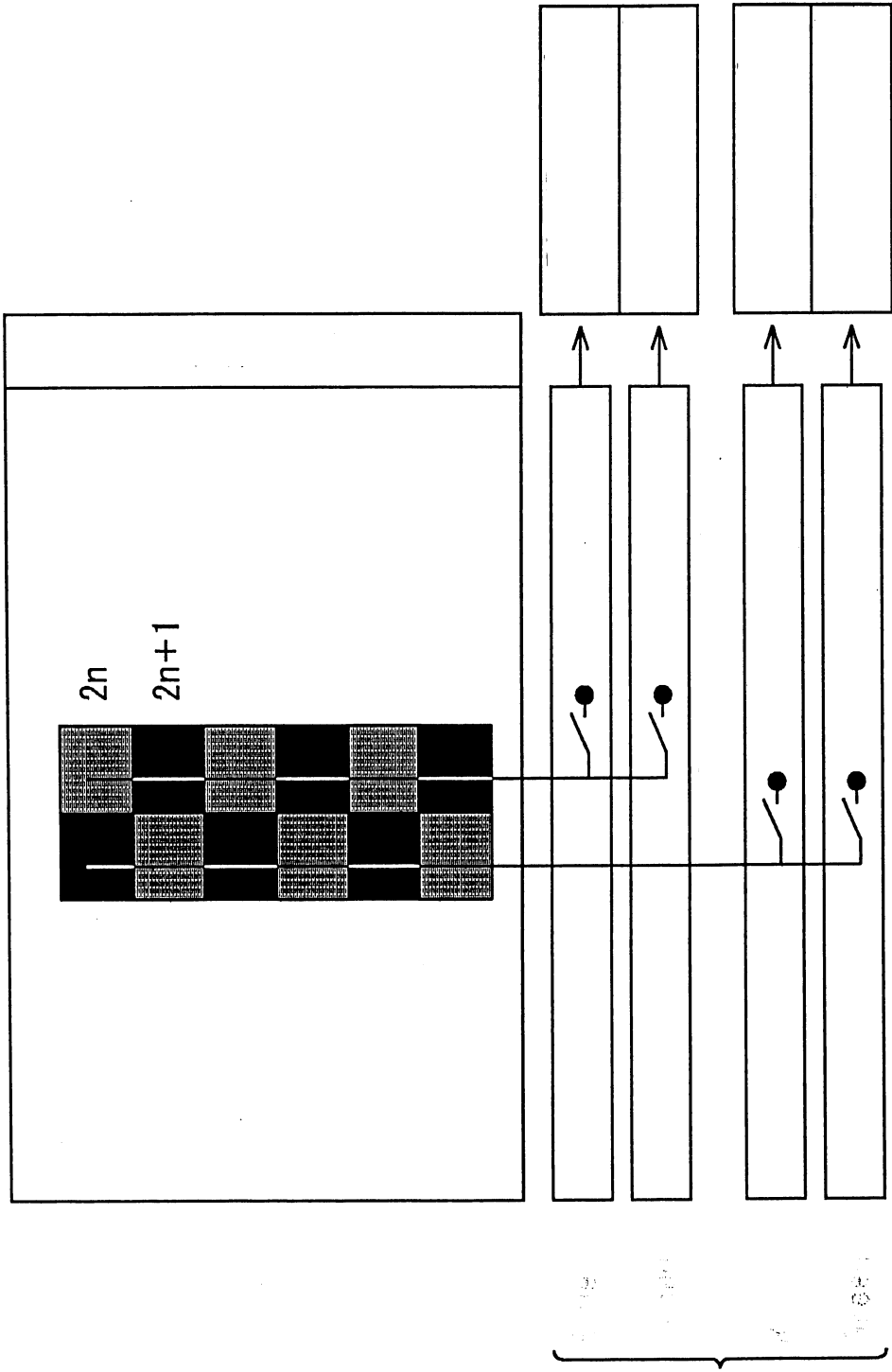
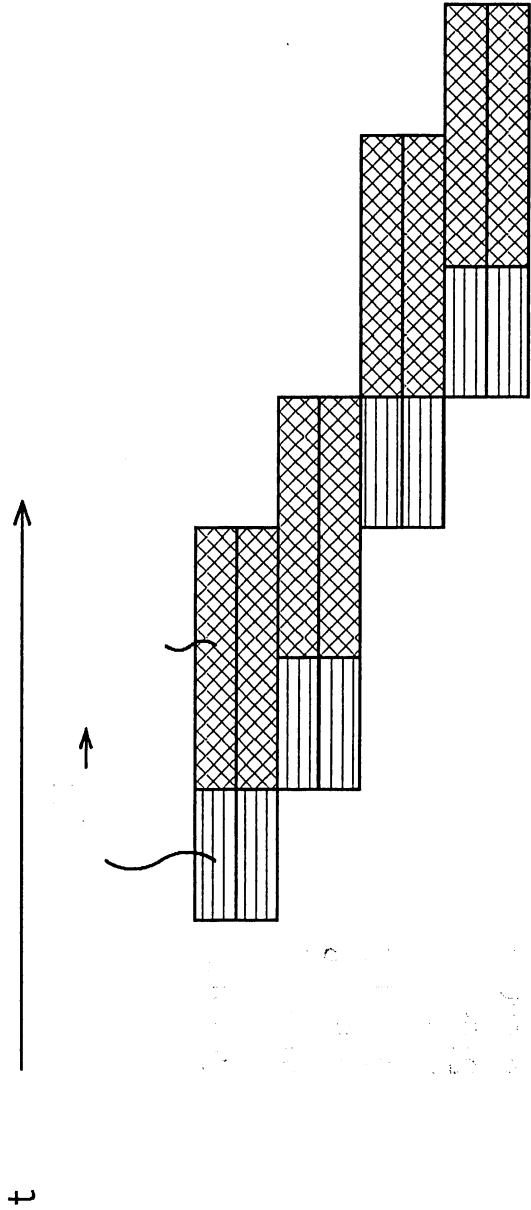


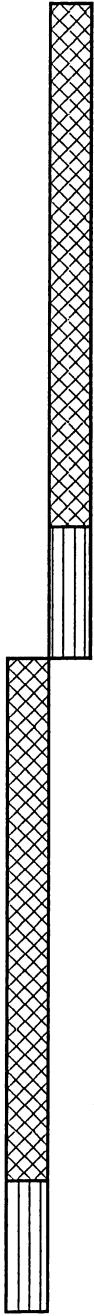
圖 58



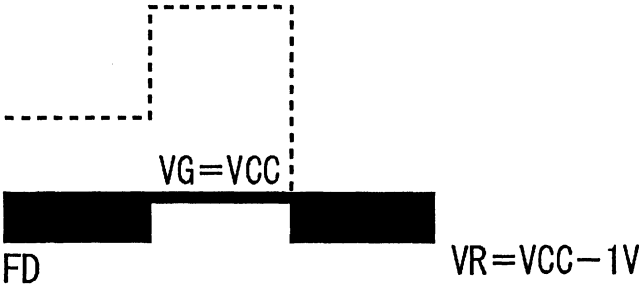
第 59A 圖



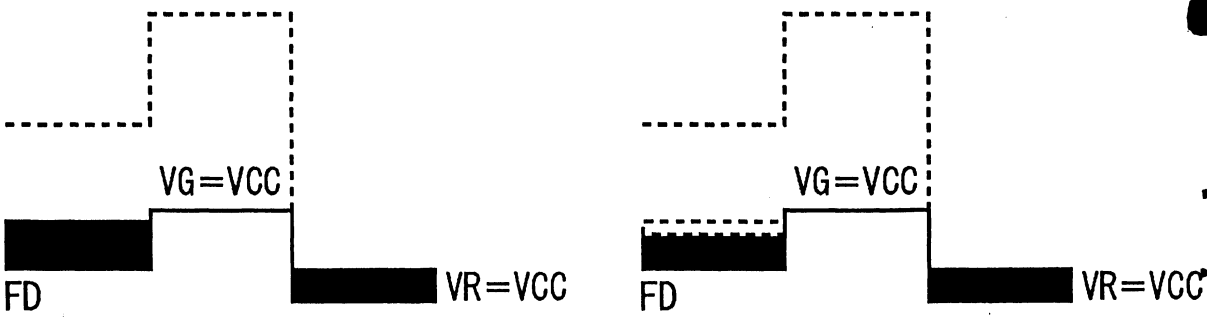
第 59B 圖



第 60 圖



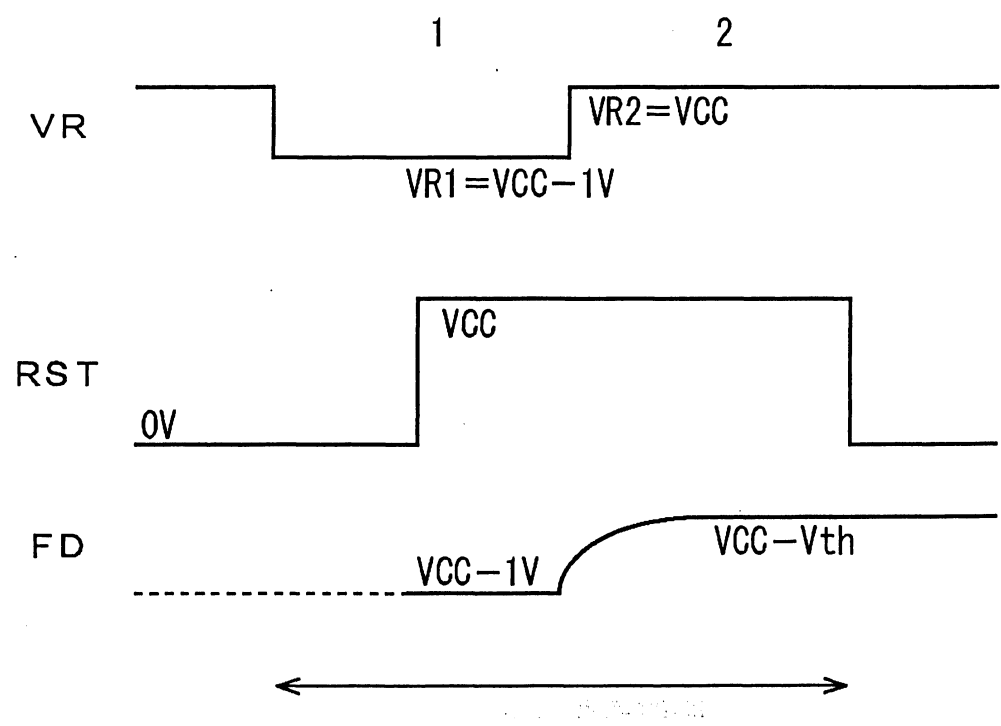
第 61 圖



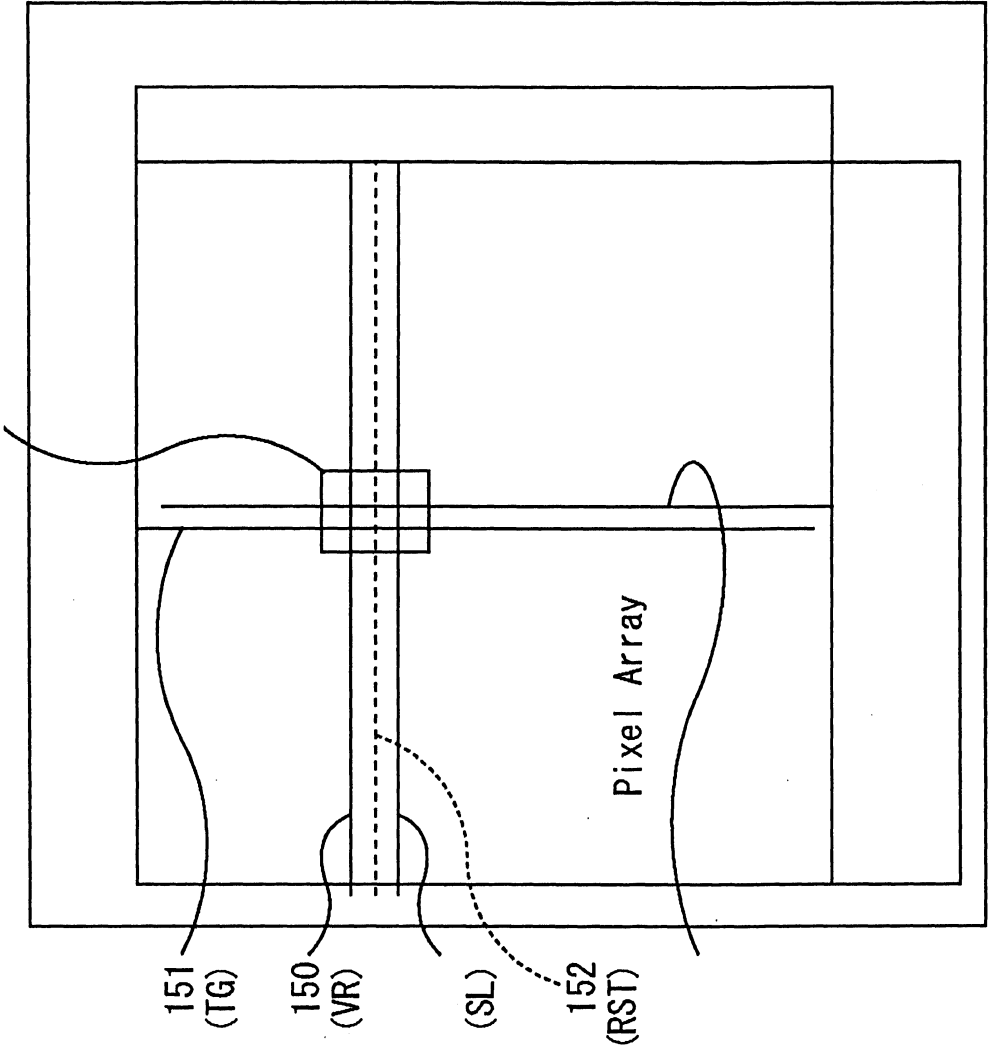
第 62A 圖



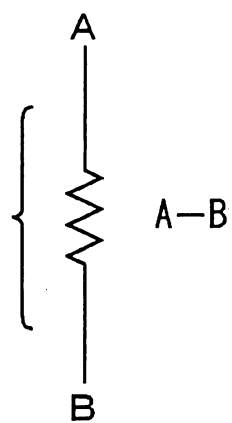
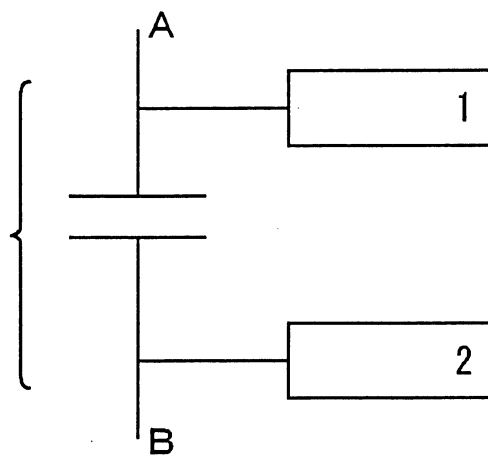
第 62B 圖



第 63 圖



第 64 圖



第 65 圖

