

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 17 日 (17.12.2015)



WIPO | PCT



(10) 国际公布号
WO 2015/188414 A1

- (51) 国际专利分类号:
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/081438
- (22) 国际申请日: 2014 年 7 月 2 日 (02.07.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410262334.6 2014 年 6 月 12 日 (12.06.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 杜鹏 (DU, Peng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: BLACK FRAME INSERTION METHOD FOR PIXELS OF 3D DISPLAY AND CIRCUIT USING THE METHOD

(54) 发明名称: 3D 显示的像素插黑方法及使用该方法的电路

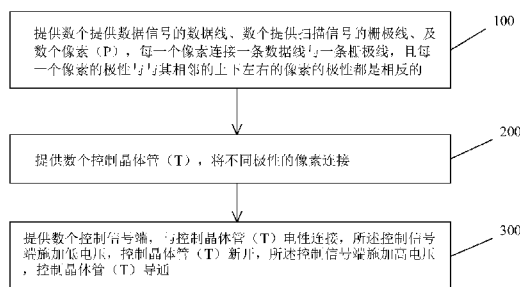


图 2 / Fig. 2

100 Provide multiple data lines that provide data signals, multiple gate lines that provide scan signals, and multiple pixels (P), each pixel being connected to one data line and one gate line, and a polarity of each pixel being opposite to polarities of upper, lower, left, and right adjacent pixels of the pixel
200 Provide multiple control transistors (T), and connect pixels having different polarities
300 Provide multiple control signal terminals, the control signal terminals being electrically connected to the control transistors (T), wherein when a low voltage is applied on the control signal terminals, the control transistors (T) are disconnected, and when a high voltage is applied on the control signal terminals, the control transistors (T) are connected

(57) Abstract: The present invention provides a black frame insertion method for pixels of a 3D display, comprising: providing multiple data lines that provide data signals, multiple gate lines that provide scan signals, and multiple pixels (P), each pixel being connected to one data line and one gate line, and a polarity of each pixel being opposite to polarities of upper, lower, left, and right adjacent pixels of the pixel; providing multiple control transistors (T), and connecting pixels having different polarities; and providing multiple control signal terminals, the control signal terminals being electrically connected to the control transistors (T), wherein when a low voltage is applied on the control signal terminals, the control transistors (T) are disconnected, and when a high voltage is applied on the control signal terminals, the control transistors (T) are connected. In this way, load of a common electrode circuit is not increased, power consumption of an entire panel is not increased, and further a voltage be a source and a drain of a discharge thin film transistor is relatively high (positive and negative pixel electrodes), and a discharge speed is also improved. The present invention further provides a circuit using the method.

(57) 摘要:

[见续页]



WO 2015/188414 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

本发明提供一种 3D 显示的像素插黑方法, 包括: 提供数个提供数据信号的数据线、提供扫描信号的数个栅极线、及数个像素 (P); 每一个像素连接一条数据线与一条栅极线, 且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的; 提供数个控制晶体管 (T), 将不同极性的像素连接; 提供数个控制信号端, 与控制晶体管 (T) 电性连接, 所述控制信号端施加低电压, 控制晶体管 (T) 断开, 所述控制信号端施加高电压, 控制晶体管 (T) 导通。这样的方式不会增加公共电极线路的负载, 也不会增加整个面板的功率消耗, 另外放电的薄膜晶体管源漏极之间的电压较大 (正负像素电极), 放电速度也会有所提高。本发明还提供使用该方法的电路。

3D显示的像素插黑方法及使用该方法的电路

技术领域

本发明涉及显示技术领域,尤其涉及一种 3D 显示的像素插黑方法及使
5 用该方法的电路。

背景技术

最近 3D 显示功能的需求增长非常迅速,快门式 3D 技术通过提高画面
刷新率,再将一帧图像一分为二,形成对应左右眼的两组图像画面交错显
10 示,观众通过快门式眼睛观看后呈现出 3D 的效果。在快门式 3D 技术中,
当图像的左右眼图像画面交替显示时,容易产生串扰 (Crosstalk) 问题。串
扰问题为:所接收的左眼图像中包含有右眼图像的内容,所接收的右眼图
像中包含有左眼图像的内容,即左右眼图像相互干扰,导致所形成的 3D 图
像发生错误。

15 形成串扰的原因主要包括如下两种:第一、液晶显示装置的屏幕显示
采用自上而下顺序扫描方式,当液晶显示装置显示左眼图像时,左眼接收
左眼图像,左眼图像扫描至最后一行,紧接着从第一行开始扫描右眼图像,
右眼开始接收右眼图像,然而,在液晶显示屏的其他行上(从第二行到最

后一行) 仍然保持上一场的左眼图像, 这样, 右眼接收到的右眼图像中有部分左眼图像, 同理, 左眼接收到的左眼图像中有部分右眼图像, 形成左右眼图像串扰。第二、液晶分子偏转过程需要一定时间, 该时间即为液晶响应时间。液晶显示装置的屏幕显示采用自上向下扫描的顺序扫描方式,

5 当显示左眼图像时, 左眼接收左眼图像, 左眼图像扫描至最后一行完成扫描时, 紧接着从第一行开始扫描右眼图像, 右眼开始接收右眼图像。这样, 第一行液晶单元从左眼图像向右眼图像变化时, 第一行液晶单元的驱动电压需发生变化, 使第一行液晶单元偏转角度发生变化, 然而, 液晶单元的偏转需要一定的液晶响应时间, 则接收的右眼图像包含从左眼图像向右眼

10 图像变化的过程, 也就是说, 在该液晶响应时间中, 右眼同时接收到左眼画面和右眼画面, 从而形成左眼和右眼图像画面串扰。

对于第一种原因的串扰, 可通过在左右图像之间插入黑色图像的方式解决, 例如可以采用左眼画面→黑画面→右眼画面→黑画面 (LBRB), 使得左眼同时接收到左眼图像以及黑色图像, 右眼同时接收到右眼图像以及

15 黑色图像, 由于黑色图像为背景图像, 则不会与正常图像发生串扰。插黑技术 (Black Insertion, BI) 普遍使用在平面显示设备中, 以改善显示面板的动态影像的显示质量。其是利用在连续的动态影像与影像之间, 插入黑

画面，以消除人眼对影像的积分效应 (integration effect)，进一步改善显示面板在动态影像中常有的动画拖影现象 (moving picture response timing , MPRT)，提升动画质量。对于第二种原因的串扰，可通过缩短液晶响应时间的方式解决。

- 5 目前，常用的插黑方式可以是由数据线 (Data Line) 向像素 (Pixel) 中写入黑画面的信号，以实现插黑的目的。请参阅图 1a，为现在常用的插黑电路示意图，包括：提供数据信号的数据线 (Data11) 与数据线 (Data11) 交叉设置的提供扫描信号的栅极线 (Gate11)、公共电极 (VCOM11)、像素晶体管 (Tr11)、像素电极 (D11)、存储电容 (C_{stg}11) 及液晶电容 (C_{LC}11)；
- 10 所述像素晶体管 (Tr11) 包括栅极 (g11)、源极 (s11)、漏极 (d11)，所述像素晶体管 (Tr11) 的栅极 (g11) 电性连接于栅极线 (Gate11)，所述像素晶体管 (Tr11) 的源极 (s11) 电性连接于数据线 (Data11)，所述像素晶体管 (Tr11) 的漏极 (d11) 电性连接于像素电极 (D11)，所述存储电容 (C_{stg}11) 的上极板与液晶电容 (C_{LC}11) 的上极板连接后电性连接于像素电极 (D11)，
- 15 所述存储电容 (C_{stg}11) 的下极板电性连接于公共电极 (VCOM11)，所述液晶电容 (C_{LC}11) 的下极板电性连接于公共电极 (VCOM11)；所述像素晶体管 (Tr11) 为薄膜晶体管 (Thin Film Transistor , TFT)；图 1a 中箭头标注

的是黑色画面信号写入的路径。但是，这种方式数据线上的电压切换频率加快，会导致功耗升高，根据有关资料，采用这种方式的总功耗会增加 20 ~ 40%。

另外一种插黑方式是将像素的像素电极和公共电极通过某种电路结构（例如 TFT）连接起来，在需要插入黑画面时像素电极向公共电极放电，实现黑画面。请参阅图 1b，为现在常用的另外一种插黑电路示意图，包括：提供数据信号的数据线（Data11'）与数据线（Data11'）交叉设置的提供扫描信号的栅极线（Gate11'）、控制信号端、公共电极（VCOM11'）、像素晶体管（Tr11'）、控制晶体管（T12'）、像素电极（D11'）、存储电容（C_{stg}11'）及液晶电容（C_{LC}11'）；所述像素晶体管（Tr11'）包括栅极（g11'）、源极（s11'）、漏极（d11'），所述控制晶体管（T12'）包括栅极（g12'）、源极（s12'）、漏极（d12'）；所述像素晶体管（Tr11'）的栅极（g11'）电性连接于栅极线（Gate11'），所述像素晶体管（Tr11'）的源极（s11'）电性连接于数据线（Data11'），所述像素晶体管（Tr11'）的漏极（d11'）电性连接于像素电极（D11'），所述存储电容（C_{stg}11'）的上极板与液晶电容（C_{LC}11'）的上极板连接后电性连接于像素电极（D11'），所述存储电容（C_{stg}11'）的下极板电性连接于公共电极（VCOM11'），所述液晶电容（C_{LC}11'）的下极板电性

连接于公共电极 (VCOM11'); 所述控制晶体管 (T12') 的源极 (s12') 电性连接于像素电极 (D11'), 所述控制晶体管 (T12') 的栅极 (g12') 电性连接于控制信号端, 所述控制晶体管 (T12') 的漏极 (d12') 电性连接于公共电极 (VCOM11'); 所述像素晶体管 (Tr11') 与控制晶体管 (T12') 均为薄膜晶体管; 图 1b 中箭头标注的是像素点击漏电的路径。但是, 这种模式工作时公共电极的负载较大, 可能会影响显示品质。

发明内容

本发明的目的在于提供一种 3D 显示的像素插黑方法, 在不增加面板功率消耗的情况下, 实现 3D 的插黑功能, 也不会额外增加公共电极线路的负载。

本发明的另一目的在于提供使用该 3D 显示的像素插黑方法的电路, 通过控制信号使连接不同极性像素电极的薄膜晶体管导通, 实现黑画面显示。

为实现上述目的, 本发明提供一种 3D 显示的像素插黑方法, 包括:

步骤 100、提供数个提供数据信号的数据线、数个提供扫描信号的栅极线、及数个像素 (P), 每一个像素连接一条数据线与一条栅极线, 且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的;

步骤 200、提供数个控制晶体管 (T), 将不同极性的像素连接;

步骤 300、提供数个控制信号端，与控制晶体管（T）电性连接，所述控制信号端施加低电压，控制晶体管（T）断开，所述控制信号端施加高电压，控制晶体管（T）导通。

所述步骤 200 中控制晶体管（T）将配置在同一列的第 $2n+1$ 行像素与
5 第 $2n+2$ 行像素连接。

所述步骤 200 中控制晶体管（T）将配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ 列像素连接。

所述步骤 100 中像素（P）可分为两个区，即上半部分的分区与下半部分的分区，所述上半部分的分区与下半部分的分区的极性相同。

10 所述步骤 200 中控制晶体管（T）将配置在同一列的第 m 行像素的下半部分的分区与第 $m+1$ 行像素的上半部分的分区连接。

所述控制晶体管（T）导通时，正极性像素电压降低，而负极性的像素电压升高，最终达到公共电极电压附近。

本发明还提供使用该 3D 显示的像素插黑方法的电路，包括：提供数据的
15 信号的数个数据线（Data）、提供扫描信号的数个栅极线（Gate）、数个控制信号端、公共电极（VCOM）、由数据线（Data）与栅极线（Gate）限定的数个像素（P）及数个控制晶体管（T）；所述每一个像素连接一条数据线

与一条栅极线，所述像素（P）包括像素晶体管（Tr）、像素电极（D）、存储电容（ C_{stg} ）及液晶电容（ C_{LC} ）；所述控制晶体管（T）包括栅极（g）、源极（s）、漏极（d），所述像素晶体管（Tr）包括第一栅极（g1）、第一源极（s1）、第一漏极（d1）；

5 配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ （ $n=0, 1, 2, \dots$ ）行像素通过一个控制晶体管（T）连接；所述控制晶体管（T）的源极（s）电性连接于同一列的第 $2n+1$ 行像素的像素电极（D），所述控制晶体管（T）的漏极（d）电性连接于同一列的第 $2n+2$ 行像素的像素电极（D）；所述配置在同一行的控制晶体管（T）的栅极（g）与某一条控制信号端公共连接；

10 配置在同一行的像素中像素晶体管（Tr）的第一栅极（g1）与某一条栅极线（Gate）公共连接，配置在同一列的像素中像素晶体管（Tr）的第一源极（s1）与某一条数据线（Date）公共连接；所述像素晶体管（Tr）的第一漏极（d1）电性连接于像素电极（D）；所述存储电容（ C_{stg} ）的上极板与液晶电容（ C_{LC} ）的上极板连接后电性连接于像素电极（D），所述存储电容
15 （ C_{stg} ）的下极板电性连接于公共电极（VCOM），所述液晶电容（ C_{LC} ）的下极板电性连接于公共电极（VCOM）。

所述控制晶体管（T）与像素晶体管（Tr）均为薄膜晶体管。

所述每一像素 (P) 的极性与与其相邻的上下左右的像素的极性都是相反的。

本发明还提供一种使用该 3D 显示的像素插黑方法的电路, 包括: 提供数据信号的数个数据线 (Data)、提供扫描信号的数个栅极线 (Gate)、数个控制信号端、公共电极 (VCOM)、由数据线 (Data) 与栅极线 (Gate) 限定的数个像素 (P') 及数个控制晶体管 (T'); 所述每一个像素连接一条数据线与一条栅极线, 所述像素 (P') 包括像素晶体管 (Tr')、像素电极 (D')、存储电容 (C_{stg}') 及液晶电容 (C_{LC}'); 所述控制晶体管 (T') 包括栅极 (g')、源极 (s')、漏极 (d'), 所述像素晶体管 (Tr') 包括第一栅极 (g1')、第一源极 (s1')、第一漏极 (d1');

配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ ($n=0, 1, 2, \dots$) 列像素通过一个控制晶体管 (T') 连接; 所述控制晶体管 (T') 的源极 (s') 电性连接于同一行的第 $2n+1$ 列像素的像素电极 (D'), 所述控制晶体管 (T') 的漏极 (d') 电性连接于同一行的第 $2n+2$ 列像素的像素电极 (D'); 所述配置在同一行的控制晶体管 (T') 的栅极 (g') 与某一条控制信号端公共连接;

配置在同一行的像素中像素晶体管 (Tr') 的第一栅极 (g1') 与某一条栅极线 (Gate) 公共连接; 配置在同一列的像素中像素晶体管 (Tr') 的第

一源极 ($s1'$) 与某一条数据线 (Data) 公共连接 ; 所述像素晶体管 (Tr') 的第一漏极 ($d1'$) 电性连接于像素电极 (D'); 所述存储电容 (C_{stg}') 的上极板与液晶电容 (C_{LC}') 的上极板连接后电性连接于像素电极 (D'), 所述存储电容 (C_{stg}') 的下极板电性连接于公共电极 (VCOM), 所述液晶电容 (C_{LC}') 的下极板电性连接于公共电极 (VCOM)。

所述控制晶体管 (T') 与像素晶体管 (Tr') 均为薄膜晶体管。

所述每一像素 (P') 的极性与与其相邻的上下左右的像素的极性都是相反的。

本发明还提供一种使用该 3D 显示的像素插黑方法的电路 , 包括 : 提供数据信号的数个数据线 (Data) 、 提供扫描信号的数个栅极线 (Gate) 、 数个控制信号端、公共电极 (VCOM) 、 由数据线 (Data) 与栅极线 (Gate) 限定的数个像素 (P'') 、 及数个控制晶体管 (T''); 所述每一个像素连接一条数据线与一条栅极线 , 所述控制晶体管 (T'') 包括栅极 (g'') 、 源极 (s'') 、 漏极 (d''); 所述像素 (P'') 分为两个区 , 即上半部分的分区 ($P1''$) 与下半部分的分区 ($P2''$); 所述上半部分的分区 ($P1''$) 中的第一像素电极 ($D1''$) 与下半部分的分区 ($P2''$) 中的第二像素电极 ($D2''$) 的极性相同。所述上半部分的分区 ($P1''$) 包括第一像素晶体管 ($Tr1''$) 与第一像素电极 ($D1''$),

所述下半部分的分区 (P2'') 包括第二像素晶体管 (Tr2'') 与第二像素电极 (D2''); 所述第一像素晶体管 (Tr1'') 包括栅极 (g1'')、源极 (s1'')、漏极 (d1''), 所述第二像素晶体管 (Tr2'') 包括栅极 (g2'')、源极 (s2'')、漏极 (d2''); 所述第一像素晶体管 (Tr1'') 的漏极 (d1'') 电性连接于第一像素电极 (D1''), 所述第二像素晶体管 (Tr2'') 的漏极 (d2'') 电性连接于第二像素电极 (D2''); 配置于同一行的像素中第一像素晶体管 (Tr1'') 的栅极 (g1'') 与第二像素晶体管 (Tr2'') 的栅极 (g2'') 与某一条栅极线公共连接, 配置在第 m (m=1, 2...) 行的像素中第一像素晶体管 (Tr1'') 的源极 (s1'') 与第二像素晶体管的源极 (s2'') 与某一条数据线公共连接, 配置在第 m+1 行的像素中第一像素晶体管 (Tr1'') 的源极 (s1'') 与第二像素晶体管的源极 (s2'') 与另一条数据线公共连接。

配置在同一列的第 m 行像素的下半部分的分区 (P2'') 与第 m+1 行像素的上半部分的分区 (P1'') 通过一个控制晶体管 (T'') 连接; 所述控制晶体管 (T'') 的源极 (s'') 电性连接于同一列的第 m 行像素下半部分的分区 (P2'') 的像素电极 (D2''), 所述控制晶体管 (T'') 的漏极 (d'') 电性连接于同一列的第 m+1 行像素上半部分的分区 (P1'') 的像素电极 (D1''); 配置在同一行的控制晶体管 (T'') 的栅极 (g'') 与某一条控制信号端公共

连接。

所述控制晶体管 (T'')、第一像素晶体管 (Tr1'')、及第二像素晶体管 (Tr2'') 均为薄膜晶体管。

所述每一像素 (P'') 的极性与与其相邻的上下左右的像素的极性都是相反的。

本发明的有益效果 : 本发明提供一种 3D 显示的像素插黑方法及使用该方法的电路, 针对现在常用的反转方式 (列反转, 行反转, 点反转), 重新设计面板的 3D 插黑方式。在常用的反转方式中, 面板正常显示时正负极性像素各占一半, 本发明将不同极性的像素电极用薄膜晶体管导通, 在需要进行插黑时, 通过控制信号使连接不同极性像素电极的薄膜晶体管导通, 这样正极性像素电压降低, 而负极性的像素电压升高, 最终达到公共电极电压附近, 实现黑画面显示。这样的方式不会增加公共电极线路的负载, 也不会增加整个面板的功率消耗, 另外放电的薄膜晶体管源漏极之间的电压较大 (正负像素电极), 放电速度也会有所提高。

为了能更进一步了解本发明的特征以及技术内容, 请参阅以下有关本发明的详细说明与附图, 然而附图仅提供参考与说明用, 并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

5 附图中，

图 1a 为现在常用的插黑电路结构图；

图 1b 为现在常用的另外一种插黑电路结构图；

图 2 为本发明 3D 显示的像素插黑方法流程图；

图 3 为本发明使用该方法的电路第一实施例的电路图；

10 图 4 为本发明使用该方法的电路第二实施例的电路图；

图 5 为本发明使用该方法的电路第三实施例的电路图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
15 优选实施例及其附图进行详细描述。

请参阅图 2，本发明提供一种 3D 显示的像素插黑方法，包括：

步骤 100、提供数个提供数据信号的数据线、数个提供扫描信号的栅极
线、及数个像素 (P)，每一个像素连接一条数据线与一条栅极线，且每一

个像素的极性与与其相邻的上下左右的像素的极性都是相反的；

步骤 200、提供数个控制晶体管 (T), 将不同极性的像素连接；

步骤 300、提供数个控制信号端，与控制晶体管 (T) 电性连接，所述控制信号端施加低电压，控制晶体管 (T) 断开，所述控制信号端施加高电压，控制晶体管 (T) 导通。

所述步骤 200 中控制晶体管 (T) 将配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ 行像素连接。

所述步骤 200 中控制晶体管 (T) 将配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ 列像素连接。

所述步骤 100 中像素 (P) 可分为两个区，即上半部分的分区与下半部分的分区，所述上半部分的分区与下半部分的分区的极性相同。

所述步骤 200 中控制晶体管 (T) 将配置在同一列的第 m 行像素的下半部分的分区与第 $m+1$ ($m=1, 2, \dots$) 行像素的上半部分的分区连接。

所述控制晶体管 (T) 导通时，正极性像素电压降低，而负极性的像素电压升高，最终达到公共电极电压附近。

请参阅图 3，为本发明使用该 3D 显示的像素插黑方法的电路第一实施例的电路图，这是一个点反转 (Dot Inversion) 的面板设计。图 3 中正号 (+)

和负号 (-) 表示像素电极电压的极性。包括：提供数据信号的数个数据线 (Data)、提供扫描信号的数个栅极线 (Gate)、数个控制信号端 (Control signal)、公共电极 (VCOM)、由数据线 (Data) 与栅极线 (Gate) 限定的数个像素 (P) 及数个控制晶体管 (T)；所述每一个像素连接一条数据线
5 与一条栅极线，所述像素 (P) 包括像素晶体管 (Tr)、像素电极 (D)、存储电容 (C_{stg}) 及液晶电容 (C_{LC})；所述控制晶体管 (T) 包括栅极 (g)、源极 (s)、漏极 (d)，所述像素晶体管 (Tr) 包括第一栅极 (g1)、第一源极 (s1)、第一漏极 (d1)；

配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ ($n=0, 1, 2, \dots$) 行像素通过
10 一个控制晶体管 (T) 连接；所述控制晶体管 (T) 的源极 (s) 电性连接于同一列的第 $2n+1$ 行像素的像素电极 (D)，所述控制晶体管 (T) 的漏极 (d) 电性连接于同一列的第 $2n+2$ 行像素的像素电极 (D)；所述配置在同一行的控制晶体管 (T) 的栅极 (g) 与某一条控制信号端公共连接；

配置在同一行的像素中像素晶体管 (Tr) 的第一栅极 (g1) 与某一条
15 栅极线 (Gate) 公共连接，配置在同一列的像素中像素晶体管 (Tr) 的第一源极 (s1) 与某一条数据线 (Data) 公共连接；所述像素晶体管 (Tr) 的第一漏极 (d1) 电性连接于像素电极 (D)；所述存储电容 (C_{stg}) 的上极板与

液晶电容 (C_{LC}) 的上极板连接后电性连接于像素电极 (D), 所述存储电容 (C_{stg}) 的下极板电性连接于公共电极 (V_{COM}), 所述液晶电容 (C_{LC}) 的下极板电性连接于公共电极 (V_{COM})。

所述控制晶体管 (T) 与像素晶体管 (T_r) 均为薄膜晶体管。

5 所述每一像素 (P) 的极性与与其相邻的上下左右的像素的极性都是相反的。

具体地, 图 3 中箭头所示的路径是插黑时的电流通过路径, 从正极性的像素电极流向负极性的像素电极, 本发明使用该 3D 显示的像素插黑方法的电路第一实施例的工作过程为: 在左眼和右眼画面写入时, 控制信号端

10 加低电压, 此时控制晶体管 (T) 断开, 当需要写入黑画面时, 控制信号端加上高电压, 控制晶体管 (T) 导通, 由于同一列的第 $2n+1$ 行像素与第 $2n+2$ 行像素的极性相反, 所以正极性的像素的电压会逐渐降低, 负极性的像素的电压会逐渐升高, 最终达到相同的电位, 而且最终的电位和公共电极 (V_{COM}) 电压非常接近, 面板呈现出黑画面。本发明和现有的像素电极

15 放电至公共电极 (V_{COM}) (请结合参阅图 1b) 相比, 首先是降低了公共电极 (V_{COM}) 上的电流, 从而减小了在公共电极 (V_{COM}) 上的功率消耗, 其次公共电极 (V_{COM}) 的电位也更加稳定, 有利于显示品质的提升。

本发明第一实施例的具体 3D 像素插黑方法为：

步骤 100、提供数个提供数据信号的数据线 (Data)、数个提供扫描信号的栅极线 (Gate)、及数个像素 (P)，每一个像素连接一条数据线与一条栅极线，且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的；

步骤 200、提供数个控制晶体管 (T)，将配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ 行像素连接；

步骤 300、提供数个控制信号端，与控制晶体管 (T) 电性连接，所述控制信号端施加低电压，控制晶体管 (T) 断开，所述控制信号端施加高压，控制晶体管 (T) 导通。

对于行反转 (Row Inversion) 的面板，也可以使用相同的设计方法。

请参阅图 4，为本发明使用该 3D 显示的像素插黑方法的电路第二实施例的电路图，这也是一个点反转的面板设计。图 4 中正号 (+) 和负号 (-) 表示像素电极电压的极性。包括：提供数据信号的数个数据线 (Data)、提供扫描信号的数个栅极线 (Gate)、数个控制信号端、公共电极 (VCOM)、由数据线 (Data) 与栅极线 (Gate) 限定的数个像素 (P')、及数个控制晶体管 (T')；所述每一个像素连接一条数据线与一条栅极线，所述像素 (P')

包括像素晶体管(Tr')、像素电极(D')、存储电容(C_{stg}')及液晶电容(C_{LC}');
所述控制晶体管(T')包括栅极(g')、源极(s')、漏极(d'), 所述像素晶体管(Tr')包括第一栅极($g1'$)、第一源极($s1'$)、第一漏极($d1'$);

配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ ($n=0, 1, 2, \dots$) 列像素通过
5 一个控制晶体管(T')连接; 所述控制晶体管(T')的源极(s')电性连接于同一行的第 $2n+1$ 列像素的像素电极(D'), 所述控制晶体管(T')的漏极(d')电性连接于同一行的第 $2n+2$ 列像素的像素电极(D'); 所述配置在同一行的控制晶体管(T')的栅极(g')与某一条控制信号端公共连接;

配置在同一行的像素中像素晶体管(Tr')的第一栅极($g1'$)与某一条
10 栅极线(Gate)公共连接; 配置在同一列的像素中像素晶体管(Tr')的第一源极($s1'$)与某一条数据线(Data)公共连接; 所述像素晶体管(Tr')的第一漏极($d1'$)电性连接于像素电极(D'); 所述存储电容(C_{stg}')的上极板与液晶电容(C_{LC}')的上极板连接后电性连接于像素电极(D'), 所述存储电容(C_{stg}')的下极板电性连接于公共电极(VCOM), 所述液晶电容
15 (C_{LC}')的下极板电性连接于公共电极(VCOM)。

所述控制晶体管(T')与像素晶体管(Tr')均为薄膜晶体管。

所述每一像素(P')的极性与与其相邻的上下左右的像素的极性都是相

反的。

具体地，图 4 中箭头所示的路径是插黑时的电流通过路径，从正极性的像素电极流向负极性的像素电极，本发明使用该 3D 显示的像素插黑方法的电路第二实施例的工作过程为：在左眼和右眼画面写入时，控制信号端
5 加低电压，此时控制晶体管（ T' ）断开，当需要写入黑画面时，控制信号端加上高电压，此时控制晶体管（ T' ）导通，由于同一行的第 $2n+1$ 列像素与第 $2n+2$ （ $n=0, 1, 2\ldots$ ）列像素的极性相反，所以正极性的像素的电压会逐渐降低，负极性的像素的电压会逐渐升高，最终达到相同的电位，而且最终的电位和公共电极（ V_{COM} ）电压非常接近，面板呈现出黑画面。

10 本发明第二实施例的具体 3D 像素插黑方法为：

步骤 100'、提供数个提供数据信号的数据线（Data）、数个提供扫描信号的栅极线（Gate）、及数个像素（ P' ），每一个像素连接一条数据线与一条栅极线，且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的；

15 步骤 200'、提供数个控制晶体管（ T' ），配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ 列像素连接；

步骤 300'、提供数个控制信号端，与控制晶体管（ T' ）电性连接，所

述控制信号端施加低电压，控制晶体管（ T' ）断开，所述控制信号端施加高电压，控制晶体管（ T' ）导通。

对于列反转（Column Inversion）的面板，也可以使用相同的设计方法。

在大尺寸的面板设计中，为了改善大视角色偏的问题，液晶像素中的
5 像素单元往往都分为两个或者多个区（Domain），这样的设计也可以采用本发明的方案来进行插黑。

请参阅图 5，为本发明使用该 3D 显示的像素插黑方法的电路第三实施例的电路图，这也是一个点反转的面板设计。图 5 中箭头所示的路径是插黑时的电流通过路径；正号（+）和负号（-）表示像素电极电压的极性。

10 包括：提供数据信号的数个数据线（Data）、提供扫描信号的数个栅极线（Gate）、数个控制信号端、公共电极（VCOM）、由数据线（Data）与栅极线（Gate）限定的数个像素（ P'' ）及数个控制晶体管（ T'' ）；所述控制晶体管（ T'' ）包括栅极（ g'' ）、源极（ s'' ）、漏极（ d'' ）；所述每一个像素连接一条数据线与一条栅极线，所述像素（ P'' ）分为两个区，即上半部分的分区（ $P1''$ ）与下半部分的分区（ $P2''$ ）；所述上半部分的分区（ $P1''$ ）中的第一像素电极（ $D1''$ ）与下半部分的分区（ $P2''$ ）中的第二像素电极（ $D2''$ ）
15 的极性相同。所述上半部分的分区（ $P1''$ ）包括第一像素晶体管（ $Tr1''$ ）与

第一像素电极 (D1''), 所述下半部分的分区 (P2'') 包括第二像素晶体管 (Tr2'') 与第二像素电极 (D2''); 所述第一像素晶体管 (Tr1'') 包括栅极 (g1'')、源极 (s1'')、漏极 (d1''), 所述第二像素晶体管 (Tr2'') 包括栅极 (g2'')、源极 (s2'')、漏极 (d2''); 所述第一像素晶体管 (Tr1'') 的漏极 (d1'') 电性连接于第一像素电极 (D1''), 所述第二像素晶体管 (Tr2'') 的漏极 (d2'') 电性连接于第二像素电极 (D2''); 配置于同一行的像素中第一像素晶体管 (Tr1'') 的栅极 (g1'') 与第二像素晶体管 (Tr2'') 的栅极 (g2'') 与某一条栅极线公共连接, 配置在第 m (m=1, 2...) 行的像素中第一像素晶体管 (Tr1'') 的源极 (s1'') 与第二像素晶体管的源极 (s2'') 与某一条数据线公共连接, 配置在第 m+1 行的像素中第一像素晶体管 (Tr1'') 的源极 (s1'') 与第二像素晶体管的源极 (s2'') 与另一条数据线公共连接。

配置在同一列的第 m 行像素的下半部分的分区 (P2'') 与第 m+1 行像素的上半部分的分区 (P1'') 通过一个控制晶体管 (T'') 连接; 所述控制晶体管 (T'') 的源极 (s'') 电性连接于同一列的第 m 行像素下半部分的分区 (P2'') 的像素电极 (D2''), 所述控制晶体管 (T'') 的漏极 (d'') 电性连接于同一列的第 m+1 行像素上半部分的分区 (P1'') 的像素电极 (D1''); 配置在同一行的控制晶体管 (T'') 的栅极 (g'') 与某一条控制信号端公共

连接。

所述控制晶体管 (T'')、第一像素晶体管 (Tr1'')、及第二像素晶体管 (Tr2'') 均为薄膜晶体管。

所述每一像素 (P'') 的极性与与其相邻的上下左右的像素的极性都是相反的。

具体地,本发明使用该 3D 显示的像素插黑方法的电路第三实施例的工作过程为:在写入左眼和右眼信号时,控制信号端加低电压,控制晶体管 (T'') 断开,像素正常充电。当需要插入黑画面时,控制信号端加高电压,控制晶体管 (T'') 导通,就能使正极性的像素电压降低,负极性的像素电压升高,最终趋于公共电极电压,实现黑画面的显示。

本发明第三实施例的具体 3D 像素插黑方法为:

步骤 100''、提供数个提供数据信号的数据线 (Data)、数个提供扫描信号的栅极线 (Gate)、及数个像素 (P''), 每一个像素连接一条数据线与一条栅极线,且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的;所述像素 (P'') 分为上半部分的分区 (P1'') 与下半部分的分区 (P2'');

步骤 200''、提供数个控制晶体管 (T''), 将配置在同一列的第 m 行像

素的下半部分的分区 (P2'') 与第 m+1 行像素的上半部分的分区 (P1'') 连接；

步骤 300''、提供数个控制信号端，与控制晶体管 (T'') 电性连接，所述控制信号端施加低电压，控制晶体管 (T'') 断开，所述控制信号端施加高电压，控制晶体管 (T'') 导通。

综上所述，本发明提供一种 3D 显示的像素插黑方法及使用该方法的电路，针对现在常用的反转方式 (列反转，行反转，点反转)，重新设计面板的 3D 插黑方式。在常用的反转方式中，面板正常显示时正负极性像素各占一半，本发明将不同极性的像素电极用薄膜晶体管导通，在需要进行插黑时，通过控制信号使连接不同极性像素电极的薄膜晶体管导通，这样正极性像素电压降低，而负极性的像素电压升高，最终达到公共电极电压附近，实现黑画面显示。这样的方式不会增加公共电极线路的负载，也不会增加整个面板的功率消耗，另外放电的薄膜晶体管源漏极之间的电压较大 (正负像素电极)，放电速度也会有所提高。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 3D 显示的像素插黑方法，包括：

步骤 100、提供数个提供数据信号的数据线、数个提供扫描信号的栅极
5 线、及数个像素，每一个像素连接一条数据线与一条栅极线，且每一个像素的极性与与其相邻的上下左右的像素的极性都是相反的；

步骤 200、提供数个控制晶体管，将不同极性的像素连接；

步骤 300、提供数个控制信号端，与控制晶体管电性连接，所述控制信号端施加低电压，控制晶体管断开，所述控制信号端施加高电压，控制晶
10 体管导通。

2、如权利要求 1 所述的 3D 显示的像素插黑方法，其中，所述步骤 200 中控制晶体管将配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ 行像素连接。

3、如权利要求 1 所述的 3D 显示的像素插黑方法，其中，所述步骤 200 中控制晶体管将配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ 列像素连接。

15 4、如权利要求 1 所述的 3D 显示的像素插黑方法，其中，所述步骤 100 中像素可分为两个区，即上半部分的分区与下半部分的分区，所述上半部分的分区与下半部分的分区的极性相同。

5、如权利要求 4 所述的 3D 显示的像素插黑方法，其中，所述步骤 200

中控制晶体管将配置在同一列的第 m 行像素的下半部分的分区与第 $m+1$ 行像素的上半部分的分区连接。

6、如权利要求 1 所述的 3D 显示的像素插黑方法，其中，所述控制晶体管 (T) 导通时，正极性像素电压降低，而负极性的像素电压升高，最终
5 达到公共电极电压附近。

7、一种使用如权利要求 1 所述的 3D 显示的像素插黑方法的电路，包括：提供数据信号的数个数据线、提供扫描信号的数个栅极线、数个控制信号端、公共电极、由数据线与栅极线限定的数个像素、及数个控制晶体管；
10 所述每一个像素连接一条数据线与一条栅极线，所述像素包括像素晶体管、像素电极、存储电容、及液晶电容；所述控制晶体管包括栅极、源极、漏极，所述像素晶体管包括第一栅极、第一源极、第一漏极；

配置在同一列的第 $2n+1$ 行像素与第 $2n+2$ 行像素通过一个控制晶体管连接；所述控制晶体管的源极电性连接于同一列的第 $2n+1$ 行像素的像素电极，所述控制晶体管的漏极电性连接于同一列的第 $2n+2$ 行像素的像素电极；
15 所述配置在同一行的控制晶体管的栅极与某一条控制信号端公共连接；

配置在同一行的像素中像素晶体管的第一栅极与某一条栅极线公共连接，配置在同一列的像素中像素晶体管的第一源极与某一条数据线公共连

接；所述像素晶体管的第一漏极电性连接于像素电极；所述存储电容的上极板与液晶电容的上极板连接后电性连接于像素电极，所述存储电容的下极板电性连接于公共电极，所述液晶电容的下极板电性连接于公共电极。

8、如权利要求 7 所述的使用该 3D 显示的像素插黑方法的电路，其中，
5 所述控制晶体管与像素晶体管均为薄膜晶体管。

9、如权利要求 7 所述的使用该 3D 显示的像素插黑方法的电路，其中，
所述每一像素的极性与与其相邻的上下左右的像素的极性都是相反的。

10、一种使用如权利要求 1 所述的 3D 显示的像素插黑方法的电路，包括：提供数据信号的数个数据线、提供扫描信号的数个栅极线、数个控制
10 信号端、公共电极、由数据线与栅极线限定的数个像素、及数个控制晶体管；所述每一个像素连接一条数据线与一条栅极线，所述像素包括像素晶体管、像素电极、存储电容、及液晶电容；所述控制晶体管包括栅极、源极、漏极，所述像素晶体管包括第一栅极、第一源极、第一漏极；

配置在同一行的第 $2n+1$ 列像素与第 $2n+2$ 列像素通过一个控制晶体管
15 连接；所述控制晶体管的源极电性连接于同一行的第 $2n+1$ 列像素的像素电极，所述控制晶体管的漏极电性连接于同一行的第 $2n+2$ 列像素的像素电极；
所述配置在同一行的控制晶体管的栅极与某一条控制信号端公共连接；

配置在同一行的像素中像素晶体管的第一栅极与某一条栅极线公共连接；配置在同一列的像素中像素晶体管的第一源极与某一条数据线公共连接；所述像素晶体管的第一漏极电性连接于像素电极；所述存储电容的上极板与液晶电容的上极板连接后电性连接于像素电极，所述存储电容的下极板电性连接于公共电极，所述液晶电容的下极板电性连接于公共电极。

11、如权利要求 10 所述的使用该 3D 显示的像素插黑方法的电路，其中，所述控制晶体管与像素晶体管均为薄膜晶体管。

12、如权利要求 10 所述的使用该 3D 显示的像素插黑方法的电路，其中，所述每一像素的极性与与其相邻的上下左右的像素的极性都是相反的。

13、一种使用如权利要求 1 所述的 3D 显示的像素插黑方法的电路，包括：提供数据信号的数个数据线、提供扫描信号的数个栅极线、数个控制信号端、公共电极、由数据线与栅极线限定的数个像素、及数个控制晶体管；所述每一个像素连接一条数据线与一条栅极线；

所述控制晶体管包括栅极、源极、漏极；所述像素分为两个区，即上半部分的分区与下半部分的分区；所述上半部分的分区中的第一像素电极与下半部分的分区中的第二像素电极的极性相同；所述上半部分的分区包括第一像素晶体管与第一像素电极，所述下半部分的分区包括第二像素晶

体管与第二像素电极；所述第一像素晶体管包括栅极、源极、漏极，所述第二像素晶体管包括栅极、源极、漏极；所述第一像素晶体管的漏极电性连接于第一像素电极，所述第二像素晶体管的漏极电性连接于第二像素电极；

5 配置于同一行的像素中第一像素晶体管的栅极与第二像素晶体管的栅极与某一条栅极线公共连接，配置在第 m 行的像素中第一像素晶体管的源极与第二像素晶体管的源极与某一条数据线公共连接，配置在第 $m+1$ 行的像素中第一像素晶体管的源极与第二像素晶体管的源极与另一条数据线公共连接；

10 配置在同一列的第 m 行像素的下半部分的分区与第 $m+1$ 行像素的上半部分的分区通过一个控制晶体管连接；所述控制晶体管的源极电性连接于同一列的第 m 行像素下半部分的分区的像素电极，所述控制晶体管的漏极电性连接于同一列的第 $m+1$ 行像素上半部分的分区的像素电极；配置在同一行的控制晶体管的栅极与某一条控制信号端公共连接。

15 14、如权利要求 13 所述的使用该 3D 显示的像素插黑方法的电路，其中，所述控制晶体管、第一像素晶体管、及第二像素晶体管均为薄膜晶体管。

15、如权利要求 13 所述的使用该 3D 显示的像素插黑方法的电路，其中，所述每一像素的极性与与其相邻的上下左右的像素的极性都是相反的。

1/5

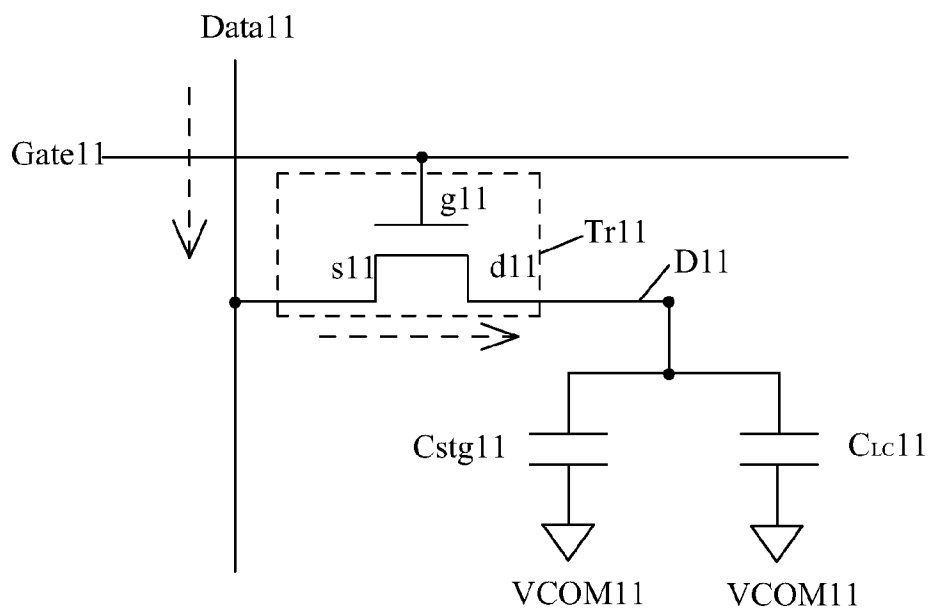


图1a

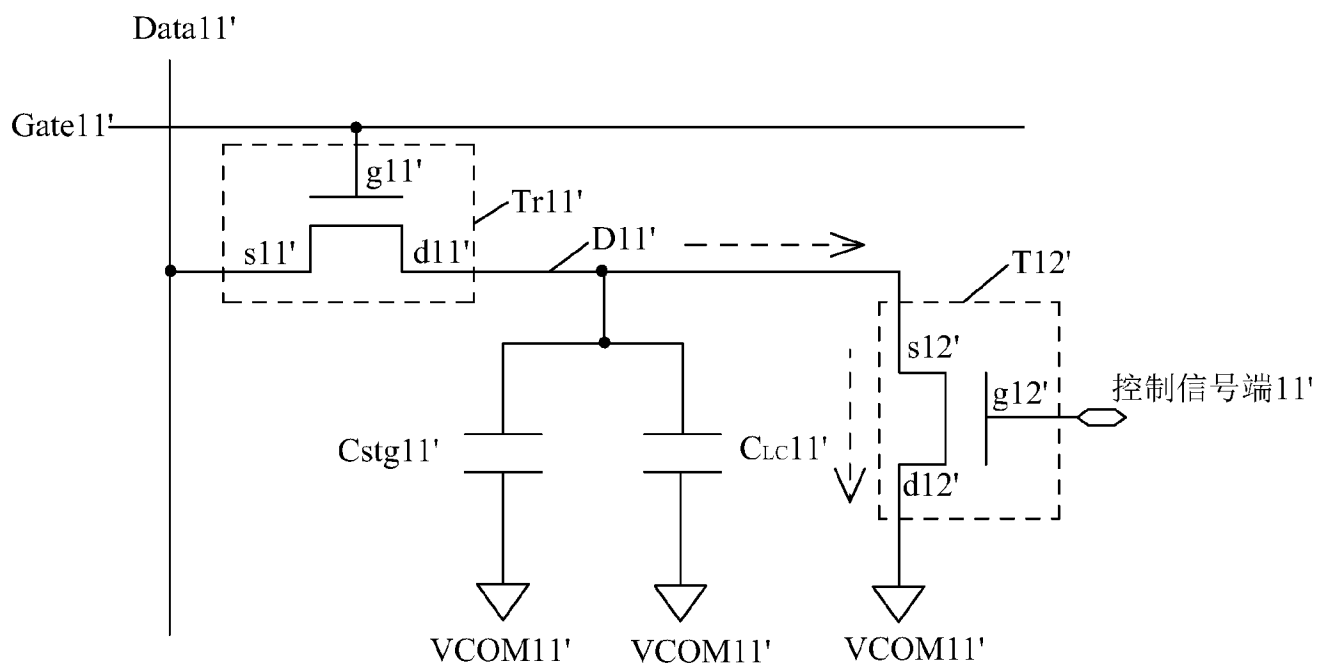


图1b

2/5

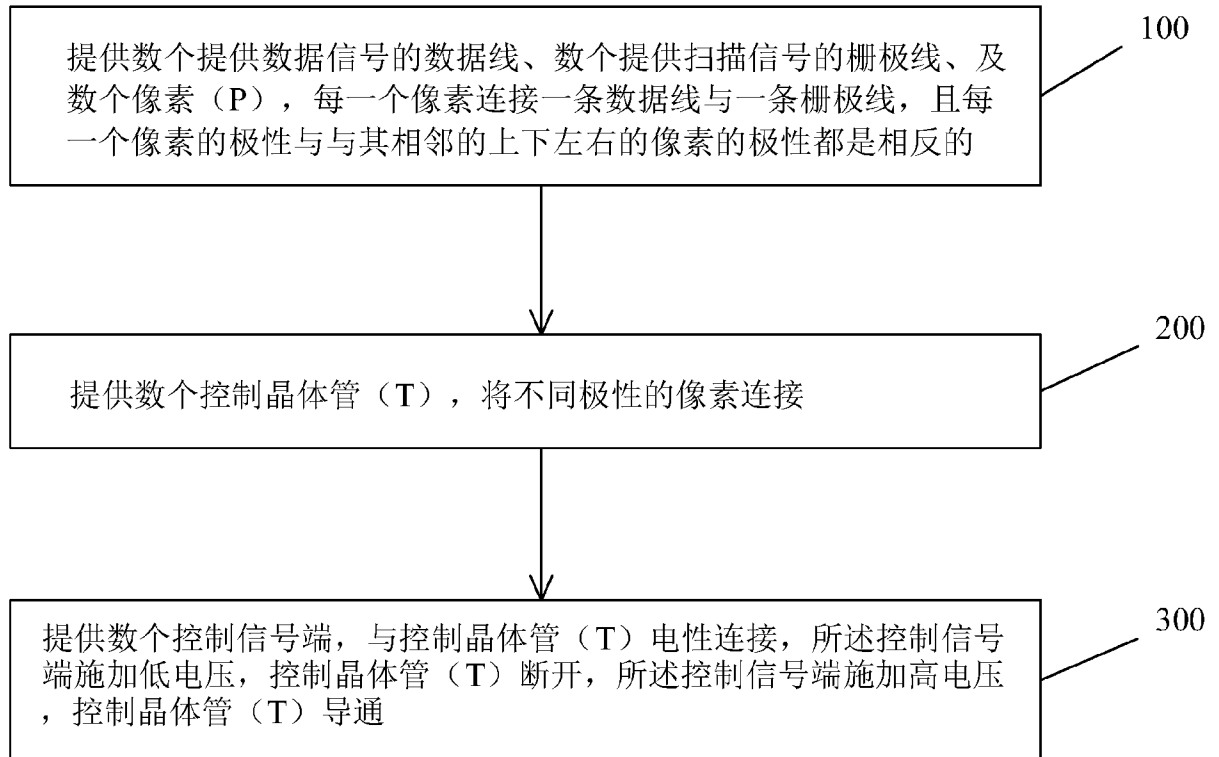


图2

3/5

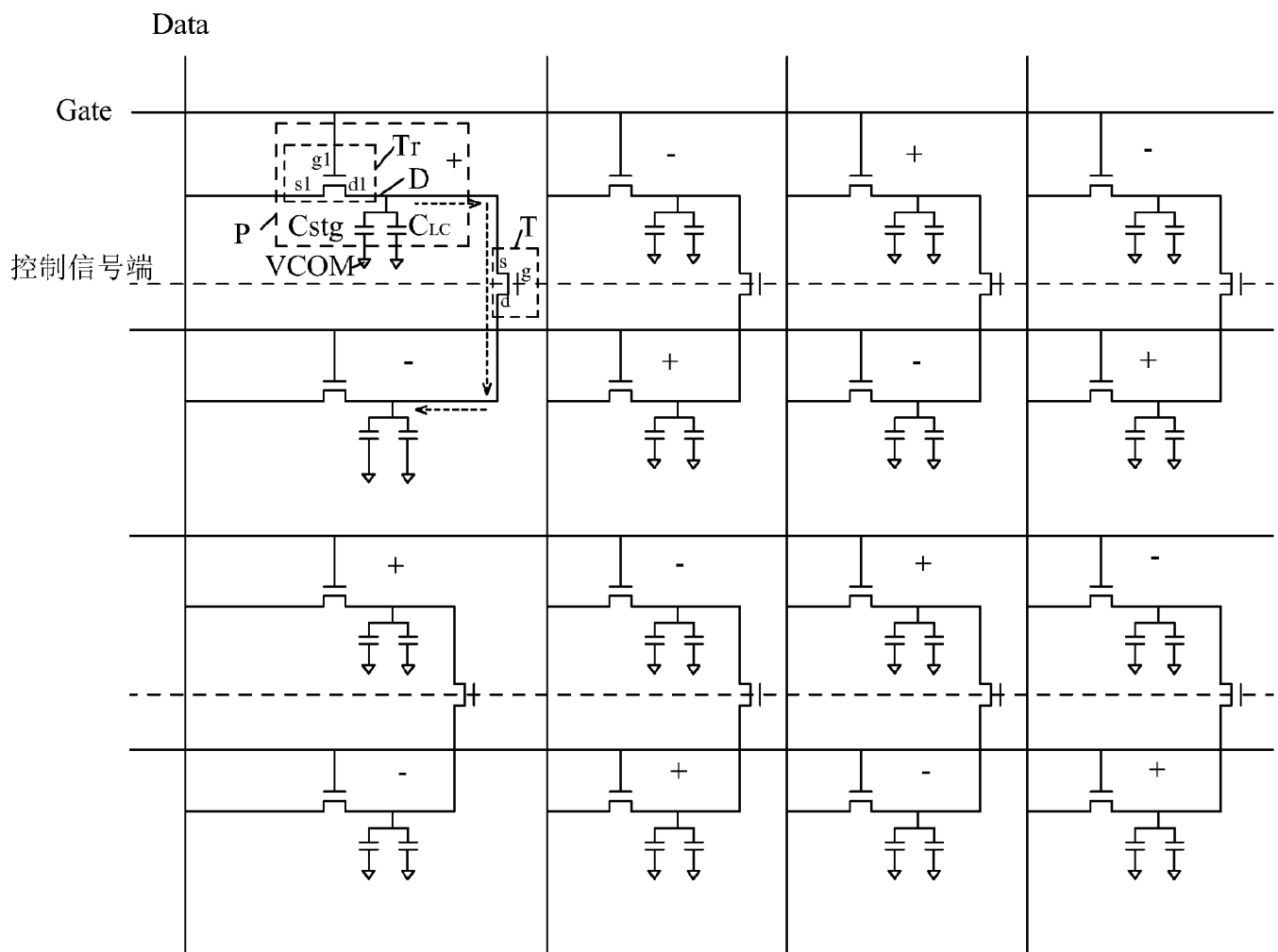


图3

4/5

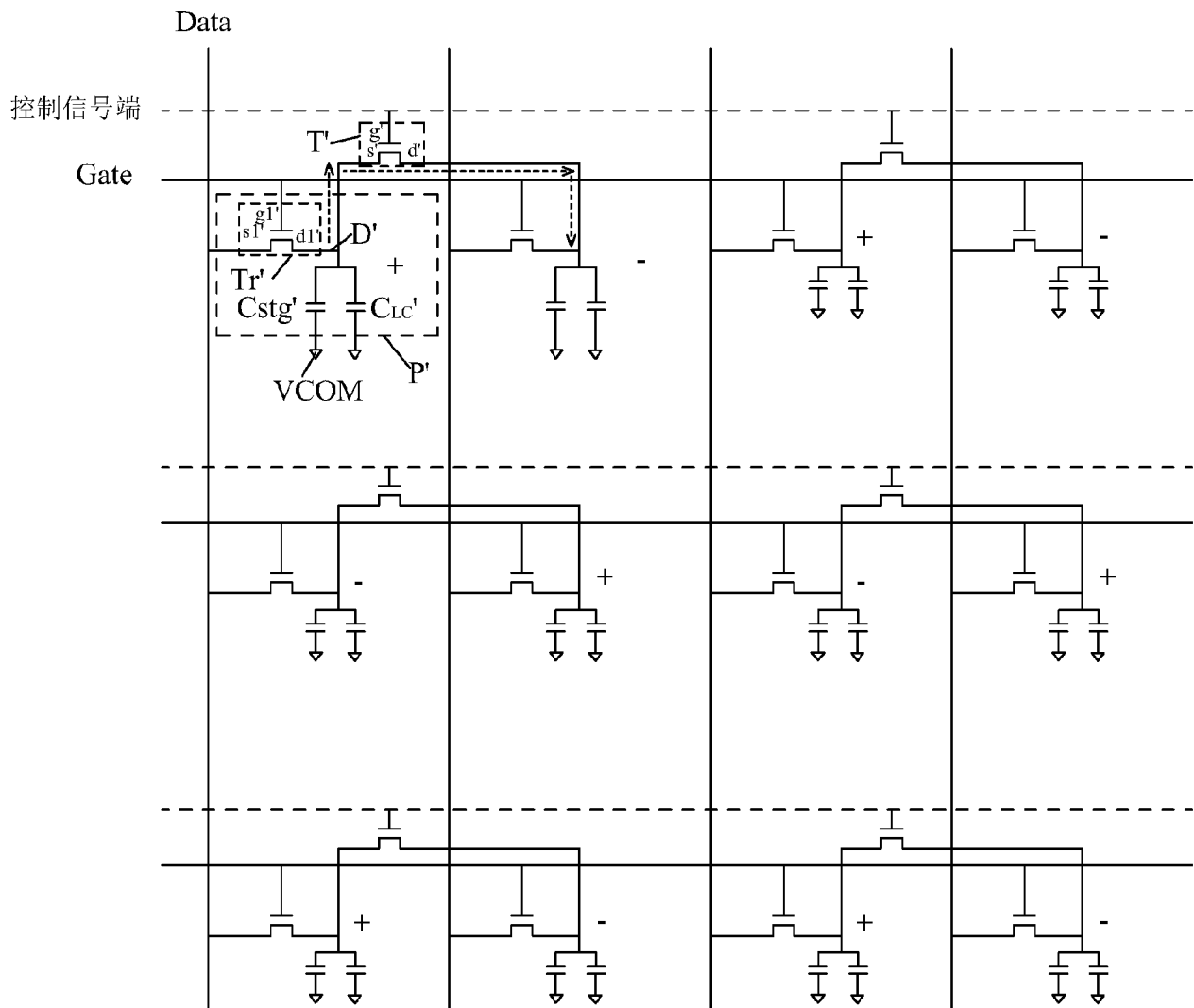


图4

5/5

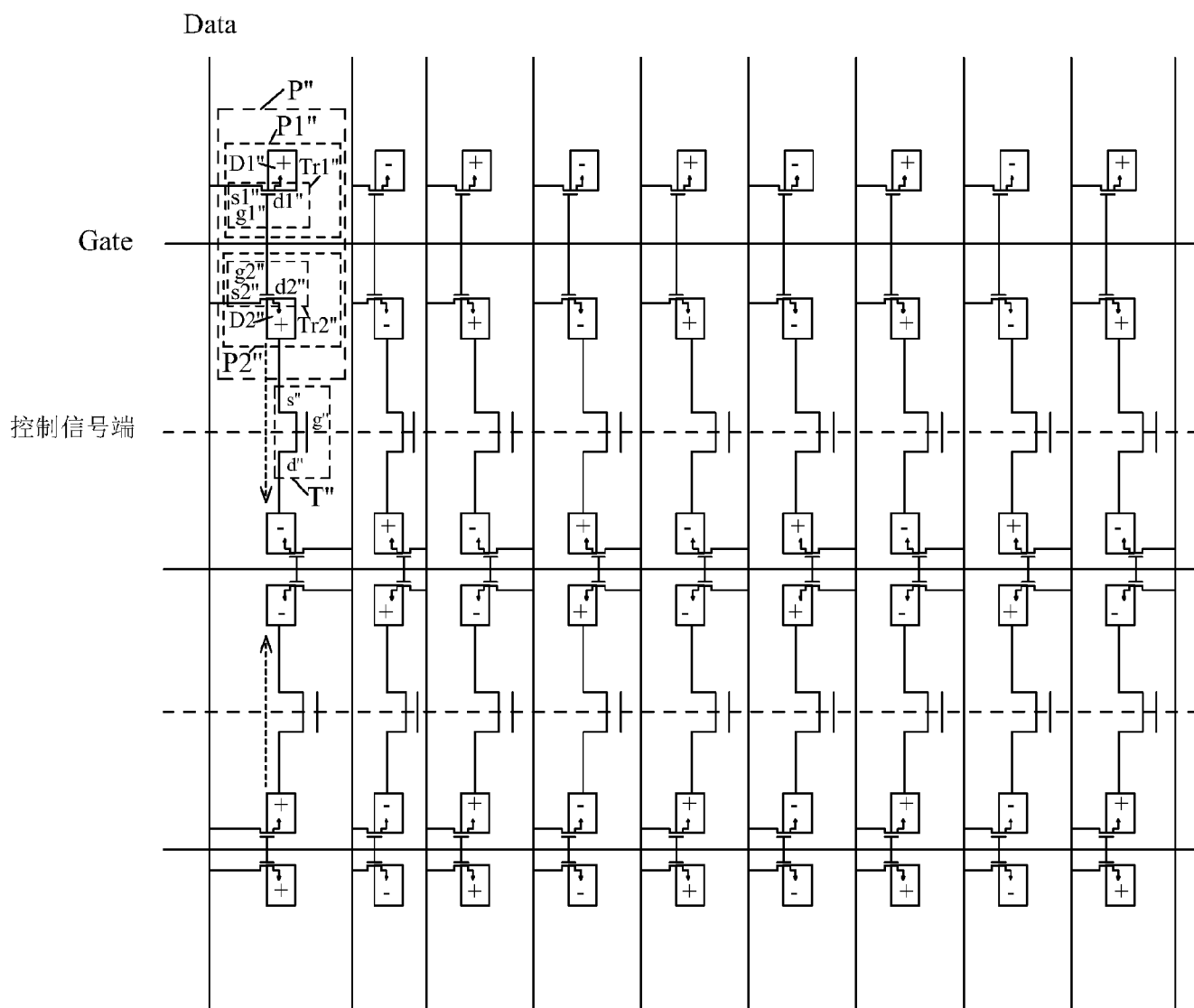


图5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/081438

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/133 (2006.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F 1/-, G09G 3/-,

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: stereo, electrical connection, power consumption, interference, left eye, right eye, display+, pixel?, black w insert+, crosstalk, switch+, control+, transistor, three w dimension, voltage, polarity, on, off

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102263975 A (AU OPTRONICS CORP.), 30 November 2011 (30.11.2011), the whole document	1-15
A	CN 102445796 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 May 2012 (09.05.2012), the whole document	1-15
A	CN 101246676 A (SAMSUNG ELECTRONICS CO., LTD.), 20 August 2008 (20.08.2008), the whole document	1-15
A	JP 2008242144 A (SHARP K. K.), 09 October 2008 (09.10.2008), the whole document	1-15
A	JP 2008268540 A (MITSUBISHI ELECTRIC CORP.), 06 November 2008 (06.11.2008), the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 28 January 2015 (28.01.2015)	Date of mailing of the international search report 27 February 2015 (27.02.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer MENG, Jia Telephone No.: (86-10) 82245567

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/081438

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102263975 A	30 November 2011	TW 201227701 A	01 July 2012
		US 2012169688 A1	05 July 2012
CN 102445796 A	09 May 2012	US 2013021385 A1	24 January 2013
		WO 2013013443 A1	31 January 2013
CN 101246676 A	20 August 2008	KR 20080076316 A	20 August 2008
		US 2008198120 A1	21 August 2008
		JP 2008197603 A	28 August 2008
		TW 200905654 A	01 February 2009
		JP 2012159858 A	23 August 2012
JP 2008242144 A	09 October 2008	None	
JP 2008268540 A	06 November 2008	None	

国际检索报告

国际申请号

PCT/CN2014/081438

A. 主题的分类

G02F 1/133(2006.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F 1/-, G09G 3/-,

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 插黑, 显示, 立体, 三维, 极性, 像素, 控制, 电连接, 导通, 断开, 开关, 功耗, 串扰, 干扰, 左眼, 右眼, display+, pixel?, black w insert+, crosstalk, switch+, control+, transistor, three w dimension, voltage, polarity, on, off

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102263975 A (友达光电股份有限公司) 2011年 11月 30日 (2011 - 11 - 30) 全文	1-15
A	CN 102445796 A (深圳市华星光电技术有限公司) 2012年 5月 9日 (2012 - 05 - 09) 全文	1-15
A	CN 101246676 A (三星电子株式会社) 2008年 8月 20日 (2008 - 08 - 20) 全文	1-15
A	JP 2008242144 A (SHARP K.K.) 2008年 10月 9日 (2008 - 10 - 09) 全文	1-15
A	JP 2008268540 A (MITSUBISHI ELECTRIC CORP.) 2008年 11月 6日 (2008 - 11 - 06) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 1月 28日

国际检索报告邮寄日期

2015年 2月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

孟佳

电话号码 (86-10)82245567

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/081438

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102263975	A	2011年 11月 30日	TW	201227701	A	2012年 7月 1日
				US	2012169688	A1	2012年 7月 5日
CN	102445796	A	2012年 5月 9日	US	2013021385	A1	2013年 1月 24日
				WO	2013013443	A1	2013年 1月 31日
CN	101246676	A	2008年 8月 20日	KR	20080076316	A	2008年 8月 20日
				US	2008198120	A1	2008年 8月 21日
				JP	2008197603	A	2008年 8月 28日
				TW	200905654	A	2009年 2月 1日
				JP	2012159858	A	2012年 8月 23日
JP	2008242144	A	2008年 10月 9日	无			
JP	2008268540	A	2008年 11月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)