

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4365811号
(P4365811)

(45) 発行日 平成21年11月18日 (2009.11.18)

(24) 登録日 平成21年8月28日 (2009.8.28)

(51) Int.Cl. F I
H03K 7/04 (2006.01) H03K 7/04

請求項の数 12 (全 10 頁)

(21) 出願番号	特願2005-226369 (P2005-226369)	(73) 特許権者	506347045
(22) 出願日	平成17年8月4日 (2005.8.4)		ヴェリジー (シンガポール) プライベ
(65) 公開番号	特開2006-50634 (P2006-50634A)		ト リミテッド
(43) 公開日	平成18年2月16日 (2006.2.16)		Verigy (Singapore) Pt
審査請求日	平成19年1月31日 (2007.1.31)		e. Ltd.
(31) 優先権主張番号	04103816.7		シンガポール 768923、 ロット
(32) 優先日	平成16年8月6日 (2004.8.6)		1937シー、 1935エックス、 1
(33) 優先権主張国	欧州特許庁 (EP)		975ピー、 ナンバー1 イーシュン・
			アベニュー 7
			No. 1 Yishun Ave. 7,
			Lot 1937C, 1935X,
			1975P, Singapore 76
			8923
		(74) 代理人	100099623
			弁理士 奥山 尚一

最終頁に続く

(54) 【発明の名称】 正確なパルスの配置

(57) 【特許請求の範囲】

【請求項 1】

一定のパルスレート周期の逆数である一定のパルスレートで、個別のパルス幅を有する後続のバイナリパルスのバイナリパルス信号を形成するパルス配置法であって、

前記一定のパルスレート周期よりも短い持続時間のビットクロック周期を有するビットクロックを生成するステップと、

前方エッジおよび後方エッジを有するパルスを合成するステップであって、前記合成されたパルスの前記前方エッジおよび後方エッジは、前記一定のパルスレート周期内において、前記ビットクロック周期のN倍の位置に配置され、ここで、Nはゼロを含む自然数であるステップと、

対応するパルス幅の関数として、前記バイナリパルス信号の連続するパルスについて、前記ビットクロック周期を個別に選択するステップと

を含んでなる方法。

【請求項 2】

前記ビットクロック周期を選択するステップは、それぞれのパルスについて理想的なパルス幅を判定するステップと、複数の異なるビットクロック周期について、理想的なパルス幅と前記ビットクロック周期をN倍したものとをそれぞれ示す、対応する量子化誤差を判定するステップと、前記複数のビットクロック周期の中から、最小の量子化誤差を有するビットクロック周期を選択するステップとによって実行される請求項1に記載の方法。

【請求項 3】

前記ビットクロック周期を供給する少なくとも 2 つの供給源を使用するものであり、一度に 1 つのパルスを作成するように 1 つのビットクロック源だけを使用し、後続するパルスのために前記ビットクロック周期を供給するように別の供給源のうちの少なくとも 1 つを準備するものである請求項 1 または 2 に記載の方法。

【請求項 4】

前記パルス配置は、前方パルス位置変調を表している請求項 1 から 3 のいずれかに記載の方法。

【請求項 5】

前記パルス配置は、前方パルス幅変調と後方パルス幅変調とデュアルサイドパルス幅変調とを表している請求項 1 から 4 のいずれかに記載の方法。

10

【請求項 6】

前記合成対象のパルスの前記前方エッジおよび後方エッジの配置は、アルゴリズムによって決定され、具体的には、前記合成対象のパルスの前記前方エッジおよび後方エッジによって定義されるパルス幅はアルゴリズムによって決定され、該アルゴリズムは、好ましくは、ナチュラルサンプリング、均一サンプリング、Z e P o C、または、クリック変調を含むものである請求項 1 から 5 のいずれかに記載の方法。

【請求項 7】

量子化誤差をノイズシェイピングするステップを更に有しており、該量子化誤差は、理想的なパルス幅からの実現可能なパルス幅のずれにより生成され、該理想的なパルス幅は、前記アルゴリズムにより決定されるものである請求項 6 に記載の方法。

20

【請求項 8】

波形生成器を使用する既定のアナログ信号のパルスに基づいた信号生成のために使用されるものである請求項 1 から 7 のいずれかに記載の方法。

【請求項 9】

前記波形生成器用の制御データは、事前処理されてメモリ内に保存されるか、リアルタイムアルゴリズムによって供給されるか、または、これら両方の組み合わせたものであり、該制御データは、最小絶対量子化誤差に対する前記ビットクロック周期を選択する信号処理に基づくものである請求項 8 に記載の方法。

【請求項 10】

30

前記一定のパルスレート周期は、 N/M 位相ロックループ (PLL) に基づくものである請求項 1 から 9 のいずれかに記載の方法。

【請求項 11】

コンピュータなどのデータ処理システム上で稼働した場合に、請求項 1 から 10 のいずれかに記載の方法を実行し、好ましくはデータ保存媒体上に保存されているソフトウェアプログラム。

【請求項 12】

バイナリパルス信号を形成するためのパルス配置システムであって、該バイナリパルス信号は、一定のパルスレート周期の逆数である一定のパルスレートで、個別のパルス幅を有しているシステムであり、

40

前記一定のパルスレート周期よりも短い持続時間のビットクロック周期を有するビットクロックを生成する手段と、

前方エッジおよび後方エッジを有するパルスを合成する手段であって、該合成されたパルスの前記前方エッジおよび後方エッジは、前記一定のパルスレート周期内において、前記ビットクロック周期の N 倍の位置に配置されており、ここで、 N はゼロを含む自然数である手段と、

対応するパルス幅の関数として、前記バイナリパルス信号の連続したパルスについて、前記ビットクロック周期を個別に選択する手段と

を含んでなるシステム。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、正確なパルス配置法の改善に関し、具体的には、波形生成器を使用して、正確なアナログ信号を生成するためのパルス幅変調 P W M (pulse width modulation: 以下、「P W M」とよぶ) またはパルス位置変調 (pulse position modulation: 以下、「P P M」とよぶ) を表す正確なパルスの配置を目的とするものである。

【背景技術】

【0002】

P W M (パルス幅変調) を使用してアナログ信号を生成することができる。即ち、パルスレートを一定に維持しつつ、信号処理により、理想的なパルス幅を算出する。理想的なパルス幅は、その生成対象のアナログ信号によって左右されるものであり、これは、ナチュラルサンプリング、クリック変調 (click modulation)、Z e P o C (zero position coding)、または均一サンプリング (uniform sampling) を使用することによって見出すことができる。

10

【0003】

そして、この理想的なパルス幅が判明すれば、通常、この理想的なパルス幅を、ある高周波ビットクロックの最も近い倍数に量子化し、この結果、実際のパルス幅が生成されることになるが、この実際のパルス幅は、理想的なパルス幅とは異なっている。このプロセスの結果、量子化誤差が生じる。この量子化誤差は、信号処理によって算出された理想的なパルス幅と実際のパルス幅とのずれに起因するものである。この量子化誤差は、理想的なパルス幅と実際のパルス幅との間のずれに伴って増大することになる。特許文献 1 などの従来技術では、高精細なバッファ遅延チェーンからのタブ (tab) を使用して、高精細なタイミング分解能を得ている。

20

【0004】

前述の量子化誤差は、ノイズシェイピングが可能である。但し、事前処理アルゴリズムにより、量子化誤差を効果的にノイズシェイピングするには、前述の量子化プロセスによって発生する量子化誤差が、十分に予測可能である必要がある。しかしながら、バッファ遅延チェーン内における単一バッファの遅延は、ユニットごとに異なっており、事前に正確に知ることができないため、特許文献 1 などの高精細なバッファ遅延チェーンからのタブを使用した高精細なタイミングによっては、この要件を充足することはできない。従って、この場合には、ノイズシェイピングにより信号品質を大幅に改善することはできない。

30

【0005】

【特許文献 1】米国特許出願公開第 2 0 0 2 / 0 1 8 0 5 4 7 A 1 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

パルス配置 (特に、波形生成器を使用した信号合成のためのパルス配置) を改善することが、本発明の目的である。

【0007】

40

この目的は、独立請求項により規定されるように達成される。そして、更なる実施例が従属請求項に規定されている。

【課題を解決するための手段】

【0008】

P W M または P P M を使用する波形生成器において、この改善されたパルス配置を使用することにより、発生する量子化誤差が大幅に低減する。

【0009】

本発明に係るパルス配置を表すのに必要な重要なパラメータとしては、3つのものが存在している。まず、パルスレートは時間当たりのパルスの数を定義するものであり、本明細書に開示する本発明の場合には、これは時間の経過に伴って一定である。なお、本

50

明細書において使用するパルスレート周期 (TR) は、このパラメータのちょうど逆数である。そして、第2のパラメータはパルス幅 (TW) であり、これは、「オン時間」、即ち、前方エッジから後方エッジまでのパルスの持続時間を定義し、ゼロからパルスレート周期 (TR) までの範囲に及ぶ。そして、第3のパラメータはビットクロック周期 (TB) であり、これは、通常、パルスレート周期 (TR) よりも短くなっており、パルスの前方エッジ (leading edge) または後方エッジ (trailing edge) が発生可能な時点は、このビットクロック周期 (TB) の倍数だけ間隔があいている。

【0010】

所望の波形の信号を合成するには、第1段階において、所望の理想的なパルス幅を決定することである。これは、アルゴリズムによって実行し、好ましくは、ナチュラルサンプリング、均一サンプリング、Zepoc、またはクリック変調によって行われる。この段階の終了時点まで、サンプリングまたは変調が理想的に実行された場合には、結果として、理想的なパルス幅を得ることができる。

10

【0011】

なお、Zepocまたはクリック変調においては、異なる方法を使用して理想的なパルス幅を決定しているが、これらの場合にも丸めが行われている。従って、エッジを正確に配置して量子化誤差を極小化するニーズが、同様に存在している。

【0012】

次の段階においては、信号処理によって実現するパルス幅 (TW) とビットクロック周期 (TB) とを算出する。本発明は、理想的なパルス幅に非常に近接したパルス幅 (TW) を実現する (換言すれば、量子化誤差を極小化する) 方法を示すものである。この信号処理の課題 (task) は、パルスレート周期 (TR) を正確に一定に維持しつつ、量子化誤差 (q) を極小化するべく、それぞれのパルスについてビットクロック周期 (TB) を選択することにある。

20

【0013】

この段階では、パルス幅 (TW) とビットクロック周期 (TB) とがわかっており、パルスレート周期 (TR) は一定であることも判明しているため、波形の合成に必要なすべてのパラメータが判明し、データソースに保存された状態にある。この代わりに、これらをリアルタイムアルゴリズムによって算出することも可能であり、または、リアルタイムアルゴリズムと事前処理とデータソース内における保存とを組み合わせたものでありうる。この段階では、傾きカウンタと、幅カウンタと、ビットクロック周期 (TB) 用の可変クロック源と、前述のデータソースとを使用することにより、生成器の出力パルスを容易に合成することができる。傾きカウンタと幅カウンタとは、少なくとも1つの可変ビットクロック ((TB) の逆数) によってクロッキングされている。パルスレート周期 (TR) は、制御された傾きカウンタによって設定され、制御された幅カウンタにより、パルスの「オン時間」が設定される。なお、可変ビットクロック源は、例えば、N/M 位相ロックループ (phase locked loop: PLL) 発振器、またはダイレクト・デジタル・シンセサイザ (direct digital synthesizer: DDS) として実現することができる。

30

【0014】

本発明は、コンピュータなどのデータ処理システム上において稼働した際に、正確なパルス配置法を実行するソフトウェアプログラムまたはプロダクトにも関係するものである。好ましくは、このプログラムまたはプロダクトは、データ保存媒体上に保存されている。

40

【0015】

さらに、本発明は、本発明による正確なパルス配置システムにも関係するものである。

【発明を実施するための最良の形態】

【0016】

本発明のその他の目的および付随する利点の多くについては、添付の図面との関連で、以下の説明を参照することにより、容易に明らかとなり、十分に理解することができよう。なお、いくつかの添付図面においては、同様の参照符号により同様の要素を識別してい

50

る。

【 0 0 1 7 】

(以下の説明において使用されるパラメータの定義の概要)

1 / T R : パルスレートである。

T R : パルスレート周期である。

R : 傾きカウンタを制御する値である。

T W : パルス幅である。

T W i : 個々のパルスのパルス幅であり、パルス 1 の場合には T W 1 であり、パルス 2 の場合には T W 2 である (以下、同様) 。

W : 幅カウンタを制御する値である。

1 / T B : ビットクロック周波数である。

T B : ビットクロック周期である。

T B r : 個々のパルスのビットクロック周期であり、パルス 1 の場合には T B 1 であり、パルス 2 の場合には T B 2 である (以下、同様) 。

D : 図 5 の D カウンタ 3 3 5 を制御する値である。

q : 量子化誤差である。

q i : 個々のパルスの量子化誤差であり、パルス 1 の場合には q 1 であり、パルス 2 の場合には q 2 である (以下、同様) 。

N、M : 図 5 の N / M P L L シンセサイザにおいて使用するパラメータである。

T C : 図 5 の基準クロックの周期である。

T M、T V : 図 5 の信号 3 3 0 および信号 3 3 2 の周期である。

【 0 0 1 8 】

図 1 は、ナチュラルサンプリングの特定の場合におけるパルス配置に関する信号のタイミング図を示している。時間は、通常、X 座標と呼ばれる横軸 (abscissa) 6 によって表されており、信号レベルは、通常、Y 座標と呼ばれる縦軸 (ordinate) 7 によって表されている。そして、X 座標の単位として、ビットクロック周期 (T B) 3 が示されており、Y 座標の信号レベルは、単位がなく定量的にのみ示されている。このタイミング図には、次の 4 つの信号 1、2、4、5 が示されている。

【 0 0 1 9 】

・傾き (ramp) 5 : 1 パルスレート周期 (T R) 内において、ゼロからその最大値に増大している。

【 0 0 2 0 】

・理想パルス 2 : それぞれの個々のパルスは、パルス幅 T W 1、T W 2、T W 3、T W 4 を有することにより特徴付けられている。それぞれの個々のパルスの前方エッジは、傾き 5 のレベルがゼロである時点において発生しており、それぞれの個々のパルスの後方エッジは、個々のパルス幅 T W i (即ち、図 1 に示されているように、第 1 パルスの場合には T W 1 であり、第 2 パルスの場合には T W 2 である (以下、同様)) の持続時間後に発生している。

【 0 0 2 1 】

・アナログ信号 1 : 本発明において開示する方法によって生成された波形の一例を表している。

【 0 0 2 2 】

・量子化パルス 4 : 複数のビットクロック周期 (T B) だけ間隔があいている前方エッジおよび後方エッジを有している。

【 0 0 2 3 】

理想的なパルスのパルス幅 T W i は、傾き 5 がアナログ信号 1 と交差する時点によって決定されている。そして、これらの理想的なパルスには、量子化誤差は含まれていない。前述のように、本発明によれば、この図 1 に示されている傾き 5 の傾きレートと同一であるパルスレート周期 T R は、時間が経過しても正確に一定でなければならない。傾きレートは、 $T R = R \times T B$ の場合には正確に一定である。しかしながら、本発明において開示

10

20

30

40

50

されているような実際のシステムでは、理想的なパルス 2 のパルス幅 $T W_i$ を量子化パルス 4 に丸めなければならない。この結果、生じるタイミング誤差は、 $+/-0.5 \times T B$ であり、予想される平均絶対誤差は $0.25 \times T B$ である。これは、量子化パルス 4 のエッジの場合には、理想的なパルス 2 のエッジとは対照的に、ビットクロック周期 $T B$ の倍数だけ間隔をあけて配置しなければならないという事実に起因するものである。

【0024】

図 2 は、従来技術によるパルス幅変調器 10 のブロックダイアグラムを示している。なお、この図には、低域通過フィルタ 15 の出力において、アナログ信号 16 を視覚化するために、バイナリチャネル 14 と、このバイナリチャネル 14 の後段に位置する低域通過フィルタ 15 とが示されており、本発明の実施例は、このバイナリチャネル 14 および / または低域通過フィルタ 15 を有することがあるが、以下に後続するすべての図面では、このバイナリチャネル 14 と低域通過フィルタ 15 とは含まれていない。

10

【0025】

この図 2 に示されている生成器 10 は、データソース 8 と、固定ビットクロック 11 によってクロッキングされるゲート装置 9 と、パルス幅変調信号 12 を出力するクリップ・リミッタ 13 とを有している。この図 2 には、バイナリチャネル 14 と、これに後続してアナログ信号 16 を出力する低域通過フィルタ 15 も示されている。この図 2 では、固定ビットクロックを有するゲート装置 9 を使用して、データソース 8 の内容をクロックに基づいて出力する。そして、後段に位置するクリップ・リミッタ 13 により、パルス幅変調信号の LOW レベルおよび HIGH レベルを所望の値に設定することができる。

20

【0026】

図 3 は、従来技術によるパルス幅変調器のさらに詳細な図を示している。この場合には、固定クロック源 117 の出力 111 により、傾きカウンタ 118 と幅カウンタ 119 とをクロッキングしている。そして、このカウンタ 118 の出力 124 およびカウンタ 119 の出力 125 が、パルス形成装置 120 に供給され、この装置から、パルス幅変調信号 112 が出力される。傾きカウンタ 118 は、固定値 R 122 によって制御されており、この値は、パルスレートによって左右される。一方、幅カウンタ 119 は、値 W 123 によって制御されており、データソース 108 を制御している傾きカウンタ 118 からの信号「Next」により、パルスレート周期 $T R$ の終了時点において、必要な次の幅カウンタ値 W が、データソース 108 からクロックに基づいて出力される。

30

【0027】

図 4 は、本発明の第 1 実施例を示している。この図 4 を図 3 と比べることにより、従来技術と、開示される本発明との相違点が明らかになる。即ち、図 3 の固定クロック源 117 は、図 4 においては、可変クロック源 226 によって置換されている。そして、可変クロック周期 $T B_r$ (または、図中の「Period」) が、データソース 208 から、ライン 227 を介して、この可変クロック源 226 に供給されている。図 4 の場合には、傾きカウンタ 218 用の制御値 r も、図 3 のように固定されてはならず、可変であって、ライン 222 を介してデータソース 208 から供給されている。幅カウンタ 219 用の制御値 w は、ライン 223 を介してデータソース 208 から供給されている。そして、このカウンタ 218 の出力 224 およびカウンタ 219 の出力 225 が、パルス形成装置 220 に供給されており、この装置から、パルス幅変調信号 212 が出力されることになる。なお、パルスレート周期 $T R$ の終了時点において、データソース 208 を制御する傾きカウンタ 218 からの信号「Next」221 により、必要な次の幅カウンタ値 w および次の制御値 r が、データソース 208 からクロックに基づいて出力される。

40

【0028】

すべての傾きについて同一の連続したビットクロック周波数を使用する代わりに、確実にパルスレート $T R$ を正確に一定に維持しつつ、量子化誤差 q_i を極小化するように、それぞれのパルス (i) について、ビットクロック周期 $T B_r$ を選択している。このように、それぞれのパルスについてビット周期 $T B_r$ を個別に選択することにより、図 1 の説明に関連して紹介した理想的なパルス幅に非常に近接するように、実際のパルス幅を選択す

50

ることができる。

【0029】

この最適なクロック周期 T_{Br} を判定するための実行可能な PPM アルゴリズムは、次に示すとおりである。

【0030】

それぞれのパルス j について、可能なクロック周期 T_{Bj} は、次のとおりである。

【0031】

$T_{R} = j \cdot T_{Bj} ; j \in J = \{1, \dots, \text{round}(f_{\max} \cdot T_R - 0.5)\}$

【0032】

ここで、 T_R は、傾き時間またはパルスレート周期であり、 f_{\max} は、クロック生成器において可能な最大周波数である。

10

【0033】

理想的なパルス幅 W における対応する量子化誤差は、次のとおりである。

【0034】

$q_j = T_{Bj} \cdot \text{round}(W / T_{Bj}) - W$

【0035】

次に示す最小量子化誤差 q_r を有する $j = r$ を選択 (し、更にクロック周期 T_{Br} を選択) する。

【0036】

(すべての $j \in J$ について) $q_r \leq q_j$

20

【0037】

また、データソース 208 から供給される 3 つの制御値 (r 、Period、 w) は、次のように表すことができる。

【0038】

(r 、 $T_{Br} = T_R / r$ 、 $w = \text{round}(W / T_R)$)

【0039】

残りの量子化誤差をさらにノイズシェイピングすることができる。

【0040】

このパルスごとにビットクロック T_B を変化させる能力があることで、固定ビットクロック T_B によって結果的に生成される量子化誤差と比べて、格段に小さな量子化誤差を実現可能であることは、図 1 から明らかである。例えば、図 1 の第 1 および第 2 パルスの場合には、第 1 量子化パルスは、3 ビットクロック周期の持続時間に丸められており、これは、理想的なパルスよりも、ビットクロック周期の約 3 分の 1 だけ短くなっている。従って、例えば、このビットクロック周期の約 9 分の 1 だけ、このパルス用のビットクロック周期を拡大することにより、この第 1 パルスにおける量子化誤差を減少させることができる。一方、図 1 の第 2 量子化パルスの場合には、理想的なパルスから多少長くなっているため、この場合には、例えば、ビットクロック周期を短くすることにより、量子化誤差を低減することができる。なお、図 1 の第 3 量子化パルスの場合には、量子化パルスの長さが、理想的なパルスと等しくなっており、これは換言すれば、この場合には、ビットクロック T_B が、量子化誤差を極小化するための最良の値であるということである。

30

40

【0041】

なお、本発明の実施例における残りの小さな量子化誤差は、十分に予測可能であるため、ノイズシェイピングを使用することにより、所望の周波数範囲内に抑制することができる。

【0042】

図 5 は、周期 T_{M330} および T_{V332} を供給する N/M PLL 発振器 329 を使用した本発明の第 2 実施例のブロックダイアグラムを示している。傾きカウンタ 318 は、値 R_{322} によって制御されており、この値により、パルスレート周期 T_R を表す出力信号 328 が結果的に生成されることになる。D カウンタ 335 は、値 D によって制御されており、この値により、ビットクロック周期 T_B を表す出力信号 331 が結果的に生成

50

されることになる。そして、幅カウンタ 319 は、値 W 323 によって制御されており、この値により、それぞれ単一パルスの持続時間を表す出力信号 325 が結果的に生成される。D カウンタ 335 の出力信号 331 は、幅カウンタ 319 に供給されている。そして、幅カウンタ 319 の出力信号 325 と傾きカウンタ 318 の出力信号 328 とが、パルス形成装置 320 に供給されており、この装置からパルス信号 312 が出力される。

【0043】

N / M P L L 発振器 329 を使用することにより、一定のパルスレート周期 (TR) が保証される。また、ビットクロック周期 (TB) を、この N / M P L L 発振器 329 に基づいたものにする 것도できる。

【0044】

N の多数の選択肢を得るように、大きな値 M を選択するほうが有利であるが、安定化時間を考慮すれば、あまり大きくしないほうがよい。そして、N (そして、従って W) は、最良の量子化誤差を実現するように選択される。

【0045】

次の式は、図 5 に関係する信号の周期の依存性を示している。

【0046】

傾き時間 328 : $TR = M \times R \times TC$

パルス幅 325 : $TW = M \times (D + W / N) \times TC$

Period 332 : $TV = M / N \times TC$

【0047】

図 6 は、所謂「ピンポン (ping-pong)」モードにおいて第 1 および第 2 可変ビットクロック源 426 a および 426 b を使用する本発明の第 3 実施例の部分的なブロックダイアグラムを示している。第 1 可変クロック源 426 a は、奇数番目の傾きおよびパルスの生成の際にアクティブになり、第 2 可変クロック源 426 b は、この同一の期間において偶数番目の傾きおよびパルス用の新しい周波数に切り替わる。そして、第 2 可変クロック源 426 b がアクティブになり、第 1 クロック源 426 a は次の奇数番目の傾きおよびパルスに必要な周波数に切り替わることをできる。出力 434 は、これらの可変クロック源 425 a と可変クロック源 426 b との間にスイッチングされる。なお、可変クロック源 426 a および 426 b は、ビットクロック周期の望ましい値 433 によって制御されている。

【図面の簡単な説明】

【0048】

【図 1】ナチュラルサンプリングの場合のパルス配置に関する信号のいくつかのタイミング図を示している。

【図 2】従来技術による PWM を示すブロックダイアグラムである。

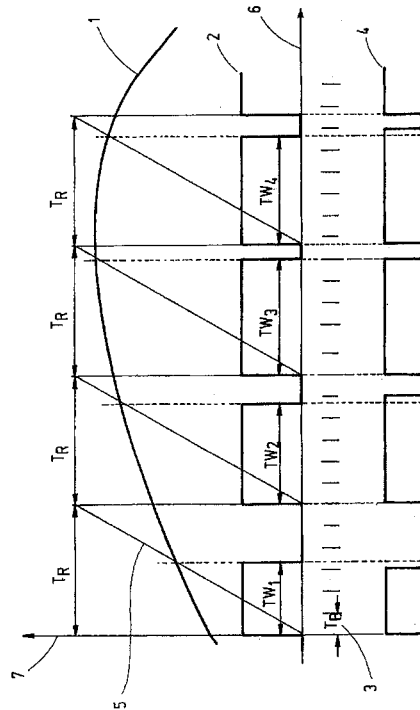
【図 3】従来技術による PWM を更に詳細に示すブロックダイアグラムである。

【図 4】本発明の第 1 実施例を示すブロックダイアグラムである。

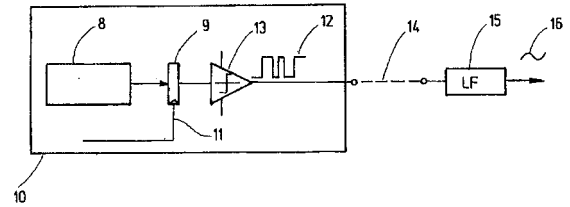
【図 5】可変ビットクロック源を詳細に示すと共に、本発明の第 2 実施例を示すブロックダイアグラムである。

【図 6】本発明の第 3 実施例の一部である 2 つの可変ビットクロック源を示すブロックダイアグラムである。

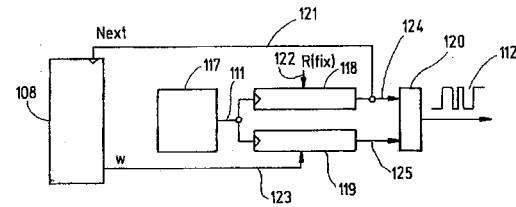
【図 1】



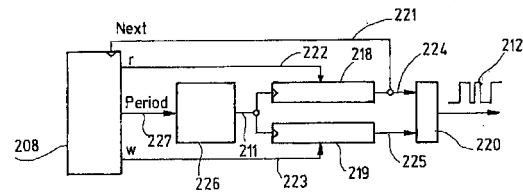
【図 2】



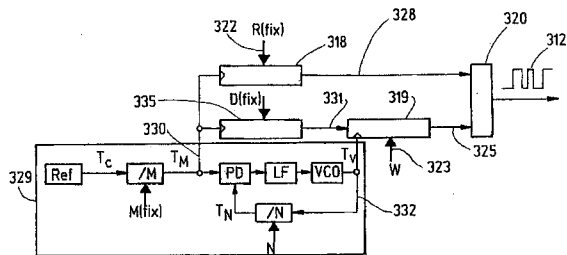
【図 3】



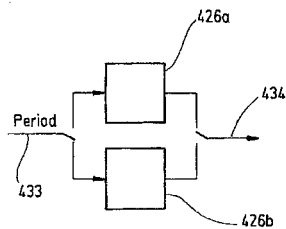
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100096769
弁理士 有原 幸一

(74)代理人 100107319
弁理士 松島 鉄男

(74)代理人 100114591
弁理士 河村 英文

(74)代理人 100118407
弁理士 吉田 尚美

(74)代理人 100125380
弁理士 中村 綾子

(74)代理人 100130960
弁理士 岡本 正之

(74)代理人 100125036
弁理士 深川 英里

(74)代理人 100142996
弁理士 森本 聡二

(74)代理人 100107364
弁理士 斉藤 達也

(72)発明者 ヨッヘン・リヴォイア
ドイツ連邦共和国, 7 1 1 0 6 マークシュタット, ヴァルムブロンナー・シュトラッセ 1 3 /
3

審査官 矢頭 尚之

(56)参考文献 特開平 6 - 3 1 1 0 3 8 (J P , A)
特開平 0 3 - 0 9 8 4 7 0 (J P , A)
特開平 0 4 - 1 6 0 8 2 1 (J P , A)
特開平 0 7 - 0 9 5 0 8 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 7 / 0 4