



## (12) 发明专利

(10) 授权公告号 CN 1983355 B

(45) 授权公告日 2010.12.15

(21) 申请号 200610064155.7

(22) 申请日 2006.12.01

(30) 优先权数据

2005-348835 2005.12.02 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 木村肇

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 刘红 王忠忠

页最后 1 段至第 9 页第 1 段。

CN 1345022 A, 2002.04.17, 全文。

CN 1404027 A, 2003.03.19, 全文。

US 2002/0126108 A1, 2002.09.12, 全文。

CN 1337669 A, 2002.02.27, 全文。

US 2004/0130542 A1, 2004.07.08, 说明书第 0004 段, 第 0032 段至第 0034 段, 第 0036 段, 第 0038 段至第 0042 段, 第 0059 段至第 0067 段、附图 1A, 1B, 4A, 4B, 8, 9, 10A, 10B, 11。

CN 1467696 A, 2004.01.14, 全文。

审查员 王少伟

(51) Int. Cl.

G09G 3/20 (2006.01)

G09G 3/30 (2006.01)

G09G 3/36 (2006.01)

(56) 对比文件

US 5534884 A, 1996.07.09, 全文。

CN 1610932 A, 2005.04.27, 全文。

WO 03/094362 A2, 2003.11.13, 说明书第 8

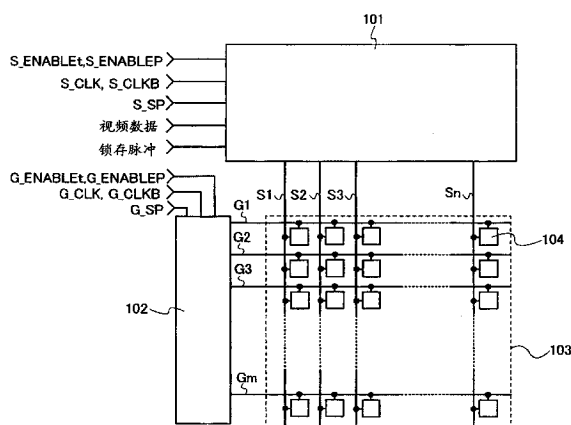
权利要求书 6 页 说明书 66 页 附图 100 页

(54) 发明名称

显示装置

(57) 摘要

本发明的目的是通过减少从脉冲输出电路输出采样脉冲或写入视频信号到像素中的次数提供消耗更少电功率的显示装置。该显示装置包括：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线，以控制像素的发光和不发光；扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器且具有这样的工具，当扫描线驱动电路选择的像素行中被写入的视频信号与所选择行之后一行的像素中被写入的视频信号相同时，所述工具不传输移位寄存器中的信号。



1. 一种显示装置包括：

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分；

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路；和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行且当选择第  $i$  行时输入第二视频信号到第  $i$  行的信号线驱动电路，

其中所述信号线驱动电路包括：

移位寄存器；和

确定电路，当所述第一视频信号和所述第二视频信号相同时，该确定电路通过接通用于初始化信号的开关来停止所述移位寄存器中所述第二视频信号的信号传输，

其中  $n$  是自然数，

其中  $m$  是自然数，和

其中  $i$  是不小于 2 且不大于  $n$  的自然数。

2. 一种显示装置包括：

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分；

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路；和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行的第  $j$  列至第  $k$  列且当选择第  $i$  行时输入第二视频信号到第  $i$  行的第  $j$  列至第  $k$  列的信号线驱动电路，

其中所述信号线驱动电路包括：

移位寄存器；和

确定电路，当所述第一视频信号和所述第二视频信号相同时，该确定电路通过接通用于初始化信号的开关来停止所述移位寄存器中所述第二视频信号的信号传输，

其中  $n$  是自然数，

其中  $m$  是自然数，

其中  $i$  是不小于 2 且不大于  $n$  的自然数，

其中  $j$  是比  $m$  小的自然数，和

其中  $k$  是大于  $j$  且不大于  $m$  的自然数。

3. 一种显示装置包括：

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分；

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路；和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行且当选择第  $i$  行时输入第二视频信号到第  $i$  行的信号线驱动电路，

其中所述信号线驱动电路包括：

提供采样脉冲的移位寄存器；

根据所述第一视频信号的采样脉冲保持所述第一视频信号的锁存电路；和

确定电路，当保持在所述锁存电路中的所述第一视频信号和所述第二视频信号相同时，该确定电路通过接通用于初始化信号的开关来停止提供所述第二视频信号的采样脉

冲,

其中  $n$  是自然数,

其中  $m$  是自然数,和

其中  $i$  是不小于 2 且不大于  $n$  的自然数。

4. 一种显示装置包括:

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分;

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路;和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行的第  $j$  列至第  $k$  列且当选择第  $i$  行时输入第二视频信号到第  $i$  行的第  $j$  列至第  $k$  列的信号线驱动电路,

其中所述信号线驱动电路包括:

提供采样脉冲的移位寄存器;

根据所述第一视频信号的采样脉冲保持所述第一视频信号的锁存电路;和

确定电路,当保持在所述锁存电路中的所述第一视频信号和所述第二视频信号相同时,该确定电路通过接通用于初始化信号的开关来停止提供所述第二视频信号的采样脉冲,

其中  $n$  是自然数,

其中  $m$  是自然数,

其中  $i$  是不小于 2 且不大于  $n$  的自然数,

其中  $j$  是小于  $m$  的自然数,和

其中  $k$  是大于  $j$  且不大于  $m$  的自然数。

5. 一种显示装置包括:

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分;

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路;和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行的第  $j$  列至第  $k$  列且当选择第  $i$  行时输入第二视频信号到第  $i$  行的第  $j$  列至第  $k$  列的信号线驱动电路,

其中所述信号线驱动电路包括:

提供采样脉冲的移位寄存器;

根据所述第一视频信号的采样脉冲保持所述第一视频信号的锁存电路;

确定电路,当所述第一视频信号和所述第二视频信号相同时,该确定电路通过接通用于初始化信号的开关来停止所述移位寄存器中所述第二视频信号的信号传输,

其中  $n$  是自然数,

其中  $m$  是自然数,

其中  $i$  是不小于 2 且不大于  $n$  的自然数,

其中  $j$  是小于  $m$  的自然数,和

其中  $k$  是大于  $j$  且不大于  $m$  的自然数。

6. 一种显示装置包括:

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分;

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路 ;和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行且当选择第  $i$  行时输入第二视频信号到第  $i$  行的信号线驱动电路,

其中所述信号线驱动电路包括 :

提供采样脉冲的移位寄存器 ;

根据所述第一视频信号的采样脉冲保持所述第一视频信号的第一锁存电路 ;

保持从所述第一锁存电路提供的第一视频信号的第二锁存电路 ;和

确定电路,当保持在所述第二锁存电路中的所述第一视频信号和所述第二视频信号相同时,该确定电路通过接通用于初始化信号的开关来停止提供所述第二视频信号的采样脉冲,

其中  $n$  是自然数,

其中  $m$  是自然数,和

其中  $i$  是不小于 2 和不大于  $n$  的自然数。

7. 一种显示装置包括 :

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分 ;

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路 ;和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行的第  $j$  列至第  $k$  列且当选择第  $i$  行时输入第二视频信号到第  $i$  行的第  $j$  列至第  $k$  列的信号线驱动电路,

其中所述信号线驱动电路包括 :

提供采样脉冲的移位寄存器 ;

根据所述第一视频信号的采样脉冲保持第一视频信号的第一锁存电路 ;

保持从所述第一锁存电路提供的第一视频信号的第二锁存电路 ;和

确定电路,当所述第一视频信号和所述第二视频信号相同时,该确定电路通过接通用于初始化信号的开关来停止提供所述第二视频信号的采样脉冲,

其中  $n$  是自然数,

其中  $m$  是自然数,

其中  $i$  是不小于 2 且不大于  $n$  的自然数,

其中  $j$  是小于  $m$  的自然数,和

其中  $k$  是大于  $j$  且不大于  $m$  的自然数。

8. 一种显示装置包括 :

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分 ;

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路 ;和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行且当选择第  $i$  行时输入第二视频信号到第  $i$  行的信号线驱动电路,

其中所述信号线驱动电路包括 :

提供采样脉冲的移位寄存器 ;

根据所述第一视频信号的采样脉冲保持所述第一视频信号的第一锁存电路；  
保持从所述第一锁存电路提供的第一视频信号的第二锁存电路；和  
确定电路，当所述第一视频信号和所述第二视频信号相同时，该确定电路通过接通用于初始化信号的开关来停止所述移位寄存器中所述第二视频信号的信号传输，

其中  $n$  是自然数，

其中  $m$  是自然数，和

其中  $i$  是不小于 2 且不大于  $n$  的自然数。

9. 一种显示装置包括：

包括以矩阵形式提供的  $(n \times m)$  个像素的像素部分；

选择所述  $(n \times m)$  个像素的第  $(i-1)$  行和选择所述  $(n \times m)$  个像素的第  $i$  行的扫描线驱动电路；和

当选择第  $(i-1)$  行时输入第一视频信号到第  $(i-1)$  行且当选择第  $i$  行时输入第二视频信号到第  $i$  行的信号线驱动电路，

其中所述信号线驱动电路包括：

移位寄存器；和

确定电路，当所述第一视频信号和所述第二视频信号相同时，该确定电路通过接通用于初始化信号的开关来停止所述移位寄存器中所述第二视频信号的信号传输，

其中，当所述第一视频信号和所述第二视频信号相同时，所述扫描线驱动电路包括停止选择第  $i$  行的开关，

其中  $n$  是自然数，

其中  $m$  是自然数，和

其中  $i$  是不小于 2 且不大于  $n$  的自然数。

10. 如权利要求 1 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制所述移位寄存器中的信号传输。

11. 如权利要求 2 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制所述移位寄存器中的信号传输。

12. 如权利要求 3 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关

通过初始化信号来控制采样脉冲的提供。

13. 如权利要求 4 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制采样脉冲的提供。

14. 如权利要求 5 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制所述移位寄存器中的信号传输。

15. 如权利要求 6 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制采样脉冲的提供。

16. 如权利要求 7 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制采样脉冲的提供。

17. 如权利要求 8 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制所述移位寄存器中的信号传输。

18. 如权利要求 9 的显示装置，

其中所述移位寄存器包括多个触发器电路，

其中所述确定电路包括多个开关，所述多个开关中的每一个开关电连接到所述多个触发器电路中对一个的输入部分，

其中当所述第二视频信号与所述第一视频信号相同时，所述多个开关中的每一个开关通过初始化信号来控制所述移位寄存器中的信号传输。

19. 如权利要求 1 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

20. 如权利要求 2 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

21. 如权利要求 3 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

22. 如权利要求 4 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

23. 如权利要求 5 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

24. 如权利要求 6 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

25. 如权利要求 7 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

26. 如权利要求 8 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

27. 如权利要求 9 的显示装置，

其中所述移位寄存器包括多个区域，和

其中不同的起始脉冲信号输入到所述多个区域中的每个区域以便于控制信号传输。

## 显示装置

### 技术领域

[0001] 本发明涉及一种半导体装置,所述半导体装置具有通过晶体管控制提供至负载的电流的功能。本发明尤其涉及一种显示装置,其包括:扫描线驱动电路;信号线驱动电路;和以下像素中的至少一个:由信号改变其亮度的电流驱动型显示元件形成的像素,由电压改变其亮度的电压驱动型显示元件形成的像素,和由电压改变其透射率的显示元件例如液晶形成的像素。

### 背景技术

[0002] 近年来,所谓的自发光显示装置已引人注目,该装置中采用如发光二极管(LED)的显示元件形成像素。作为用于这样的自发光显示装置的显示元件,例如,有机发光二极管(也称为 OLED,有机 EL 元件,或电致发光元件)已引人注目,且已被用于 EL 显示器等。因为如 OLED 的显示元件是自发光型,所以这样的显示装置与液晶显示器相比具有高可视度、不需要背光和响应速度高的优点。值得注意,显示元件的亮度由流过显示元件的电流值控制。

[0003] 下文描述通用显示装置的像素矩阵电路及其操作。

[0004] 像素矩阵电路具有信号线驱动电路 7001、扫描线驱动电路 7002 和像素部分 7003。像素部分 7003 配置有多个像素 7004(图 61)。多个像素 7004 根据以行方向排列的扫描线(G1 到 Gm)和以列方向排列的信号线(S1 到 Sn)以矩阵形式排列。信号线驱动电路 7001 将视频信号输出到信号线 S1 到 Sn,扫描线驱动电路 7002 将用于选择像素 7004 的信号输出到以行方向排列的扫描线 G1 到 Gm。接着,来自信号线驱动电路 7001 的每个视频信号被写入与所选择的行各列对应的像素中。各像素存储该写入信号。

[0005] 以类似的方式,信号被写入顺序选择的行中的每一列像素中。当像素部分 7003 的所有像素完成信号写入时,像素 7004 的写周期完成。当像素被操作发光时,像素 7004 存储该写入的信号持续一特定的周期。因此,每个像素 7004 维持与写入其中的信号对应的状态。接着,通过重复写入操作和发光操作,显示移动的图像。

[0006] 输出到像素的视频信号被信号线驱动电路 7001 控制。信号线驱动电路 7001 具有,例如,脉冲输出电路 7011、第一锁存电路部分 7012 和第二锁存电路部分 7013。根据输入起始脉冲信号(S\_SP)等的定时,脉冲输出电路 7011 顺序地将采样脉冲输出到第一锁存电路部分 7012。视频信号(视频数据)被输入到第一锁存电路部分 7012。根据从脉冲输出电路 7011 输出的采样脉冲控制所述定时。接着,视频信号被保持在第一锁存电路部分 7012 的每一级。即,第一锁存电路部分 7012 的每一级的锁存电路基于从脉冲输出电路 7011 输出的采样脉冲操作。

[0007] 之后,当完成视频信号输入到第一锁存电路部分 7012 的最后一级时,锁存脉冲(Latch Pulse)被输入到第二锁存电路部分 7013,且保持在第一锁存电路部分 7012 中的视频信号被同时传输到第二锁存电路部分 7013 且保持在第二锁存电路部分 7013 中。接着,视频信号(对于一行)同时从第二锁存电路部分 7013 输出到信号线 S1 到 Sn。接着,当将

信号从第二锁存电路部分 7013 输出到信号线时,下一行的视频信号数据被输入到第一锁存电路部分 7012。接着,在输入到最后一级之后,信号通过锁存脉冲从第一锁存电路部分 7012 传输到第二锁存电路部分。通过重复该操作,信号被输入到所有像素以显示移动的图像。

[0008] 作为驱动这样的显示装置以表示灰度级的方法,存在模拟灰度级方法和数字灰度级方法。模拟灰度级方法包括以模拟方式控制显示元件发光亮度的方法和以模拟方式控制显示元件发光时间的方法。作为模拟灰度级的方法,通常使用以模拟方式控制显示元件发光亮度的方法。然而,以模拟方式控制发光亮度的方法容易受像素之间的薄膜晶体管(下文也称作 TFT)特性变化的影响,这也引起像素之间亮度的变化。另一方面,在数字灰度级方法中,通过以数字的方式控制显示元件被接通/断开以表示灰度级。在数字灰度级方法的情况下,每个像素的亮度一致性是良好的。然而,仅存在两种状态,即,发光状态和不发光状态;因此,仅能表示两个灰度级。因此,通过使用结合的另一方法尝试得到多级灰度级显示器。作为用于多级灰度级显示器的技术,例如,存在区域灰度级方法(area gray scale method)和时间灰度级方法(time gray scale method),在区域灰度级方法中像素的发光域被加权(一个像素被分成多个区域且每个区域发光或不发光受到控制)且被选择执行灰度级显示,在时间灰度级方法中发光时间被加权(一帧被划分为多个子帧且每个子帧发光或不发光受到控制)且被选择以之下灰度级显示。在数字灰度级方法的情况下,通常使用也适于获得较高清晰度的时间灰度级方法(参见,例如,文献 1:日本专利号 2784615)。

[0009] 这里,通过使用数字灰度级方法中的时间灰度级方法能获得改善的清晰度。然而,随着清晰度的改善,增加了像素的数量。因此,执行信号写入的像素数量也增加。而且,对于较高级灰度级显示器,需要增加子帧的数量。因此,像素中写入信号的时间数量增加。

[0010] 而且,在前述显示装置中,因为在所有行中脉冲输出电路输入一行采样脉冲到第一锁存电路部分,所以脉冲输出电路操作以从第一列到最后一列传输一行信号。因此,随着像素数量的增加,能量消耗的增加成为一个问题。

## 发明内容

[0011] 考虑到前述问题,本发明的目的是提供一种显示装置,其中通过减少从脉冲输出电路输出采样脉冲的次数和在像素中写入视频信号的次数获得功率消耗的减少。

[0012] 本发明的显示装置具有:像素部分,在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素;信号线驱动电路,用于将视频信号输入到信号线;和扫描线驱动电路,用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器且具有这样的工具,当扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时,所述工具不传输移位寄存器中的信号。

[0013] 本发明的显示装置具有:像素部分,在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素;信号线驱动电路,用于将视频信号输入到信号线;和扫描线驱动电路,用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器且具有这样的工具,当在连续多列中扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时,所述工具在连续多列中不传输移位寄存器中的信号。

[0014] 本发明的显示装置具有：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器和锁存电路。锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号的工具。信号线驱动电路具有这样的工具，当保持在锁存电路中的视频信号与将被写入锁存电路中的视频信号相同时，所述工具不提供采样脉冲到锁存器电路。

[0015] 本发明的显示装置具有：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器和锁存电路。锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号的工具。信号线驱动电路具有这样的工具，当在相同列中扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时，所述工具在相同列中不提供采样脉冲到锁存器电路。

[0016] 本发明的显示装置具有：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器和锁存电路。锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号的工具。信号线驱动电路具有这样的工具，当在连续多列中扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时，所述工具在连续多列中不传输移位寄存器中的信号。

[0017] 本发明的显示装置：具有像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器、第一锁存电路和第二锁存电路。第一锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号的工具。第二锁存电路具有保持从第一锁存电路提供的视频信号的工具。信号线驱动电路具有这样的工具，当保持在第二锁存电路中的视频信号与将被写入第一锁存电路的视频信号相同时，所述工具不提供采样脉冲到第一锁存电路。

[0018] 本发明的显示装置具有：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器、第一锁存电路和第二锁存电路。第一锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号的工具。第二锁存电路具有保持从第一锁存电路提供的视频信号的工具。信号线驱动电路具有这样的工具，当在相同列中扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时，所述工具在相同列不提供采样脉冲到第一锁存电路。

[0019] 本发明的显示装置具有：像素部分，在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素；信号线驱动电路，用于将视频信号输入到信号线；和扫描线驱动电路，用于选择视频信号将被写入的像素行。信号线驱动电路配置有移位寄存器、第一锁存电路和第二锁存电路。第一锁存电路具有基于从移位寄存器提供的采样脉冲而保持视频信号

的工具。第二锁存电路具有保持从第一锁存电路提供的视频信号的工具。信号线驱动电路具有这样的工具,当在连续多列中扫描线驱动电路所选择行的像素中被写入的视频信号与所选择行之后一行的像素中将被写入的视频信号相同时,所述工具在连续多列中不传输移位寄存器中的信号。

[0020] 本发明的显示装置具有:像素部分,在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素;信号线驱动电路,用于将视频信号输入到信号线;和扫描线驱动电路,用于选择视频信号将被写入的像素行。扫描线驱动电路具有这样的工具,当将被写入所选择的像素行的视频信号与存储在所选择的像素行中的视频信号相同时,所述工具不在所选择的像素行中写入视频信号的装置。信号线驱动电路配置有移位寄存器且具有这样的工具,当扫描线驱动电路所选择行的像素中被写入的视频信号与所选择的行之后一行的像素中将被写入的视频信号相同时,所述工具不传输移位寄存器中的信号。

[0021] 本发明的显示装置具有:像素部分,在该像素部分中按照行方向和列方向以矩阵形式提供有多个像素;信号线驱动电路,用于将视频信号输入到信号线;和扫描线驱动电路,用于选择视频信号将被写入的像素行。扫描线驱动电路具有这样的工具,当将被写入所选择行的像素中的视频信号与存储在所选择行的像素中的视频信号相同时,所述工具不再选择所选择行中的像素。信号线驱动电路配置有移位寄存器并具有这样的工具,当扫描线驱动电路所选择行的像素中被写入的视频信号与所选择的行之后一行的像素中将被写入的视频信号相同时,所述工具不传输移位寄存器中的信号。

[0022] 在该说明书中示出的开关可是电开关或机械开关。任何能控制电流的均可用作开关。开关可为晶体管、二极管或结合使用晶体管和二极管的逻辑电路。因此,在使用晶体管作为开关的情况下,因为晶体管简单地作为开关操作,所以晶体管的极性(传导类型)不受特殊限制。然而,如果期望截止电流低,具有较低截止电流的极性的晶体管是理想的。作为具有较低截止电流的晶体管,给出了配置有 LDD 域的晶体管和具有多栅级结构的晶体管等。如果作为开关的晶体管在晶体管的源极端的电势接近低电势侧的电源(例如  $V_{ss}$ , GND, 或 0V) 的状态中操作,晶体管优选为 n-沟道晶体管。另一方面,如果晶体管在其源极端的电势接近高电势侧的电源(例如  $V_{dd}$ ) 的状态中操作,晶体管优选为 p-沟道 TFT。这是因为,由于栅-源电压的绝对值增加,晶体管容易作为开关操作。而且,可采用使用 n-沟道 TFT 和 p-沟道 TFT 的 CMOS 开关。

[0023] 值得注意,在本说明书中连接与电连接的意思相同。因此,其间提供其他元件、开关等是可接受的,

[0024] 而且,显示元件不受限制。可以使用如以下的任何显示元件:EL 元件(如有机 EL 元件、无机 EL 元件或含有有机物质和无机物质的 EL 元件)、用在场发射显示器(FED)中的元件、液晶显示器(LCD)、等离子显示器(PDP)、电子纸显示器、数字微镜装置(DMD)、压电陶瓷显示器、铁电 LCD、反铁电 LCD、表面传导电子发射显示器(SED)等。而且,下面的显示元件是优选的:采用时间灰度级方法的显示元件、具有存储特性(尤其是像素中具有 SRAM、DRAM 等的元件,或存储元件(能够存储信号的元件))的像素的显示装置等。

[0025] 在本发明中,可用的晶体管的类型不受限制。能够使用以下晶体管:采用以非晶硅或多晶硅为代表的非单晶体半导体薄膜的薄膜晶体管(TFT);采用半导体衬底或 SOI 衬底形成的双极性晶体管、结式晶体管、或 MOS 型晶体管;采用有机半导体或碳纳米管的晶体

管；或其他晶体管。提供晶体管的衬底类型不受限制，能使用单晶体衬底、SOI 衬底、玻璃衬底、塑料衬底等。

[0026] 如上所述，本发明中的晶体管可为任何类型且可形成在任何类型的衬底上。因此，所有电路可形成在玻璃衬底、塑料衬底、单晶体衬底、SOI 衬底或任何其他衬底上。可选择的，一些电路可形成在特定的衬底上而一些其他电路可形成在另一衬底上。换言之，所有的电路不一定形成在同一衬底上。例如，一些电路通过采用 TFT 被形成在玻璃衬底上，而一些其他电路可使用单晶体衬底形成。接着，包括有采用单晶体衬底的电路的 IC 芯片可通过 COG（玻上芯片）连接以便于配置在玻璃衬底上。可选择的，IC 芯片通过使用 TAB（带式自动接合）或印刷板连接到玻璃衬底上。

[0027] 在本说明书中，一个像素表明彩色元素。因此，在包括 R（红）、G（绿）和 B（蓝）彩色元素的全彩色显示装置的情况下，一个像素指彩色元素 R、G 和 B 中的任何一个。

[0028] 而且，在本说明书中，像素的矩阵形式排列包括一种情形，其中像素以垂直带和水平带结合的所谓的栅格形式排列，且当通过三色元素（例如 RGB）执行全彩显示时，还包括一种情形，其中表示一个图像的最小元素的三色元素的像素以所谓的三角形排列。

[0029] 在本说明书中，半导体装置指具有包括半导体元件（例如晶体管或二极管）的电路的装置。液晶显示装置指包括液晶元件的显示装置。

[0030] 在信号线驱动电路的移位寄存器中能以更低的频率进行信号传输，这样使得功耗降低。而且，通过减少在像素中写入信号的次数可以提供一种能够降低功耗的显示装置。

## 附图说明

[0031] 附图中：

[0032] 图 1 示出了本发明显示装置的结构示例；

[0033] 图 2A 和 2B 示出了本发明显示装置的结构示例；

[0034] 图 3 示出了本发明显示装置的信号线驱动电路的结构示例；

[0035] 图 4A 和 4B 分别解释了本发明显示装置的信号线驱动电路的操作；

[0036] 图 5A 和 5B 分别解释了本发明显示装置的信号线驱动电路的操作；

[0037] 图 6 示出了本发明显示装置的信号线驱动电路的结构示例；

[0038] 图 7 解释了本发明显示装置的信号线驱动电路的操作；

[0039] 图 8 解释了本发明显示装置的信号线驱动电路的操作；

[0040] 图 9 示出了本发明显示装置的信号线驱动电路的结构示例；

[0041] 图 10 解释了本发明显示装置的信号线驱动电路的操作；

[0042] 图 11 示出了本发明显示装置的信号线驱动电路的结构示例；

[0043] 图 12 解释了本发明显示装置的信号线驱动电路的操作；

[0044] 图 13 示出了本发明显示装置的信号线驱动电路的结构示例；

[0045] 图 14 解释了本发明显示装置的信号线驱动电路的操作；

[0046] 图 15A 和 15B 分别解释了本发明显示装置的信号线驱动电路的操作；

[0047] 图 16 示出了本发明显示装置的结构示例；

[0048] 图 17A 和 17B 分别解释了本发明显示装置的信号线驱动电路的操作；

[0049] 图 18 解释了本发明显示装置的信号线驱动电路的结构示例；

- [0050] 图 19A 和 19B 分别解释了本发明显示装置的信号线驱动电路的操作；
- [0051] 图 20 解释了本发明显示装置的信号线驱动电路的结构示例；
- [0052] 图 21 解释了本发明显示装置的信号线驱动电路的结构示例；
- [0053] 图 22A 和 22B 分别解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0054] 图 23 解释了本发明显示装置的扫描线驱动电路的操作；
- [0055] 图 24 解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0056] 图 25 解释了本发明显示装置的扫描线驱动电路的操作；
- [0057] 图 26A 和 26B 解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0058] 图 27 解释了本发明显示装置的扫描线驱动电路的操作；
- [0059] 图 28 解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0060] 图 29 解释了本发明显示装置的扫描线驱动电路的操作；
- [0061] 图 30A 和 30B 分别解释了本发明显示装置的信号线驱动电路的结构示例；
- [0062] 图 31 解释了本发明显示装置的信号线驱动电路的操作；
- [0063] 图 32A 和 32B 分别了解本发明显示装置的信号线驱动电路的结构示例；
- [0064] 图 33A 和 33B 分别解释了本发明显示装置的信号线驱动电路的操作；
- [0065] 图 34A 至 34C 分别解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0066] 图 35A 和 35B 分别解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0067] 图 36A 和 36B 分别解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0068] 图 37A 和 37B 分别解释了本发明显示装置的扫描线驱动电路的结构示例；
- [0069] 图 38A 至 38D 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0070] 图 39A 至 39D 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0071] 图 40 解释了本发明显示装置的结构示例；
- [0072] 图 41 解释了可以应用于本发明显示装置的像素结构的示例；
- [0073] 图 42A 和 42B 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0074] 图 43 解释了本发明显示装置的驱动方法的示例；
- [0075] 图 44A 和 44B 解释了本发明显示装置的驱动方法的示例；
- [0076] 图 45 解释了本发明显示装置的驱动方法的示例；
- [0077] 图 46 解释了本发明显示装置的结构；
- [0078] 图 47 解释了本发明显示装置的结构；
- [0079] 图 48 解释了本发明显示装置的结构；
- [0080] 图 49 解释了本发明显示装置的确定电路的结构；
- [0081] 图 50 解释了本发明显示装置的确定电路的结构；
- [0082] 图 51 解释了本发明显示装置的确定电路的结构；
- [0083] 图 52 解释了本发明显示装置的确定电路的结构；
- [0084] 图 53A 和 53B 解释了本发明显示装置的结构；
- [0085] 图 54A 和 54B 分别解释了本发明显示装置的结构；
- [0086] 图 55A 和 55B 分别解释了本发明显示装置的结构；
- [0087] 图 56A 和 56B 分别解释了本发明显示装置的结构；
- [0088] 图 57A 和 57B 解释了可以应用于本发明显示装置的发光元件；

- [0089] 图 58A 至 58C 分别解释了本发明显示装置的结构；
- [0090] 图 59 解释了本发明显示装置的结构；
- [0091] 图 60A 至 60H 分别示出了本发明显示装置用法的示例；
- [0092] 图 61 解释了常规显示装置的结构；
- [0093] 图 62 示出了本发明显示装置用法的示例；
- [0094] 图 63 示出了本发明显示装置用法的示例；
- [0095] 图 64 示出了本发明显示装置用法的示例；
- [0096] 图 65 解释了可以应用于本发明显示装置的像素结构的示例；
- [0097] 图 66A 和 66B 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0098] 图 67 示出了可以应用于本发明显示装置的像素结构的示例；
- [0099] 图 68 解释了可以应用于本发明显示装置的像素结构的示例；
- [0100] 图 69 解释了本发明显示装置的驱动方法的示例；
- [0101] 图 70 解释了可以应用于本发明显示装置的像素结构的示例；
- [0102] 图 71A 和 71B 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0103] 图 72A 至 72D 分别解释了可以应用于本发明显示装置的像素结构的示例；
- [0104] 图 73A 和 73B 分别解释了本发明显示装置的信号线驱动电路的结构示例；
- [0105] 图 74 解释了本发明显示装置的信号线驱动电路的结构示例；
- [0106] 图 75A 至 75C 分别解释了本发明显示装置的信号线驱动电路的结构示例；
- [0107] 图 76 解释了本发明显示装置的信号线驱动电路的结构示例；
- [0108] 图 77A 和 77B 分别解释了本发明显示装置的触发器电路的结构示例；
- [0109] 图 78A 和 78B 分别解释了本发明显示装置的锁存电路的结构示例。

## 具体实施方式

[0110] 下文参照附图描述了本发明的实施例模式。然而，本发明不限于以下的描述，且本领域技术人员容易理解不背离本发明的范围和精神可对方式和细节进行不同的改变。因此，本发明不应理解成受到下文示出的实施例描述的限制。值得注意，在下文描述的本发明的结构中，表示同一部件的附图标记可共同用于不同的附图中。

[0111] 在本发明的显示装置中，在将视频信号写入某一特定行的情形下，基于新写入特定行的视频信号和特定行之前一行中已经被写入的视频信号的比较结果或新写入特定行的视频信号和特定行的像素中已经被写入的视频信号的比较结果，来控制是否输出采样脉冲或在像素中写入视频信号。因此，本发明的显示装置使用以下被笼统的分为第一结构和第二结构的任一种结构。

[0112] 在第一结构中，当视频信号被写入所选择行（例如，第  $i$  行）的每一列像素中时，将所选择行之前一行（例如，第  $(i-1)$  行）中已经写入的视频信号与将被新写入下一行（第  $i$  行）的视频信号比较。接着，如果第  $i$  行中的视频信号与第  $(i-1)$  行中的视频信号相同，那么在信号线驱动电路 101 中不产生采样脉冲。这里值得注意，将被新写入行（第  $i$  行）的视频信号和已经写入前一行（第  $(i-1)$  行）的视频信号之间进行的比较，表示对连接到相同信号线的每一列，在将被新写入像素（所述像素与所述行（第  $i$  行）中的列对应）中的视频信号和已经写入像素（所述像素与前一行（第  $(i-1)$  行）中的列对应）中的视频信

号之间进行比较。

[0113] 在第二种结构中,当视频信号被写入特定行的每一列像素中时,将已经写入且被保持在该特定行的每一列像素中的视频信号与将被新写入该特定行的视频信号比较。接着,如果视频信号相同,在该特定行的像素中不执行视频信号写入。这里值得注意,将已经写入并保持在该特定行的每一列像素中的视频信号和将被新写入其中的视频信号之间进行的比较,表示对连接到相同信号线的每一列,在已经写入该特定行的视频信号和将被新写入该特定行的视频信号之间进行比较。

[0114] 不同于第一结构,第二结构用于一种情形,该情形中作为比较特定行的每一列像素中的视频信号的结果,所有写入并保持在该特定行中的视频信号与新写入该特定行的视频信号相同。另一方面,第一结构能用于这种情形,而不局限于这种情形,该情形中所有将被新写入某一行(第*i*行)的每一列像素中的视频信号与已经写入前一行(第(*i*-1)行)的每一列像素中的视频信号相同。

[0115] 通过使用第一结构或第二结构,本发明的显示装置消耗较少的电能。第一结构和第二结构可单独使用或结合使用。

[0116] 图1示出本发明显示装置的结构示例。

[0117] 本发明的显示装置具有信号线驱动电路101、扫描线驱动电路102和像素部分103(图1)。像素部分103配置有按照扫描线G1到G<sub>m</sub>和信号线S1到S<sub>n</sub>以矩阵形式排列的像素104。每个像素104具有存储被写入信号的工具。

[0118] 如时钟信号(G\_CLK)、反相时钟信号(G\_CLKB)、和起始脉冲信号(G\_SP)的信号被输入扫描线驱动电路102。但是,所述信号不限于这些。

[0119] 时钟信号(G\_CLK)在H(高)电平和L(低)电平之间以规则的间隔交替的信号,而反相时钟信号(G\_CLKB)是与时钟信号(G\_CLK)极性相反的信号。根据这些信号,来同步扫描线驱动电路102并且控制执行过程的定时。因此,当起始脉冲信号(G\_SP)被输入至扫描线驱动电路102时,依据时钟信号和反相时钟信号在扫描线G1到G<sub>m</sub>的每一个中生成用于选择像素行的定时的扫描信号(栅极选择脉冲)。扫描信号是定时信号,在该定时提供在像素部分103中的多个像素行中的每一行通过连接到扫描线驱动电路102的每个扫描线被按序选择。

[0120] 因此,通过将扫描信号输入到扫描线G1到G<sub>m</sub>的扫描线G<sub>i</sub>,扫描线驱动电路102选择其中写入视频信号的像素行。换言之,连接到扫描线G<sub>i</sub>的像素行被选择,用于选择像素的扫描信号被输入到扫描线G<sub>i</sub>。当像素被选择时,视频信号通过信号线被输入到其中。在本发明中,传输控制信号(G\_ENABLE<sub>t</sub>)或采样控制信号(G\_ENABLE<sub>p</sub>)被输入到扫描线驱动电路102,从而控制采样脉冲的产生。特别是,将已经被写入并保持在像素行中的视频信号与将被新写入像素行中的视频信号比较。接着,如果视频信号相同,不选择与该行对应的扫描线,使得视频信号不写入在该行中。

[0121] 如时钟信号(S\_CLK)、反相时钟信号(S\_CLKB)、起始脉冲信号(S\_SP)和视频信号(视频数据)的信号被输入至信号线驱动电路101。但是,所述信号不限于这些。

[0122] 时钟信号(S\_CLK)在H(高)电平和L(低)电平之间以规则的间隔交替的信号,而反相时钟信号(S\_CLKB)是与时钟信号(S\_CLK)极性相反的信号。根据这些信号,来同步信号线驱动电路101并且控制执行过程的定时。因此,当起始脉冲信号(S\_SP)被输入信

号线驱动电路 101 时,依据时钟信号和反相时钟信号生成对应于像素列的采样脉冲。采样脉冲是控制定时的信号,以当视频信号被输入到信号线驱动电路 101 时,将待写入特定像素的视频信号(视频数据)转换为该像素的列中的数据。因此,依照该采样脉冲,被输入到信号线驱动电路 101 的串行视频信号数据被转换成并行视频信号数据。注意到,在行顺序(line sequential)显示装置的情况下,该并行视频信号数据被保持在信号线驱动电路 101 中且每一列的数据被同时输入至信号线 S1 到 Sn 的每一信号线。同时,如果是点序(dot sequential)显示装置,串行视频信号数据被转换为并行视频信号数据且根据采样脉冲的定时被顺序输入到信号线 S1 到 Sn 的每一信号线中。以该方式,信号线驱动电路 101 将对应于每一列像素的视频信号输入到信号线 S1 到 Sn 的每一信号线中。

[0123] 因此,在扫描线驱动电路 102 生成扫描信号的定时,选择将被写入信号的像素行。接着,从信号线驱动电路 101 输入到信号线 S1 到 Sn 的视频信号被写入所选择行中每一列的像素 104 中。每个像素 104 在某特定周期内存储写入其中的视频信号数据。在本发明中,传输控制信号(S\_ENABLEt)或采样控制信号(S\_ENABLEp)被输入到信号线驱动电路 101,从而控制采样脉冲的产生。特别是,对于每一列,将已经被写入前一行(第(i-1)行)的视频信号与将被新写入下一行(第 i 行)的视频信号比较,如果存在视频信号相同的列,则在信号线驱动电路 101 中不生成采样脉冲或中途停止生成采样脉冲。

[0124] 像素行在像素部分 103 中被顺序选择,且当与像素对应的视频信号被写入所有像素 104 中时,完成将视频信号写入像素。注意,通过在特定周期内保持被写入其中的视频信号数据,每个像素 104 维持发光或不发光的状态。通过控制每个像素 104 的发光或不发光,可以表示显示装置的灰度级。例如,可以通过控制像素 104 的发光时间长度来表示灰度级。

[0125] 以该方式,可以通过重复写入操作和发光操作来显示移动图像。同样在显示静止图像的情形中,每次图像被新写入时执行写入操作和发光操作。

[0126] 下文中,参照附图描述本发明的显示装置的具体结构。

[0127] (实施例模式 1)

[0128] 该实施例模式将参照附图描述本发明的显示装置的例子。特别地,该实施例模式将示出一种结构,其中,当特定行被选择且视频信号被写入选择的行时,将新写入特定行的视频信号与已经写入该特定行之前一行的视频信号进行比较。

[0129] 图 2A 和 2B 示出该实施例模式中显示装置的示意图。

[0130] 图 2A 和 2B 所示的显示装置具有信号线驱动电路 101、扫描线驱动电路 102 和像素部分 103。像素部分 103 配置有按照扫描线 G1 到 Gm 和信号线 S1 到 Sn 以矩阵形式排列的像素 104。像素 104 具有存储被写入的信号的工具。而且,信号线驱动电路 101 具有脉冲输出电路 201、第一锁存电路部分 202 和第二锁存电路部分 203。

[0131] 根据起始脉冲信号(S\_SP)、时钟信号(S\_CLK)、反相时钟信号(SCLKB)的输入定时,脉冲输出电路 201 顺序将采样脉冲输出到第一锁存电路部分 202。视频信号(视频数据)被输入到第一锁存电路部分 202,且根据从脉冲输出电路 201 输出的采样脉冲输入定时视频信号被输入并保持在每一级中。换言之,第一锁存电路部分 202 的每一级的锁存电路基于从脉冲输出电路 201 输出的采样脉冲而操作。

[0132] 当完成将视频信号保持到第一锁存电路部分 202 的最后一级时,在水平回扫周期锁存脉冲(Latch Pulse)被输入到第二锁存电路部分 203,且保持在第一锁存电路部分 202

中的视频信号被同时传输到第二锁存电路部分 203。之后,保持在第二锁存电路部分 203 中的一行视频信号同时输出到信号线 S1 到 Sn。

[0133] 而且,在该实施例模式中,传输控制信号 (S\_ENABLEt) 被输入到脉冲输出电路 201。基于传输控制信号的电平控制从脉冲输出电路 201 输出到第一锁存电路部分 202 的采样脉冲。换言之,通过传输控制信号能控制是否将视频信号输入到第一锁存电路部分 202。以下述方式控制是否将视频信号输入到第一锁存电路部分 202:(1) 在像素部分 103 的每一行中逐列比较新执行写入的一行(第 i 行)中的视频信号与已经写入前一行(第 (i-1) 行)的视频信号,(2) 仅当该行中的视频信号不同于前一行像素中已写入的视频信号时,采样脉冲被输出到第一锁存电路部分 202,从而在第一锁存电路部分 202 中写入新的视频信号。

[0134] 以该方式,通过将所有行的采样脉冲从脉冲输出电路 201 输出到第一锁存电路部分 202,选择性地控制采样脉冲的产生,而不是控制将视频信号写入第一锁存电路部分 202,从而降低功耗。

[0135] 随后,参照附图 3 详细描述如图 2A 和 2B 所示的信号线驱动电路 101 的具体结构的示例和它的操作。图 3 示出一种情形,其中当将被新写入所选择行的特定列之中以及特定列之后像素中的视频信号与已经写入所选择行之前一行的特定列之中以及特定列之后像素中的视频信号相同时,停止脉冲输出电路 201 中的信号传输。

[0136] 在该实施例模式中示出的脉冲输出电路 201 具有通过采用多级触发器电路 (FF) 204 等形成的移位寄存器 207 和 AND 门 205。时钟信号 (S\_CLK)、反相时钟信号 (S\_CLKB) 和起始脉冲信号 (S\_SP) 被输入到每个触发器电路 204。接着,根据这些信号的定时,采样脉冲被顺序输出。而且,AND 门 205 的两个输入端被连接到触发器电路 204 的输入端和输出端。尽管这里示出了采用 AND 门 205 的例子,但不限于此。只要电路的功能相似,任何结构可被采用。例如,OR 门、NAND 门、NOR 门、XOR 门、NOT 门等可被单独使用或结合使用。

[0137] 在如图 3 所示的结构中,采用 AND 门 205 能防止列中的采样脉冲彼此交迭。如果这样的交迭并非必须避免,则不一定要提供 AND 门。例如,如图 74 所示,输出到一个信号线的采样脉冲可以由多个触发器电路 204(这里是两个触发器电路)生成。在该情形中,在不提供 AND 门的情况下,可防止列中采样脉冲的交迭。

[0138] 通过 AND 门 205 采样脉冲从脉冲输出电路 201 输出到第一锁存电路部分 202,且根据该定时,视频信号被保持在第一锁存电路部分 202 中。当完成将视频信号保持到第一锁存电路部分 202 的最后一级时,在水平回扫周期锁存脉冲被输入到第二锁存电路部分 203,且保持在第一锁存电路部分 202 中的视频信号被同时传输到第二锁存电路部分 203。

[0139] 此外,图 3 中每个触发器电路 204 的输入部分提供有开关 206 用于初始化的信号。开关 206 的接通/断开由传输控制信号 (S\_ENABLEt) 控制。当开关接通时,在正逻辑情形中,L 电平信号(在负逻辑情形中是 H 电平信号)被强制地写入。特别地,在将被新写入其中执行写入的行的特定列中和该特定列之后的视频信号与已经写入前一行的像素中视频信号相同的情形中,当通过使用传输控制信号接通开关 206 使得 L 电平信号被强制地写入时,从起始脉冲信号顺序传输的信号被初始化以停止移位寄存器 207 中该特定列中和之后的信号传输。因此,在该特定列中和之后停止将采样脉冲输出到第一锁存电路部分 202,以便于在该特定列中和之后不将视频信号写入第一锁存电路部分 202。因此,通过停止移位

寄存器 207 该特定列中和之后的传输,触发器电路 204 不再执行充电和放电,从而降低了功耗。而且,当输入视频信号到视频信号线被停止时,视频信号不再需要对第一锁存电路部分 202 充电和放电,从而降低了功耗。尽管在第一列每个触发器电路的输入部分没有配置开关 206,但它的输入部分可以配置有开关。

[0140] 开关 206 可是电开关或机械开关。而且,任何能控制电流的均可用作开关 206。开关 206 可为晶体管、二极管或结合使用晶体管和二极管的逻辑电路。图 73A 示出使用晶体管作为开关的情况。晶体管的第一端(源极端或漏极端)连接到触发器 204 的输入部分,晶体管的第二端(源极端或漏极端)连接到设置为低电源电势的电极。例如,低电源电势可为 GND 或 0V 等。而且,因为晶体管简单的作为开关操作,晶体管的极性(传导类型)不受特殊限制。然而,如果期望截止电流低,具有较低截止电流极性的晶体管是理想的。作为较低截止电流的晶体管,给出了配置有 LDD 域的晶体管和具有多栅级结构的晶体管等。如果晶体管作为开关在晶体管的源极端的电势更接近低电势侧的电源(例如  $V_{ss}$ , GND, 或 0V)的状态中操作,晶体管优选为 n- 沟道晶体管。另一方面,如果晶体管在源极端的电势更接近高电势侧的电源(例如  $V_{dd}$ )的状态中操作,晶体管优选为 p- 沟道 TFT。这是由于栅-源电压的绝对值可以增加,使得晶体管容易作为开关操作。而且,可采用使用 n- 沟道 TFT 和 p- 沟道 TFT 的 CMOS 开关。二极管可用作开关,二极管用作开关的情况如图 73B 所示。如果如图 73B 所示二极管用作开关,传输控制信号正常维持在 H 电平。接着,在停止传输的情形下,传输控制信号被改变为 L 电平使得二极管被导通以初始化信号。此外,能使用二极管接法的晶体管、PN 结或 PIN 结二极管、肖特基二极管、由碳纳米管形成的二极管等。

[0141] 图 4A 和 4B 是通过初始化信号停止传输的时间图。注意,图 4A 和 4B 示出在像素部分 103 中的一行包括 n 列(第一到第 n 列)信号线的情形中,在第 (j+3) 列之中和之后不将视频信号写入第一锁存电路部分 202 的实例。图 4A 示出采用如图 73A 所示的晶体管作为开关 206 的情况且图 4B 示出采用如图 73B 所示的二极管作为开关 206 的情况。

[0142] 在图 4A 和 4B 中,因为在某一特定行的第 (j+3) 列之中和之后的视频信号和在该特定行之前一行中的视频信号相同,所以通过采用传输控制信号接通开关 206 停止移位寄存器 207 中第 (j+3) 列之中和之后的信号传输。换言之,在第 (j+3) 列之中和之后,采样脉冲没有输出到第一锁存电路部分 202 且视频信号没有被写入第一锁存电路部分 202。特别地,在图 4A 中,传输控制信号被保持在 L 电平直到第 (j+2) 列且传输控制信号在第 (j+3) 列被设置为 H 电平以导通作为开关 206 的晶体管,藉此强制地写入 L 电平信号。因此,从起始脉冲顺序传输的信号初始化且停止移位寄存器 207 中第 (j+3) 列之中和之后的信号传输。而且,在图 4B 中,传输控制信号被保持在 H 电平直到第 (j+2) 列且传输控制信号在第 (j+3) 列(在 (a) 的情形中)被设置为 L 电平以导通作为开关 206 的二极管,藉此强制地写入 L 电平信号。因此,从起始脉冲顺序传输的信号被初始化以停止移位寄存器 207 中第 (j+3) 列之中和之后的信号传输。此外,传输控制信号在第 (j+3) 列之中和之后(在 (b) 的情形中)被设置为 L 电平以导通作为开关 206 的二极管,藉此强制地写入 L 电平信号。因此,从起始脉冲顺序传输的信号被初始化以停止移位寄存器 207 中第 (j+3) 列之中和之后的信号传输。

[0143] 因为在第一到第 (j+2) 列中至少有一列,其中视频信号不同于前一行的视频信号(在这种情况下,至少在第 (j+2) 列中的视频信号不同于前一行(第 (j+2) 列)的视频信

号),传输控制信号被设置在断路状态以从触发器电路 204 将采样脉冲通过 AND 门 205 输出到第一锁存电路部分 202,从而将新视频信号写入第一锁存电路部分 202。另一方面,在第 (j+3) 列之中和之后,因为所有视频信号与前一行的那些视频信号相同,通过在第 (j+3) 列采用传输控制信号接通开关 206 以停止移位寄存器 207 中第 (j+3) 列之中和之后的信号传输,使得采样脉冲没有输出到第一锁存电路部分 202。因此,新视频信号没有被写入第一锁存电路部分 202。因为视频信号与存储在第一锁存电路部分 202 中的视频信号相同,所以不写入新信号不会引起问题。

[0144] 因此,将被新写入第一锁存电路部分 202 的视频信号被保持在第一到第 (j+2) 列。在第 (j+3) 列之中和之后,与前一行的视频信号相同的视频信号被保持在第一锁存电路部分 202 中。接着,锁存脉冲在水平回扫周期被输入到第二锁存电路部分 203,且保持在第一锁存电路部分 202 中的视频信号被传输到第二锁存电路部分 203 中。接着,保持在第二锁存电路部分 203 中的一行视频信号被同时输出到信号线 S1 到 Sn。

[0145] 以该方式,如果特定列之中和之后的视频信号与前一行的那些视频信号相同,则停止移位寄存器 207 中该特定列之中和之后的信号传输且采样脉冲没有输出到第一锁存电路部分 202,而不是将一行的所有视频信号写入第一锁存电路部分 202。因此,可以降低功耗。

[0146] 在图 3 所示的结构中,如果通过在某一特定列采用传输控制信号接通开关 206,则停止移位寄存器 207 特定列之中和之后的信号传输;因此,采样脉冲没有再输出到第一锁存电路部分 202。因此,在如图 3 所示的结构中,可配置用于改变扫描方向的开关使得能选择扫描方向。换言之,通过选择顺序连接的触发器电路 204 中位于相反端的一个触发器电路以及将起始脉冲信号输入到被选择的触发器电路,能够减少输出到第一锁存电路部分 202 的采样脉冲。

[0147] 图 75A 示出上述移位寄存器 207 配置有用于改变扫描方向的开关的结构。这里,每个触发器电路 204 的输入部分配置有用于改变扫描方向的开关 281 和 282,所述开关控制信号传输。特别地,在相邻的触发器电路(例如与第 j 列和第 (j+1) 列)对应的触发器电路中,用于改变扫描方向的开关 281 被配置在触发器电路第 j 列的输出部分和触发器电路第 (j+1) 列的输入部分之间。接着,用于改变扫描方向的开关 282 被配置在触发器电路第 j 列的输入部分和触发器电路第 (j+1) 列的输出部分之间。

[0148] 例如,图 5A 和 5B 示出在显示装置的像素中写入视频信号的情况,其中一行包括 n 列(第一到第 n 列)信号线且仅第 (n-2) 列中的视频信号与上一行像素中写入的视频信号不同。特别地,图 5A 和 5B 示出起始脉冲信号被输入到第一列的情况和起始脉冲信号被输入到第 n 列的情况下以在移位寄存器 207 中执行信号传输的时间图。

[0149] 图 5A 示出起始脉冲信号被输入与第一列的信号线电连接的触发器电路 204。它的电路图与图 75B 所示的对应,其中用于改变扫描方向的开关 281 处于导通状态,而用于改变扫描方向的开关 282 处于截至状态。在这种情况下,在移位寄存器 207 中,在第一到第 (n-2) 列执行信号传输而在第 (n-1) 列之中和之后没有执行信号传输。换言之,通过 AND 门 205 采样脉冲从第一到第 (n-2) 列的触发器电路 204 输出到第一锁存电路部分 202,从而将视频信号新写入到第一锁存电路部分 202。

[0150] 另一方面,图 5B 示出起始脉冲信号被输入与第 n 列的信号线电连接的触发器电路

204 的情况。它的电路图与图 75C 所示的对应,其中用于改变扫描方向的开关 281 处于截至状态,而用于改变扫描方向的开关 282 处于导通状态。在这种情况下,在移位寄存器 207 中,在第  $n$  列到第  $(n-2)$  列执行信号传输而在第  $(n-3)$  列到第一列没有执行信号传输。换言之,通过 AND 门 205 采样脉冲从第  $n$  列到第  $(n-2)$  列的触发器电路 204 输出到第一锁存电路部分 202,从而将视频信号新写入到第一锁存电路部分 202。然而,在第一列到第  $(n-3)$  列移位寄存器 207 的信号传输被停止,藉此采样脉冲没有输出到第一锁存电路部分 202。

[0151] 以该方式,对第一列到第  $(n-2)$  列的  $(n-2)$  列执行移位寄存器 207 的信号传输以输出采样脉冲到第一锁存电路部分 202,从而在图 5A 中将视频信号写入到第一锁存电路部分 202。同时,在图 5B 中,对第  $n$  列到第  $(n-1)$  列的两列执行移位寄存器 207 的信号传输以输出采样脉冲到第一锁存电路部分 202,从而将视频信号写入到第一锁存电路部分 202。因此,通过提供用于改变扫描方向的开关来选择扫描方向使得能在较早阶段在移位寄存器 207 中停止信号传输以停止通过 AND 门 205 从触发器电路 204 输出采样脉冲,从而减少写入第一锁存电路部分 202 的视频信号。因此,不再需要视频信号充电和放电和移位寄存器 207 中的充电和放电,从而可以降低功耗。当数量  $n$  (像素的数量) 增加时,这种优势更加明显。

[0152] 具有前述结构的触发器电路的例子如图 77A 和 77B 所示。只要触发器电路基本具有延迟输出的输入信号的结构,就可接受。如图 77A 和 77B 所示的触发器电路 3101 具有时钟反相器 3102、时钟反相器 3103 和反相器 3104 且通常被称之为延迟触发器电路 (DFF)。形成 DFF 的时钟反相器 3102 和 3103 与输入到其中的时钟信号和反相时钟信号同步操作。因此,当 DFF 的一级被作为延迟电路提供时,信号被延迟了提供到 DFF 的时钟信号的一个脉冲 (延迟半个时钟信号周期)。尽管如图 77A 和 77B 所示为采用 DFF 情况下的结构,但本发明不限于此。只要电路能用在移位寄存器中,任何结构都能被采用。

[0153] 具有前述结构的锁存电路部分中的锁存电路的例子如图 78A 和 78B 所示。只要锁存电路部分基本具有保持并输出所输入信号的结构,就可接受。如图 78A 和 78B 所示的锁存电路 3201 具有反相器 3202、时钟反相器 3203、时钟反相器 3204 和反相器 3205。形成锁存电路的时钟反相器 3203 和 3204 与直接输入其中的定时信号或通过反相器 3202 输入到其中的定时信号同步操作。换言之,输入其中的信号被保持且与定时信号同步输出。能用于本发明的锁存电路不仅可以具有如图 78A 和 78B 所示的结构,而且只要电路能保持和输出被输入信号,任何结构都能被采用。

[0154] 该实施例模式中所示的结构能采用其中多个锁存电路被提供到一条信号线的结构。参考图 76 解释这种情况。

[0155] 在图 76 中,多个锁存电路 (此处,为三个) 被提供到第一锁存电路部分 202 和第二锁存电路部分 203 的每个中的一条信号线,且依据第一锁存电路部分 202 中的锁存电路的数量提供多条视频线 (此处,三个)。接着,通过 D/A 转换电路 283 从第二锁存电路部分 203 输出视频信号到信号线。尽管在该示例中三个锁存电路 (对于 3 比特) 被提供到第一锁存电路部分的一条信号线,但它的数量不限于三。即,可以考虑显示位必要数量来选择锁存电路的数量 (例如,在 6 位的情况下,6 个锁存电路被提供到第一锁存电路部分 202 和第二锁存电路部分 203 的每个中的一条信号线)。

[0156] 采样脉冲从脉冲输出电路 201 输出到第一锁存电路 202a 到 202c,依据信号的定时,视频信号被保持在第一锁存电路中。这里,视频信号的数量与第一锁存电路部分 202 中

的锁存电路的数量相等,视频信号 1 到 3 被分别保持在第一锁存电路 202a 到 202c。换言之,用于 3 比特的视频信号被同时带入并行排列的第一锁存电路部分 202a 到 202c。当完成将视频信号保持到第一锁存电路部分 202 的最后一级时,在水平回扫周期锁存脉冲被输入到第二锁存电路部分 203,且保持在第一锁存电路部分 202 中的视频信号同时被传输到第二锁存电路部分 203。

[0157] 注意,在第二锁存电路部分 203 中的锁存电路的数量与第一锁存电路部分 202 中的锁存电路的数量相等,且从第一锁存电路 202a 到 202c 输出的视频信号被分别保持在第二锁存电路 203a 到 203c。接着,保持在第二锁存电路部分 203 中的视频信号通过 D/A 转换电路 283 被输出到像素。

[0158] 而且,在图 76 中,用于初始化信号的开关 206 被提供到触发器电路 204 的输入部分且开关 206 的接通/断开由传输控制信号(S\_ENABLEt)控制,类似于上述图 3。当开关接通时,在正逻辑情形中的 L 电平信号(在负逻辑情形中是 H 电平信号)被强制地写入。特别地,在将被新写入其中执行写入的行的特定列之中和之后的视频信号与已经写入前一行的像素中视频信号相同的情形中,当通过使用传输控制信号接通开关 206 使得 L 电平信号被强制地写入时,从起始脉冲信号顺序传输的信号被初始化以停止移位寄存器 207 中该特定列之中和之后的信号传输。因此,不再执行将采样脉冲输出到第一锁存电路部分 202,使得在该特定列之中和之后不将视频信号写入第一锁存电路部分 202。因此,通过停止移位寄存器 207 该特定列之中和之后的传输,触发器电路 204 不再执行充电和放电,从而降低了功耗。而且,停止输入视频信号到视频信号线导致视频信号不再需要对第一锁存电路部分 202 充电和放电,从而降低了功耗。

[0159] 注意在图 76 中,被写入其中执行写入的行的特定列之中和之后的视频信号与已经写入前一行的像素中视频信号相同的情形指的是这样一种情形:对于每列将写入特定行像素中的视频信号与已经写入前一行像素中的视频信号进行比较的结果是,对于每一列的多位,视频信号全部相同(此处,被写入特定行的视频信号 1 到 3 分别与已经写入前一行像素中的视频信号 1 到 3 相同)。

[0160] 不用说,用于改变扫描方向的前述开关被提供在如图 76 所示的结构中或如图 73A 到 74 所示的机构等可被结合使用。在图 76 所示的信号线驱动电路优选地用于显示装置,该显示装置使用数字信号输入通过模拟信号表示像素的灰度级,更优选地用于液晶显示装置。

[0161] (实施例模式 2)

[0162] 参考附图,该实施例模式将描述具有信号线驱动电路的显示装置的例子,该信号线驱动电路不同于实施例模式 1 所示的信号线驱动电路。

[0163] 图 6 示出该实施例模式中显示装置的信号线驱动电路中的脉冲输出电路示意图。

[0164] 在该实施例模式中示出的脉冲输出电路具有通过采用多级触发器电路 204 等形成的移位寄存器 207 和 AND 门 205。AND 门 205 的两个输入端被连接到触发器电路 204 的输入端和输出端。在如图 3 所示的脉冲输出电路 201 中,通过采用多个触发器电路 204 形成的移位寄存器 207 被分为多个区域且准备起始脉冲信号使得每个起始脉冲信号被输入到移位寄存器多个区域中的每个区域中。这里,尽管 AND 门 205 被用于该例子中,但本发明不限于此。只要电路的功能相似,任何结构可被采用。例如,OR 门、NAND 门、NOR 门、XOR 门、

NOT 门等可被单独使用或结合使用。此外,如图 6 所示的结构中,采用 AND 门 205 能防止列中的采样脉冲彼此交迭。如果这样的交迭并非必须避免,则一定要提供 AND 门。

[0165] 根据多个起始脉冲信号 (S\_SP)、时钟信号 (S\_CLK)、反相时钟信号 (S\_CLKB) 的输入定时,触发器电路 204 顺序将采样脉冲输出到第一锁存电路部分 202。视频信号被输入到第一锁存电路部分 202,且根据从脉冲输出电路 201 输出的多个采样脉冲被输入的定时将每个视频信号输入并保持在每一级中。换言之,第一锁存电路部分 202 的每一级锁存电路基于从脉冲输出电路 201 输出的采样脉冲而操作。

[0166] 当完成将视频信号保持到第一锁存电路部分 202 的最后一级时,在水平回扫周期锁存脉冲 (Latch Pulse) 被输入到第二锁存电路部分 203,且保持在第一锁存电路部分 202 中的视频信号被同时传输到第二锁存电路部分 203。之后,保持在第二锁存电路部分 203 中的一行视频信号同时输出到信号线 S1 到 Sn。

[0167] 此外,在该实施例模式中,每个触发器电路 204 的输入部分提供有助于初始化信号的开关 206。开关 206 的接通 / 断开被传输控制信号 (S\_ENABLEt) 控制。特别地,在将被新写入其中执行写入的行中的特定列之中和之后的视频信号与已经写入前一行的像素中视频信号相同的情形中,通过使用传输控制信号接通开关 206 以停止移位寄存器 207 中该特定列之中和之后的信号传输且采样脉冲不输出到第一锁存电路部分 202。此外,在该实施例模式中,通过采用触发器电路 204 形成的移位寄存器 207 被分为多个区域且起始脉冲信号被输入到移位寄存器的每个区域中。因此,即使通过采用传输控制信号接通开关 206 使移位寄存器 207 中的信号传输停止一次,独立地输入起始脉冲信号到新区域能重新开始移位寄存器 207 中的信号传输。尽管图 6 示出由晶体管提供的开关 206 的例子,但本发明不限于此,可以使用前述实施例模式中示出的任何开关。

[0168] 接着,参照图 6 和 7 详细解释该实施例模式中示出的信号线驱动电路的具体操作。

[0169] 图 6 示出的例子中,在一行包括 n 列 (第一到第 n 列) 信号线的情形中,移位寄存器 207 被分别配置到包括第一到第 j 列的触发器电路的区域 207a 和包括第 (j+1) 到第 n 列的触发器电路的区域 207b 中。在这种情况下,在移位寄存器 207 中,通过在区域 207a 中输入第一起始脉冲信号开始信号传输并通过在区域 207b 中输入第二起始脉冲信号开始信号传输。换句话说,在移位寄存器 207 的区域 207a 中,根据输入的第一起始脉冲信号、时钟信号、反相时钟信号的定时,顺序将采样脉冲输出到第一锁存电路部分 202。另一方面,在区域 207b 中,根据输入的第二起始脉冲信号、时钟信号、反相时钟信号的定时,顺序将采样脉冲输出到第一锁存电路部分 202。希望输入第二起始脉冲信号使得在完成区域 207a 中采样脉冲的输出后立即开始区域 207b 中采样脉冲的输出。

[0170] 在移位寄存器 207 中,采用传输控制信号分别控制区域 207a 和区域 207b 中的信号传输。这里,例如,考虑了这样一种情形,其中将一行中的视频信号和前一行中的视频信号比较,在图 6 中视频信号仅在第二列和第 (j+2) 列中不同。

[0171] 首先,通过将第一起始脉冲信号输入到配置在区域 207a 中的触发器电路 204,采样脉冲被输出到第一锁存电路部分 202 的每个锁存电路,所述锁存电路电连接到第一列和第二列中的信号线 S1 和 S2,从而将视频信号写入第一锁存电路部分 202。接着,通过采用传输控制信号接通开关 206,停止移位寄存器 207 中第 3 列之中和之后 (此处,第三列到第 j 列) 的信号传输,藉此采样脉冲没有输出到第一锁存电路部分 202 的锁存电路,所述锁存

电路电连接到第三列到第  $j$  列中的信号线  $S_3$  和  $S_j$ 。因此,视频信号没有输出到视频信号线且视频信号没有被写入。

[0172] 接着,通过将第二起始脉冲信号输入到配置在区域 207b 中的触发器电路 204,采样脉冲被输出到第一锁存电路部分 202 的每个锁存电路,所述锁存电路电连接到第  $(j+1)$  列和第  $(j+2)$  列中的信号线  $S_{j+1}$  和  $S_{j+2}$ ,从而将视频信号写入第一锁存电路部分 202。接着,通过采用传输控制信号接通开关 206,停止移位寄存器 207 中第  $(j+3)$  列之中和之后(此处,第  $(j+3)$  列到第  $n$  列)的信号传输,藉此采样脉冲没有输出到第一锁存电路部分 202 的锁存电路,所述锁存器电路电连接到第  $(j+3)$  列到第  $n$  列中的信号线  $S_{j+3}$  到  $S_n$ 。因此,视频信号没有被写入。

[0173] 图 7 示出此时的时间图。

[0174] 在区域 207a 中通过输入第一起始脉冲信号控制移位寄存器 207 中的信号传输,因为第三列之中和之后的视频信号与前一行的那些视频信号相同,所以采用传输控制信号接通开关 206 以停止移位寄存器 207 中第 3 列之中和之后(此处,第三列到第  $j$  列)的信号传输。因此,采样脉冲没有输出到第一锁存电路部分 202。同时,在区域 207b 中通过输入第二起始脉冲信号控制移位寄存器 207 中的信号传输,因为第  $(j+3)$  列之中和之后的视频信号与前一行的那些视频信号相同,所以采用传输控制信号接通开关 206 以停止移位寄存器 207 中第  $(j+3)$  列之中和之后(此处,第  $(j+3)$  列到第  $n$  列)的信号传输。因此,采样脉冲没有输出到第一锁存电路部分 202。

[0175] 结果,通过第二锁存电路部分 203,第一列、第二列、第  $(j+1)$  列和第  $(j+2)$  列中将被新写入第一锁存电路部分 202 的视频信号被输出到信号线。接着,在第三列到第  $j$  列和第  $(j+3)$  列到第  $n$  列中,在前一行中已被保持在第一锁存电路部分 202 的视频信号通过具有锁存脉冲输入的第二锁存电路部分 203 被输出到信号线。

[0176] 以该方式,通过使用如图 6 所示的结构,停止移位寄存器 207 中第三列到第  $j$  列和第  $(j+3)$  列到第  $n$  列的信号传输,使得采样脉冲没有输出到第一锁存电路部分 202,从而没有将视频信号写入第一锁存电路部分 202。因此,可以省略视频信号的充电和放电和移位寄存器 207 中的充电和放电,从而可以降低功耗。

[0177] 在如图 3 所示的结构中,当通过采用传输控制信号接通开关 206 时,停止移位寄存器 207 中该行的特定列之中和之后的信号传输,使得采样脉冲没有输出到第一锁存电路部分 202。因此,该行的特定列之中和之后的所有视频信号与前一行的那些视频信号相同。因此,在前述实施例模式中所示的情况下,在第一到第  $(j+2)$  列移位寄存器 207 中需要传输信号以将采样脉冲输出到第一锁存电路部分 202。然而,在该实施例模式所示的结构中,因为通过控制每个被分开的区域的传输控制信号来接通或断开开关 206,能更具体地控制移位寄存器 207 中是否传输信号且能更具体地控制采样脉冲是否输出到第一锁存电路部分 202。结果,可以更有效地降低功耗。

[0178] 尽管该实施例模式示出了移位寄存器 207 被分为两个区域且起始脉冲信号被输入到两个区域的每个区域的结构,但是本发明不限于该结构。移位寄存器 207 被分为三个或更多区域且可通过将多个起始脉冲信号输入到所述区域来控制采样脉冲从所述区域的输出等。

[0179] 而且,在该实施例模式中,还可以提供在前述实施例模式所示出的用于改变扫描

方向的开关。即,在移位寄存器 207 被分为多个区域的结构中,每个区域(图 6 中区域 207a 和 207b)被配置有用于改变扫描方向的开关以使得对于每个区域能选择扫描方向。换言之,所述结构是这样的一种结构,通过从串连(serially-connected)的多个触发器电路中选择位于每个区域的相对端的触发器电路中的一个且将第一起始脉冲和第二起始脉冲输入到被选择的触发器电路。

[0180] 例如,在图 6 中,选择对应于第一和第 j 列的触发器电路中的一个且将第一起始脉冲输入到在区域 207a 中被选择的触发器电路;另一方面,选择对应于第 (j+1) 列和第 n 列的触发器电路中的一个且将第二起始脉冲输入到在区域 207b 中被选择的触发器电路。

[0181] 例如,在图 6 中,考虑这样一种情形,其中,作为与前一行视频信号的比较结果,视频信号仅在第二列和第 n 列不同。图 8 示出该情形的时间图。

[0182] 在这种情况下,在区域 207a 中,输入第一起始脉冲信号到与第一列对应的触发器电路且采样脉冲在第一列和第二列中从触发器电路 204 输出,从而将视频信号写入第一锁存电路部分 202。接着,通过采用传输控制信号接通开关 206,停止移位寄存器 207 中第 3 列之中和之后(此处,第三列到第 j 列)的信号传输,藉此采样脉冲没有输出到第一锁存电路部分 202。因此,视频信号没有写入第一锁存电路部分 202。

[0183] 另一方面,在区域 207b 中,输入第二起始脉冲信号到与第 n 列对应的触发器电路且在第 n 列采样脉冲从触发器电路 204 输出,从而将视频信号写入第一锁存电路部分 202。接着,通过输入传输控制信号,停止移位寄存器 207 中第 (n-1) 列之中和之后(此处,第 (n-1) 列到第 (j+1) 列)的信号传输,藉此采样脉冲没有输出到第一锁存电路部分 202。因此,视频信号没有写入第一锁存电路部分 202。

[0184] 以该方式,通过控制移位寄存器 207 中每一区域的扫描方向,停止移位寄存器 207 中第三列到第 (n-1) 列中的信号传输,使得采样脉冲没有输出到第一锁存电路部分 202。因此,视频信号没有写入第一锁存电路部分 202。换言之,即使视频信号仅在位于像素行的相对端的列中不同于前一行的视频信号,通过将移位寄存器 207 分为多个区域且控制每个域的扫描方向以停止移位寄存器 207 早一级处的信号传输。因此,因为能更有效地减少采样脉冲输出到第一锁存电路部分 202,能有效地减少功耗。

[0185] 该实施例模式可与上述实施例模式结合。例如,该实施例模式可与图 76 所示的结构结合,图 76 所示的结构中多个锁存电路被配置到一个信号线。换言之,本发明能采用所有本实施例模式所示结构与上述实施例模式所示结构相结合的结构。

[0186] (实施例模式 3)

[0187] 参考附图,实施例模式 3 将描述具有信号线驱动电路的显示装置的例子,该信号线驱动电路不同于上述实施例模式所示的信号线驱动电路。特别地,详细解释了具有不同于上述实施例模式所示的脉冲输出电路的显示装置。

[0188] 图 9 示出该实施例模式所示显示装置的信号线驱动电路示意图。

[0189] 在该实施例模式中示出的脉冲输出电路具有通过采用多级触发器电路 204 等形成的移位寄存器 207 和各自具有三个输入端的 AND 门 235。AND 门 235 的输入端被连接到触发器电路 204 的输入端和输出端以及通过其将采样控制信号输入到 AND 门 235 的导线。尽管在该示例中此处使用了 AND 门 235,本发明不限于此。只要电路的功能相似,任何结构可被采用。例如,OR 门、NAND 门、NOR 门、XOR 门、NOT 门等可被单独使用或结合使用。

[0190] 根据多个起始脉冲信号 (S\_SP)、时钟信号 (S\_CLK)、反相时钟信号 (S\_CLKB) 的输入定时, 触发器电路 204 顺序将采样脉冲输出到第一锁存电路部分 202。视频信号被输入到第一锁存电路部分 202, 且根据从脉冲输出电路 201 输出的每个采样脉冲的输入定时, 将视频信号输入并保持在每一级中。换言之, 第一锁存电路部分 202 的每一级的锁存电路基于从脉冲输出电路 201 输出的每个采样脉冲进行操作。当完成将视频信号保持到第一锁存电路部分 202 的最后一级时, 在水平回扫周期锁存脉冲 (Latch Pulse) 被输入到第二锁存电路部分 203, 且保持在第一锁存电路部分 202 中的视频信号被同时传输到第二锁存电路部分 203。之后, 将保持在第二锁存电路部分 203 中的一行视频信号输出到信号线 S1 到 Sn。

[0191] 在该实施例模式中, 采样控制信号 (S\_ENABLEp) 被输入到 AND 门 235, 基于采样控制信号的电平控制从 AND 门 235 输出采样脉冲到第一锁存电路部分 202。换言之, 在移位寄存器 207 的所有列中执行信号传输且通过控制采样控制信号的电平将信号输入到 AND 门 235, 借此控制到第一锁存电路部分 202 的采样脉冲输出。

[0192] 该实施例模式所示的电路结构不限于图 9 所示的结构, 且能采用图 20 所示的结构。在图 20 中, 提供每一个具有两个输入端的两个 AND 门 235a 和 235b 代替图 9 所示的具有三个输入端的 AND 门 235。AND 门 235a 的输入端连接到触发器电路 204 的输入端和输出端, 同时 AND 门 235b 的输入端连接到 AND 门 235a 的输出端和通过其将采样控制信号输入到 AND 门 235a 的导线。尽管 AND 门 205 被用于该例子中, 本发明不限于此。只要电路的功能相似, 任何结构均可采用。例如, OR 门、NAND 门、NOR 门、XOR 门、NOT 门等可被单独使用或结合使用。

[0193] 而且, 在如图 9 所示的结构中, 通过采用具有三个输入端的 AND 门 235 能阻止列中的采样脉冲彼此交迭。如果这样的交迭不必须被阻止, 不必提供具有三个输入端的 AND 门 235。例如, 如图 21 所示, 被输出到一个信号线的采样脉冲从多个触发器电路 204 (此处, 两个) 生成。在这种情况下, AND 门 235c 不必提供具有三个输入端且 AND 门 235c 的输入端连接到触发器电路的输出部分和通过其将采样控制信号输入到 AND 门 235c 的导线。

[0194] 图 10 示出图 9 示出的信号线驱动电路的时间图的示例。

[0195] 图 10 示出了这样的情况, 其中将被新写入某一行第 j 列和第 (j+10) 列中的第 (j+3) 列、第 (j+4) 列、和第 (j+6) 列到第 (j+8) 列的视频信号与已经写入前一行像素中的那些视频信号相同。

[0196] 在图 10 中, 因为将被新写入第 (j+3) 列、第 (j+4) 列、和第 (j+6) 列到第 (j+8) 列的视频信号与前一行中的那些视频信号相同, 所以断开采样控制信号使得采样脉冲不从 AND 门 235 输出到第一锁存电路部分 202。此时, 视频信号没有输入到视频信号线。换言之, 因为将被新写入第 j 列到第 (j+2) 列、和第 (j+5) 列、第 (j+9) 和第 (j+10) 列的视频信号与前一行的视频信号不同, 所以接通采样控制信号使得采样脉冲从 AND 门 235 输出到第一锁存电路部分 202。因此, 视频信号被写入第一锁存电路部分 202。注意, 在图 9 所示的结构中, 因为在所有列执行信号传输, 通过输入采样控制信号到 AND 门 205 控制采样脉冲输出到第一锁存电路部分 202。

[0197] 接着, 将被新写入第一锁存电路部分 202 的视频信号通过第二锁存电路部分 203 在第 j 列到第 (j+2) 列、第 (j+5) 列、第 (j+9) 和第 (j+10) 列被输出, 且在第 (j+3) 列、第 (j+4) 列、和第 (j+6) 列到第 (j+8) 列中, 第一锁存电路部分 202 在前一行保持的视频信号

通过第二锁存电路部分 203 被输出到信号线。

[0198] 以该方式,通过控制采样控制信号的导通 / 断开能仅在必要的列停止采样脉冲输出到第一锁存电路部分 202。即,通过选择地仅在需要的列中(此处,该列中的视频信号不同于前一行中的视频信号)写入视频信号能减少功耗。而且,当该视频信号与前一行的视频信号相同时,通过不将视频信号输入到视频信号线能减少功耗。

[0199] 此外,本发明的结构能与上述任一实施例模式示出的结构结合。

[0200] 例如,如图 11 所示,用于初始化信号的开关 236 可提供到触发器电路 204 的输入部分且开关 236 可由传输控制信号(S\_ENABLEt)控制。在这种情况下,通过使用传输控制信号和采样控制信号能控制采样脉冲输出到第一锁存电路部分 202。此外,如图 20 和 21 示出的每个结构可配置有传输控制信号。尽管图 11 示出其中开关 236 是晶体管的例子,但是本发明不限于此,能使用在上述实施例模式中示出的任何开关。

[0201] 图 12 示出此时的时间图。

[0202] 图 12 示出了这样的情况,其中将被新写入第 j 列到第 n 列中第 (j+3) 列、第 (j+4) 列、第 (j+6) 列到第 (j+8) 列、和第 (j+11) 列到第 n 列的视频信号与前一行中的那些视频信号相同。

[0203] 在图 12 中,因为将被新写入第 (j+3) 列、第 (j+4) 列、第 (j+6) 列到第 (j+8) 列、和第 (j+11) 列到第 n 列的视频信号与前一行中的那些视频信号相同,所以断开采样控制信号使得采样脉冲不从 AND 门 235 输出到第一锁存电路部分 202。另一方面,因为将被新写入第 j 列到第 (j+2) 列、和第 (j+5) 列、第 (j+9) 和第 (j+10) 列的视频信号与前一行的那些视频信号不同,所以接通采样控制信号以将采样脉冲从 AND 门 235 输出到第一锁存电路部分 202。因此,视频信号被写入到第一锁存电路部分 202。此处,因为就被新写入第 (j+11) 列之中和之后的视频信号与前一行的那些视频信号相同,所以通过使用传输控制信号接通开关 236 以便于停止移位寄存器 207 中第 (j+11) 列之中和之后的信号传输。

[0204] 以该方式,当使用传输控制信号和采样控制信号时,控制移位寄存器中的信号传输和到第一锁存电路部分的采样脉冲输出以允许视频信号仅被选择地进写入需要的列中;因此,能降低功耗。

[0205] 换言之,如果通过使用传输控制信号控制采样脉冲的输出,将新写入某一特定列之中和之后的视频信号需要与已经写入前一行像素中的视频信号相同。如果通过使用采样控制信号控制采样脉冲的输出,能控制每一列采样脉冲的输出但是在移位寄存器中需要执行所有列的信号传输。因此,通过使用传输控制信号和采样控制信号以控制采样脉冲的输出能灵活地显示不同的图像;因此,能更有效地降低功耗。

[0206] 而且,如上述实施例模式所示,如图 11 所示的结构被配置有用于改变扫描方向的开关,或移位寄存器可分为多个区域,起始脉冲信号可分别输入到移位寄存器的所述多个区域中。而且,移位寄存器 207 可分为多个区域且可控制每个区域的扫描方向。

[0207] 该实施例模式可与上述实施例模式自由结合。即,本发明能采用通过该实施例模式示出的结构与上述任一实施例模式示出的结构结合而形成的所有结构。

[0208] (实施例模式 4)

[0209] 参考附图,实施例模式 4 将描述与上述实施例模式不同的显示装置的例子。特别地,该实施例模式将详细描述某一周期多行中的操作方法,且尤其解释一些情况下的操作

方法,所述情况包括将被新写入某一行的视频信号和已经写入前一行的视频信号在所有列相同的情况。

[0210] 图 13 示出该实施例模式中显示装置的信号线驱动电路中的示例。

[0211] 如图 13 所示的信号线驱动电路具有脉冲输出电路 241、第一锁存电路部分 242 和第二锁存电路部分 243。该脉冲输出电路 241 具有通过采用多级触发器电路 244 形成的移位寄存器 247 和 AND 门 245。AND 门 245 的两个输入端被连接到邻近的触发器电路 244 的输出端。换言之,对于 AND 门 245 配置了一个多余的触发器电路 244,且邻近的触发器电路 244 的输出端输入到与信号线 S1 到 Sn 对应配置的每一级 AND 门 245。

[0212] 而且,在脉冲输出电路 241 中,触发器电路 244 的输入部分配置有用于初始化信号的开关 246,且开关 246 由传输控制信号 (S\_ENABLEt) 控制。接着,即使起始脉冲信号被输入且信号被顺序从触发器电路 244 传输到第一锁存电路部分 242,在某一系列之中和之后的信号与前一行的那些信号相同的情形中,传输控制信号被接通以停止移位寄存器 247 的信号传输,从而使得在该列之中和之后采样脉冲没有输出到第一锁存电路部分。尽管图 13 中开关 246 是晶体管,然而本发明不限于此,在上述实施例模式中示出的任何开关均可使用。

[0213] 这里,参照图 14 解释了图 13 示出的信号驱动电路的操作。

[0214] 图 14 示出其中信号驱动电路的第一锁存电路部分 242 保持被输入到第 (i-1) 行、第 i 行和第 (i+1) 行的视频信号的周期 (此处, $T_{Gi-1}$ 、 $T_{Gi}$  和  $T_{Gi+1}$ )。换言之,每个  $T_{Gi-1}$ 、 $T_{Gi}$  和  $T_{Gi+1}$  与一个栅极选择周期对应。

[0215] 首先,解释  $T_{Gi-1}$  期间的操作。

[0216] 时钟信号 (S\_CLK) 和反相时钟信号 (S\_CLKB) 被输入到移位寄存器 247 的触发器电路 244,且起始脉冲信号 (S\_SP) 被输入到触发器电路 244 的第一级。在图 14 中,脉冲 2101 对应于  $T_{Gi-1}$  的起始脉冲。

[0217] 当输入到触发器电路 244 的下一级时该脉冲 2101 延迟了时钟信号的一个脉冲。因此,第一列中的 AND 门 245 的输出对应于图 14 中以脉冲 2301 示出的时钟信号的脉冲,第一级中的多触发电路 244 和下一级中的触发器电路 244 的输出被输入到所述第一列中的与门 245。脉冲 2301 作为采样脉冲 Samp. 1 输入到与第一列的像素对应的第一锁存电路部分 242 的锁存电路中。以相似的方法,第 n 列中 AND 门 245 的输出被输入到与第 n 列的像素对应的第一锁存电路部分 242 的锁存电路中作为如图 14 中脉冲 2302 示出的采样脉冲 Samp. n。

[0218] 在  $T_{Gi-1}$  中,视频信号 2201 被输入到第一锁存电路部分 242 且根据采样脉冲的输入定时视频信号被保持在第一锁存电路部分与每个像素列对应的每一级。注意,图 14 中,采样脉冲被输入的定时指的是采样脉冲从 H 电平降到 L 电平的时间。此时,输入到第一锁存电路部分 242 的视频信号被保持在第一锁存电路部分 242 的每一级中。

[0219] 当完成将视频信号保持到第一锁存电路部分 242 的最后一级时,在水平回扫周期锁存脉冲 (Latch Pulse) 2401 被输入到第二锁存电路部分 243,且保持在第一锁存电路部分 242 中的视频信号被同时传输到第二锁存电路部分 243。之后,保持在第二锁存电路部分 243 中的一行视频信号被同时输出到信号线。

[0220] 注意,触发器电路 244 的输入部分配置有用于初始化信号的开关 246。开关 246 被传输控制信号控制。因此,在移位寄存器 247 中的信号传输基于传输控制信号的电平被控

制,且控制了输出到第一锁存电路部分 242 的采样脉冲。

[0221] 在某一特定列之中和之后的视频信号与前一行的视频信号相同的情形中,在那些列中传输控制信号被设置为 H 电平而在其他情况下被设置为 L 电平。即,当传输控制信号被设置为 L 电平时,用于初始化信号的开关 246 被断开,所述开关被配置在触发器电路 244 的输入部分。因此,信号在移位寄存器 247 中传输以便于采样脉冲被输出到第一锁存电路部分 242 从而写入视频信号。当传输控制信号被设置为 H 电平时,用于初始化信号的开关 246 被接通,所述开关被配置在触发器电路 244 的输入部分。因此,在移位寄存器 247 中停止信号传输使得采样脉冲没有被输出到第一锁存电路部分 242。因此,视频信号没有写入第一锁存电路部分 242。因为没有写入视频信号,不必将视频信号输出到视频信号线(视频线, Video Line)。因此,可以停止提供视频信号。结果,进一步降低了功耗。

[0222] 在该例子中,在  $T_{Gi-1}$  期间,视频信号不同于前一行(第  $(i-2)$  行)所有列中的视频信号,或在至少第一列和第  $n$  列中视频信号不同。因此,新的视频信号以在移位寄存器 247 所有列中执行信号传输的方式被写入第一锁存电路部分 242 以便于将采样脉冲输出到第一锁存电路部分 242;因而,传输控制信号在 L 电平。

[0223] 接着,解释在  $T_{Gi}$  期间的操作。示出了这样一种情形,其中,在  $T_{Gi}$  期间,在新近执行写入的某一像素行的所有列中,视频信号与已经写入前一行(第  $(i-1)$  行)像素中的那些视频信号相同。

[0224] 首先,时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的触发器电路 244,且起始脉冲信号(S\_SP)被输入到第一级中的触发器电路 244 的。在图 14 中,脉冲 2111 与  $T_{Gi}$  的起始脉冲相对应。

[0225] 在从第一级中多余的触发器电路 244 输出脉冲的同时,传输控制信号被设置为 H 电平且用于初始化信号的开关接通,所述开关被配置在触发器电路 244 的输入部分;因此信号没有传输到下一级触发器电路。因此,因为在移位寄存器 247 中停止信号传输,所以采样脉冲没有被输出到第一锁存电路部分 242 的所有列,使得没有写入视频信号。因为视频信号没有写入,所以不必将视频信号输出到视频信号线(视频线 VideoLine)。因此,可以停止提供视频信号。结果,进一步降低了功耗。

[0226] 因此,被保持在第一锁存电路部分 242 的前一行(第  $(i-1)$  行)中的视频信号被同时传输到第二锁存电路部分 243 且保持在第二锁存电路部分 243 的一行视频信号被同时传输到信号线。换言之,输出与前一行相同的视频信号。

[0227] 接着,解释在  $T_{Gi+1}$  期间的操作。注意,示出了这样一种情形,其中在  $T_{Gi+1}$  期间,第  $j$  列之中和之后中,视频信号与前一行(第  $(i-1)$  行)的那些视频信号相同。

[0228] 首先,时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的触发器电路 244,且起始脉冲信号(S\_SP)被输入到第一级的触发器电路 244。在图 14 中,脉冲 2121 与  $T_{Gi+1}$  的起始脉冲相对应。

[0229] 接着,第一列的 AND 门 245 输出与图 14 中脉冲 2321 示出的一个脉冲对应的时钟信号,第一级的多余的触发器电路 244 和下一级的触发器电路 244 输出到所述第一列的与门 245。脉冲 2321 作为采样脉冲 Samp. 1 输入到与第一列的像素对应的第一锁存电路部分 242 的锁存电路中。根据采样脉冲 Samp. 1 的输入定时,视频信号被写入与第一列的像素对应的第一锁存电路部分 242 的锁存电路中。

[0230] 以相似的方法,移位寄存器 247 传输信号到第 (j-1) 列以输入采样脉冲到与各自像素对应的第一锁存电路部分 242,借此写入视频信号。

[0231] 接着,从第 (j-1) 列输出采样脉冲的同时,传输控制信号被设置为 H 电平且接通用于初始化信号的开关,所述开关被配置在触发器电路 244 的输入部分;因此信号没有传输到下一级的触发器电路。因此,在移位寄存器 247 第 (j-1) 列之中和之后停止信号传输;因而在第 j 列之中和之后采样脉冲没有被输出到第一锁存电路部分 242,使得没有写入视频信号。而且,因为在第 j 列之中和之后视频信号没有写入,所以不必将视频信号写入视频信号线(视频线 Video Line)。因此,在第 j 列之中和之后停止提供视频信号。结果,可以进一步降低功耗。

[0232] 因此,被保持在第一锁存电路部分 242 的前一行(第 i 行)第 j 列之中和之后的视频信号在锁存脉冲输出的相同时刻被同时传输到第二锁存电路部分 243,且保持在第二锁存电路部分 243 的一行视频信号被同时输出到信号线。换言之,输出了与前一行相同的那些视频信号。

[0233] 在如图 14 的  $T_{Gi}$  中所示,如果执行写入操作的像素行的所有列中视频信号与前一行中的那些视频信号相同,在从第一级触发器电路 244 输出脉冲的同时传输控制信号被设置为 H 电平以停止移位寄存器 247 中的信号传输。因此,采样脉冲没有输出到第一锁存电路部分,使得视频信号没有写入第一锁存电路部分。因此,如果在执行写入操作的像素行的所有列中视频信号与前一行像素中已写入的那些视频信号相同,则不必输入起始脉冲信号。

[0234] 换言之,如图 15A 所示,在  $T_{Gi}$  期间,没有将起始脉冲信号输入到信号线驱动电路。这是因为在  $T_{Gi}$  期间移位寄存器没有进行信号传输,使得采样脉冲没有输出到第一锁存电路部分;因此,最初不必输入起始脉冲信号。此外,如果起始脉冲信号的脉冲 2111 没有被输入,则采样脉冲没有被输出到第一锁存电路部分 242;因此,视频信号 2211 没有被写入第一锁存电路部分。因此,通过取消第一锁存电路部分 242 的充电和放电可以减少功耗。在这种情况下,可以输出也可以不输出传输控制信号的脉冲 2511。如果视频信号没有被写入,则不必将视频信号输入视频信号线(视频线 Video Line)。因此,可以停止提供视频信号。结果,可以进一步降低功耗。

[0235] 而且,如果在执行写入操作的像素行的所有列中视频信号与前一行像素已写入中的那些视频信号相同,则视频信号不必输入到信号线驱动电路。

[0236] 换言之,如图 15B 所示,在  $T_{Gi}$  期间,没有将视频信号 2211 输入到信号线驱动电路。这是因为在  $T_{Gi}$  期间被输入的视频信号没有写入第一锁存电路部分 242 因此,最初不必输入起始脉冲信号。当停止输入视频信号时,视频线的充电和放电能被省略;因此,可以降低功耗。因此,在  $T_{Gi}$  期间,输入视频线的功耗低的电势(例如,仅 L 电平信号)或将第一锁存电路部分置于浮动状态。这样的做法在以下情形中更有效,该情形中信号被从外部输入的连接端和信号线驱动电路配置有插入其中的像素部分。图 16 示出该种情况中的结构的示例。

[0237] 在图 16 中,信号线驱动电路 8001、扫描线驱动电路 8002、像素部分 8003 和连接端部分 8005 被配置在衬底 8000 上。在像素部分 8003 上,形成相对电极 (opposite electrode) 8004 以便于覆盖像素部分 8003。相对电极 8004 通过接触孔 8008 连接到导线,所述导线比从连接端 8007 延伸的用于多个连接端 8007 的焊盘更宽,在连接端部分形成的相对电极的低电源电势被输入到连接端 8007。被输入视频信号的连接端 8006 通过视频线

8009 被连接到信号线驱动电路 8001。在使用该结构的情况下,能减少电源线到相对电极 8004 的电阻(例如在连接端 8007 和 FPC 端之间的接触电阻或在相对电极 8004 和连接端 8007 之间的导线电阻)或其电容(例如导线并行电容或交叉电容)。因此,能减少电源线中的压降和波形的失真和波动,且相对电极的电势可设为正常。即使如视频线 8009 的引线变长以引起它的导线的寄生电阻和其电容增加,仍能减少视频线 8009 的充电和放电。因此,可以降低功耗。

[0238] 在如图 15B 所示的  $T_{Gi}$  期间,起始脉冲信号的脉冲 2111 和传输控制信号 2511 的脉冲 2511 不必输入到信号线驱动电路,如图 15A 所示。

[0239] 因此,如果执行写入操作的像素行的所有列中视频信号与前一行中已写入的视频信号相同,则时钟信号和反相时钟信号等不必输入到信号线驱动电路。

[0240] 换言之,如图 17A 所示,在  $T_{Gi}$  期间时钟信号和反相时钟信号没有输入到信号线驱动电路。例如,可以输入时钟信号和反相时钟信号(一个是 H 电平且另一个是 L 电平)之间被反相的固定电势。这是因为在  $T_{Gi}$  期间移位寄存器中没有执行信号传输,使得没有将采样脉冲输出到第一锁存电路部分;因此,时钟信号和反相时钟信号最初不必输入到信号线驱动电路。因此,当时钟信号和反相时钟信号被设置在固定电势时,没有执行充电和放电,从而降低了功耗。而且,在如图 17A 所示的  $T_{Gi}$  期间,起始脉冲信号的脉冲 2111 和传输控制信号 2511 的脉冲 2511 不必输入到信号线驱动电路,如图 15A 所示,视频信号 2211 不必输入到信号线驱动电路,如图 15B 所示。因此,大大降低了功耗。

[0241] 而且,如果在执行写入操作的像素行的所有列中视频信号与前一行中已写入的那些视频信号相同,锁存脉冲不必输入到信号线驱动电路。

[0242] 换言之,如图 17B 所示,在  $T_{Gi}$  期间锁存脉冲不必输入到信号线驱动电路。这是因为在  $T_{Gi}$  期间移位寄存器中没有执行信号传输,使得没有将采样脉冲输出到第一锁存电路部分;因此,锁存脉冲最初不必输入到信号线驱动电路。因此,当锁存脉冲没有输入到信号线驱动电路时,从第一锁存电路部分到第二锁存电路部分没有执行信号传输;因此,可以省略了充电和放电,从而降低了功耗。而且,在如图 17B 所示的  $T_{Gi}$  期间,起始脉冲信号的脉冲 2111 和传输控制信号的脉冲 2511 不必输入到信号线驱动电路,如图 15A 所示,视频信号 2211 不必输入到信号线驱动电路如图 15B 所示,且如图 17A 所示不必输入时钟信号和反相时钟信号。因此,可以大大降低了功耗。

[0243] 接着,参照图 18 解释不同于图 13 示出的信号线驱动电路的结构。

[0244] 如图 18 示出的信号线驱动电路具有脉冲输出电路 241、第一锁存电路部分 242 和第二锁存电路部分 243。脉冲输出电路 241 具有通过采用多级触发器电路 244 形成的移位寄存器 247 和 AND 门 245。AND 门 245 的两个输入端被连接到邻近的触发器电路 244 的输出端。在图 18 中,如图 13 所示的脉冲输出电路 201 中,包括多个触发器电路 204 的移位寄存器 207 被分为多个区域且准备多个起始脉冲信号以便于将每个起始脉冲信号被输入到移位寄存器多个区域中的每个。

[0245] 在脉冲输出电路 241 中,用于初始化信号的开关 246 被提供到触发器电路 244 的输入部分,且开关 246 被传输控制信号 ( $S\_ENABLEt$ ) 控制。即使起始脉冲信号被输入以从触发器电路 244 顺序传输信号到第一锁存电路部分 242,当某一特定列之中和之后的视频信号与前一行中的那些视频信号相同时,传输控制信号被接通以停止移位寄存器 247 中的

信号传输,使得在该特定列中和之后不再将采样脉冲输出到第一锁存电路部分 242。

[0246] 这里,示出了这样的例子,其中,在一行包括  $n$  列(第一到第  $n$  列)信号线的情形中,移位寄存器 247 被分成包括第一到第  $j$  列的触发器电路的区域 247a 和包括第  $(j+1)$  到第  $n$  列的触发器电路的区域 247b。在该情形中,在该移位寄存器 247 中,区域 247a 中通过输入第一起始脉冲信号开始信号传输,且在区域 247b 通过输入第二起始脉冲信号开始信号传输。

[0247] 这里,参照图 19A 解释图 18 示出的信号线驱动电路的操作。注意,与图 14 相同部分的描述被省略。

[0248] 图 19 示出在信号线驱动电路的第一锁存电路部分 242 的某一特定周期中,用于保持被输入到第  $(i-1)$  行、第  $i$  行和第  $(i+1)$  行的视频信号的周期(此处,  $T_{Gi-1}$ 、 $T_{Gi}$  和  $T_{Gi+1}$ )。换言之,每个  $T_{Gi-1}$ 、 $T_{Gi}$  和  $T_{Gi+1}$  与一个栅极选择周期对应。

[0249] 首先,解释  $T_{Gi-1}$  期间的操作。

[0250] 时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的第一区域 247a,且第一起始脉冲信号(S\_SP1)被输入到第一区域 247a 的第一级中的触发器电路 244。在图 19A 中,脉冲 2101 对应于  $T_{Gi-1}$  的起始脉冲。

[0251] 当输入到下一级中的触发器电路 244 时,该脉冲 2101 延迟了时钟信号的一个脉冲。因此,第一列中的 AND 门 245 的输出对应于图 19A 中脉冲 2301 示出的时钟信号的脉冲,第一级的多触发电路 244 和下一级的触发器电路 244 的输出被输入至所述第一列中的 AND 门 245。脉冲 2301 作为采样脉冲 Samp. 1 输入到与第一列的像素对应的第一锁存电路部分 242 的锁存电路中。以相似的方法,第  $j$  列中的 AND 门 245 的输出作为采样脉冲 Samp.  $j$  被输入到与第  $j$  列的像素对应的第一锁存电路部分 242 的锁存电路中。

[0252] 在信号被传输到移位寄存器 247 的第  $j$  列后,时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的第二区域 247b 且第二起始脉冲信号(S\_SP2)被输入到第二区域 247b 中的第一级触发器电路 244。在图 19A 中,脉冲 2102 与  $T_{Gi-1}$  期间的第二起始脉冲相对应。

[0253] 当输入到下一级的触发器电路 244 时该脉冲 2102 延迟了时钟信号的一个脉冲。因此,,第  $(j+1)$  列中的 AND 门 245 的输出对应于图 19A 中脉冲 2304 示出的时钟信号的脉冲,第一级的多触发电路 244 和下一级的触发器电路 244 的输出被输入至所述第  $(j+1)$  列中的 AND 门 245。脉冲 2304 作为采样脉冲 Samp.  $j+1$  输入到与第  $(j+1)$  列的像素对应的第一锁存电路部分 242 的锁存电路中。以相似的方法,第  $n$  列中的 AND 门 245 的输出被输入到与第  $n$  列的像素对应的第一锁存电路部分 242 的锁存电路中作为图 19A 中脉冲 2302 示出的采样脉冲 Samp.  $n$ 。

[0254] 在  $T_{Gi-1}$  期间,视频信号数据 2201 被输入到第一锁存电路部分 242 且根据采样脉冲的输入定时视频信号被保持在与每个像素列对应的第一锁存电路部分的每一级。

[0255] 在第一锁存电路部分 242 中,当完成将视频信号保持到最后一级时,在水平回扫周期锁存脉冲(Latch Pulse)2401 被输入到第二锁存电路部分 243 以将保持在第一锁存电路部分 242 中的视频信号同时传输到第二锁存电路部分 243。之后,保持在第二锁存电路部分 243 中的一行视频信号被同时输出到信号线。

[0256] 注意,触发器电路 244 的输入部分配置有用于初始化信号的开关 246 且开关 246

被传输控制信号控制。因此,在移位寄存器 247 中的第一区域 247a 和第二区域 247b 中的信号传输基于传输控制信号的电平被控制,从而控制输出到第一锁存电路部分 242 的采样脉冲。

[0257] 该例子表明,在  $T_{Gi-1}$  周期,在所有列中视频信号不同于前一行(第  $(i-2)$  行)的那些视频信号,或至少在第一列和第  $n$  列中视频信号不同于前一行的那些视频信号。因此,在移位寄存器 247 的第一区域 247a 和第二区域 247b 在所有列中执行信号传输以输出采样脉冲到第一锁存电路部分 242;以便于在该例中将新的视频信号写入第一锁存电路部分 242。因此,传输控制信号处于 L 电平。

[0258] 接着,解释在  $T_{Gi}$  期间的操作。注意,示出了这样一种情形,其中在  $T_{Gi}$  期间,在新执行写入的像素行的所有列中,视频信号与已经写入前一行(第  $(i-1)$  行)像素中的那些视频信号相同。

[0259] 首先,时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的第一区域 247a 且第一起始脉冲(S\_SP)被输入到第一区域 247a 第一级中的触发器电路 244。在图 19A 中,脉冲 2111 与  $T_{Gi}$  期间的第一起始脉冲相对应。

[0260] 接着,在从第一区域 247a 的第一级中的触发器电路 244 输出脉冲的同时,传输控制信号被设置为 H 电平以接通用于初始化信号的开关,所述开关被配置在触发器电路 244 的输入部分。因此,信号没有传输到下一级中的触发器电路。结果,在移位寄存器 247 中停止信号传输使得在所有列中采样脉冲没有被输出到第一锁存电路部分 242,从而没有写入视频信号。

[0261] 随后,时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到移位寄存器 247 的第二区域 247b 且第二起始脉冲信号(S\_SP2)被输入到第二区域 247b 的第一级中的触发器电路 244。在图 19A 中,脉冲 2112 与  $T_{Gi}$  期间的第二起始脉冲相对应。

[0262] 接着,以与第一区域 247a 相似的方式,在从第二区域 247b 第一级中的触发器电路 244 输出脉冲的同时,传输控制信号被设置为 H 电平(脉冲 2512),且在移位寄存器 247 的第二区域 247b 中停止信号传输。

[0263] 结果,被保持在第一锁存电路部分 242 的前一行(第  $(i-1)$  行)中的视频信号被同时传输到第二锁存电路部分 243 且保持在第二锁存电路部分 243 的一行视频信号被同时输出到信号线。换言之,输出与前一行相同的那些视频信号。

[0264] 而且,如果在所有列中将被新写入某一特定行的视频信号与前一行的那些视频信号相同,则如图 19B 所示第一起始脉冲(脉冲 2111)和第二起始脉冲(脉冲 2112)可以同时输入到移位寄存器 247 的第一区域 247a 和第二区域 247b。这是因为,在  $T_{Gi}$  期间,在所有列中视频信号没有被写入第一锁存电路部分 242。在这种情况下,在从第一区域 247a 和第二区域 247b 第一级中的触发器电路 244 输出脉冲的同时,通过将传输控制信号设置为 H 电平(脉冲 2511),可以接通用于初始化信号的开关,所述开关被配置在触发器电路 244 的输入部分。

[0265] 接着,解释在  $T_{Gi+1}$  周期的操作。

[0266] 示出了这样一种情形,在  $T_{Gi+1}$  期间,新写入第三列到第  $j$  列的视频信号与已写入前一行的那些视频信号相同且新写入第  $(j+2)$  列到第  $n$  列的视频信号与已写入前一行的视频信号相同。

[0267] 在这种情况下,参照图 14 中的  $T_{Gi+1}$  解释的方法能应用于移位寄存器 247 的第一区域 247a 和第二区域 247b 中。

[0268] 而且,如参照图 19 中的  $T_{Gi}$  所示,如果在执行写入的像素行的所有列中视频信号与前一行的那些视频信号相同,那么在从第一级的触发器电路 244 输出脉冲的同时传输控制信号被设置在 H 电平,以停止移位寄存器 247 中的信号传输。因此,采样脉冲没有输出到第一锁存电路部分,使得没有将视频信号写入第一锁存电路部分。因此,如果在执行写入的像素行的所有列中视频信号与已写入前一行的那些视频信号相同,起始脉冲信号、视频信号、时钟信号、反相时钟信号和锁存脉冲等不必输入,如图 15A、图 15B、图 17A 和图 17B 所示。

[0269] 该实施例模式可与上述实施例模式自由结合。即,本发明能采用由该实施例模式示出的结构与上述任一实施例模式示出的结构结合形成的所有结构。

[0270] (实施例模式 5)

[0271] 参考附图,该实施例模式将描述这样一种情况,其中将被新写入像素的视频信号和已经写入像素(即,存储在像素中的视频信号)的视频信号相同。特别地,将描述这样的情况,其中已经写入某一行之中和之后像素中的视频信号和将写入那些行的视频信号相同。

[0272] 在该实施例模式中示出的显示装置中,当像素被逐行选择且视频信号被写入所选择的像素中时,如果将被新写入的视频信号和已经写入所述像素中的视频信号相同,不对该像素行执行视频信号写入。即,在将视频信号写入该行(也称为像素行)的像素中的操作时,保持输入用于不选择像素行的信号或使该像素行的扫描线处于浮动状态。

[0273] 在该实施例模式中,仅当已经写入与一条扫描线连接的像素中的视频信号和将被新写入所述像素的视频信号全部相同时,才不对该像素行执行信号写入。因此,即使将被新写入该行每一列像素中的视频信号中的一个视频信号不同于已经写入其中的视频信号时,信号仍然被写入连接到扫描线的所有像素中。这是因为将用于选择像素的信号输入到扫描线必然导致将信号线的电势输入到像素中,藉此像素数据被重新写入。因此,仅当一行中的所有视频信号相同时,才不选择扫描线。

[0274] 下文中,参照附图描述该实施例模式中示出的具体结构。

[0275] 图 22A 和 22B 示出该实施例模式中示出的扫描线驱动电路的例子。

[0276] 图 22A 示出的扫描线驱动电路 102 具有脉冲输出电路 251 和缓冲器 253。时钟信号( $G\_CLK$ )、反相时钟信号( $G\_CLKB$ )、和起始脉冲信号( $G\_SP$ )等被输入到脉冲输出电路 251。接着,根据这些信号的定时,栅极选择脉冲被输入到缓冲器 253。然后,从脉冲输出电路 251 输出的栅极选择脉冲(SC. 1 到 SC. m)被缓冲器 253 转换为具有高电流供给能力且被输出到扫描线 G1 到 Gm 的栅极选择脉冲(G. 1 到 G. m)。注意,用于转换信号电平(电平转换器, level shifter)的电路可配置在脉冲输出电路 251 和缓冲器 253 之间。

[0277] 这里,传输控制信号( $G\_ENABLEt$ )被输入到脉冲输出电路 251。接着,没有执行写入视频信号的像素行通过传输控制信号被选择使得不将栅极选择脉冲输出到该像素行。

[0278] 接着,图 22B 示出更详细解释图 22A 的结构示例。

[0279] 脉冲输出电路 251 具有通过采用多级触发器电路(FF)254 等形成的移位寄存器 257 和 AND 门 255。时钟信号( $S\_CLK$ )、反相时钟信号( $S\_CLKB$ )和起始脉冲信号( $S\_SP$ )被输入到触发器电路 254。接着,在移位寄存器 257 中传输信号,根据这些信号的定时栅极选

择脉冲被顺序输出到缓冲器 253。AND 门 255 的两个输入端被连接到触发器电路 254 的输入端和输出端。

[0280] 在图 22B 中, 触发器电路 254 的输入部分被提供有开关 256 用于初始信号, 且通过采用传输控制信号控制开关 256 的接通 / 断开。例如, 如果在某一特定行之中和之后视频信号没有写入, 通过采用传输控制信号接通开关 256 以停止移位寄存器 257 该特定行之中和之后的信号传输, 从而不将栅极选择脉冲输出到缓冲器 253。在这种情况下, 因为在特定行之中和之后没有选择扫描线, 在该特定行之中和之后的像素中不新写入视频信号, 并继续保持已经写入的视频信号。尽管图 22A 和 22B 示出晶体管作为开关 256 的例子, 本发明不限于此, 能使用上述实施例模式示出的任何开关。

[0281] 当用于选择像素的信号被输入到扫描线时, 通常, 以连接到扫描线的晶体管的栅极电容或扫描线的导线交叉电容为代表的负载电容被充电或放电。因此, 在某一特定行之中和之后, 如果已经写入像素中的视频信号和将新写入像素的视频信号相同, 在移位寄存器 257 该某一特定行之中和之后的信号传输被停止以便于不将用于选择像素行的栅极选择脉冲输入到扫描线。因此, 可以减少充电和放电的次数, 从而降低了功耗。

[0282] 图 23 示出此时的时间图。图 23 示出例子, 其中在像素部分包括  $m$  条扫描线 (第一到第  $m$  行) 的情况下, 视频信号没有写入第  $(i+3)$  行之中和之后的像素中。

[0283] 在图 23 中, 因为新写入第  $(i+3)$  行之中和之后每一列的像素中的视频信号和已经写入第  $(i+3)$  行之中和之后的视频信号相同, 所以采用传输控制信号接通开关 256 能停止移位寄存器 257 第  $(i+3)$  行之中和之后的信号传输。因此, 栅极选择脉冲没有被输出到第  $(i+3)$  行之中和之后的像素行。

[0284] 在第  $i$  行到第  $(i+2)$  行中, 将已经写入像素行的视频信号和将被新写入像素行的视频信号比较, 在该情形中, 至少有一行视频信号不相同 (在该情形中, 已经写入的视频信号至少在第  $(i+2)$  行不同于将被新写入的视频信号)。因此, 通过使用传输控制信号断开开关 256 以通过缓冲器 253 输出栅极选择脉冲到扫描线。因此, 视频信号被写入像素中。另一方面, 在第  $(i+3)$  行之中和之后, 因为已经写入像素行的视频信号和将被新写入像素行的视频信号相同, 所以在第  $(i+3)$  行通过使用传输控制信号接通开关 256。因此, 视频信号没有被写入第  $(i+3)$  行之中和之后像素中且保持已经其中写入的视频信号。

[0285] 当用于选择像素的栅极选择脉冲被输入到扫描线, 以连接到扫描线的晶体管的栅极电容或扫描线的导线交叉电容为代表的负载电容被充电或放电。因此, 如图 23 所示, 在写入视频信号的情形中, 已经写入像素的视频信号和新写入某一特定行之中和之后所有列的视频信号相同, 通过使用传输控制信号停止在移位寄存器 257 某一特定行之中和之后的信号传输, 使得不将栅极选择脉冲输入到扫描线。因此, 减少了充电或放电的次数, 从而降低了功耗。

[0286] 注意, 在图 22A 和 22B 示出的结构中, 如果通过使用传输控制信号开关 256 在某一特定行接通, 则在移位寄存器 257 某一行中之中和之后的信号传输被停止, 使得栅极选择脉冲不输出到扫描线。因此, 图 22A 和 22B 示出的结构配置有助于改变扫描方向的开关, 以便于能选择扫描方向。即, 通过选择顺序连接的触发器电路 254 中位于相对端的触发器电路 254 之一且将起始脉冲信号输入到被选择的触发器电路, 能够在更多行减少栅极选择脉冲输出到扫描线。

[0287] 用于该实施例模式的扫描线驱动电路 102 的结构不限于图 22A 和 22B 示出的结构。即,当某一特定行之中和之后已经写入像素中的视频信号和新写入像素中的视频信号相同时,只要通过使用传输控制信号能停止在移位寄存器 257 中的信号传输,该结构就不受限制。在图 23 中,信号线驱动电路在第  $(i+3)$  行之中和之后将完全停止。结果,大大降低了功耗。

[0288] 接着,在图 24 中示出了具有不同于图 22A 和 22B 示出的结构的扫描线驱动电路。

[0289] 图 24 中扫描线驱动电路具有通过多级触发器电路 264 等形成的移位寄存器 267 和 AND 门 265。AND 门 265 的两个输入端被连接到触发器电路 264 的输入端和输出端。而且,在脉冲输出电路 261 中,移位寄存器 267 被分为多个区域,且准备多个起始脉冲信号,每个起始脉冲信号被输入到移位寄存器的每个区域。

[0290] 而且,用于初始化信号的开关 266 被提供到触发器电路 264 的输入部分,且开关 266 的接通/断开被传输控制信号 ( $G\_ENABLEt$ ) 控制。例如,如果视频信号没有写入某一特定行之中和之后的所有像素中,则通过采用传输控制信号接通开关 266 以在该某一特定行之中和之后停止移位寄存器 267 中的信号传输;因此,栅极选择脉冲没有输出缓冲器 253。在该情形中,新的视频信号没有被写入该某一特定行之中和之后的像素中,且继续保持已经写入其中的视频信号。

[0291] 而且,图 24 示出了这样一种结构,其中触发器电路 264 形成的移位寄存器 267 被分为多个区域且为每个区域输入起始脉冲信号。因此,通过使用传输控制信号接通开关 266,甚至在移位寄存器 267 某一特定行之中和之后的信号传输被停止后,因为起始脉冲信号被独立地输入到另一区域,所以在移位寄存器 267 中能重新开始信号传输。

[0292] 接着,参考图 24 和图 25 解释操作方法的具体例子。

[0293] 在图 24 中,像素部分包括  $m$  条扫描线(第一到第  $m$  行),且在该情况下,移位寄存器 267 被分为包括第一到第  $i$  行的触发器电路 264 的区域 267a 和包括第  $(i+1)$  到第  $m$  行的触发器电路的区域 267b。

[0294] 在该情况下,在移位寄存器 267 中,通过在区域 267a 输入第一起始脉冲信号开始信号传输且通过在区域 267b 输入第二起始脉冲信号开始信号传输。换言之,在移位寄存器 267 的区域 267a 中,根据输入的第一起始脉冲信号、时钟信号和反相时钟信号的定时,栅极选择脉冲通过缓冲器 253 被顺序输出到扫描线。另一方面,在区域 267b 中,根据输入的第二起始脉冲信号、时钟信号和反相时钟信号的定时,栅极选择脉冲通过缓冲器 253 被顺序输出到扫描线。

[0295] 在移位寄存器 267 中,采用传输控制信号 ( $G\_ENABLEt$ ) 分别控制区域 267a 中和区域 267b 中的信号传输。这里,例如,考虑这样一种情形,其中当已经写入像素中的视频信号与将被新写入像素中的视频信号比较时,已经写入像素中的视频信号仅在图 24 中第二行和第  $(i+2)$  行不同于新写入像素中的视频信号。

[0296] 首先,通过输入第一起始脉冲信号,栅极选择脉冲被顺序输出到第一行和第二行的扫描线,从而将视频信号写入像素行。随后,通过采用传输控制信号接通开关 266 以停止移位寄存器 267 中第三行(这里,第三到第  $i$  行)之中和之后的信号传输,使得栅极选择脉冲没有从触发器电路 264 输出到扫描线。因此,视频信号没有写入像素行。

[0297] 接着,通过输入第二起始脉冲信号将栅极选择脉冲输出到第  $(i+1)$  行和第  $(i+2)$

行的方式,在像素行中执行写入数据。随后,通过采用传输控制信号接通开关 266,停止移位寄存器 267 中第  $(i+3)$  行(这里,第  $(i+3)$  到第  $m$  行)之中和之后的信号传输,使得栅极选择脉冲没有从触发器电路 264 输出到扫描线。因此,数据没有写入像素行。

[0298] 图 25 示出此时的时间图。

[0299] 在区域 267a 中,其中通过输入第一起始脉冲信号在移位寄存器 267 中开始信号传输,因为在第三行(这里,第三到第  $i$  行)之中和之后保持在像素中的视频信号和将被新写入其中的视频信号相同,所以通过采用传输控制信号接通开关 266,栅极选择脉冲没有输出到第三到第  $i$  行扫描线。

[0300] 在区域 267b 中,其中通过输入第二起始脉冲信号在移位寄存器 267 中开始信号传输,因为在第  $(i+3)$  行(这里,第  $(i+3)$  到第  $m$  行)之中和之后的保持在像素行中的视频信号和新写入其中视频信号相同,所以通过采用传输控制信号接通开关 266,栅极选择脉冲没有输出到第  $(i+3)$  到第  $m$  行扫描线。

[0301] 因此,新视频信号被写入第一、第二、第  $(i+1)$  和第  $(i+2)$  行像素中,在第三到第  $i$  行和第  $(i+3)$  到第  $m$  行像素中的视频信号被继续保持在其中。

[0302] 以该种方式,通过使用如图 24 所示的结构,在移位寄存器 267 第三到第  $i$  行和第  $(i+3)$  到第  $m$  行中停止信号传输,以使得用于选择那些像素行的栅极选择脉冲没有输入到扫描线。因此,充电和放电的次数能减少,这使得功耗降低。如果栅极选择脉冲没有输入到扫描线,信号线驱动电路可以完全停止。结果,能实现功耗的急剧降低。

[0303] 在图 22A 和 22B 示出的结构中,当通过使用传输控制信号开关 256 被接通时,在移位寄存器 257 某一行之中和之后的信号传输被停止;接着,栅极选择脉冲没有输出到所述某一行之中和之后的所有扫描线。因此,在所述某一行之中和之后,需要所有已经写入像素中的视频信号和新写入其中的视频信号相同。因此,图 22A 和 22B 示出的结构中,需要在移位寄存器 257 第一至第  $(i+2)$  行执行信号传输,且栅极选择脉冲输出到扫描线。另一方面,在图 24 示出的结构中,因为在每个被划分的区域中通过使用传输控制信号来接通/断开开关 266,通过具体控制移位寄存器 267 中的信号传输能详细地控制是否输出栅极选择脉冲到扫描线。因此,能降低功耗。

[0304] 尽管图 24 示出的结构中,移位寄存器 267 被分为两个区域且起始脉冲信号被输入到所述两个区域中的每个区域,但本发明不限于此。移位寄存器被分为三个或更多区域,且对应于每个区域可输入多个起始脉冲信号中的每个。因此,能控制每个区域中的栅极选择脉冲的输出。

[0305] 在图 24 中,可提供改变扫描方向的开关。即,在移位寄存器 267 被分为多个区域的结构中,每个区域(图 24 中区域 267a 和 267b)被配置有改变扫描方向的开关,以便于对于每个区域能选择扫描方向。换言之,能选择顺序连接的触发器电路中位于相对端的触发器电路中的一个触发器电路,且将第一起始脉冲信号或第二起始脉冲信号输入到被选择的触发器电路。

[0306] 例如,在图 24 中,在区域 267a 中可选择第一起始脉冲信号输入到其中的与第一和第  $i$  列对应的触发器电路;另一方面,在区域 267b 中可选择第二起始脉冲信号输入到其中的与第  $i+1$  和第  $m$  列对应的触发器电路。

[0307] 如上所述,在某一行之中和之后,如果已经写入像素中的视频信号和将被新写入

其中的视频信号相同,则停止移位寄存器 257 中所述某一特定行之中和之后的信号传输,以便于不将用于选择那些像素行的栅极选择脉冲输入到扫描线。因此,减少了充电和放电的次数,这使得功耗降低。

[0308] 而且,在像素中写入视频信号的情况下,如果已经写入像素行中的视频信号和将被新写入其中的视频信号相同,在该像素行中写入信号的操作期间,将该像素行的信号线置于浮动状态,以便于降低功耗。这是因为能够省略具有与一个扫描线连接的像素数量相同的信号线的导线交叉电容的充电和放电。此外,代替将信号线置于浮动状态,之前输入的信号能不作改变被输出。这是因为在信号线中完成了对导线交叉电容的充电和放电,使得功耗不那么高。例如,在以下情形中的驱动方法,该情形中,如上所述将被新写入某一行的视频信号和已经写入该某一行之前一行所有列的视频信号相同(例如,图 14、15A 和 15B 以及 17A 和 17B)。

[0309] 该实施例模式与上述实施例模式自由结合。特别的,在将视频信号写入像素中的情形中,比较将被新写入某一行的视频信号和已经写入所述某一行之前一行的视频信号且比较将被新写入像素中的视频信号和已经写入其中的视频信号。基于比较的结果,能控制像素中视频信号的写入。

[0310] 例如,在某一特定行(第  $i$  行)之中和之后写入视频信号的情况下,首先,比较已经写入某一行之中和之后像素中的视频信号和将被新写入其中的视频信号。如果所有像素中的视频信号相同,通过采用该实施例模式示出的结构不将栅极选择脉冲输出到扫描线以便于不选择该扫描线。另一方面,如果有一行中已经写入像素中的视频信号和将被新写入其中的视频信号不同,比较将被新写入的视频信号和已经写入前一行像素中的视频信号。接着,如果有一列中视频信号不同,通过采用实施例模式 1 到 4 中任何一个示出的结构使视频信号仅被写入视频信号不同的列中。

[0311] 在该方式中,比较已经写入某一特定行之中和之后像素中的视频信号和将被新写入其中的视频信号,且比较将被新写入的视频信号和已经写入前一行的视频信号。接着,通过操作以便于功耗最小,能更有效地减少功耗。

[0312] 注意,本发明能采用由该实施例模式示出的结构和上述实施例模式示出的结构结合形成的所有结构。

[0313] (实施例模式 6)

[0314] 参考附图,该实施例模式将描述将被新写入像素中的视频信号和已经写入像素中的视频信号(即,存储在像素中的视频信号)相同的情况,其不同于实施例模式 5 中的结构。特别地,将描述这样的结构,其中如果存在多行,在所述多行中已经写入像素中的视频信号和将被新写入其中的视频信号相同,则对于每一行栅极选择脉冲没有被选择地输出。

[0315] 在图 26A 和 26B 中示出该实施例模式示出的显示装置的信号线驱动电路的例子。

[0316] 该实施例模式示出的脉冲输出电路 271 具有通过采用多级触发器电路 274 等形成的移位寄存器 277 和 AND 门 275。AND 门 275 的输入端被连接到触发器电路 274 的输入端和输出端和通过其采样控制信号被输入到 AND 门 275 的导线。

[0317] 根据起始脉冲信号(S\_SP)、时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)的输入定时,触发器电路 274 顺序将栅极选择脉冲输出到缓冲器电路 253。接着,栅极选择脉冲通过缓冲器电路 253 被转换为具有高电流供给能力的像素选择信号,接着输出到扫描线。

[0318] 而且,在图 26B 中,采样控制信号 ( $E\_ENABLE_p$ ) 被输入到 AND 门 275,且基于采样控制信号的电平控制栅极选择脉冲输出到缓冲器电路 253。换言之,在移位寄存器 277 中所有行中执行信号传输以将采样控制脉冲输入到 AND 门 275,从而控制栅极选择脉冲输出到缓冲器电路 253。

[0319] 图 27 示出此时的时间图。

[0320] 图 27 示出一种情形,其中在第  $i$  行到第  $(i+10)$  行中,将被新写入第  $(i+3)$  行、第  $(i+4)$  行、第  $(i+6)$  行至第  $(i+8)$  行的视频信号于已经写入这些行像素中的视频信号相同。

[0321] 在图 27 中,因为将被新写入第  $(i+3)$  行、第  $(i+4)$  行、第  $(i+6)$  行至第  $(i+8)$  行的视频信号与已经写入这些像素行的视频信号相同,所以采样控制信号被断开使得不将栅极选择脉冲从 AND 门 275 输出到缓冲器 253。另一方面,因为新写入第  $i$  行至第  $(i+2)$  行、第  $(i+5)$  行、第  $(i+9)$  行、第  $(i+10)$  行的视频信号与保持在这些像素行的视频信号不同,所以采样控制信号被接通以便于从 AND 门 275 将栅极选择脉冲输出到缓冲器 253。因此,扫描线被选择以将视频信号写入像素中。这里,因为在移位寄存器 277 中所有行中执行信号传输,所以通过在 AND 门 275 输入采样控制信号,从而控制栅极选择脉冲的输出。

[0322] 接着,第  $i$  行至第  $(i+2)$  行、第  $(i+5)$  行、第  $(i+9)$  行、第  $(i+10)$  行像素中的视频信号将被新写入,而在第  $(i+3)$  行、第  $(i+4)$  行、第  $(i+6)$  行至第  $(i+8)$  行的像素中继续保持视频信号。

[0323] 以该方式,通过控制采样控制信号的接通 / 断开,能仅停止需要行中的栅极选择脉冲的输出。换言之,对于需要行(此处,需要行是指已经写入该行像素中的视频信号与将被新写入的视频信号不同的行)选择性的选择扫描线且视频信号被写入到像素中,从而允许功耗的减少。如果栅极选择脉冲没有被输入到扫描线,则信号线驱动电路可完全停止。这将大大降低功耗。

[0324] 而且,在图 26 中示出的结构能与图 22A 和 22B 中示出的结构结合。

[0325] 例如,如图 28 所示,在图 22A 和 22B 中示出的结构中,用于初始化信号的开关 286 被配置到触发器电路 284 的输入部分,且通过使用传输控制信号控制开关。在该种情形中,通过使用传输控制信号和采样控制信号来控制栅极选择脉冲的输出。尽管图 28 示出配置开关 286 为晶体管的例子,但本发明不限于此,且在上述实施例模式中示出的任何开关能被使用。

[0326] 图 29 示出此时的时间图。

[0327] 图 29 示出一种情形,其中将被新写入第  $(i+3)$  行、第  $(i+4)$  行、第  $(i+6)$  行至第  $(i+8)$  行和第  $(i+11)$  行至  $m$  行的像素中的视频信号与已经写入这些像素行的数据相同。

[0328] 在图 29 中,因为将被新写入第  $(i+3)$  行、第  $(i+4)$  行、第  $(i+6)$  行至第  $(i+8)$  行和第  $(i+11)$  行至  $m$  行的视频信号与已经写入这些像素行的视频信号相同,所以采样控制信号被断开以便于不将栅极选择脉冲从 AND 门 285 输出到缓冲器 253。另一方面,因为已经写入第  $i$  行至第  $(i+2)$  行、第  $(i+5)$  行、第  $(i+9)$  行、第  $(i+10)$  行的像素中的视频信号与将被新写入这些像素中的视频信号不同,采样控制信号被接通以使得从 AND 门 285 将栅极选择脉冲输出到缓冲器 253。因此,视频信号被写入。这里,因为已经写入第  $(i+11)$  行之中和之后的视频信号与将被新写入其中的视频信号相同,所以传输控制信号被接通以停止移位寄存器 287 中第  $(i+11)$  行之中和之后的信号传输。

[0329] 以该方式,通过采用传输控制信号和控制采样控制信号,能控制移位寄存器中的信号传输和栅极选择脉冲的输出,且选择性地将视频信号仅写入需要行的像素中。因此,能降低功耗。

[0330] 即,如果通过采用传输控制信号控制栅极选择脉冲的输出,需要将被新写入某一特定行之中和之后的所有视频信号与已经写入某一特定行之中和之后的视频信号相同。如果通过采样控制信号控制栅极选择脉冲的输出,能控制每一行栅极选择脉冲的输出,但是在移位寄存器中需要执行所有行的信号传输。因此,当通过使用传输控制信号和采样控制信号来控制栅极选择脉冲的输出时,能灵活地显示不同的图像;因此,能更加有效降低功耗。而且,如果栅极选择脉冲没有输入到扫描线,信号线驱动电路可完全停止。结果,这将大大降低功耗。

[0331] 而且,如上述实施例模式所示,在图 28 中示出的结构可以配置用于改变扫描方向的开关,或所述结构可以是移位寄存器 287 被分为多个区域且准备多个起始脉冲信号以便于将每个起始脉冲信号输入到移位寄存器每个区域的结构。而且,移位寄存器 287 被分为多个区域且可控制每个区域中的扫描方向。

[0332] 如果已经写入像素行中的视频信号和将被新写入其中的视频信号相同,则在该像素行中写入信号操作时,该像素行的信号线处于浮动状态,这一点能进一步降低功耗。这是因为能够省略具有与一个扫描线连接的像素数量相同的信号线的导线交叉电容的充电和放电。此外,代替将信号线置于浮动状态,之前信号线中输入的信号可不作改变输出。这是因为在信号线中完成了对导线交叉电容的充电和放电,使得功耗不那么高。例如,能采用以下情形中的驱动方法,该情形中,如上所述某一行的视频信号和前一行所有列中的视频信号相同(例如,图 14、15A 和 15B 以及 17A 和 17B)。

[0333] 该实施例模式可与上述实施例模式自由结合。特别的,基于比较将被新写入某一行的视频信号和已经写入前一行的视频信号以及比较已经写入像素中的视频信号和将被新写入其中的视频信号的结果,能控制像素中将视频信号的写入。

[0334] 例如,在某一行(第  $i$  行)之中写入视频信号的情况下,首先,比较已经写入所述某一行(第  $i$  行)像素中的视频信号和将被新写入该行(第  $i$  行)像素的视频信号,并且如果所有像素中的视频信号相同,通过采用该实施例模式示出的结构不将栅极选择脉冲输出到扫描线,以便于不选择该扫描线。另一方面,在已经写入像素中的视频信号和将被新写入其中的视频信号不同的情况下,比较已经写入前一行(第  $(i-1)$  行)像素中的视频信号和将被新写入下一行(第  $i$  行)的视频信号。接着,如果有一列中视频信号不同,通过采用实施例模式 1 到 4 中任何一个示出的结构,将视频信号仅写入视频信号不同于已写入前一行中的视频信号的列中。

[0335] 在该方式中,比较已经写入某一像素中的视频信号和将被新写入像素的视频信号,且比较将被新写入某行的视频信号和已经写入前一行的视频信号。接着,通过操作该装置以便于功耗最小,能更有效地减少功耗。

[0336] 即,本发明能采用所有由该实施例模式示出的结构和上述实施例模式示出的结构结合而形成的结构。

[0337] (实施例模式 7)

[0338] 参考附图,该实施例模式将解释信号线驱动电路的结构示例,其应用于这样一种

情形,其中将被新写入某一行像素中的视频信号和已经写入该行像素中的视频信号(即,存储在像素中的视频信号)相同的情形。特别地,将描述具有这样结构的信号线驱动电路,在该结构中,如果将被新写入某行像素中的视频信号与已经写入该行像素中的视频信号相同时,没有将视频信号写入像素中。

[0339] 在图 30A 和 30B 中示出该实施例模式中显示装置的信号线驱动电路的例子。

[0340] 图 30A 示出的信号线驱动电路包括脉冲输出电路 801、第一锁存电路部分 802、第二锁存电路部分 803 和输出控制电路 804。时钟信号(S\_CLK)、反相时钟信号(S\_CLKB)和起始脉冲信号(S\_SP)被输入到脉冲输出电路 801。根据这些信号采样脉冲被顺序输出。

[0341] 从脉冲输出电路 801 输出的采样脉冲被输入到第一锁存电路部 802,根据信号的定时视频信号(视频数据)被保持在第一锁存电路部分 802。

[0342] 当完成将视频信号保持到第一锁存电路部分 802 的最后一级时,在水平回扫周期锁存脉冲(Latch Pulse)被输入到第二锁存电路部分 803,且保持在第一锁存电路部分 802 中的视频信号被同时传输到第二锁存电路部分 803。

[0343] 传输到第二锁存电路部分 803 的视频信号被输入到输出控制电路 804。而且,输出控制信号(S\_ENABLE)被输入到输出控制电路 804,该信号控制是否将视频信号输出到信号线 S1 到 Sn。注意,当输出控制电路 804 没有输出视频信号时,信号线 S1 到 Sn 处于浮动状态或设置为固定电势。作为固定电势,可设置这样的电势以使得能降低功耗。

[0344] 注意,当在一帧周期的子帧周期中执行将信号写入像素的一个像素行的视频信号与前一子帧周期中一行的视频信号相同时,输出控制信号(S\_ENABLEs)被设置为 L 电平,当即使一行视频信号中仅有一个信号不同时,输出控制信号也被设置为 H 电平。换言之,当输出控制信号被设置为 L 电平时,从输出控制电路 804 没有输出视频信号,而当输出控制信号被设置为 H 电平时,从输出控制电路 804 输出视频信号。

[0345] 图 30B 示出信号驱动电路更详细的结构。此外,采用图 31 的时间图解释信号驱动电路的操作。

[0346] 脉冲输出电路 811 通过采用多级触发器电路 815 等形成,时钟信号(S\_CLK)、反相时钟信号(S\_CLKB)和起始脉冲信号(S\_SP)被输入其中。

[0347] 注意,图 31 中的  $T_{Gi-1}$ 、 $T_{Gi}$ 、 $T_{Gi+1}$  和  $T_{Gi+2}$  分别表示输入到第(j-1)行、第 j 行、第(j+1)行和第(j+2)行的视频信号在某一子帧周期被锁存在信号线驱动电路的第一锁存电路部分 812 中的周期。换言之,这些周期中的每个对应于一个栅极选择周期。接着,在  $T_{Gi-1}$ 、 $T_{Gi}$  和  $T_{Gi+1}$  中,视频信号数据 3404、视频信号数据 3405 和视频信号数据 3406 被分别输入到第一锁存电路部分 812。

[0348] 首先,解释  $T_{Gi-1}$  期间的操作。时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)被输入到每个触发器电路 815,且起始脉冲信号(S\_SP)被输入到第一级中的触发器电路 815。在图 31 中,脉冲 3401 对应于  $T_{Gi-1}$  的起始脉冲。

[0349] 当输入到下一级中的触发器电路 815 时该脉冲 3401 延迟了时钟信号的一个脉冲。脉冲 3402 作为采样脉冲 Samp. 1 输入到与第一列的像素对应的第一锁存电路部分 812 的 LAT1 中。相似的,来自第 n 级中的触发器电路 815 的输出作为脉冲 3403 示出的采样脉冲 Samp. n 被输入到与第 n 列的像素对应的第一锁存电路部分 812 的 LAT1 中。

[0350] 在  $T_{Gi-1}$  中,视频信号数据 3404 被输入到第一锁存电路部分 812 且根据采样脉冲的

输入定时视频信号被保持在第一锁存电路部分的与每个像素列对应的的每一级。注意,采样脉冲的输入定时指的是采样脉冲从 H 电平降到 L 电平的定时。此时,输入到第一锁存电路部分 812 的视频信号被保持在第一锁存电路部分 812 的每一级。

[0351] 当完成将视频信号保持到第一锁存电路部分 812 的最后一级时,在水平回扫周期锁存脉冲 (Latch Pulse) 3407 被输入到第二锁存电路部分 813,且保持在第一锁存电路部分 812 中的视频信号被同时传输到第二锁存电路部分 813。之后,保持在第二锁存电路部分 813 中的一个像素行的视频信号被同时输入到输出控制电路 814。

[0352] 注意,输出控制信号 (S\_ENABLEs) 被输入到输出控制电路 814,并基于输出控制信号的电平控制视频信号是否输出到信号线 S1 到 Sn。注意,当在一帧周期的子帧周期中执行将信号写入像素的一个像素行的视频信号与前一子帧周期中一行的视频信号相同时,输出控制信号 (S\_ENABLE) 被设置为 L 电平,当即使一行视频信号中仅有一个信号不同时,输出控制信号被设置为 H 电平。

[0353] 换言之,当输出控制信号 (S\_ENABLEs) 被设置为 L 电平时因为配置在输出控制电路 814 每一级上的模拟开关被断开,所以从输出控制电路 814 没有输出视频信号,而当输出控制信号 (S\_ENABLEs) 被设置为 H 电平因为配置在每一级上的模拟开关被导通时,所以从输出控制电路 814 输出视频信号。

[0354] 接着,操作进行至  $T_{Gi}$ 。因为输出控制信号 (S\_ENABLEs) 为 H 电平,所以在第二锁存电路部分 813 中保持的视频信号数据 3404 通过输出控制电路 814 输出到信号线 S1 至 Sn。接着,起始脉冲信号 (S\_SP) 再次被输入到第一级的触发器电路 815。脉冲 3408 是  $T_{Gi}$  的起始脉冲信号。接着,采样脉冲被再次输出。根据采样脉冲的定时,视频信号数据 3405 被保持在第一锁存电路部分 812 的每一级。当锁存脉冲 3409 被输入,视频信号数据 3405 被同时传输到第二锁存电路部分 813。一个像素行的视频信号 3405 同时输入到输出控制电路 814。

[0355] 接着,操作进行至  $T_{Gi+1}$ 。因为输出控制信号 (S\_ENABLEs) 为 L 电平,所以在第二锁存电路部分 813 中保持的视频信号数据 3405 没有从输出控制电路 814 输出。换句话说,信号线 S1 至 Sn 处于浮动状态。接着,起始脉冲信号 (S\_SP) 再次被输入到第一级的触发器电路 815。脉冲 3410 是  $T_{Gi+1}$  的起始脉冲信号。接着,采样脉冲被再次输出。根据采样脉冲的定时,视频信号数据 3406 被保持在第一锁存电路部分 812 的每一级。当锁存脉冲 3412 被输入时,视频信号数据 3406 被同时传输到第二锁存电路部分 813。一个像素行的视频信号 3406 同时输入到输出控制电路 814。

[0356] 接着,操作进行至  $T_{Gi+2}$ 。因为输出控制信号 (S\_ENABLEs) 为 H 电平,在第二锁存电路部分 813 中保持的视频信号数据 3406 通过输出控制电路 814 被输出到信号线 S1 至 Sn。接着,起始脉冲信号 (S\_SP) 重新被输入到第一级的触发器电路 815。脉冲 3413 是  $T_{Gi+2}$  的起始脉冲信号。

[0357] 在写入周期,对于子帧上述操作被重复以处理视频信号。而且,通过对于子帧通过重复该处理,能显示一帧的图像。

[0358] 注意,在将信号写入第 i 行像素中期间(换言之,在  $T_{Gi+1}$  期间)信号线 S1 至 Sn 处于浮动状态,这是因为将被写入第 i 行像素的视频信号数据与已经写入第 i 行像素的视频信号相同。因此,能省略信号线的充电和放电,以便于减少功耗。

[0359] 在将没有执行信号写入的像素行的视频信号从串行转变为并行的周期中,可以阻止输入用于触发开始保持信号数据的起始脉冲信号(S\_SP)的脉冲。换言之,如图32A所示在 $T_{Gi}$ 期间没有输入起始脉冲信号(S\_SP)的脉冲。因为没有从脉冲输出电路811相应地输出采样脉冲,所以视频信号数据3405没有被保持在第一锁存电路部分812中。因此,能取消第一锁存电路部分812的充电和放电。因而,可以进一步减少功耗。

[0360] 在将没有执行信号写入的像素行的视频信号从串行转换为并行的周期中,视频信号不必输入到信号线驱动电路。换言之,可以阻止视频信号(视频数据)在 $T_{Gi}$ 期间被输入到信号线驱动电路,如图32B所示。这是因为在 $T_{Gi}$ 期间保持的视频信号没有输出到信号线S1至Sn,因此最初不必输入视频信号。因为通过不输入视频信号能省略视频线的充电和放电,所以能减少功耗。在 $T_{Gi}$ 期间,为了减少功耗的电势被输入到视频线。可替代的,可使视频信号处于浮动状态。此时,如图32A所示,该结构可以是在 $T_{Gi}$ 期间不输入起始脉冲信号(S\_SP)的脉冲的结构。

[0361] 在将没有执行信号写入的像素行的视频信号从串行转换为并行的周期中,不必输入时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)等。换言之,可以阻止时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)在 $T_{Gi}$ 期间被输入到信号线驱动电路,在如图33A所示。例如,可输入在时钟信号(S\_CLK)和反相时钟信号(S\_CLKB)之间(一个是H电平且另一个是L电平)被反转的固定电势。这是因为在输入固定电势的情形中没有执行充电和放电,因此能减少功耗。此时,该结构可以是如图32A所示在 $T_{Gi}$ 期间不输入起始脉冲信号的脉冲的结构,可以是如图32B所示在 $T_{Gi}$ 期间不输入视频信号的结构,或可以是不输入起始脉冲信号的脉冲和视频信号的结构。

[0362] 换言之,在将没有执行信号写入的像素行视频信号从串行转换为并行的周期中,不必输入锁存脉冲。换言之,可以阻止锁存脉冲(LatchPulse)在 $T_{Gi}$ 期间被输入到信号线驱动电路,如图33B所示。接着,没有执行从第一锁存电路部分812到第二锁存电路部分813的信号传输;因此,能省略充电和放电。因此,能减少功耗。此时,该结构可以是如图32A所示在 $T_{Gi}$ 期间不输入起始脉冲信号的脉冲的结构,可以是如图32B所示在 $T_{Gi}$ 期间不输入视频信号的结构,可以是如图33A所示在 $T_{Gi}$ 期间不输入时钟信号或反相时钟信号,或者可以是不输入起始脉冲信号的脉冲、视频信号时钟信号和反相时钟信号的结构。

[0363] 以该方式,如果已经写入像素行的视频信号与将被新写入该像素行的视频信号相同,不选择扫描线;因此,当在该行写入信号时,通过采用输出控制电路使像素行的信号线处于浮动状态,从而实现减少功耗。

[0364] 该实施例模式与上述实施例模式自由结合。即,本发明能采用由该实施例模式示出的结构与上述任一实施例模式示出的结构结合形成的所有结构。

[0365] (实施例模式8)

[0366] 参考附图,在该实施例模式中,将解释在将被写入像素中的视频信号和已经写入像素的视频信号(即,存储在像素中的视频信号)相同的情况下的扫描线驱动电路和信号线驱动电路的结构示例,其不同于上述实施例模式示出的例子。

[0367] 在图34A到34C中示出可用于本发明中显示装置的扫描线驱动电路的例子。

[0368] 首先,图34A示出的扫描线驱动电路具有脉冲输出电路501和缓冲器502。时钟信号(G\_CLK)、反相时钟信号(G\_CLKB)、和起始脉冲信号(G\_SP)等被输入到脉冲输出电路

501。接着,根据这些信号的定时,扫描信号(SC. 1 到 SC. m) 被输入到缓冲器 502。扫描信号被缓冲器 502 转换为具有高电流供给能力的像素选择信号(G. 1 到 G. m) 且接着被输入到扫描线 G1 到 Gm。此处,采样控制信号(G\_ENABLEp) 被输入到缓冲器 502。接着,输出控制信号执行控制以便于不将像素选择信号 G. 1 到 G. m 中的信号输入到其中没有执行信号写入的像素行的扫描线。

[0369] 在图 34B 中示出更详细的结构示例。

[0370] 脉冲输出电路 511 包括多级触发器电路 (FF) 513 和 AND 门 514, 且 AND 门 514 的两个输入端被连接到邻近的触发器电路 (FF) 513 的输出端。换言之, 相对 AND 门 514 的一个多余的触发器电路 513 被配置在每一级, 且邻近的触发器电路 (FF) 513 的输出被输入到根据扫描线 G1 到 Gm 配置的各个级的 AND 门 514。

[0371] 时钟信号(S\_CLK) 和反相时钟信号(S\_CLKB) 被输入到每个触发器电路 513, 且起始脉冲信号(G\_SP) 被输入到第一级的触发器电路 513。当被输入到下一级的触发器电路 513 时, 起始脉冲信号被延迟了时钟信号的一个脉冲。因此, 在第一行中 AND 门 514 输出的脉冲对应于时钟信号的一个脉冲, 第一级的多余触发器电路 513 和下一级的触发器电路 513 的输出被输入到所述第一行的 AND 门 514。该脉冲作为采样脉冲 SC. 1 输入到与输出控制电路 512 的第一级对应的缓冲器 (Buf.) 515 的输入端。相似的, 在第 i 行 AND 门 514 的输出和第 m 行 AND 门 514 的输出作为扫描信号被输入到输出控制电路 512 的每一级的缓冲器 515 的输入端。

[0372] 此外, 输出控制电路 512 的每一级的缓冲器 515 包括一个输出控制端, 采样控制信号(G\_ENABLEp) 被输入到该输出控制端。缓冲器 515 将采样控制信号转换为具有高电流供给能力的像素选择信号(G. 1 到 G. m), 所述像素选择信号接着被输入到扫描线 G1 到 Gm。此处, 采样控制信号被输入到缓冲器 515 的每一级。接着, 根据采样控制信号确定是否将像素选择信号(G. 1 到 G. m) 输出到缓冲器 515 的每一级, 其中通过提高扫描信号(SC. 1 到 SC. m) 的电流供给能力生成像素选择信号(G. 1 到 G. m)。

[0373] 注意, 图 34C 示出配置有输出控制电路的缓冲器的例子。将 P 沟道晶体管 521、P 沟道晶体管 522、n 沟道晶体管 523 和 n 沟道晶体管 524 串联连接。高电源电势 Vdd 被设置在 P 沟道晶体管 521 的源极端, 低电源电势 Vss 被设置为 n 沟道晶体管 524 的源极端。采样控制信号(G\_ENABLEp) 被输入到 n 沟道晶体管 524 的栅极端, 被反转器 525 反相的采样控制信号的信号输入到 P 沟道晶体管 521 的栅极端。此外, P 沟道晶体管 522 和 n 沟道晶体管 523 的栅极端彼此相连, 扫描信号(SC. 1 到 SC. m 中的任何一个) 被输入到其中。此处, 因为当采样控制信号是 H 电平时 n 沟道晶体管 524 和 P 沟道晶体管 521 被导通, 所以扫描信号(SC. 1 到 SC. m 中的任何一个) 的反相信号从 P 沟道晶体管 522 或 n 沟道晶体管 523 输出。另一方面, 因为当采样控制信号是 L 电平时 n 沟道晶体管 524 和 P 沟道晶体管 521 被断开, 所以没有从缓冲器输出信号且连接到缓冲器的扫描线处于浮动状态。注意, 在图 34C 的情况下扫描信号(SC. 1 到 SC. m) 和像素选择信号(G. 1 到 G. m) 的电平被反相。因此, 每一级可额外配置奇数个反相器, 例如一个反相器。在该情形中, 额外配置的反相器可以位于图 34C 示出的缓冲器的输入侧。这是因为, 当额外配置的反相器位于图 34C 示出的缓冲器的输出侧时, 在额外配置的反相器的输入处于浮动状态情形中扫描线的输出变得不稳定。

[0374] 此外, 参考图 35A 和 35B, 解释不同于图 34A 至 34C 示出的另一扫描线驱动电路的

结构示例。

[0375] 首先,图 35A 示出的扫描线驱动电路包括脉冲输出电路 701、缓冲器 702 和输出控制电路 703。时钟信号 (G\_CLK)、反相时钟信号 (G\_CLKB)、和起始脉冲信号 (G\_SP) 等输入到脉冲输出电路 701。接着,根据这些信号的定时扫描信号 (SC. 1 到 SC. m) 输入到缓冲器 702。扫描信号 (SC. 1 到 SC. m) 被缓冲器 702 转换为具有高电流供给能力的像素选择信号 (G. 1 到 G. m), 像素选择信号然后被输入到输出控制电路 703。此处,输出控制信号 (G\_ENABLE) 被输入到输出控制电路 703。接着,采样控制信号 (G\_ENABLEp) 执行控制以致于不将像素选择信号 G. 1 到 G. m 中的信号输出到其中没有执行信号写入的像素行的扫描线。

[0376] 图 35B 示出更详细的结构示例。

[0377] 脉冲输出电路 711 包括多级触发器电路 714 和 AND 门 715, 且 AND 门 715 的两个输入端被连接到邻近的触发器电路 714 的输出端。换言之,相对于 AND 门 715 的一个多余的触发器电路 714 被配置在每一级,且来自邻近的触发器电路 714 的输出被输入到根据扫描线 G1 到 Gm 中的每个配置的每一级 AND 门 715。

[0378] 时钟信号 (G\_CLK)、反相时钟信号 (G\_CLKB) 被输入到每个触发器电路 714, 和起始脉冲信号 (G\_SP) 被输入到第一级的触发器电路 714。当输入到下一级的触发器电路 714 中时,,起始脉冲信号被延迟了时钟信号的一个脉冲。因此,第一行 AND 门 715 的输出的脉冲对应于时钟信号的一个脉冲,第一级的多余触发器电路 714 和下一级的触发器电路 714 的输出被输入至所述第一行 AND 门 715。该脉冲作为采样脉冲 SC. 1 输入到与缓冲器 712 的第一级对应的缓冲器 (Buf.) 716 的输入端。相似的,第 i 行 AND 门 715 的输出和第 m 行 AND 门 715 的输出作为扫描信号被输入到的缓冲器 712 的每一级缓冲器 716 的各个输入端。

[0379] 缓冲器 712 的每一级缓冲器 716 和与其对应的每个扫描线 G1 到 Gm 通过输出控制电路 713 中的每一级开关 717 相连接。每个开关 717 包括控制端,采样控制信号 (G\_ENABLEp) 被输入到输出控制端。接着,根据采样控制信号确定是否将像素选择信号 (G. 1 到 G. m) 输出到缓冲器 712 的每一级,其中通过提高扫描信号 (SC. 1 到 SC. m) 的电流供给能力生成像素选择信号 (G. 1 到 G. m)。此处,例如,在当从第一级的缓冲器 716 输出像素选择信号 G. 1 时采样控制信号是 L 电平的情形中,第一级的开关 717 被断开。因此,连接到第一级的开关 717 的扫描线 G1 处于浮动状态。另一方面,在当从所有级的缓冲器 716 输出像素选择信号 (G. 1 到 G. m) 的脉冲时采样控制信号是 H 电平的情形中,所有级的开关 717 在一个纵向周期被接通。因此,像素选择信号 (G. 1 到 G. m) 被顺序输入到扫描线 G1 到 Gm。

[0380] 可替代的,图 36A 示出的结构可被用作扫描线驱动电路。

[0381] 扫描线选择数据被输入到解码器电路 3501, 与数据所选择的像素行对应的脉冲信号被输出。接着,由缓冲器 3502 提高了其电流供给能力的信号作为像素选择信号被输出到扫描线 G1 到 Gm 的任一个上。

[0382] 图 36B 示出更详细的结构。此处,描述根据四块扫描线选择数据的选择 16 条扫描线的情况的示例。

[0383] 解码器电路 3511 包括根据扫描线 G1 到 G16 被配置的 AND 门 3513, 其选择像素行。此外,四块扫描线选择数据,输入 1 到 4, 被输入到解码器电路 3511。每个 AND 门 3513 选择输入 1 或它的反相数据、输入 2 或它的反相数据、输入 3 或它的反相数据和输入 4 或它的反相数据的不同结合。以该方式,根据四个输入能任意地选择 16 个扫描线 G1 到 G16。

[0384] 注意,本发明的显示装置的扫描线驱动电路不限于上述的结构。例如,可包括电平转换器。注意电平转换器是将信号的电平转换。

[0385] 例如,在图 37A 的结构中,脉冲输出电路 501 的输出被输入到电平转换器 1101,电平转换器 1101 的输出被输入到缓冲器 502,选择像素的信号从缓冲器 502 顺序输入到扫描线 G1 到 Gm。

[0386] 此外,该结构可以是,解码器电路 3501 的输出被输入电平转换器 1104,选择像素的信号从缓冲器 3502 顺序输入到扫描线 G1 到 Gm(图 37B)。

[0387] 以该方式,具有不同结构的扫描线驱动电路可被用于本发明的显示装置。即,所述结构可以是这样的结构,即如果输入到与一个扫描线连接的像素行的信号与已经输入到该像素行的信号相同,则不选择该像素行。换言之,使输入到与像素行连接的扫描线的信号为 L 电平信号以不选择像素,或使该扫描线处于浮动状态。

[0388] 该实施例模式与上述实施例模式自由结合。即,本发明能采用由该实施例模式示出的结构能与上述任一实施例模式示出的结构结合而形成的所有结构。

[0389] (实施例模式 9)

[0390] 参考附图,在该实施例模式中,描述可用于本发明显示装置的像素和像素驱动方法。特别地,解释使用时间灰度级方法的显示装置的像素和驱动方法。

[0391] 注意,如 EL 元件的自发光显示元件适于图 38A 到 39D 和图 41 到 42B 示出的像素的显示元件。注意,其中每个图仅示出一个像素,但是在显示装置的像素部分中多个像素在行方向和列方向以矩阵形式排列。

[0392] 在图 38A 示出的像素包括驱动晶体管 1001、开关晶体管 1002、电容器元件 1003、显示元件 1004、扫描线 1005、信号线 1006 和电源线 1007。

[0393] 开关晶体管 1002 的栅极端连接到扫描线 1005,它的第一端(源极端和漏极端中的一个)连接到信号线 1006,且它的第二端(源极端和漏极端中的另一个)连接到驱动晶体管 1001 的栅极端。而且,开关晶体管 1002 的第二端通过电容器元件 1003 连接到电源线 1007。而且,驱动晶体管 1001 的第一端(源极端和漏极端中的一个)连接到电源线 1007 且它的第二端(源极端和漏极端中的另一个)连接到显示元件 1004 的第一电极。低电源电势设置为显示元件 1004 的第二电极 1008。

[0394] 注意,基于设置到电源线 1007 的高电源电势,低电源电势是满足关系低电源电势 < 高电源电势的电势,例如,GND、0V 等可设置为低电源电势。因为通过施加低电源电势和高电源电势之间的电势差到显示元件 1004 且使电流流过显示元件 1004 而使得显示元件 1004 发光,所以设置每个电势以便于低电源电势和高电源电势之间的电势差等于或大于显示元件 1004 的正向阈值电压(forward threshold voltage)。

[0395] 注意,通过由驱动晶体管 1001 的栅极电容代替能省略电容器元件 1003。驱动晶体管 1001 的栅极电容可以在源极区域、漏极区域、LDD 区域等和栅极电极交迭的区域中形成或在沟道区域和栅极电极之间形成。

[0396] 当扫描线 1005 选择了像素时,即,当开关晶体管 1002 处于接通状态时,从信号线 1006 将视频信号输入到像素。接着,对应于视频信号的电压电荷在电容器元件 1003 中积累,电容器元件 1003 保持该电压。该电压是驱动晶体管 1001 的栅极端和第一端之间的电压,其对应于驱动晶体管 1001 的栅极-源极电压  $V_{gs}$ 。

[0397] 通常,晶体管的工作区域可分为线性区域和饱和区域。当满足  $(V_{gs}-V_{th}) = V_{ds}$  时这些区域被区分,其中  $V_{ds}$  是漏极 - 源极电压,  $V_{gs}$  是栅极 - 源极电压,  $V_{th}$  是阈值电压。在  $(V_{gs}-V_{th}) > V_{ds}$  的情形中,晶体管在线性区域工作且其电流值依赖于  $V_{ds}$  和  $V_{gs}$  的电平。另一方面,在  $(V_{gs}-V_{th}) < V_{ds}$  的情形中,晶体管在饱和区域工作,且理想的,即使  $V_{ds}$  变化其电流值几乎不变化。换言之,电流值仅依赖于  $V_{gs}$  的电平。

[0398] 此处,在电压输入电压驱动方法的情形中,视频信号被输入到驱动晶体管 1001 的栅极端使得驱动晶体管 1001 处于被充分导通和截止的两个状态中的任一个状态。换言之,驱动晶体管 1001 处于线性区域。因此,当视频信号是一个能导通驱动晶体管 1001 的信号时,设置到电源线 1007 的电源电势  $V_{dd}$  理想地不作任何改变设置在显示元件 1004 的第一电极。

[0399] 换言之,理想地,使得施加到显示元件 1004 的电压是恒定的,以致于从显示元件 1004 获得的亮度是恒定的。接着,在一帧周期中提供多个子帧周期,视频信号在每个子帧周期被写入像素中以控制每个子帧周期中像素的发光和不发光,使得依赖于其中像素处于发光状态的总子帧周期来表示灰度级。

[0400] 接着,解释图 38B 的像素结构。在图 38B 中示出的像素包括驱动晶体管 1301、开关晶体管 1302、电流控制晶体管 1309、电容器元件 1303、显示元件 1304、扫描线 1305、信号线 1306、电源线 1307 和导线 1310。

[0401] 开关晶体管 1302 的栅极端连接到扫描线 1305,它的第一端(源极端和漏极端中的一个)连接到信号线 1306,且它的第二端(源极端和漏极端中的另一个)连接到驱动晶体管 1301 的栅极端。而且,开关晶体管 1302 的第二端通过电容器元件 1303 连接到电源线 1307。而且,驱动晶体管 1301 的第一端(源极端和漏极端中的一个)也连接到电源线 1307 且它的第二端(源极端和漏极端中的另一个)连接到电流控制晶体管 1309 的第一端(源极端和漏极端中的一个)。

[0402] 电流控制晶体管 1309 的第二端(源极端和漏极端中的另一个)连接到显示元件 1304 的第一电极,且它的栅极端连接到导线 1310。换言之,驱动晶体管 1301 和电流控制晶体管 1309 串联连接。注意,低电源电势设置为显示元件 1304 的第二电极 1308。注意,基于设置到电源线 1307 的高电源电势,低电源电势是满足关系式低电源电势  $<$  高电源电势的电势,例如, GND、0V 等可设置为低电源电势。

[0403] 在该像素结构中,当像素处于发光状态时电流控制晶体管 1309 工作在饱和区域以将恒定电流提供到显示元件 1304。换言之,设置导线 1310、电源线 1307 和第二电极 1308 的电势以便于电流控制晶体管 1309 的栅极 - 源极电压  $V_{gs}$  和漏极 - 源极电压  $V_{ds}$  满足  $(V_{gs}-V_{th}) < V_{ds}$ 。注意,  $V_{th}$  是电流控制晶体管 1309 的阈值电压。

[0404] 因此,理想地,甚至当  $V_{ds}$  变化时它的电流值几乎不变化。换言之,电流值仅依赖于  $V_{gs}$  的电平;因此,通过设置在电源线 1307 和导线 1310 的电势确定电流值。注意,通过由驱动晶体管 1301 的栅极电容代替可以取消电容器元件 1303。

[0405] 当扫描线 1305 选择了像素时,即,当开关晶体管 1302 处于接通状态时,从信号线 1306 将视频信号输入到像素。接着,对应于视频信号的电压的电荷在电容器元件 1303 中积累,电容器元件 1303 保持该电压。该电压是驱动晶体管 1301 的栅极端和第一端之间的电压,其对应于驱动晶体管 1301 的栅极 - 源极电压  $V_{gs}$ 。

[0406] 接着,视频信号被输入以便于驱动晶体管 1301 的  $V_{gs}$  处于被充分导通和截止的两个状态中的任一个状态。换言之,驱动晶体管 1301 工作在线性区域。

[0407] 因此,当视频信号是一个能导通驱动晶体管 1301 的信号时,设置到电源线 1307 的电源电势  $V_{dd}$  理想地不作任何改变设置在电流控制晶体管 1309 的第一端。此时,电流控制晶体管 1309 的第一端是源极端,提供到显示元件 1304 的电流通过电流控制晶体管 1309 的栅级-源极电压确定,该栅级-源极电压由导线 1310 和电源线 1307 设置。

[0408] 换言之,理想地,使得施加到显示元件 1304 的电流是恒定的,以致于从显示元件 1304 获得的亮度是恒定的。接着,一帧周期中提供多个子帧周期,视频信号在每个子帧周期被写入像素中以控制每个子帧周期中像素的发光和不发光,使得依赖于其中像素处于发光状态的总子帧周期来表示灰度级。

[0409] 接着,解释图 38C 的像素结构。在图 38C 中示出的像素包括驱动晶体管 1501、开关晶体管 1502、电容器元件 1503、显示元件 1504、第一扫描线 1505、信号线 1506、电源线 1507、擦除二极管 (erasing diode) 1509 和第二扫描线 1510。开关晶体管 1502 的栅极端连接到第一扫描线 1505,它的第一端 (源极端和漏极端中的一个) 连接到信号线 1506,且它的第二端 (源极端和漏极端中的另一个) 连接到驱动晶体管 1501 的栅极端。而且,驱动晶体管 1501 的栅极端通过整流元件 (二极管 1509) 连接到第二扫描线 1510。此外,开关晶体管 1502 的第二端通过电容器元件 1503 连接到电源线 1507。

[0410] 而且,驱动晶体管 1501 的第一端 (源极端和漏极端中的一个) 也连接到电源线 1507,且它的第二端 (源极端和漏极端中的另一个) 连接到显示元件 1504 的第一电极。低电源电势设置为显示元件 1504 的第二电极 1508。注意,基于设置到电源线 1507 的高电源电势,低电源电势是满足关系低电源电势 < 高电源电势的电势,例如, GND、0V 等可设置为低电源电势。

[0411] 因为通过施加低电源电势和高电源电势之间的电势差到显示元件 1504 且使电流流过显示元件 1504 来使得显示元件 1504 发光,所以设置每个电势以便于低电源电势和高电源电势之间的电势差等于或大于显示元件 1504 的正向阈值电压。注意,通过由驱动晶体管 1501 的栅极电容代替能取消电容器元件 1503。

[0412] 该像素结构是其中擦除二极管 1509 和第二扫描线 1510 被加到图 38A 的像素上的结构。因此,驱动晶体管 1501、开关晶体管 1502、电容器元件 1503、显示元件 1504、第一扫描线 1505、信号线 1506、电源线 1507 分别对应于图 38A 中的驱动晶体管 1001、开关晶体管 1002、电容器元件 1003、显示元件 1004、扫描线 1005、信号线 1006 和电源线 1007。因为写操作和发光操作是相似的,所以省略对它的解释。

[0413] 解释擦除操作。在擦除操作时,将 H 电平信号输入到第二扫描线 1510。接着,电流流过整流元件 1509,由电容器元件 1503 保持的驱动晶体管 1501 的栅极电势能被设置为某一电势。换言之,驱动晶体管 1501 的栅极端的电势能被设置为某一特定电势,且不考写入像素中的虑视频信号,可使驱动晶体管 1501 被迫截止。

[0414] 注意,二极管接法的晶体管能被用作整流元件 1509。而且,代能使用 PN 结或 PIN 结二极管、肖特基二极管、由碳纳米管形成的二极管等代替二极管接法的晶体管。图 38D 示出应用二极管接法的 n 沟道晶体管的情况。

[0415] 二极管接法的晶体管 1601 的第一端 (源极端和漏极端中的一个) 连接到驱动晶

晶体管 1501 的栅极端,且二极管接法的晶体管 1601 的第二端(源极端和漏极端中的另一个)连接到栅极端和第二扫描线 1510。接着,当第二扫描线 1510 是 L 电平时因为二极管接法的晶体管 1601 的栅极端和源极端相连,所以不流过电流,而当 H 电平信号输入到第二扫描线 1510 时因为二极管接法的晶体管 1601 的第二端是漏极端,所以电流流过二极管接法的晶体管 1601。因此,二极管接法的晶体管 1601 执行了整流的功能。

[0416] 而且,图 39A 示出应用二极管接法的 p 沟道晶体管的情况。

[0417] 二极管接法的晶体管 1701 的第一端(源极端和漏极端中的一个)连接到第二扫描线 1510。此外,且二极管接法的晶体管 1701 的第二端(源极端和漏极端中的另一个)连接到它的栅极端和驱动晶体管 1501 的栅极端。接着,当第二扫描线 1510 是 L 电平时因为二极管接法的晶体管 1701 的栅极端和源极端相连,所以不流过电流,而当 H 电平信号输入到第二扫描线 1510 时因为二极管接法的晶体管 1701 的第二端是漏极端,所以电流流过。因此,二极管接法的晶体管 1701 执行整流的功能。

[0418] 注意,当不发光的视频信号被写入像素中时,被输入到第二扫描线 1510 的 L 电平信号设置为具有不允许电流流过整流元件 1509、二极管接法的晶体管 1601 和二极管接法的晶体管 1701 的电势。注意,在栅极端,输入到第二扫描线 1510 的 H 电平信号设置为具有不考虑被写入像素中的视频信号而使驱动晶体管 1501 截止的电压。

[0419] 此外,配置擦除晶体管以擦除写入像素中的信号。图 39B 示出的像素具有其中擦除晶体管 1809 和第二扫描线 1810 被加到图 38A 的像素上的结构。因此,驱动晶体管 1801、开关晶体管 1802、电容器元件 1803、显示元件 1804、第一扫描线 1805、信号线 1806、电源线 1807 分别对应于图 38A 中像素中的驱动晶体管 1001、开关晶体管 1002、电容器元件 1003、显示元件 1004、扫描线 1005、信号线 1006 和电源线 1007。因为写操作和发光操作是相似的,此处省略对它的解释。

[0420] 解释擦除操作。在擦除操作时,H 电平信号输入到第二扫描线 1810。接着,擦除晶体管 1809 被导通,使得驱动晶体管 1801 的栅极端和第一端的电势相等。换言之,驱动晶体管 1801 的栅极-源极电压是 0V。注意,,期望第二扫描线 1810 在 H 电平的电势比电源线 1807 的电势高一个擦除晶体管 1809 的阈值电压  $V_{th}$  或更多。以该方式,驱动晶体管被迫截止。

[0421] 此外,整流元件和擦除晶体管能用于图 38B 示出像素结构。作为一个例子,图 39C 示出的结构中整流元件被加到图 38B 示出的像素。在图 38B 示出的结构中,驱动晶体管 1301 的栅极端通过整流元件 1901 连接到第二扫描线 1902。注意,能以与图 38B 示出方式相似的方式执行写操作和发光操作。

[0422] 解释擦除操作。在擦除操作时,H 电平信号输入到第二扫描线 1902。接着,电流流过整流元件 1901,由电容器元件 1303 保持的驱动晶体管 1301 的栅极电势能被设置为某一特定的电势。换言之,驱动晶体管 1301 的栅极端的电势能被设置为某一特定的电势,可不考虑写入像素中的视频信号使驱动晶体管 1301 被迫截止。以该方式,像素被迫处于不发光状态。注意,二极管接法的 n 沟道晶体管或二极管接法的 p 沟道晶体管能用作整流元件 1901。

[0423] 如图 38C、38D、39A、39B、39C 所示,在通过提供第二扫描线和选择第二扫描线输入用于将像素置于不发光状态的信号到驱动晶体管的栅极端的情形中,例如,能使用如图 40

的显示装置的结构。

[0424] 显示装置包括信号线驱动电路 7401、第一扫描线驱动电路 7402、第二扫描线驱动电路 7405 和像素部分 7403。此外,根据从信号线驱动电路 7401 沿列方向延伸的信号线 S1 到 Sn 和分别从第一扫描线驱动电路 7402 和第二扫描线驱动电路 7405 沿行方向延伸第一扫描线 G1 到 Gm 和第二扫描线 R1 到 Rm,多个像素 7404 以矩阵形式被配置在像素部分 7403 中。

[0425] 如时钟信号 (G\_CLK)、反相时钟信号 (G\_CLKB)、和起始脉冲信号 (G\_SP) 的信号被输入第一扫描线驱动电路 7402。依照这些信号,信号输出到所选的像素行中的第一扫描线 Gi (第一扫描线 G1 到 Gm 中的任何一个)。接着,选择其中将执行信号写入的像素行。

[0426] 此外,如时钟信号 (R\_CLK)、反相时钟信号 (R\_CLKB)、和起始脉冲信号 (R\_SP) 的信号被输入第二扫描线驱动电路 7405。依照这些信号,信号输出到所选的像素行中的第二扫描线 Ri (第二扫描线 R1 到 Rm 中的任何一个)。接着,选择其中将执行信号擦除的像素行。

[0427] 此外,如时钟信号 (S\_CLK)、反相时钟信号 (S\_CLKB)、起始脉冲信号 (S\_SP) 和视频信号 (数字视频数据) 的信号被输入到信号线驱动电路 7401。依照这些信号,与每列中的像素对应的视频信号输出到每个信号线 S1 到 Sn。

[0428] 因此,输入到信号线 S1 到 Sn 的视频信号被写入由输入到第一扫描线 Gi (第一扫描线 G1 到 Gm 中的任何一个) 的信号选择的像素行中的每列像素 7404 中。由第一扫描线 G1 到 Gm 中的每个选择每个像素行,对应每个像素 7404 的视频信号被写入所有像素 7404 中。每个像素 7404 在某一周期内保持写入的视频信号数据。接着,通过在某一周期内保持视频信号数据每个像素 7404 能保持发光或不发光状态。

[0429] 此处,该实施例模式的显示装置是采用时间灰度级方法的显示装置,其中通过写入每个像素 7404 的信号数据来控制每个像素 7404 的发光或不发光,且通过发光时间的长度表示灰度级。注意,用于完整地显示一个显示区域的图像的周期被称为一帧周期,且该实施例模式的显示装置在一帧周期中包括多个子帧。一帧周期中每个子帧周期的长度可以大致相等或不相等。换言之,在一帧周期的每个子帧周期中控制每个像素 7404 的发光和不发光,且依赖于每个像素 7404 发光时间的总时间的不同来表示灰度级。

[0430] 而且,在该实施例模式的显示装置中,控制采样脉冲的输出和栅极选择脉冲的输出信号被输入到信号线驱动电路 7401 和扫描线驱动电路 7402。例如,在一帧周期中的某一特定子帧中,执行新写入信号的像素行中的一行视频信号数据与已经写入该像素行中的一行视频信号数据相同,则通过输入传输控制信号或采样控制信号到扫描线驱动电路 7402 不输出用于选择该像素行的栅极选择脉冲,如上述实施例模式示出。特别的,不选择像素行的 L 电平信号输入到该像素行的扫描线,或使该像素行的扫描线处于浮动状态。此外,信号线驱动电路 7401 的输出控制电路也不输出视频信号。信号线驱动电路 7401 的输出可以是将像素置于发光状态的信号或将像素置于不发光状态的信号。可以输入消耗尽可能小的能量的信号。可替代地,信号线 S1 到 Sn 可处于浮动状态。注意,代替将信号线置于浮动状态,可不作任何改变将以前输入到信号线的信号输出。这是因为导线交叉电容的充电和放电已经完成,因此功耗不高。例如,能采用上述实施例模式中在某一行中和下一行中所有列的视频信号相同的情况下的驱动方法 (例如图 14、15A 和 15B 以及 17A 和 17B)。

[0431] 该实施例模式的显示装置的另一结构中,如果在一帧周期的特定子帧周期中将

被新写入像素行的视频信号数据与已经写入前一行的视频信号数据相同（如果前一行的像素中没有执行写入，将该视频信号与已写入该特定行之前最近行的像素中的视频信号比较），通过将传输控制信号、采样控制信号等输入到的信号线驱动电路 7401，如上述实施例模式所示，使得在信号线驱动电路 7401 的移位寄存器中不执行信号传输。

[0432] 因此，在该实施例模式的显示装置中，注意某一特定像素行。如果已经写入该像素行的视频信号与将被新写入该像素行的信号相同，信号不输入到该像素行；因此，可以减少了对扫描线或信号线充电和放电的次数。因此，可以减少功耗。而且，还注意某一特定像素行。如果将被新写入像素行的信号与已经写入前一行的信号相同（如果前一行的像素中没有执行写入，将该视频信号与已写入该特定行之前最近行的像素中的视频信号比较），将以前输入到信号线的信号不作任何改变被输出；因此，可以减少功耗。

[0433] 在图 39D 中的像素结构的情况下，在不提供整流元件的情况下，像素可以被迫处于不发光状态。例如，在图 38B 的像素结构中，代替导线 1310 配置第二扫描线 2151，电流控制晶体管 1309 的栅极端连接到第二扫描线 2151。为了不考虑写入像素中的视频信号迫使像素处于不发光状态，将 H 电平信号输入到第二扫描线 2151。接着，电流控制晶体管 1309 截止；因此，可以不考虑写入像素中的视频信号使得像素处于不发光状态。注意，除了当像素被迫处于不发光状态时，设置第二扫描线 2151 为恒定电势且使得流过电流控制晶体管 1309 的电流是恒定的。

[0434] 接着，解释图 41 的像素。图 41 的像素包括电流源电路 4701、开关 4702、显示元件 4703、信号保持装置 4704 和电源线 4705。

[0435] 显示元件 4703 的像素电极通过开关 4702 和电流源电路 4701 连接到电源线 4705。注意，控制像素发光和不发光的信号输入到保持该信号的信号保持装置 4704。接着，由该信号控制开关 4702 接通或断开。

[0436] 此外，设置电势使得在电流源电路 4701 能正常的提供电流，该电势设置到显示元件 4703 的相对电极 4706 和电源线 4705，该电流的电流值在电流源电路 4701 中编程设定。

[0437] 依据该像素结构，通过在电流源电路 4701 中编程设定恒定电流值能够连续地将恒定电流提供到显示元件 4703。因此，可抑制在像素间发光的变化。此外，即使如果由于温度变化使得显示元件 4703 的电流 - 电压特性变化，仍能提供恒定电流。因此，能抑制与温度变化相关的显示元件 4703 的亮度变化。

[0438] 此外，显示元件 4703 随时间退化，且电流 - 电压特性变化。然而，因为能在该像素结构提供恒定的电流，能抑制与随时间而退化相关的显示元件 4703 亮度变化。此外，如果显示元件 4703 随时间退化，电流 - 亮度特性变化。换言之，即使当具有相同电流值的电流流过时，退化的显示元件 4703 亮度比没有退化的显示元件 4703 亮度小。因此，在该像素中，通过依照时间的变化在电流源电路 4701 中编程设定电流值能抑制与时间变化相关联的亮度减小。

[0439] 图 42A 示出图 41 中像素的基本结构的示例。该像素包括驱动晶体管 5301、开关晶体管 5302、电容器元件 5303、显示元件 5304、扫描线 5305、信号线 5306、电源线 5307 和电流源电路 5309。

[0440] 开关晶体管 5302 的栅极端连接到扫描线 5305，它的第一端（源极端和漏极端中的一个）连接到信号线 5306，且它的第二端（源极端和漏极端中的另一个）连接到驱动晶体

管 5301 的栅极端。而且,开关晶体管 5302 的第二端(源极端和漏极端中的另一个)通过电容器元件 5303 连接到电源线 5307。而且,驱动晶体管 5301 的第一端(源极端和漏极端中的一个)通过电流源电路 5309 连接到电源线 5307,且它的第二端(源极端和漏极端中的另一个)连接到显示元件 5304 的第一电极。低电源电势设置为显示元件 5304 的第二电极 5308。注意,基于设置到电源线 5307 的高电源电势,低电源电势是满足关系低电源电势 < 高电源电势的电势,例如,GND、0V 等可设置为低电源电势。能使得电流正常流过的电势被设置为高电源电势和低电源电势,该电流具有在电流源电路 5309 中编程设定的电流值。注意,通过以驱动晶体管 5301 的栅极电容代替能省略电容器元件 5303。驱动晶体管 5301 的栅极电容可在源极区域、漏极区域、LDD 区域等和栅极电极交迭的区域中形成或在沟道区域和栅极电极之间形成。

[0441] 解释该像素结构的操作。当通过扫描线 5305 选择了像素时,即,当开关晶体管 5302 处于导通状态时,从信号线 5306 将视频信号输入到像素。接着,电荷在电容器元件 5303 中积累,且电容器元件 5303 保持驱动晶体管 5301 的栅极电势。

[0442] 通常,晶体管的工作区域被分为线性区域和饱和区域。当满足  $(V_{gs}-V_{th}) = V_{ds}$  时这些区域被区分, $V_{ds}$  是漏极-源极电压, $V_{gs}$  是栅极-源极电压, $V_{th}$  是阈值电压。在  $(V_{gs}-V_{th}) > V_{ds}$  的情形中,晶体管在线性区域工作且它的电流值依赖于  $V_{ds}$  和  $V_{gs}$  的电平。另一方面,在  $(V_{gs}-V_{th}) < V_{ds}$  的情形中,晶体管在饱和区域工作,且理想地,即使如果  $V_{ds}$  变化它的电流值几乎不变化。换言之,电流值仅依赖于  $V_{gs}$  的电平。

[0443] 此处,在该结构的情况下,驱动晶体管 5301 在线性区域工作。视频信号被输入到驱动晶体管 5301 的栅极端使得驱动晶体管 5301 处于充分导通和截止的两个状态中的任一个状态。因此,当视频信号是一个能导通驱动晶体管 5301 的信号时,具有在电流源电路 5309 中编程设定的电流值的电流不作改变设置在显示元件 5304 的第一电极。

[0444] 换言之,使得施加到显示元件 5304 的电流是恒定的,以致于从显示元件 5304 获得的亮度是恒定的。接着,在一帧周期中提供多个子帧周期,在每个子帧周期视频信号被写入像素中以控制每个子帧周期中像素的发光和不发光,使得依赖于其中像素处于发光状态的总子帧周期表示灰度级。

[0445] 而且,图 42B 示出详细结构的例子。该像素包括驱动晶体管 6701、开关晶体管 6702、第一电容器元件 6703、显示元件 6704、扫描线 6705、信号线 6706、电源线 6707、电流源晶体管 6712、第二电容器元件 6713、第一开关 6714 和第二开关 6715。

[0446] 开关晶体管 6702 的栅极端连接到扫描线 6705,它的第一端(源极端和漏极端中的一个)连接到信号线 6706,且它的第二端(源极端和漏极端中的另一个)连接到驱动晶体管 6701 的栅极端。而且,开关晶体管 6702 的第二端(源极端和漏极端中的另一个)通过第一电容器元件 6703 连接到电源线 6707。而且,驱动晶体管 6701 的第一端(源极端和漏极端中的一个)连接到电流源晶体管 6712 的第一端(源极端和漏极端中的一个)。接着,电流源晶体管 6712 的第二端(源极端和漏极端中的另一个)连接到电源线 6707。此外,电流源晶体管 6712 的第一端通过第二开关 6715 连接到电流源线 6711。电流源晶体管 6712 的第二端通过第一开关 6714 连接到它的栅极端。第二电容器元件 6713 连接在电流源晶体管 6712 的栅极端和第一端之间。此外,电流源线 6711 通过电流源 6710 连接到导线 6716。

[0447] 在该结构中,包括电流源晶体管 6712、第二电容器元件 6713、第一开关 6714 和第

二开关 6715 的电流源电路 6709 对应于图 42A 中像素的电流源电路 5309。因为将信号写入像素的操作和发光操作是共有的,所以略去对其的解释。因此,此处解释电流源电路 6709 中的编程设定。

[0448] 当向电流源电路 6709 编程设定电流时,第一开关 6714 和第二开关 6715 接通。接着,流入电流源 6710 的电流瞬时分散流入第二电容器元件 6713 和电流源晶体管 6712。接着,在稳定状态中,流过电流源 6710 的电流开始流过电流源晶体管 6712。接着,栅极端和第一端之间电压的电荷,换言之,使电流流过的电流源晶体管 6712 的栅极端和源极端之间的电压  $V_{gs}$  的电荷,在第二电容器元件 6713 中积累。

[0449] 在该状态中,第一开关 6714 和第二开关 6715 断开。以该方式,电流源晶体管 6712 的栅极端和源极端的之间的电压  $V_{gs}$  由第二电容器元件 6713 保持。接着,完成了电流源电路 6709 中的编程设定。换言之,当驱动晶体管 6701 被导通时,可以使与流过电流源 6710 的电流大概相等的电流流过显示元件 6704。注意,不同的像素能被用于该实施例模式的显示装置,且本发明不限于上述的像素。

[0450] 接着,解释可以用于本发明显示装置的驱动方法。

[0451] 首先,参照图 43 解释在信号写入像素周期(寻址周期)和发光周期(维持期)分离的情形中的驱动方法。此处,作为一个例子解释 4 位数字时间灰度级的情形。

[0452] 注意,用于完整地显示一个显示区域的图像的周期被称为一帧周期,一帧周期包括多个子帧周期,一个子帧周期包括寻址周期和维持周期。寻址周期  $Ta_1$  到  $Ta_4$  表示将信号写入所有行中的像素需要的时间,周期  $Tb_1$  到  $Tb_4$  表示将信号写入一个行中像素(或一个像素)需要的时间。此外,维持周期  $Ts_1$  到  $Ts_4$  表示根据写入像素中视频信号维持发光或不发光状态的时间,且设置它们的长度比率满足  $Ts_1 : Ts_2 : Ts_3 : Ts_4 = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ 。依赖于其中执行发光的维持周期表示灰度级。

[0453] 解释操作。首先,在寻址周期  $Ta_1$ ,像素选择信号从第一行被顺序输入以选择像素。接着,当像素被选择时视频信号从信号线输入到该像素。当视频信号被写入该像素时,像素保持该信号直到又输入信号。根据写入的视频信号,控制在维持周期  $Ts_1$  中每个像素的发光和不发光。以相似的方法,视频信号被输入到寻址周期  $Ta_2$ 、 $Ta_3$ 、 $Ta_4$ ,且根据视频信号控制在维持周期  $Ts_2$ 、 $Ts_3$ 、 $Ts_4$  中每个像素的发光和不发光。在每个子帧周期中,在寻址周期期间像素处于不发光状态,在寻址期结束后是维持周期,用于发光的信号被写入其中的像素处于发光状态。

[0454] 此处,在本发明的显示装置中,在前子帧周期的寻址周期中输入的视频信号在一行像素中与随后子帧周期输入的视频信号相同的情形中,在随后子帧周期中不执行将信号写入所述一行像素中。

[0455] 注意,在一帧周期的第一子帧周期中的信号数据与前一帧周期的最后子帧周期中相同行中像素的信号数据比较。当该行像素中的信号数据相同时,则信号不写入在一帧周期的第一子帧周期中的该像素中。

[0456] 因此,减少了充电和放电,以致于减少了功耗。

[0457] 例如,在随后的子帧周期中通过阻止选择像素的信号输入到扫描线,可以省略连接到该行像素的扫描线的导线交叉电容和连接到扫描线的晶体管的栅极电容的充电和放电。因此,可保持将不选择像素的信号输入到扫描线,或使扫描线处于浮动状态。

[0458] 此外,在随后的子帧周期中,通过在信号写入该行像素的周期中输入用于减少充电和放电的电势至信号线或使信号线处于浮动状态,能够降低功耗。与能减少充电和放电的电势同样,之前写入一行像素中的信号可不作任何改变输入到该信号线。

[0459] 注意,此处解释表示 4 位灰度级的情况,但是位数和灰度级等级不受此限制。此外,发光的顺序不必总是  $Ts1$ 、 $Ts2$ 、 $Ts3$  和  $Ts4$ ,且顺序是任意的,或可以分为多个周期的维持周期执行发光。

[0460] 注意,这样的驱动方法能用于这样的显示装置,该显示装置包括例如图 38A 示出的像素或图 38B 示出的像素。在寻址周期  $Ta1$  到  $Ta4$  中,显示元件 1004 的第二电极 1008 或显示元件 1304 的第二电极 1308 的电势可以设置为高于维持周期的电势,可以设置为等于或小于显示元件 1004 或显示元件 1304 的正向阈值电压。可替代地,可以使显示元件 1304 的第二电极 1308 处于浮动状态。

[0461] 接着,解释在信号写入像素周期(寻址周期)和发光周期(维持周期)未分离的情形中的驱动方法。换言之,其中完成视频信号的写入操作的一行中的像素保持信号直到执行将下一个信号写入(或擦除)像素。从向像素的写入操作下一信号到写入操作的周期称作数据保持时间。接着,在数据保持时间期间,根据写入像素中的视频信号使像素处于发光或不发光状态。同样的操作被执行到最后一行,接着,寻址周期结束。接着,在下一子帧周期从数据保持时间结束的行顺序执行信号写入操作。

[0462] 在这样的驱动方法的情况下,其中在信号写入操作完成和数据保持时间开始之后立即依照写入像素中的视频信号使像素处于发光或不发光状态,信号不能被同时输入到两行且需要防止寻址期交迭。因此,即使试图使得数据保持时间比寻址周期更短,但是不能缩短数据保持时间。结果,很难执行高级别的灰度级显示。

[0463] 因此,通过提供擦除周期使得数据保持时间比寻址周期短。采用图 44A 解释通过提供擦除期设置数据保持时间比寻址期短的情况下的驱动方法。

[0464] 在寻址周期  $Ta1$ ,扫描信号从第一行被顺序输入到扫描线以选择像素。接着,当像素被选择时,视频信号从信号线输入到该像素。当视频信号被写入该像素时,像素保持该信号直到又输入信号。根据写入的视频信号,控制在维持周期  $Ts1$  中每个像素的发光和不发光。换言之,在其中视频信号的写入操作完成的行中,根据写入的视频信号使像素立即处于发光或不发光的状态。执行同样的操作直到最后行,寻址周期  $Ta1$  结束。接着,在下一子帧周期从数据保持时间结束的行顺序执行信号写入操作。以相似的方法,视频信号被输入到寻址周期  $Ta2$ 、 $Ta3$ 、 $Ta4$ ,且根据视频信号控制在维持周期  $Ts2$ 、 $Ts3$ 、 $Ts4$  中每个像素的发光和不发光。接着,通过开始擦除操作设置维持周期  $Ts4$  结束。这是因为,当写入像素的信号在每行的擦除时间  $Te$  被擦除时,不考虑在寻址周期写入像素的视频信号迫使像素处于不发光状态,直到执行下一像素信号写入。换言之,从擦除时间  $Te$  开始行中的像素数据保持时间结束。

[0465] 因此,在不分离寻址周期和维持周期的情况下,能够提供具有比寻址周期更短的数据保持时间、高级别的灰度级和高占空比(发光周期与一帧周期的比率)的显示装置。此外,因为降低了瞬时发光,所以改善了显示元件的可靠性。

[0466] 此处,在本发明的显示装置中,如果在一帧周期的某特定子帧周期中,新写入信号的像素行的一行视频信号数据与已经写入像素行的视频信号数据相同,则不执行将信号写

入像素行。而且,如果将被新写入像素中的视频信号数据与已经写入前一行像素中的视频信号数据相同(如果在前一行像素中没有执行写入,则将该视频信号与写入该特定行之前最近行像素中的视频信号比较),在信号线驱动电路中的移位寄存器中不执行信号传输。即,这样的驱动方法适于高级别灰度级显示。当执行高级别灰度级显示时,将信号写入像素的次数增加。因此,如在本发明显示装置的情况下,通过减少充电和放电的次数能减少功耗。

[0467] 注意,此处解释表示 4 位灰度级的情况,但是位数和灰度级等级不受限制。此外,发光的顺序不总是 Ts1、Ts2、Ts3 和 Ts4,且顺序可以是任意的,或可以分为多个周期的维持周期执行发光。

[0468] 通过将信号输入到图 38C、38D 和 39A 的结构中第二扫描线 1510、图 39B 的结构中第二扫描线 1810 或图 39C 的结构中第二扫描线 1902 来选择像素能执行用于开始上述擦除时间的擦除操作。

[0469] 图 40 示出具有如此像素的显示装置的例子。显示装置包括信号线驱动电路 7401、第一扫描线驱动电路 7402、第二扫描线驱动电路 7405 和像素部分 7403。在像素部分 7403 中,依照第一扫描线 G1 到 Gm、第二扫描线 R1 到 Rm 和信号线 S1 到 Sn,像素 7404 以矩阵形式排列。

[0470] 注意,第一扫描线 Gi(第一扫描线 G1 到 Gm 中的任何一个)对应于图 38C、38D 或 39A 的第一扫描线 1505、图 39B 中的第一扫描线 1805 或图 39C 中的第一扫描线 1305。第二扫描线 Ri(第二扫描线 R1 到 Rm 中的任何一个)对应于图 38C、38D 或 39A 的第二扫描线 1510、图 39B 中的第二扫描线 1810 或图 39C 中的第二扫描线 1902。信号线 Sj(信号线 S1 到 Sn 中的任何一个)对应于图 38C、38D 或 39A 的信号线 1506、图 39B 中的信号线 1806 或图 39C 中的信号线 1306。

[0471] 如时钟信号(G\_CLK)、反相时钟信号(G\_CLKB)、起始脉冲信号(G\_SP)和输出控制信号(G\_ENABLE)的信号被输入第一扫描线驱动电路 7402。依照这些信号,信号被输出到将被选择的像素行中的第一扫描线 Gi(第一扫描线 G1 到 Gm 中的任何一个)。

[0472] 如时钟信号(R\_CLK)、反相时钟信号(R\_CLKB)、起始脉冲信号(R\_SP)和输出控制信号(R\_ENABLE)的信号被输入第二扫描线驱动电路 7405。依照这些信号,信号被输出到将被选择的像素行中的第二扫描线 Ri(第二扫描线 R1 到 Rm 中的任何一个)。

[0473] 此外,如时钟信号(S\_CLK)、反相时钟信号(S\_CLKB)、起始脉冲信号(S\_SP)、视频信号(数字视频数据)和输出控制信号(S\_ENABLE)的信号被输入信号线驱动电路 7401。接着,依照这些信号,对应每一列的像素的视频信号被输出到每个信号线 S1 到 Sn。

[0474] 因此,输入到信号线 S1 到 Sn 的每个视频信号被写入所选择像素行每列的像素 7404 中,所选择像素行由输入到第一扫描线 Gi(第一扫描线 G1 到 Gm 中的任何一个)的信号选择。接着,由每个第一扫描线 G1 到 Gm 选择每个像素行,对应各个像素 7404 的视频信号被写入所有像素 7404 中。每个像素 7404 在某一周期内保持写入其中的视频信号数据。通过保持视频信号数据某一周期,每个像素 7404 能保持发光或不发光状态。

[0475] 此外,用于使像素处于不发光状态的信号(也称为擦除信号)被写入所选择像素行每列的像素 7404 中,所选择像素行由输入到第二扫描线 Ri(第二扫描线 R1 到 Rm 中的任何一个)的信号选择。接着,通过由每个第二扫描线 R1 到 Rm 选择每个像素,可以设置不发

光周期。例如,在图 44A 和 44B 中,擦除时间  $T_e$  是在第二扫描线  $R_i$  中的一个栅极选择周期(一个水平周期)。

[0476] 此外,本发明的显示装置包括信号线驱动电路 7401 中的输出控制电路、第一扫描线驱动电路 7402 和第二扫描线驱动电路 7405。

[0477] 换言之,这样信息通过采样控制信号 ( $G\_ENABLE_p$ ) 传输到第一扫描线驱动电路 7402 且通过输出控制信号 ( $S\_ENABLE_s$ ) 传输到信号线驱动电路 7401,该信息显示了在一帧周期的某一子帧周期中新执行视频信号写入像素的一个像素行中的视频信号数据是否与已经写入其中的该像素行中的信号(视频信号或擦除信号)数据相同。该擦除信号使一行的像素处于不发光状态,该行在前子帧周期中通过第二扫描线驱动电路选择。当数据相同时,第一扫描线驱动电路 7402 的输出控制电路没有输出选择该像素行的信号。换言之,就不选择像素行的 L 电平信号输入到该像素行的第一扫描线,或使该像素行的第一扫描线处于浮动状态。

[0478] 此外,信号线驱动电路 7401 的输出控制电路也没有输出视频信号。信号线驱动电路 7401 的输出可以是将像素置于发光状态的信号或可以是将像素置于不发光状态的信号。输入消耗尽可能少能量的信号。而且,可以使信号线  $S_1$  到  $S_n$  处于浮动状态。可替代地,代替将信号线处于浮动状态,可将之前输入至信号线的信号不作改变输出。这是因为对于信号线已经完成导线交叉电容的充电和放电以便于功耗不高。例如,能采用以下情形中的驱动方法,该情形中如上所述(例如,图 14、15A 和 15B 以及 17A 和 17B),某一行和下一行所有列中视频信号相同。

[0479] 在一帧周期的某一子帧周期中,如果已经写入执行信号擦除的像素行中一行像素的信号数据都不发光,该信息通过采样控制信号 ( $R\_ENABLE_p$ ) 传输到第二扫描线驱动电路 7405。接着,使第二扫描线驱动电路 7405 的输出控制电路不输出选择该像素行的信号。换言之,就不选择像素行的 L 电平信号输入到该像素行的第二扫描线,或使该像素行的第二扫描线处于浮动状态。此外,信号线驱动电路 7401 的输出控制电路也没有输出视频信号。

[0480] 因此,在本发明的显示装置中,注意某一特定像素行。如果已经输入该像素行的信号与将被新输入该像素行的信号相同,则不将信号输入到该像素行;因此,减少了对扫描线或信号线充电和放电的次数。因此,可以减少功耗。

[0481] 此外,通过在如图 44B 在一个水平周期中提供用于写操作的写入时间和用于擦除操作的擦除时间能使用如图 38A 的像素结构表示如图 44A 所示数据保持时间短于寻址周期中的灰度级。例如,如图 45 所示将一个水平周期分为两个周期。此处,假定前半周期是写入时间且后半周期是擦除时间进行解释。在分割的水平周期中,每个扫描线 1005 被选择,此时,将相应的信号输入到信号线 1006。例如,在某一水平周期的前半周期中第  $i$  行被选择而在后半周期中第  $m$  行被选择。接着,可以就像在一个水平周期中同时选择了两行一样执行该操作。换言之,采用每个水平周期的前半周期的写入时间,在写入时间  $T_{b1}$  到  $T_{b4}$  将视频信号从信号线 1006 写入像素中。接着,此时在擦除时间(即一个水平周期的后半周期中)没有选择像素。此外,采用另一水平周期的后半周期的擦除时间,在擦除时间  $T_e$ ,将擦除信号从信号线 1006 输入像素中。此时在写入时间,即水平周期的前半周期中,没有选择像素。据此,可提供具有高孔径比的显示装置并可提高产出。

[0482] 此处,在本发明的显示装置中,当在一帧周期的某一子帧周期中信号将被写入像

素的一个像素行中的视频信号与已经输入其中的像素行中的信号（视频信号或擦除信号）数据相同时，不执行视频信号写入该一行像素。当其中擦除信号被输入到像素的一个像素行的信号（视频信号或擦除信号）数据是用于使得像素处于不发光状态的信号时，该擦除信号不输入到一个像素行。当执行高级别灰度级显示时，在像素中写入或擦除信号的次数增加。然而，通过减少充电和放电的次数，本发明的显示装置能减少了功耗。换言之，该驱动方法适于执行高级别的灰度级显示。

[0483] 图 46 示出具有如此像素的显示装置的例子。显示装置包括信号线驱动电路 7501、第一扫描线驱动电路 7502、第二扫描线驱动电路 7505 和像素部分 7503。在像素部分 7503 中，依照扫描线 G1 到 Gm 和信号线 S1 到 Sn，像素 7504 以矩阵形式排列。

[0484] 注意，扫描线 Gi（扫描线 G1 到 Gm 中的任何一个）对应于图 38A 的扫描线 1005。信号线 Sj（信号线 S1 到 Sn 中的任何一个）对应于图 38A 的信号线 1006。

[0485] 如时钟信号（G\_CLK）、反相时钟信号（G\_CLKB）、起始脉冲信号（G\_SP）和输出控制信号（G\_ENABLE）的信号被输入到第一扫描线驱动电路 7502。依照这些信号，选择像素的信号被输出到将被选择的像素行的第一扫描线 Gi（第一扫描线 G1 到 Gm 中的任何一个）。注意，此时的信号是在如图 45 的时间图中示出的一个水平周期的前半周期中输出的脉冲。

[0486] 如时钟信号（R\_CLK）、反相时钟信号（R\_CLKB）、起始脉冲信号（R\_SP）和输出控制信号（R\_ENABLE）的信号被输入到第二扫描线驱动电路 7505。依照这些信号，信号被输出到将被选择的像素行的第二扫描线 Ri（第二扫描线 R1 到 Rm 中的任何一个）。注意，此时的信号是在如图 45 的时间图中示出的一个水平周期的后半周期中输出的脉冲。

[0487] 此外，如时钟信号（S\_CLK）、反相时钟信号（S\_CLKB）、起始脉冲信号（S\_SP）、视频信号（数字视频数据）和输出控制信号（S\_ENABLE）的信号被输入到信号线驱动电路 7501。依照这些信号，对应每一列的像素的视频信号被输出到信号线 S1 到 Sn。

[0488] 因此，输入到每个信号线 S1 到 Sn 的视频信号被写入所选择像素行每列的像素 7504 中，所选择像素行由从第一扫描线驱动电路 7502 输入到扫描线 Gi（扫描线 G1 到 Gm 中的任何一个）的信号来选择。接着，通过每个扫描线 G1 到 Gm 选择每个像素行，对应各个像素 7504 的视频信号被写入所有像素 7504 中。每个像素 7504 在某一周期内保持写入其中的视频信号数据。通过保持的视频信号数据某一周期，每个像素 7504 能保持发光或不发光状态。

[0489] 此外，用于使像素处于不发光状态的信号（也称为擦除信号）从每个信号线 S1 到 Sn 被写入所选择像素行每列的像素 7504 中，所选择像素行由从第二扫描线驱动电路 7505 输入到扫描线 Gi（扫描线 G1 到 Gm 中的任何一个）的信号来选择。接着，通过由每个扫描线 G1 到 Gm 选择每个像素行，可以设置不发光期。例如，通过从第二扫描线驱动电路 7505 输入到扫描线 Gi 的信号选择第 i 行像素的时间对应图 44A 和 44B 中的擦除时间 Te。

[0490] 此外，本发明的显示装置包括信号线驱动电路 7501 中的输出控制电路、第一扫描线驱动电路 7502 和第二扫描线驱动电路 7505。换言之，这样的信号通过采样控制信号（G\_ENABLEp）输入到第一扫描线驱动电路 7502、通过采样控制信号（R\_ENABLEs）输入到第二扫描线驱动电路 7505 且通过采样控制信号（S\_ENABLEp）或输出控制信号（S\_ENABLEs）输入到信号线驱动电路 7501，该信号示出了在一帧周期的某一子帧周期中其中信号将被写入像素的像素行中的信号（视频信号或擦除信号）数据是否与已经写入其中的像素行中的信号

(视频信号或擦除信号)数据相同。当数据相同时,则阻止第一扫描线驱动电路 7502 和第二扫描线驱动电路 7505 的输出控制电路输出选择像素行的信号。换言之,将不选择像素行的 L 电平信号输入到该像素行的扫描线,或使该像素行的扫描线处于浮动状态。此外,还阻止信号线驱动电路 7501 的输出控制电路输出视频信号。信号线驱动电路 7501 的输出可以是像素置于发光状态的信号或可以是像素置于不发光状态的信号。可以输入消耗尽可能能量的信号。而且,可以使信号线 S1 到 Sn 处于浮动状态。

[0491] 因此,依据本发明的显示装置,注意某一特定像素行,当已经输入该像素行的信号与将新输入该像素行的信号相同时,可阻止信号输入到该像素行。因此,减少了对扫描线或信号线充电和放电的次数,从而减少了功耗。

[0492] 注意,本发明的显示装置的像素结构不限于上述的结构,且能采用不同的像素结构。此外,本发明的驱动方法不限于上述的驱动方法,且能采用不同的驱动方法。

[0493] 注意,依据本发明的显示装置,在一帧周期的子帧周期中,如果执行将信号写入像素的像素行中的一行信号数据与已经写入该像素行中的一行信号数据相同,则不执行将信号写入该行的像素中。因此,可以减少充电和放电的次数,以便于减少功耗。

[0494] 特别地,当增加子帧的数量以执行高级别灰度级显示时能进一步减少功耗。

[0495] 注意,该实施例模式可与上述实施例模式结合。也就是说,本发明能采用所有由该实施例模式示出的结构和上述实施例模式示出的结构结合而形成的结构。

[0496] (实施例模式 10)

[0497] 实施例模式 10 将解释本发明的显示装置的主要结构。

[0498] 首先,参照图 47 描述具有第一结构的本发明的显示装置。在该结构中,在某一行的像素中写入的情形中,当将被新写入像素行的视频信号与已经写入前一行的视频信号相同(如果前一行的像素中没有执行写入,则将该视频信号与写入所述某一行之前最近行的像素中的视频信号比较)时,不输出采样脉冲。

[0499] 当模拟视频信号(模拟视频数据)输入到模拟数字转换电路 2501 时,模拟视频信号被转换为数字视频信号(数字视频数据),数字视频信号接着从模拟数字转换电路 2501 输入到存储器写入选择电路 2502。

[0500] 在存储器写入选择电路 2502 中,数字视频信号被分为每一子帧的数据且基于从显示控制器 2507 输入的信号每一帧的数字视频信号被写入帧存储器 A2503 或帧存储器 B2504。尽管图 47 示出 SF1、SF2 和 SF3 作为每个帧存储器 A2503 或帧存储器 B2504 的子帧,但是子帧的数目不限于此。

[0501] 此外,在确定电路 2505 中,基于从显示控制器 2507 输入的信号,对帧存储器 A2503 或帧存储器 B2504 中在某一子帧将被写入某一行的视频信号与将被写入该某一行之前或之后一行中的视频信号比较。特别地,在某一特定子帧中,对于一行中的每列以该行之前或之后一行中的每列比较将被写入该行的视频信号。接着,将写入控制信号输入到存储器读取选择电路 2506 和显示控制器 2507,写入控制信号示出了是否存在这样的列,该列中输入到某一行的像素中的视频信号与输入到前一行的视频信号相同。

[0502] 接着,依照来自显示控制器 2507 的信号,通过存储器读取选择电路 2506 读出在帧存储器 A2503 或帧存储器 B2504 中写入的一帧数字视频信号且将其输入到显示控制器 2507。此处,通过确定电路 2505,比较在某一子帧中写入的视频信号与某一行和前一或后

一行的每一列视频信号。如果显示写入某一行的视频信号和写入下一行的视频信号在所有列都相同的信号被输入到存储器读取选择电路 2506, 则不考虑显示控制器 2507 的信号, 通过存储器读取选择电路 226 在写入帧存储器 A2503 或帧存储器 B2504 的一帧中的一行视频信号中读出下一行像素中的视频信号。

[0503] 而且, 显示控制器 2507 输入起始脉冲信号 (G\_SP, S\_SP)、时钟信号 (G\_CLK, S\_CLK)、传输控制信号 (S\_ENABLEt)、扫描控制信号 (S\_ENABLEp)、驱动电压、视频信号 (数字视频数据) 等到显示器 2508。

[0504] 换言之, 在一帧周期的某一特定子帧周期中, 显示控制器 2507 对于每一列比较将被新写入某一行和已经写入前一行的视频信号。如果有一列中将被新写入到某一行的视频信号与已经写入到前一行的视频信号相同, 则将传输控制信号或扫描控制信号输入到显示器 2508。

[0505] 在图 47 中的显示器 2508 对应于这样的显示板, 其中在衬底上形成有具有以矩阵形式排列的像素的像素部分和围绕所述像素部分的外围驱动电路 (例如扫描线驱动电路或信号线驱动电路)。所述显示面板可以以这样的方式形成在衬底上, 外围驱动电路形成在 IC 芯片而 IC 芯片通过 COG (玻上芯片) 等装配在衬底上或外围驱动电路与像素部分形成在同样衬底上。注意, IC 芯片指的是类似芯片的形式, 其中电子电路由包括在半导体衬底或绝缘衬底上或在半导体衬底内的半导体元件的元件构成。在 IC 芯片内, 通过烘烤硅晶片上的电路图案生产出的 IC 芯片被称之为半导体芯片。

[0506] 接着, 参考图 48 描述本发明的第二结构。特别地, 描述这样地显示装置, 其中如果在一帧周期的某一子帧周期执行写入信号到的像素行中的一行视频信号与前子帧周期中前一行的视频信号相同, 则在该像素行中不执行信号写入。

[0507] 当模拟视频信号 (模拟视频数据) 输入到模拟数字转换电路 2601 时, 模拟视频信号被转换为数字视频信号 (数字视频数据), 所述数字视频信号接着从模拟数字转换电路 2601 输入到存储器写入选择电路 2602。

[0508] 在存储器写入选择电路 2602 中, 数字视频信号被分为每一子帧的数据且基于从显示控制器 2607 输入的信号每一帧的数字视频信号被写入帧存储器 A2603 或帧存储器 B2604。注意, 尽管图 48 中每个帧存储器 A2503 或帧存储器 B2504 包括的 SF1、SF2 和 SF3 作为子帧; 然而, 子帧的数目不限于此。

[0509] 而且, 基于显示器控制器 2607 的信号, 存储器读取选择电路 2606 读出已经写入帧存储器 A2603 或帧存储器 B2604 中的一帧数字视频信号, 且将该视频信号输入到线存储器 (line memory) 2610。

[0510] 示出了帧存储器 A2603 或帧存储器 B2604 中像素行和子帧被输入到线存储器 2609 的数据的信号从显示器控制器 2607 被输入到确定电路 2605。基于该信号, 将一像素行的数据与前子帧中相同像素行中的一个像素行的数据比较。接着, 示出了将被输入到一行像素中的数据是否彼此匹配的写入控制信号被输入到线存储器 2609 和显示器控制器 2607。

[0511] 输入到某一行像素的视频信号的数据从线存储器 2609 输入到显示器控制器 2607。此处, 如果表示输入到线存储器 2609 的像素行的数据与前子帧中写入像素行的数据相同的信号被输入到线存储器 2609, 则线存储器 2609 不将一行像素的视频信号输入到显示器控制器 2607。

[0512] 而且,显示控制器 2607 将起始脉冲信号 (G\_SP 或 S\_SP)、时钟信号 (G\_CLK 或 S\_CLK)、传输控制信号 (G\_ENABLEt)、扫描控制信号 (G\_ENABLEp)、输出控制信号 (S\_ENABLE)、驱动电压、视频信号 (数字视频数据) 等输入到显示器 2608。

[0513] 换言之,如果在一帧周期的某一子帧周期中执行信号写入像素的像素行中的一行视频信号数据与前一子帧周期中的一行视频信号数据相同,为了不输出将像素行中的视频数据从串行数据转换为并行数据的采样脉冲,不输出对应于像素行的起始脉冲信号 (S\_SP)。而且,显示控制器 2607 将输出控制信号 (G\_ENABLE 或 S\_ENABLE) 输入到显示器 2608,用于控制是否从扫描线驱动电路输出扫描信号或从信号线驱动电路输出视频信号。此外,如果一行的视频信号数据与前一子帧周期的视频信号数据相同,视频信号数据不输入到显示器 2608。

[0514] 注意,示出本发明显示装置主要结构的方框图不限于图 47 和图 48 示出的结构。具有第一结构的显示装置可配置有图 48 示出的线存储器,且具有第二结构的显示装置不需要配置图 47 示出的线存储器。而且,输入到像素的信号不限于视频信号,而且可以是迫使像素不发光的信号

[0515] (擦除信号)。

[0516] 该实施例模式可与上述实施例模式结合。换言之,本发明能采用所有由该实施例模式示出的结构和上述实施例模式示出的结构结合而形成的结构。

[0517] (实施例模式 11)

[0518] 实施例模式 11 将解释可用于实施例模式 10 中图 47 示出的确定电路 2505 和图 48 示出的确定电路 2605 的电路结构。

[0519] 首先,图 52 示出确定电路的例子,其中在写入某一特定行像素的情形中,比较将被新写入该特定行的视频信号和已经写入前一行的视频信号。

[0520] 在 NOR 门 4003 的某一子帧 SFx(x 是一正整数)中,输入在连续行中相同像素列视频信号数据。此外,连续行中相同像素列的视频信号数据也被输入到 AND 门 4004。接着,NOR 门 4003 和 AND 门 4004 的输出被输入到 OR 门 4005。OR 门 4005 的输出控制开关 4006 的接通/断开。

[0521] 换言之,SFx 期间在第 (i-1) 行中的像素数据 4001 和第 i 行中的像素数据 4002 中,通过比较第 j 列中的像素确定相同第 j 列中的像素数据的比较结果。当在相同列中第 (i-1) 行中的像素数据 4001 和第 i 行中的像素数据 4002 相同时,H 电平信号从与第 j 列中的像素对应的 OR 门 4005 输出。通过以该方式比较连续行的像素列,基于比较的结果控制传输控制信号 (S\_ENABLEt) 和采样控制信号 (S\_ENABLEp) 的输出。

[0522] 接着,图 49 示出这种情形中的确定电路的例子,其中在一帧周期的某一子帧周期中执行将信号写入像素的像素行中的一行视频信号数据与前一子帧周期中的一行视频信号比较。

[0523] 数量与像素行相同的开关 4006 串联连接。串联连接的开关 4006 一端设置为 L 电平电势 (此处 GND) 且另一端连接到输出端 4009。而且,设置为 H 电平电势 (例如电源电势 Vdd) 的导线 4008 连接在串联连接的开关 4006 的另一端和输出端 4009 之间,其间置有上拉电阻器 4007。因此,当所有串联连接的开关 4006 接通时,从输出端 4009 输出的输出控制信号 (ENABLE) 是 L 电平信号。另一方面,当仅一个串联连接的开关 4006 断开时,从输出

端 4009 输出的输出控制信号 (ENABLE) 是 H 电平信号。

[0524] 在 NOR 门 4003 中, 输入连续子帧中相同像素行的相同像素列的视频信号数据。而且, 在 AND 门 4004 中, 输入连续子帧中的相同像素行的相同像素列的视频信号数据。接着, NOR 门 4003 和 AND 门 4004 的输出被输入到 OR 门 4005。基于 OR 门 4005 的输出, 控制开关 4006 的接通 / 断开。

[0525] 换言之, 通过接通 / 断开对应于第 j 列中像素的开关 4006, 确定在 SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 中相同第 j 列中像素数据比较的结果。即, 如果在 SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 中相同第 j 列中的像素数据相同, 则接通对应于第 j 列像素的开关 4006。如果相同第 j 列的像素数据不同, 断开对应于第 j 列像素的开关 4006。换言之, 仅当在所有像素列中 SFx-1 中第 i 行像素数据 4001 中与 SFx 中第 i 行像素数据 4002 都相同时, 输出控制信号 (ENABLE) 是 L 电平。如果即使在一个像素列中数据不同, 输出控制信号 (ENABLE) 是 H 电平信号。

[0526] 更详细地解释确定电路的操作。首先, 描述 SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 在所有列都相同的情形。在图 50 中, SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 在第一列都是 H 电平, 它们在第二列分别是 L 电平, 它们在第三列是 H 电平, ... 它们在第 (n-1) 列是 H 电平, 它们在第 n 列是 L 电平。换言之, 在 SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 在所有列中都相同。

[0527] 接着, 因为像素数据在第一列都是 H 电平, H 电平信号输入到 NOR 门 4003 和 AND 门 4004 的输入端。接着, NOR 门 4003 的输出是 L 电平且 AND 门 4004 的输出是 H 电平。因此, 因为 H 电平信号和 L 电平信号被输入到 OR 门 4005 的输入端, 所以 OR 门的输出是 H 电平。通过从该 OR 门输出的 H 电平信号在第一列的开关 4006 被接通。此外, 因为在二列像素数据都是 L 电平, 因此 L 电平信号被输入到 NOR 门 4003 和 AND 门 4004 的输入端。接着, NOR 门 4003 的输出是 H 电平且 AND 门 4004 的输出是 L 电平。因此, 因为 H 电平信号和 L 电平信号被输入到 OR 门 4005 的输入端, 所以 OR 门 4005 的输出是 H 电平。通过从该 OR 门输出的 H 电平信号在第二列的开关 4006 被接通。以相同的方式, 开关 4006 在所有列中被接通, 使得从输出终端 4009 的输出控制信号 (ENABLE) 是 L 电平。

[0528] 接下来, 描述 SFx-1 中第 i 行像素数据 4001 与 SFx 中第 i 行像素数据 4002 至少在一列中是不同情形。在图 51 中, SFx-1 中第 i 行像素数据 4001 和 SFx 中第 i 行像素数据 4002 在第一列中都是 H 电平, 它们在第二列中分别是 L 电平和 H 电平, 在第三列中它们分别是 H 电平和 L 电平, ... 在第 (n-1) 列它们都是 L 电平, 在第 n 列它们都是 L 电平。换句话说, 在 SFx-1 中第 i 行像素数据 4001 和 SFx 中第 i 行像素数据 4002 之中, 至少第二和第三列中的像素数据不同。

[0529] 接下来, 因为像素数据在第一列都是 H 电平, H 电平信号输入到 NOR 门 4003 和 AND 门 4004 的输入端。接着, NOR 门 4003 的输出是 L 电平且 AND 门 4004 的输出是 H 电平。因此, 由于 H 电平和 L 电平信号被输入到 OR 门 4005 的输入端, 所以 OR 门的输出端是 H 电平。在第一列中开关 4006 通过该 OR 门输出的 H 电平信号接通。同时在第二列中, 因为在 SFx-1 中第 i 行像素数据是 L 电平且在 SFx 中第 i 行像素数据是 H 电平, 所以 L 电平信号和 H 电平信号被输入到 NOR 门 4003 和 AND 门 4004 的输入端。接着, NOR 门 4003 的输出是 L 电平, 同时 AND 门 4004 的输出是 L 电平。因此, 由于 L 电平信号被输入到两个 OR 门 4005 的输入

端,所以 OR 门 4005 的输出是 L 电平。接着,通过 OR 门输出的 L 电平信号断开第二列中的开关 4006。在第三列中,由于在 SFx-1 中第 i 行像素数据是 H 电平且在 SFx 中第 i 行像素数据是 L 电平,OR 门 4005 的输出是 L 电平。接着,通过从该 OR 门 4005 输出的 L 电平信号在第三列的开关 4006 被断开。因此,至少在第二列和第三列的开关 4006 被断开,从而使得输出端 4009 的输出控制信号 (ENABLE) 是 H 电平。

[0530] 该实施例模式可与上述实施例模式结合。换言之,本发明能采用所有由该实施例模式示出的结构和上述实施例模式示出的结构结合而形成的结构。

[0531] (实施例模式 12)

[0532] 实施例模式 12 将解释采用了其中像素亮度变化依赖于施加电压的显示元件的情况下的像素结构。该实施例模式还解释了包括像素和适合其的驱动方法的显示装置的结构。液晶元件尤其适于该实施例模式描述的显示元件。

[0533] 首先,图 65 示出像素的基本结构。该像素包括模拟电压保持电路 5401、数字信号存储器电路 5402、显示元件 5403、信号线 5404、第一开关 5405、第二开关 5406。

[0534] 在该结构的情形中,当像素被选择时第一开关 5405 被接通。

[0535] 在显示移动图像的情况下,通过第二开关 5406 选择模拟电压保持电路 5401。接着,对应于视频信号的模拟电压从信号线 5404 输入到模拟电压保持电路 5401。

[0536] 该模拟电压保持电路 5401 保持该模拟电压且将该电压施加到显示元件 5403。以该方式,依照模拟电压表示像素的灰度级。接着,在每帧周期模拟电压从信号线 5404 输入到模拟电压保持电路 5401。

[0537] 在显示静止图像的情形中,通过第二开关 5406 选择数字信号存储器电路 5402。接着,对应于视频信号的数字信号从信号线 5404 输入到数字信号存储器电路 5402。

[0538] 该数字信号存储器电路 5402 存储该数字信号且设置显示元件 5403 的像素电极的电势。以该方式,依照从数字信号存储器电路 5402 输入的电势和显示元件 5403 的相对电极 5407 的电势之间的电势差来控制显示元件 5403 的发光和不发光。

[0539] 注意,在显示静止图像的情形中,能采用区域灰度级方法等表示灰度级。

[0540] 参照图 66A 和 66B 解释采用区域灰度级方法的情形。

[0541] 图 66A 中的显示装置包括第一信号线驱动电路 5501、第二信号线驱动电路 5502、像素部分 5503 和扫描线驱动电路 5504。在像素部分 5503 中,像素 5505 依照扫描线和信号线以矩阵形式排列。

[0542] 每个像素 5505 包括子像素 5506a、5506b、5506c。子像素的发光区域是加权的。例如,发光区域的尺寸设置为满足  $2^2:2^1:2^0$ 。这能执行 3 位的显示,即,具有 8 个灰度级等级的显示。

[0543] 注意,子像素 5506a 的第一开关 5507 连接到信号线 Da,子像素 5506b 的第一开关 5507 连接到信号线 Db,子像素 5506c 的第一开关 5507 连接到信号线 Dc。通过从扫描线驱动电路 5504 输入到扫描线 S 的信号,来控制子像素 5506a、子像素 5506b 和子像素 5506c 的第一开关 5507 接通 / 断开。换言之,在选择的像素中第一开关 5507 处于接通状态。接着,模拟电压和数字信号分别从信号线写入模拟电压保持电路 5509 和数字信号存储器电路 5510。

[0544] 换言之,在显示移动图像的情况下,信号输入到扫描线 S 以接通第一开关 5507,通

过第二开关 5508 选择模拟电压保持电路 5509。对应视频信号的模拟电压从第一线驱动电路 5501 输入到信号线 Da、信号线 Db 和信号线 Dc。接着,模拟电压保持在每个子像素的模拟电压保持电路 5509。注意,输入到信号线 Da、信号线 Db 和信号线 Dc 的模拟电压此时大约彼此相等。因此,依赖于模拟电压的电平能表示灰度级。

[0545] 另一方面,在显示静止图像的情况下,信号输入到扫描线 S 以接通第一开关 5507,通过第二开关 5508 选择数字信号存储器电路 5510。对应视频信号的数字信号从第二信号线驱动电路 5502 输入到信号线 Da、信号线 Db 和信号线 Dc。接着,数字信号保持在每个子像素的数字信号存储器电路 5510 中。注意,此时对应于每个子像素的发光区域的尺寸的每位信号作为输入到每个信号线 Da、信号线 Db 和信号线 Dc 的数字信号被输入。因此,通过数字信号选择每个子像素发光和不发光能表示灰度级。

[0546] 接着,解释图 66B 中的结构。图 66B 中的显示装置包括第一信号线驱动电路 5601、第二信号线驱动电路 5602、像素部分 5603 和扫描线驱动电路 5604。在像素部分 5603 中,像素 5605 依照扫描线和信号线以矩阵形式排列。

[0547] 每个像素 5605 包括子像素 5606a、子像 5606b、子像 5606c。子像素的发光区域是加权的。例如,发光区域的尺寸设置为满足  $2^2:2^1:2^0$ 。这能执行 3 位显示,即,具有 8 个灰度级等级的显示。

[0548] 注意,子像素 5606a、子像素 5606b、子像素 5606c 的第一开关 5607 连接到信号线 D。接着,通过从扫描线驱动电路 5604 输入到扫描线 Sa 的信号来控制子像素 5606a 的第一开关 5607 接通 / 断开;通过从扫描线驱动电路 5604 输入到扫描线 Sb 的信号来控制子像素 5606b 的第一开关 5607 接通 / 断开;通过从扫描线驱动电路 5604 输入到扫描线 Sc 的信号来控制子像素 5606c 的第一开关 5607 接通 / 断开。换言之,在选择像素中第一开关 5607 处于接通状态。接着,模拟电压和数字信号分别从信号线写入模拟电压保持电路 5609 或数字信号存储器电路 5610。

[0549] 换言之,在显示移动图像的情况下,信号被顺序输入到扫描线 Sa、扫描线 Sb、扫描线 Sc,以接通每个子像素的第一开关 5607,通过第二开关 5608 选择模拟电压保持电路 5609。对应视频信号的模拟电压从第一信号线驱动电路 5601 输入到信号线 D。接着,模拟电压被顺序保持在每个子像素的模拟电压保持电路 5609。注意,在选择每个像素的同时输入到信号线 D 的模拟电压此时大约彼此相等。因此,依赖于模拟电压的电平能表示灰度级。

[0550] 另一方面,在显示静止图像的情况下,信号顺序输入到扫描线 Sa、扫描线 Sb、扫描线 Sc 以接通每个子像素的第一开关 5607,通过第二开关 5608 选择数字信号存储器电路 5610。对应视频信号的数字信号从第二信号线驱动电路 5602 输入到信号线 D。接着,数字信号被顺序存储在每个子像素的数字信号存储器电路 5610。注意,当选择每个子像素时,对应于每个子像素的发光区域尺寸的每位信号被输入。因此,通过由数字信号选择每个子像素发光和不发光能表示灰度级。

[0551] 在显示静止图像的情况下当图像被部分重新写入时,本发明的显示装置对于其中没有执行重新写入的像素行不执行信号写入。

[0552] 换言之,扫描线驱动电路包括输出控制装置,在前一帧中像素行的视频信号数据与将执行写入的像素行的视频信号数据相同的情况下,该输出控制装置阻止像素行被选择。

[0553] 此外,图 67 示出包括模拟电压保持电路和数字信号存储器电路的像素的结构示例。该像素包括像素选择开关 5701、第一开关 5702、第二开关 5703、第三开关 5704、第一反相器 5705、第二反相器 5706、显示元件 5708、信号线 5709 和电容器元件 5710。

[0554] 当在像素中写入信号时像素选择开关 5701 被接通。

[0555] 此处,在显示移动图像的情况下,第一开关 5702 和第二开关 5703 被断开。注意第三开关 5704 处于接通或断开状态。接着,对应于视频信号的模拟电压从信号线 5709 被输入,且模拟电压的电荷在电容器元件 5710 中被累积。通过断开像素选择开关 5701,模拟电压被保持在电容器元件 5710 中。

[0556] 以该种方式,依照模拟电压表示灰度级。

[0557] 另一方面,在显示静止图像的情况下,首先第一开关 5702 被接通,接着,第二开关 5703 被断开。第三开关 5704 从断开状态被接通。对应于视频信号的数字信号从信号线 5709 被输入到第一反相器 5705,且从第一反相器 5705 的输出被输入到第二反相器 5706。接着,从第二反相器 5706 的输出被输入到电容器元件 5710 和显示元件 5708。即使像素选择开关 5701 被断开,来自第二反相器 5706 的输出继续被输入到显示元件 5708 的像素电极。注意,在数字信号具有高驱动能力的情况下可以同时接通第一开关 5702 和第三开关 5704。

[0558] 当数字信号写入像素时,数字信号如图 68 所示被存储。换言之,如箭头所表示,从第一反相器 5705 的输出设置第二反相器 5706 的输入且第二反相器 5706 的输出设置第一反相器 5705 的输入。因此,写入像素的数字信号能继续被存储。

[0559] 在采用液晶元件作为显示元件 5708 的情形中,当 DC 电压被长时间施加到液晶元件时,能引起液晶元件老化 (burn-in) 等。因此,施加到液晶元件的电压优选被规则地反相。因此,如图 68 所示随着像素选择开关 5701 断开和第三开关 5704 接通,第一开关 5702 和第二开关 5703 轮流接通和断开。此外,根据第一开关 5702 和第二开关 5703 的规则地接通 / 断开定时,设置到相对电极 5711 的电势也变化。在白色显示像素中,AC 电压施加到显示元件 5708。另一方面,在黑色显示像素中,施加到显示元件 5708 的电压被设置为等于或小于液晶元件的阈值电压。

[0560] 例如,参照图 69 解释这样的情形,其中当从信号线 5709 输入的数字信号 (数字视频数据) 是高 (也称之为 H 电平) 时像素处于发光状态 (白色显示) 且当数字信号 (数字视频数据) 是低 (也称之为 L 电平) 时像素处于不发光状态 (黑色显示)。此时,设置在相对电极 5711 的电势在信号写入像素周期设置为 L 电平。在写入周期 (指在信号写入像素周期中将信号写入被选择的像素的时间),随着像素选择开关 5701 接通,第一开关 5702 接通以及第二开关 5703 断开,第三开关 5704 从断开状态接通。接着,在静止图像显示周期中,像素选择开关 5701 设置在断开状态且第三开关处于接通状态。

[0561] 如图 69 所示,在写入周期 (指在信号写入像素周期中将信号写入被选择的像素的时间) 从信号线 5709 输入高数字信号 (数字视频数据) 的像素中,在静止图像显示周期中,第一开关 5702 接通,且第二开关 5703 断开。当第二反相器 5706 的 H 电平输出输入到显示元件 5708 的像素电极时,显示元件 5708 的相对电极 5711 设置为 L 电平电势。此外,当第一开关 5702 断开、第二开关 5703 接通且第一反相器 5705 的 L 电平输出输入到显示元件 5708 的像素电极时,显示元件 5708 的相对电极 5711 设置为 H 电平电势。因此,AC 电压能继续施加到显示元件 5708。

[0562] 另一方面,在写入期(指在信号写入像素期将信号写入被选择的像素的时间)从信号线 5709 输入低数字信号(数字视频数据)的像素中,在静止图像显示周期中,第一开关 5702 接通,且第二开关 5703 断开。当第二反相器 5706 的 L 电平输出输入到显示元件 5708 的像素电极时,显示元件 5708 的相对电极 5711 设置为 L 电平电势。此外,当第一开关 5702 断开且第二开关 5703 接通以将第一反相器 5705 的 H 电平输出输入到显示元件 5708 的像素电极时,显示元件 5708 的相对电极 5711 设置为 H 电平电势。因此,施加到显示元件 5708 的电压可设置为等于或小于液晶元件的阈值电压。

[0563] 在显示静止图像的情形中,能采用区域灰度级方法等表示灰度级。

[0564] 参照图 70 简单解释采用区域灰度级方法的情形。像素包括子像素 6000a、子像素 6000b、子像素 6000c。子像素的发光区域是加权的。例如,发光区域的尺寸设置为满足  $2^0:2^1:2^2$ 。这能执行 3 位的显示,即,具有 8 个灰度级等级的显示。

[0565] 注意,图 70 中的像素选择开关 6001、第一开关 6002、第二开关 6003、第三开关 6004、第一反相器 6005、第二反相器 6006、显示元件 6008、电容器元件 6010 和相对电极 6011 分别对应图 67 中像素的像素选择开关 5701、第一开关 5702、第二开关 5703、第三开关 5704、第一反相器 5705、第二反相器 5706、显示元件 5708、电容器元件 5710 和相对电极 5711。在图 70 中,为每一子像素配置信号线,如图 67 示出的信号线 5709。换言之,子像素 6000a 的像素选择开关 6001 连接到信号线 Da,子像素 6000b 的像素选择开关 6001 连接到信号线 Db,子像素 6000c 的像素选择开关 6001 连接到信号线 Dc。接着,对应于每个子像素的发光区域尺寸的每位数字信号从每个信号线被输入。因此,通过由数字信号选择每个子像素发光和不发光能表示灰度级。

[0566] 接着,图 71A 示出包括模拟电压保持电路和数字信号存储器电路的像素的另一结构示例。该像素包括第一像素选择开关 6101、第二像素选择开关 6104、第一电容器元件 6102、第二电容器元件 6105、显示元件 6103、晶体管 6106、第一开关 6107、第二开关 6108、信号线 6109、第一电源线 6110 和第二电源线 6111。 $V_{refh}$  和  $V_{refl}$  交替设置到第一电源线 6110,且  $V_{com}$  设置到第二电源线 6111。此处, $V_{refh}$  是满足  $(V_{refh} > V_{com})$  和  $(V_{refh} - V_{com}) > V_{LCD}$  的电势, $V_{refl}$  是满足  $(V_{refh} < V_{com})$  和  $(V_{com} - V_{refl}) > V_{LCD}$  的电势。当  $V_{refh}$  或  $V_{refl}$  设置到显示元件 6103 的一个电极且  $V_{com}$  设置到另一个电极时,等于或大于阈值电压  $V_{LCD}$  的电压施加到显示元件 6103。此外,约等于第二电源线 6111 电势的电势设置到显示元件 6103 的相对电极 6112。换言之,当  $V_{com}$  设置到显示元件 6103 的像素电极时,在像素电极的电势和相对电极的电势之间的电势差被设置为等于或小于显示元件 6103 的阈值电压  $V_{LCD}$ 。

[0567] 解释像素的操作。在显示移动图像的情形中,如图 71B 示出,第一像素选择开关 6101 设置在接通状态,第二像素选择开关 6104、第一开关 6107、第二开关 6108 设置在断开状态。接着,依照像素的灰度级,将模拟电势输入到信号线 6109。该模拟电势对应视频信号。

[0568] 接着,解释显示静止图像的情形。在显示静止图像的情形中,第二像素选择开关 6104 设置在接通状态,第一像素选择开关 6101、第一开关 6107、第二开关 6108 设置在断开状态。接着,数字信号输入到信号线 6109。该数字信号对应视频信号。接着,如图 72A 示出,信号被写入第二电容器元件 6105。

[0569] 接着,第二像素选择开关 6104 断开且第一开关 6107 接通同时第一像素选择开关 6101 和第二开关 6108 保持在断开状态。接着,如图 72B 示出,第一电源线 6110 的电势  $V_{refh}$  设置到第一电容器元件 6102 的一个电极。此外,第二电源线 6111 的电势  $V_{com}$  设置到第一电容器元件 6102 的另一个电极;因此,电势差 ( $V_{refh}-V_{com}$ ) 的电荷在电容器元件 6102 中累积。注意,电源电势  $V_{refh}$  此时设置到显示元件 6103 的像素电极。

[0570] 接着,第一开关 6107 断开且第二开关 6108 接通同时第一像素选择开关 6101 和第二像素选择开关 6104 保持处于断开状态。接着,依照写入第二电容器元件 6105 的数字信号控制晶体管 6106 导通 / 截止。

[0571] 换言之,当写入第二电容器元件 6105 的数字信号是 H 电平时晶体管 6106 导通。因此,如图 72C 示出,第二电源线 6111 的电势  $V_{com}$  设置到第一电容器元件 6102 的两个电极。接着,电势  $V_{com}$  设置到显示元件 6103 的像素电极。注意,因为约等于  $V_{com}$  的电势设置到显示元件 6103 的相对电极 6112,所以此时电压很难施加到显示元件 6103。因此,像素处于不发光的状态。另一方面,当写入第二电容器元件 6105 的数字信号是 L 电平时,晶体管 6106 截止。因此,如图 72D 示出,第一电容器元件 6102 保持电压。因此,因为设置到显示元件 6103 的像素电极的电势保持在  $V_{refh}$ ,所以像素处于发光状态。

[0572] 接着,电势  $V_{ref1}$  设置到第一电源线 6110,在下一帧周期中执行相似的操作。接着,在前一帧周期中施加到显示元件 6103 的反向偏置电压被施加到发光像素的显示元件 6103。因此,在每一帧周期能通过改变施加到第一电源线 6110 的电势来改变施加到显示元件 6103 偏置方向。因此,能防止显示元件 6103 的老化。

[0573] 注意,只要保持在第二电容器 6105 的数字信号能控制晶体管 6106 导通 / 截止,就可接受。因此,即使在第二电容器 6105 中累积的电荷被稍微释放,仍能执行正常的操作。因此,每几个帧周期、十几帧周期或几十帧周期可以执行数字信号周期地重新写入像素。因此,可以减少功耗。

[0574] 注意,在显示静止图像的情形中当图像被部分改变时,独立于将数字信号周期地重新写入像素执行将信号重新写入像素。在该情形中,本发明的显示装置仅在包括发光或不发光状态改变的像素的像素行中独立于将数字信号周期地重新写入像素来执行将信号重新写入像素。换言之,当其中信号将被写入像素的像素行的数字信号数据与已经写入像素的数字信号数据相同时,扫描线驱动电路没有选择该像素行。

[0575] 因此,能进一步降低功耗。

[0576] 注意,可应用到本发明显示装置的像素结构不限于上述描述的结构。而且,对于数字信号存储器电路,可以采用如图 67 示出的静态随机存储器 (SRAM) 或采用如图 71A 和 71B 示出的动态随机存储器 (DRAM)。可替代地,能采用它们的结合。

[0577] 该实施例模式可与上述实施例模式结合。换言之,本发明能采用所有由该实施例模式示出的结构和上述实施例模式示出的结构结合而形成的结构。

[0578] (实施例模式 13)

[0579] 在该实施例模式中,参照图 53A 和 53B 描述用于显示装置的显示板的结构。

[0580] 在该实施例模式中,参照图 53A 和 53B 描述可用于本发明显示装置的显示板的结构。图 53A 是显示板的顶视图,图 53B 是沿图 53A 的线 A-A 的剖视图。提供了以点线示出的信号线驱动电路 3601、像素部分 3602、第一扫描线驱动电路 3606 和第二扫描线驱动电路

3603。此外,提供有密封衬底 3604 和密封剂 3605。在密封剂 3605 周围有空间 3607。

[0581] 导线 3608 是用于传输输入到第一扫描线驱动电路 3606、第二扫描线驱动电路 3603 和信号线驱动电路 3601 的信号的导线。通过导线 3608,视频信号、时钟信号、起始信号等从 FPC(柔性印刷电路)3609 被接收,FPC3609 是外部输入端。在 FPC3609 和显示板之间的连接部分上,通过 COG(玻上芯片)等装配了 IC 芯片(配置有存储器电路、缓冲器电路等的半导体芯片)3619。注意,尽管此处仅示出 FPC,印刷电路板(PWB)可附到 FPC 上。该说明书中的显示装置不仅包括显示面板的主体,还包括配置有 FPC 或 PWB 的显示面板的主体,此外,还包括装配有 IC 芯片等的显示面板的主体。

[0582] 参照图 53B 描述它的剖面结构。像素部分 3602 和外围驱动电路(第二扫描线驱动电路 3603、第一扫描线驱动电路 3606 和信号线驱动电路 3601)形成在衬底 3610 上。此处说明信号线驱动电路 3601 和像素部分 3602。

[0583] 此处注意,信号线驱动电路 3601 由采用 n 沟道 TFT3620 和 p 沟道 TFT3621 的 CMOS 电路构成。尽管在该实施例模式中外围驱动电路形成在显示板的一个衬底上,但是本发明不限于此,且外围驱动电路的整体或部分可以形成在 IC 芯片等上,接着通过 COG 等装配。

[0584] 而且,像素部分 3602 具有多个电路,每个电路形成包括开关 TFT3611 和驱动 TFT3612 的像素。驱动 TFT3612 的源电极连接到第一电极 3613。此外,绝缘体 3614 被形成以便于覆盖第一电极 3613 的端部;此处采用正光敏丙烯酸树脂薄膜形成。

[0585] 为了改善覆盖层,形成绝缘体 3614 的上边缘部分或下边缘部分以具有曲率的曲面。例如,在采用正光敏丙烯酸作为绝缘体 3614 的材料的情形中,优选地仅绝缘体 3614 的上边缘形成具有曲率(0.2 到 3  $\mu\text{m}$ )半径的曲面。由于光而在蚀刻剂中不溶的负型树脂或由于光而在蚀刻剂中可溶的正型树脂可用作绝缘体 3614。

[0586] 在第一电极 3613 上,形成包含有机化合物的层 3616 和第二电极 3617。作为阳极的第一电极 3613 优选地采用具有高功函数的材料形成。例如,能采用 IT0(氧化铟锡)薄膜、氧化铟锌(IZO)薄膜、氮化钛薄膜、铬薄膜、钨薄膜、锌薄膜或铂薄膜的单层薄膜;氮化钛薄膜和包含铝作为主要成分的薄膜的叠层薄膜;或氮化钛薄膜、包含铝作为主要成分的薄膜和氮化钛薄膜的三层结构。注意,叠层结构能降低导线的阻抗,实现优良的欧姆接触,并提供作为阳极的功能。

[0587] 通过采用蒸发掩模的蒸发方法或喷墨方法形成包含有机化合物的层 3616。作为包含有机化合物的层 3616,部分采用周期系统的第四族的金属络合物,或者低分子重量材料或高分子重量材料可与这样的金属化合物结合使用。通常,作为用于包含有机化合物的层的材料,在许多情况中在单层或叠层中使用有机化合物;但是,该实施例模式中包括了其中在有机化合物形成的层中部分使用无机化合物的结构。而且,能使用已知的三重态材料。

[0588] 作为形成在包含有机化合物的层 3616 上的第二电极(阴极)3617 的材料,能采用具有低功函数的材料(Al、Ag、Li、Ca,或这些材料的合金 MgAg、MgIn、AlLi、CaF<sub>2</sub>,或氮化钙)。在包含有机化合物的层 3616 中生成的光通过第二电极 3617 发射的情况下,薄金属膜和透明传导膜(例如,IT0(氧化铟和氧化锡的合金),氧化铟和氧化锌的合金(In<sub>2</sub>O<sub>3</sub>-ZnO),或氧化锌(ZnO)等)优选地用作第二电极(阴极)3617。

[0589] 接着,采用密封剂 3605 将密封衬底 3604 装配在衬底 3610 上,以便于显示元件 3618 被配置由衬底 3610、密封衬底 3604 和密封剂 3605 围绕的空间 3607 中。注意,空间

3607 可填充有惰性气体（例如氮或氩）或密封剂 3605。

[0590] 注意，基于环氧树脂的树脂优选地用于密封剂 3605。此外，优选地这些材料尽可能不传输湿气和氧气。作为密封衬底 3604，能采用玻璃衬底、石英衬底或由 FRP（玻璃纤维增强塑料）、PVF（聚氟乙烯）、聚脂薄膜、聚酯、丙烯酸等形成的塑料衬底。

[0591] 以该方式，能获得显示板。

[0592] 如图 53A 和 53B 所示，通过在一个衬底上形成信号线驱动电路 3601、像素部分 3602、第二扫描线驱动电路 3603 和第一扫描线驱动电路 3606，能实现显示装置的成本降低。

[0593] 注意，显示板的结构不限于图 53A 示出的结构，其中在一个衬底上形成了信号线驱动电路 3601、像素部分 3602、第二扫描线驱动电路 3603 和第一扫描线驱动电路 3606，且能采用这样的结构，其中对应于信号线驱动电路 3601 的图 54A 中的信号线驱动电路 4201 形成在 IC 芯片上，且通过 COG 等装配在显示板上。注意，图 54A 中的衬底 4200、像素部分 4202、第二扫描线驱动电路 4203、第一扫描线驱动电路 4204、FPC4205、IC 芯片 4206，IC 芯片 4207、密封衬底 4208 和密封剂 4209 分别对应于图 53A 中的衬底 3610、像素部分 3602、第二扫描线驱动电路 3603、第一扫描线驱动电路 3606、FPC3609、IC 芯片 3618、IC 芯片 3619、密封衬底 3604 和密封剂 3605。

[0594] 即，为了减少功耗，采用 CMOS 等在 IC 芯片上仅形成信号线驱动电路，该信号线驱动电路的驱动电路要求以高速操作。而且，当 IC 芯片是通过采用硅晶片等形成的半导体芯片时，能获得更高速的操作和更低的功耗。

[0595] 此外，通过将第二扫描线驱动电路 4203 和第一扫描线驱动电路 4204 与像素部分 4202 集成，能降低成本。

[0596] 因此，能实现高清晰度显示装置的成本降低。此外，通过将配置有功能电路（存储器或缓冲器）的 IC 芯片安装在 FPC5305 和衬底 5300 之间的连接部分上，能有效使用衬底区域。

[0597] 此外，分别对应于图 53A 中的信号线驱动电路 3601、第二扫描线驱动电路 3603、第一扫描线驱动电路 3606 的图 54B 中的信号线驱动电路 4211、第二扫描线驱动电路 4214、第一扫描线驱动电路 4213 可形成在 IC 芯片上，且接着也通过 COG 等装配在显示板上。在该情形中，能进一步降低高清晰度显示装置的功耗。因此，为了进一步降低显示装置的功耗，希望采用多晶硅作为用于像素部分的晶体管的半导体层。注意，图 54B 中的衬底 4210、像素部分 4212、FPC4215、IC 芯片 4216、IC 芯片 4217、密封衬底 4218、密封剂 4219 分别对应于图 53A 中的衬底 3610、像素部分 3602、FPC3609、IC 芯片 3618、IC 芯片 3619、密封衬底 3604、密封剂 3605。

[0598] 可替代地，通过使用非晶硅作为用于像素部分 4212 的晶体管的半导体层，能降低成本。而且，能生产大的显示板。

[0599] 通过图 55A 的示意图示出了上述显示板的结构。配置有多个像素的像素部分 4102 形成在衬底 4101 上，第一扫描线驱动电路 4104、第二扫描线驱动电路 4103 和信号线驱动电路 4105 形成在像素部分 4102 的外围。

[0600] 通过 FPCs（柔性印刷电路）4106 从外部将信号提供给第一扫描线驱动电路 4104、第二扫描线驱动电路 4103 和信号线驱动电路 4105。

[0601] 注意,通过 COG(玻上芯片)、TAB(带式自动接合)等将 IC 芯片安装在 FPCs4106 上。即,难以和像素部分 4102 形成在相同衬底上的第一扫描线驱动电路 4104、第二扫描线驱动电路 4103 和信号线驱动电路 4105 的部分存储器、缓冲器等能形成在 IC 芯片上,以被装配在显示装置上。

[0602] 此外,如图 55B 所示,第一扫描线驱动电路 4104 和第二扫描线驱动电路 4103 能装配在本发明显示装置的像素部分 4102 的一侧。注意,图 55B 所示的显示装置与图 55A 所示的显示装置不同仅在于第二扫描线驱动电路 4103 的排列,因此使用了同样的附图标记。此外,能采用这样的结构,其中一个扫描线驱动电路执行第一扫描线驱动电路 4104 和第二扫描线驱动电路 4103 的功能。可替代地,能使用扫描线驱动电路 4104 或 4103 之一。即,依照像素结构和驱动方法能适当改变该结构。

[0603] 而且,第一扫描线驱动电路、第二扫描线驱动电路和信号线驱动电路不必以像素的行方向和列方向设置。例如,如图 56A 所示,形成在 IC 芯片上的外围驱动电路 4301 具有图 54B 中第一扫描线驱动电路 4213、第二扫描线驱动电路 4214 和信号线驱动电路 4211 的功能。注意,图 56A 中的衬底 4300、像素部分 4302、FPC4304、IC 芯片 4305、IC 芯片 4306、密封衬底 4307、密封剂 4308 分别对应于图 53A 中的衬底 3610、像素部分 3602、FPC3609、IC 芯片 3618、IC 芯片 3619、密封衬底 3604、密封剂 3605。

[0604] 参照图 56B 示出的图案描述图 56A 示出的显示装置的信号线的连接。包括衬底 4310、外围驱动电路 4311、像素部分 4312、FPC4313 和 FPC4314。通过 FPC4313 将外部信号和电源电势输入到外围驱动电路 4311。外围驱动电路 4311 的输出被输入到与像素部分 4312 的像素连接的列方向的信号线和行方向的扫描线。

[0605] 图 57A 和 57B 示出可应用于显示元件 3618 的显示元件的例子。换言之,参考图 57A 和 57B 解释可应用于上述实施例模式示出的像素的显示元件的结构。

[0606] 在图 57A 示出的元件的结构中,阳极 4402、由空穴注入材料制成的空穴注入层 4403、由空穴传输材料制成的空穴传输层 4404、发光层 4405、由电子传输材料制成的电子传输层 4406、由电子注入材料制成的电子注入层 4407 和阴极 4408 以这样的顺序堆叠在衬底 4401 上。此处,发光层 4405 有时仅由一种发光材料制成,但可由两种或更多材料制成。此外,本发明的元件的结构不限于该结构。

[0607] 除了图 57A 示出的其中功能层堆叠在一起的叠层结构,还能采用不同的元件,例如采用高分子化合物的元件或高效元件,所述高效元件中采用从三重受激态发光的三重态发光材料形成发光层。此外,通过空穴阻挡层控制载流子重新结合区域将发光区域分为两个区域而实现的白色显示元件等也能应用。

[0608] 在图 57A 示出的本发明的元件的生产方法中,首先,在配置有阳极 4402(ITO)的衬底 4401 上以该顺序蒸发空穴注入材料、空穴传输材料和发光材料。接着,电子传输材料和电子注入材料被蒸发,且最终通过蒸发形成阴极 4408。

[0609] 下面描述适用于空穴注入材料、空穴传输材料、电子传输材料和电子注入材料和发光材料的材料。

[0610] 作为空穴注入材料,卟啉基化合物、苯二甲蓝染料(下文中称为“H<sub>2</sub>Pc”)、铜酞菁(下文中称为“CuPc”)等在有机化合物中有效的。此外,比使用的空穴传输材料具有更小电离电势值的材料和具有传输功能的材料也被用作空穴注入材料。也有化学方法掺杂的导

电高分子化合物的材料,其包括掺有聚苯乙烯磺酸盐(下文中称为“PSS”)、聚苯胺等的聚乙烯二氧噻吩(下文中称为“PEDOT”)。此外,鉴于阳极的平坦化,绝缘的高分子化合物是有效的,经常使用聚酰亚胺(下文中称为“PI”)。而且,也能使用无机化合物,其包括氧化铝(下文中称为“氧化铝(alumina)”)的超薄薄膜和金属(例如金或铂)薄膜。

[0611] 作为空穴传输材料,最为广泛使用芳族胺基化合物(例如,具有苯环-氮键的化合物)。广泛使用的材料包括4,4'-二(二苯胺)-联苯(下文中称为“TAD”)、它的衍生物例如4,4'-二[N-(3-甲基苯基)-N-苯基-氨基]-联苯(下文中称为“TPD”)或4,4'-二[N-(1-萘基)-N-苯基-氨基]-联苯(下文中称为“ $\alpha$ -NPD”),此外,还包括星爆芳族胺例如4,4',4''-三(N,N-联苯-氨基)-三苯胺(下文中称为“TDATA”)和4,4',4''-三[N-(3-甲基苯基)-N-苯基-氨基]-三苯胺(下文中称为“MTDATA”)。

[0612] 作为电子传输材料,经常使用金属络合物。能使用下述具有喹啉基干或苯并喹啉基干等的金属络合物:Alq、BAIq、三(4-甲基-8-喹啉)铝(缩写:Almp)、二(10-羟基苯[h]-喹啉)铍(缩写:Bebp)等。除此之外,能使用具有噁唑类配合基或噻唑类基配合基等的下述金属络合物:二[2-(2-羟基苯基)苯并噁唑]锌(缩写:Zn(BOX)<sub>2</sub>)、二[2-(2-羟基苯基)苯并噻唑]锌(缩写:Zn(BTZ)<sub>2</sub>)等。而且,除了金属络合物,噁二唑衍生物(例如2-(4-联苯)-5-(4-叔丁基苯基)-1,3,4-噁二唑(下文中称为“PBD”)和OXD-7)、三唑衍生物(例如TAZ和3-(4-叔丁基苯基)-4-(4-乙基苯基)-5-(4-联苯基)-1,2,4-三唑(下文中称为“p-EtTAZ”))和菲咯啉衍生物(例如红菲绕啉(下文中称为“BPhen”)和BCP)具有电子传输性能。

[0613] 作为电子注入材料,能采用上述电子传输材料。此外,经常使用绝缘体的超薄薄膜,例如氟化钙、氟化锂或氟化铯的金属卤化物或例如氧化锂的碱金属氧化物。而且,如乙酰丙酮锂(下文中称为“Li(acac)”)或8-喹啉-锂(下文中称为“Li<sub>q</sub>”)的碱金属络合物也是有效的。

[0614] 作为发光材料,除了上述如Alq、Almp、BeBq、BAIq、Zn(BOX)<sub>2</sub>、Zn(BTZ)<sub>2</sub>的金属络合物,多种荧光颜料是有效的。荧光颜料包括蓝色的4,4'-二(2,2-联苯基-乙烯基)-联苯和橙红色的4-(二氰亚甲基)-2-甲基-6-(p-二甲氨基苯乙烯基)-4H-吡喃等。而且,能使用三重态发光材料,其主要是具有铂或铱作为主要金属的化合物。作为三重态发光材料,三(2-苯基吡啶)铱、二(2-(4'-tryl)吡啶(pyridinato)-N,C<sup>2'</sup>)乙酰丙酮铱(下文中称为“acacIr(tpy)<sub>2</sub>”)、2,3,7,8,12,13,17,18-八乙基-21H-23H卟啉-铂是已知的。

[0615] 通过将上述具有各个功能的材料结合,能生产出高可靠性的显示元件。

[0616] 此外,通过改变具有上述实施例模式描述的像素结构的驱动晶体管的极性使其成为n沟道晶体管和反转显示元件的相对电极的电势和设置为电源线的电势的电平,能使用具有以与图57A中所示相反顺序堆叠的层的显示元件。换言之,在图57B示出的元件结构中,阴极4408、由电子注入材料制成的电子注入层4407、由电子传输材料制成的电子传输层4406、发光层4405、由空穴传输材料制成的空穴传输层4404、由空穴注入材料制成的空穴注入层4403、和阳极4402顺序堆叠在衬底4401上。

[0617] 此外,为了提取显示元件发射的光,阳极和阴极中至少一个是透明的。接着,TFT和显示元件形成在衬底上。存在具有顶部发射结构、底部发射结构和双重发射结构的显示元件,其中顶部发射结构通过与衬底的相对表面提取发射的光,其中底部发射结构通过衬底

侧上的表面提取发射的光,其中双重发射结构通过与衬底的相对表面和衬底侧上的表面提取发射的光。本发明的像素结构能应用于具有任一发射结构的显示元件。

[0618] 参照图 58A 描述具有顶部发射结构的显示元件。

[0619] 在衬底 4500 上,驱动 TFT4501 由插入其间的基膜 4505 形成,第一电极 4502 与驱动 TFT4501 的源极接触形成。包含有机化合物的层 4503 和第二电极 4504 形成在其上。

[0620] 注意,第一电极 4502 是显示元件的阳极,第二电极 4504 是显示元件的阴极。换言之,显示元件形成在这样的区域中,其中包含有机化合物的层 4503 置于第一电极 4502 和第二电极 4504 之间。

[0621] 此处,作为阳极的第一电极 4502 优选地采用具有高功函数的材料形成。例如,能采用氮化钛薄膜、铬薄膜、钨薄膜、锌薄膜或铂薄膜的单层薄膜;氮化钛薄膜和包含铝作为主要成分的薄膜的叠层薄膜;或氮化钛薄膜、包含铝作为主要成分的薄膜和氮化钛薄膜的三层结构等。注意,当第一电极 4502 具有叠层结构时能降低导线的阻抗,实现优良的欧姆接触,并提供阳极的功能。通过采用反射光的金属薄膜,能形成不透射光的阳极。

[0622] 作为阴极的第二电极 4504 的材料优选地采用由具有低功函数的材料 (Al、Ag、Li、Ca,或这些材料的合金,诸如 MgAg、MgIn、AlLi、CaF<sub>2</sub>,或氮化钙) 形成的薄金属膜和透明导电膜 (例如,氧化铟锡 (ITO)、氧化铟锌 (IZO) 和氧化锌 (ZnO) 等) 的叠层形成。通过采用上述的薄金属膜和透明的传导膜,能形成能够透射光的阴极。

[0623] 因此,显示元件的光可从图 58A 中箭头指示的顶部表面被提取。换言之,在将显示元件用于图 53A 和 53B 示出的显示面板的情况下,光朝向衬底 3610 侧发光。因此,当具有顶部发射的显示元件用于显示装置时,透射光的衬底用作密封衬底 3604。

[0624] 此外,在提供光学薄膜的情形中,光学薄膜配置在密封衬底 3604 上。

[0625] 参考图 58B 描述具有底部发射结构的显示元件。因为除发射结构外的结构是相同的,所以采用与图 58A 中相同的附图标记描述。

[0626] 此处,作为阳极的第一电极 4502 优选地采用具有高功函数的材料形成。例如,能采用如氧化铟锡 (ITO) 薄膜或氧化铟锌 (IZO) 薄膜的透明导电薄膜。通过使用透明导电薄膜,能形成能透射光的阳极。

[0627] 作为阴极的第二电极 4504 优选地采用由具有低功函数的材料 (Al、Ag、Li、Ca,或这些材料的合金如 MgAg、MgIn、AlLi、CaF<sub>2</sub>,或氮化钙) 形成的金属膜形成。通过采用上述反射光的金属膜,能形成不透射光的阴极。

[0628] 因此,显示元件的光从图 58B 中箭头指示的底部表面被提取。换言之,在将显示元件用于图 53A 和 53B 示出的显示面板的情况下,光朝向衬底 3610 侧发光。因此,当具有底部发射结构的显示元件用于显示装置时,透射光的衬底用作衬底 3610。

[0629] 此外,在提供光学薄膜的情形中,光学薄膜可配置在衬底 3610 上。

[0630] 参考图 58C 解释具有双重发射结构的显示元件。因为除发射结构外的结构是相同的,所以采用与图 58A 中相同的附图标记描述。

[0631] 此处,作为阳极的第一电极 4502 优选地采用具有高功函数的材料形成。例如,能采用如氧化铟锡 (ITO) 薄膜或氧化铟锌 (IZO) 薄膜的透明导电薄膜。通过使用透明导电薄膜,能够形成能透射光的阳极。

[0632] 作为阴极的第二电极 4504 优选地采用由具有低功函数的材料 (Al、Ag、Li、Ca,或

这些材料的合金 MgAg、MgIn、AlLi、CaF<sub>2</sub>，或氮化钙）形成的薄金属膜和透明导电膜（氧化铟锡（ITO），氧化铟和氧化锌的合金（In<sub>2</sub>O<sub>3</sub>-ZnO），氧化锌（ZnO）等）的叠层形成。通过采用上述的薄金属膜和透明导电膜，能形成能够透射光的阴极。

[0633] 因此，显示元件的光从图 58C 中箭头指示的两个表面被提取。换言之，在将显示元件用于图 53A 和 53B 示出的显示面板的情况下，光朝向衬底 3610 侧和密封衬底 3604 侧发光。因此，当具有双重发射结构的显示元件用于显示装置时，透射光的衬底用作衬底 3610 侧和密封衬底 3604。

[0634] 此外，在提供光学薄膜的情形中，光学薄膜配置在衬底 3610 和密封衬底 3604 上。

[0635] 此外，本发明能用于通过采用白色显示元件和滤色器获得全彩显示的显示装置。

[0636] 如图 59 所示，例如，结构可以是：基膜 4602 形成在衬底 4600 上，驱动 TFT4601 形成在其上，第一电极 4603 与驱动 TFT4601 的源电极相连，包含有机化合物的层 4604 和第二电极 4605 形成在其上。

[0637] 注意，第一电极 4603 是显示元件的阳极，第二电极 4605 是显示元件的阴极。换言之，显示元件形成在的这样区域中，其中包含有机化合物的层 4604 置于第一电极 4603 和第二电极 4605 之间。如图 59 所示的结构中发射白光。在显示元件上分别配置有红色滤色器 4606R、绿色滤色器 4606G、蓝色滤色器 4606B，以获得全彩显示器。此外，配置有分离这些色过滤器的黑色矩阵（也称为“BM”）4607。

[0638] 显示元件的上述结构能结合使用且能适于用于本发明的显示装置。此外，上述显示板和显示元件的结构仅是例子，另外的结构自然能被用于本发明的显示装置。

[0639] （实施例模式 14）

[0640] 本发明能用于不同的电子设备。特别地，本发明能用于电子设备的显示部分。作为电子设备，给出了如摄像机或数字照相机的照相机、护目镜型显示、导航系统、声音重现装置（如车载音频或音频部件）、计算机、游戏机、移动信息终端（如移动计算机、移动电话、移动游戏机或电子书）、配置有记录介质的图像再现装置（特别地，再现记录介质如数字多功能光盘（DVD）和配置有用于显示图像的发光装置的装置）等。

[0641] 图 60A 示出包括机壳 26001、支架 26002、显示部分 26003、扬声部分 26004、视频输入部分 26005 等的发光装置。本发明的显示装置能用于显示部分 26003。注意，发光装置包括用于个人电脑、电视广播接收、广告显示等的显示信息的所有发光装置。采用本发明显示装置用于显示部分 26003 的发光装置能获得低功耗。

[0642] 图 60B 示出包括主体 26101、显示部分 26102、图像接收部分 26103、操作键 26104、外部连接端口 26105、快门 26106 等的照相机。

[0643] 采用本发明用于显示部分 26102 的数字照相机能获得低功耗。

[0644] 图 60C 示出包括主体 26201、机壳 26202、显示部分 26203、键盘 26204、外部连接端口 26205、指示鼠标 26206 等的计算机。采用本发明用于显示部分 26203 的计算机能获得低功耗。

[0645] 图 60D 示出包括主体 26301、显示部分 26302、开关 26303、操作键 26304、红外线部分 26305 等的移动计算机。采用本发明用于显示部分 26302 的移动计算机能获得低功耗。

[0646] 图 60E 示出配置有记录介质的移动图像再现装置，该记录介质（特别是，DVD 再现装置）包括主体 26401、机壳 26402、显示部分 A26403 和 B26404、记录介质（如 DVD）读出部

分 26405、操作键 26406、扬声部分 26407 等。显示部分 A26403 主要显示图像信息同时显示部分 B26404 主要显示字符信息。采用本发明用于显示部分 A26403 和 B26404 的图像再现装置能获得低功耗。

[0647] 图 60F 示出包括主体 26501、显示部分 26502、臂部分 26305 等的眼镜式显示。采用本发明用于显示部分 26502 的眼镜式显示能获得低功耗。

[0648] 图 60G 示出包括主体 262001、显示部分 262002、机壳 262003、外部连接端口 262004、遥控接收部分 262005、电池 262007、声音输入部分 262008、操作键 262009 等的摄像机。采用本发明用于显示部分 262002 的摄像机能获得低功耗。

[0649] 图 60H 示出包括主体 26701、机壳 26702、显示部分 26703、声音输入部分 26704、声音输出部分 26705、操作键 26706、外部连接端口 26707、天线 26708 等的移动电话。

[0650] 近年,移动电话配置有游戏功能、照相功能、电子货币功能等,增加了附加高价值的移动电话的需求。同时移动电话已经是多功能的且使用的频率已经增加,每次充电使用的时间也已经要求延长。采用本发明用于显示部分 26703 的移动电话能获得低功耗。因此,能长期使用。

[0651] 参照图 62 解释显示部分中具有本发明显示装置的移动电话的具体结构例子。

[0652] 可拆的显示板 5010 并入机壳 5000 中。依据显示板 5010 的尺寸能适当地改变机壳 5000 的形状和大小。固定显示板 5010 的机壳 5000 被安装在印刷板 5001 上以便于作为模块合成一体。

[0653] 显示板 5010 通过 FPC5011 连接到印刷板 5001。印刷板 5001 配置有扬声器 5002、麦克风 5003、发送和接收电路 5004 和包括 CPU 和控制器等信号处理电路 5005。这样的模块,输入装置 5006、电池 5007 彼此结合以存储在机壳 5009 中。显示板 5010 的像素部分被排列以便于从配置到机壳 5009 的开口窗户是可以看到。

[0654] 显示板 5010 可以这样一种方式集成,该方式中像素部分和部分外围驱动电路(在多个驱动电路中具有低操作频率的驱动电路)形成在采用 TFTs 的衬底上且部分外围驱动电路(在多个驱动电路中具有高操作频率的驱动电路)形成在 IC 芯片上,所述 IC 芯片通过 COG(玻上芯片)被装配在显示板 5010 上。可替代地,通过采用 TAB(带式自动接合)或印刷板能将 IC 芯片连接到玻璃衬底上。图 54A 示出这样的显示板结构的例子,其中部分外围驱动电路和像素部分集成形成在衬底上,而通过 COG 等装配形成有其他外围驱动电路的 IC 芯片。该结构允许降低显示装置的功耗且移动电话每次充电能用更长时间。而且,能降低移动电话的成本。

[0655] 为了进一步降低功耗,如图 54B 所示,像素部分形成在采用 TFTs 的衬底上且所有外围驱动电路形成在 IC 芯片上,且接着通过 COG(玻上芯片)等将 IC 芯片装配在显示板上。

[0656] 图 63 示出其中显示板 4801 与电路衬底 4802 结合的 EL 模块。显示板 4801 具有像素部分 4803、扫描线驱动电路 4804 和信号线驱动电路 4805。在电路衬底 4802 上,例如,形成有控制电路 4806、信号驱动电路 4807 等。显示板 4801 和电路衬底 4802 通过连接线 4808 相互连接。FPC 等用作连接线。

[0657] 对于显示板 4801,像素部分和部分外围驱动电路(在多个驱动电路中具有低操作频率的驱动电路)形成在采用 TFTs 的衬底上且部分外围驱动电路(在多个驱动电路中具有高操作频率的驱动电路)可形成在 IC 芯片上,所述 IC 芯片然后通过 COG(玻上芯片)等

被装配在显示板 4801 上。可替代地,通过采用 TAB(带式自动接合)或印刷板,IC 芯片能装配在显示板上。图 54A 示出这样的显示板结构的例子,其中部分外围驱动电路和像素部分集成在衬底上,而通过 COG 等装配形成有其他外围驱动电路的 IC 芯片。

[0658] 为了进一步降低功耗,如图 54B 所示,像素部分形成在采用 TFTs 的衬底上且所有外围驱动电路形成在 IC 芯片上,且接着通过 COG(玻上芯片)等将 IC 芯片装配在显示板上。图 54B 示出这样的结构例子,其中像素部分形成在衬底上,而通过 COG 等装配形成有外围驱动电路的 IC 芯片。

[0659] 通过该 EL 模块,能实现 EL 电视接收器。图 64 是 EL 电视接收器主体结构的方框图。调谐器 4901 接收图像信号和声音信号。图像信号放大器电路 4902、图像信号处理电路 4903 和控制电路 4806 处理图像信号,图像信号处理电路 4903 将从图像信号放大器电路输出的信号转换为与红、绿和蓝色每种色彩对应的彩色信号,控制电路 4806 将图像信号转换为驱动电路的输入规格。控制电路 4806 输出信号到扫描线侧和信号线侧。在数字驱动方案中,信号线侧配置有信号线驱动电路 4807 以将输入的数字信号分为待提供的  $m$  个单元。

[0660] 在调谐器 4901 接收的信号中,音频信号传输到音频信号放大器电路 4904,音频信号放大器电路的输出通过音频信号处理电路 4905 被提供到扬声器 4906。控制电路 4907 接收接收站的控制信息(接收频率)或来自输入部分 4908 的音量控制信息,且传输信号到调谐器 4901 或音频信号处理电路 4905。

[0661] 如图 60A 所示,通过将图 64 的 EL 模块置于机壳 26001 中,能得到电视接收器。使用 EL 模块,形成显示部分 26003。而且,电视接收器任意配置扬声器 26004、视频输入端 26005 等。

[0662] 本发明不限于电视接收器且能用于具有大面积的显示介质,如火车站、机场等上的信息显示板或街道上的广告显示板和个人电脑监视器。

[0663] 以该方式,本发明能用于每种电子设备。

[0664] 该申请基于 2005 年 12 月 2 日在日本专利局递交的日本专利申请 no. 2005-348835,其全部内容包含在此作为参考。

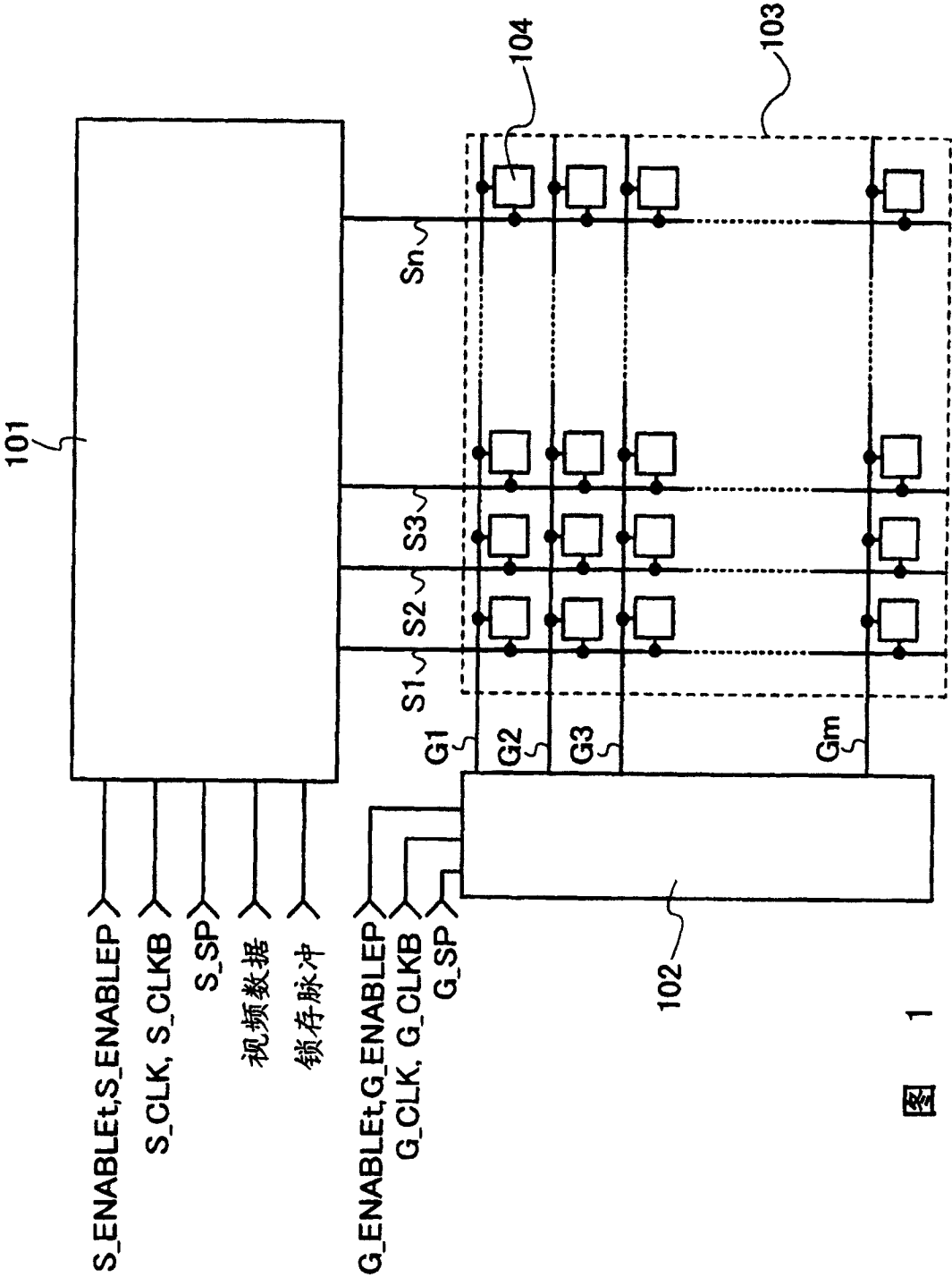
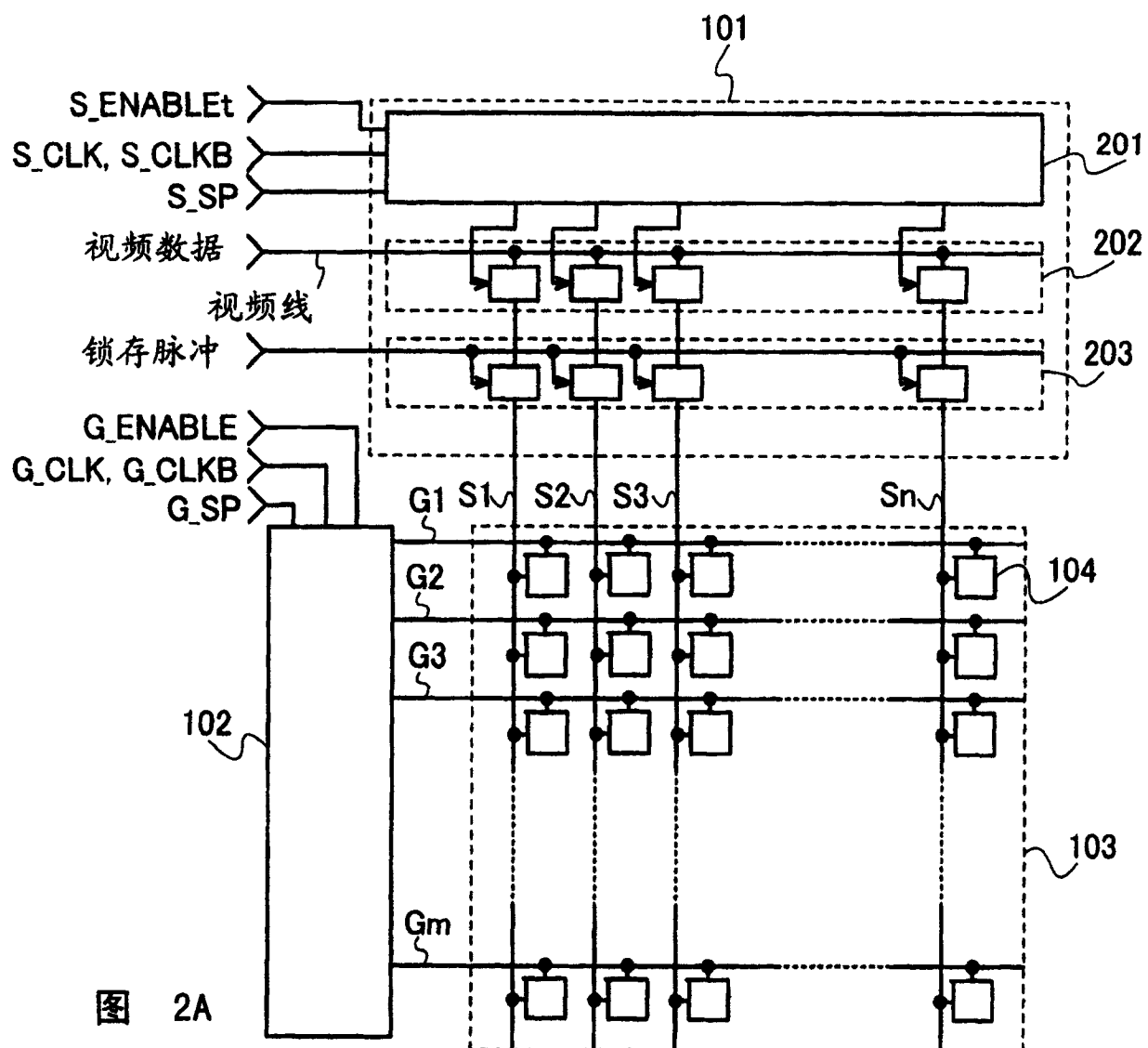
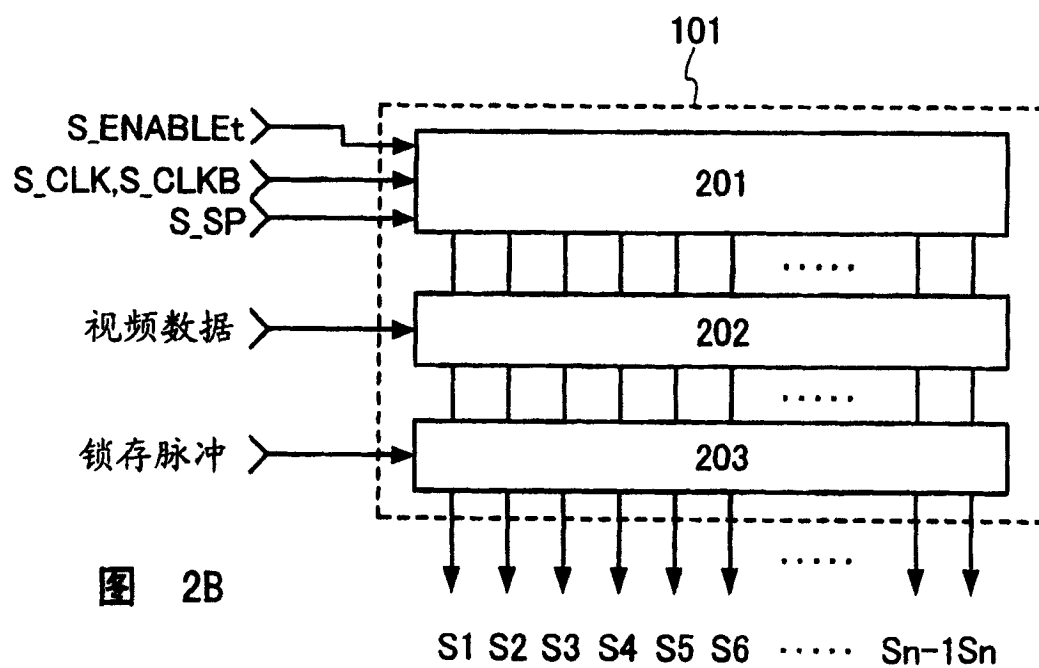


图 1





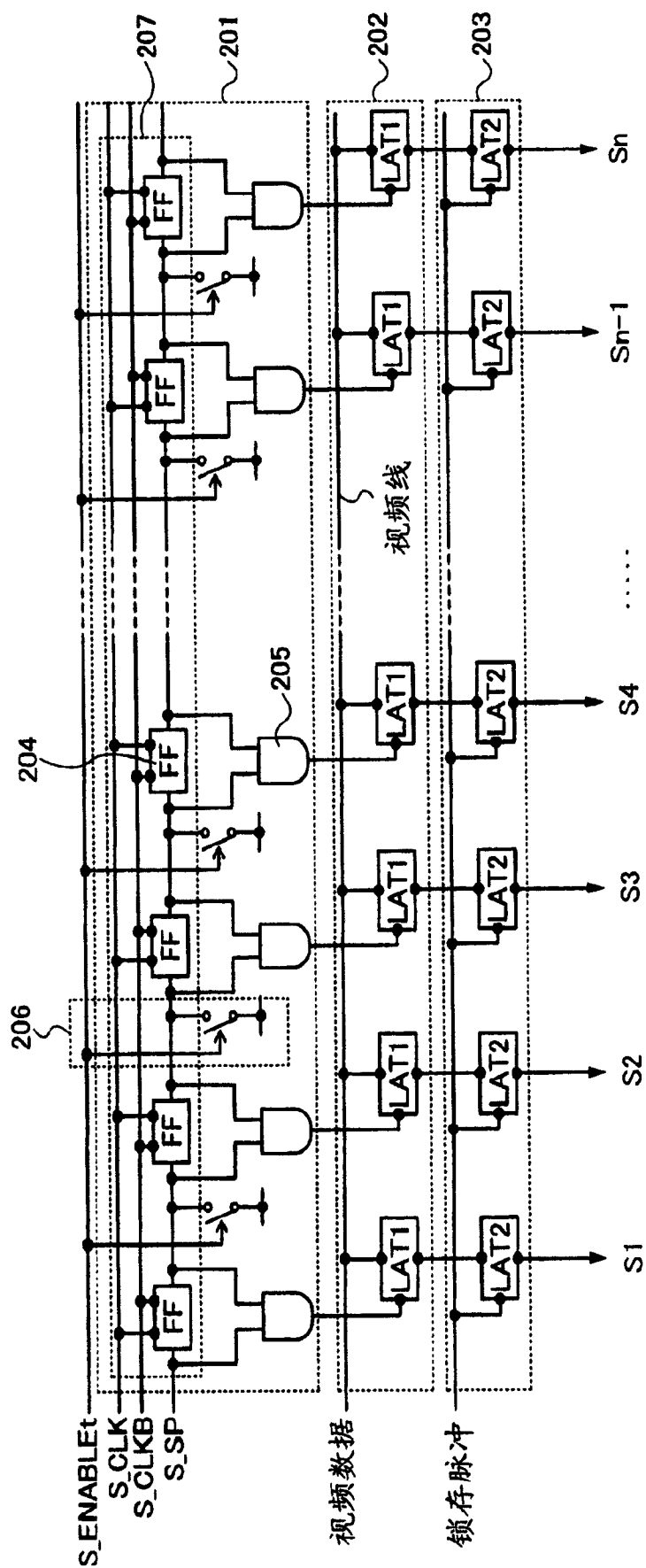


图 3

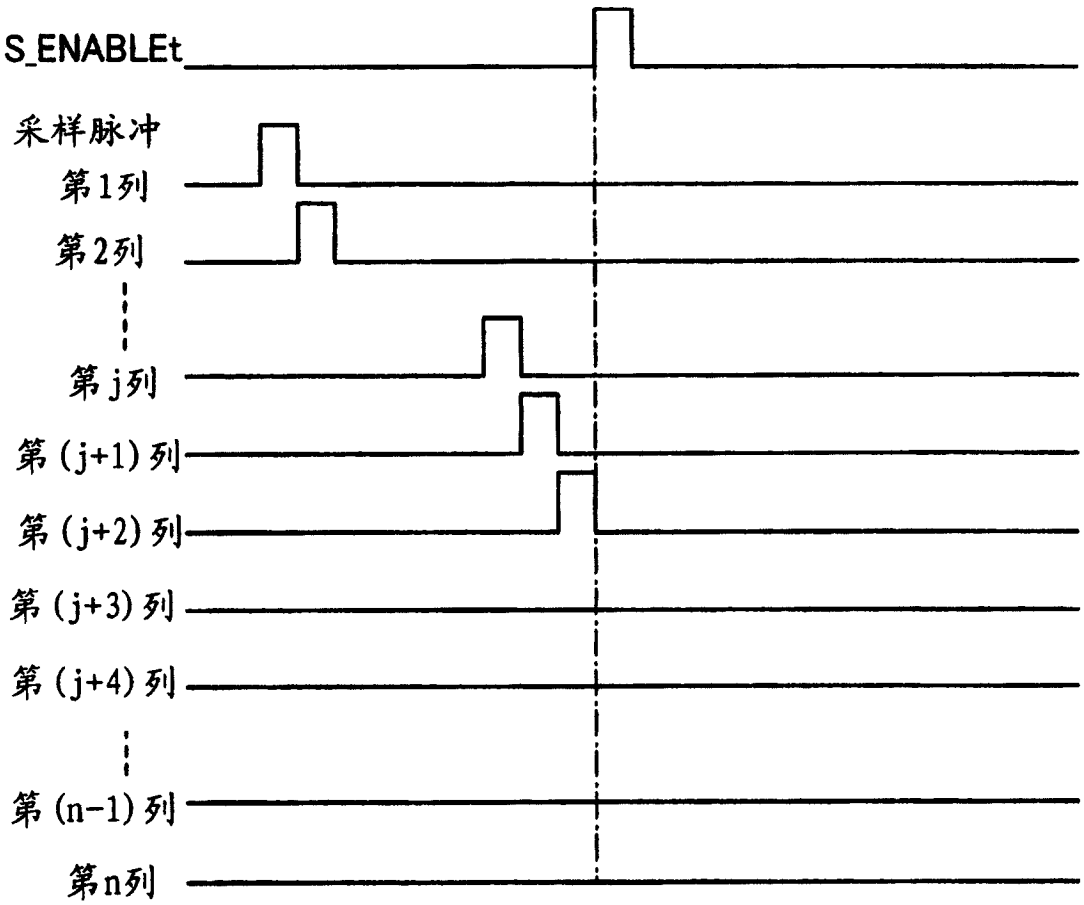
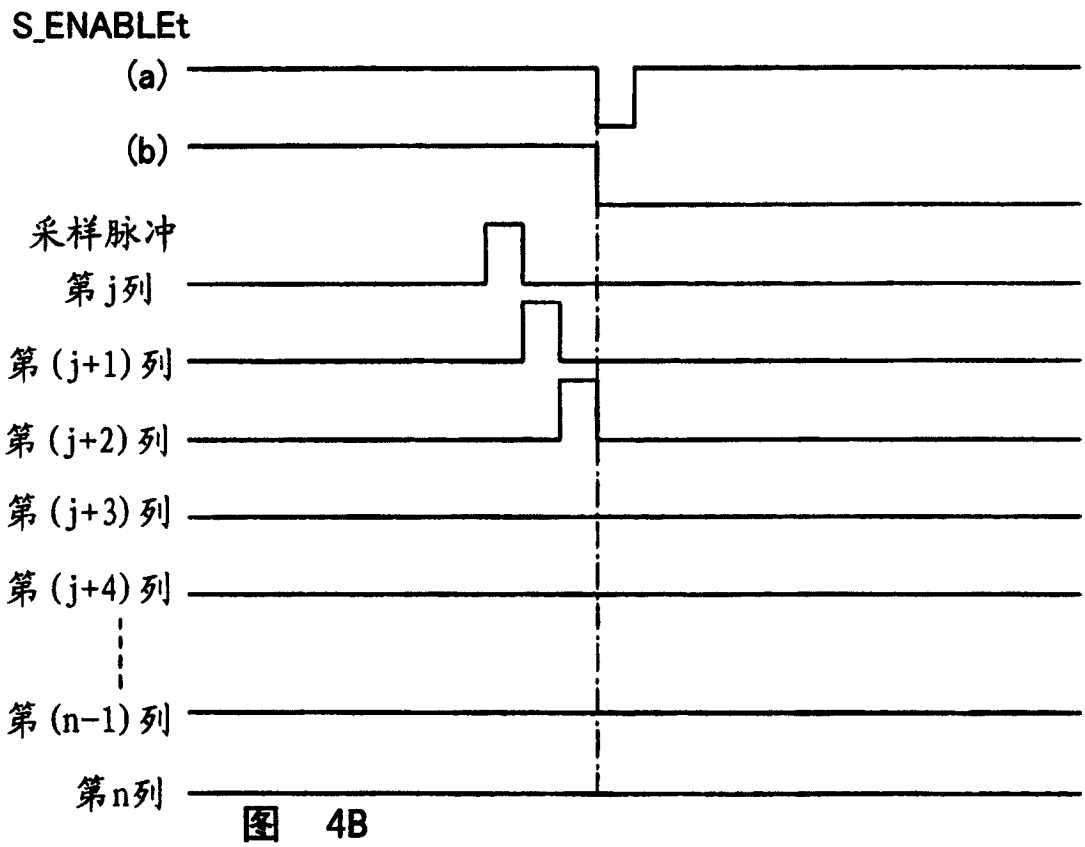


图 4A



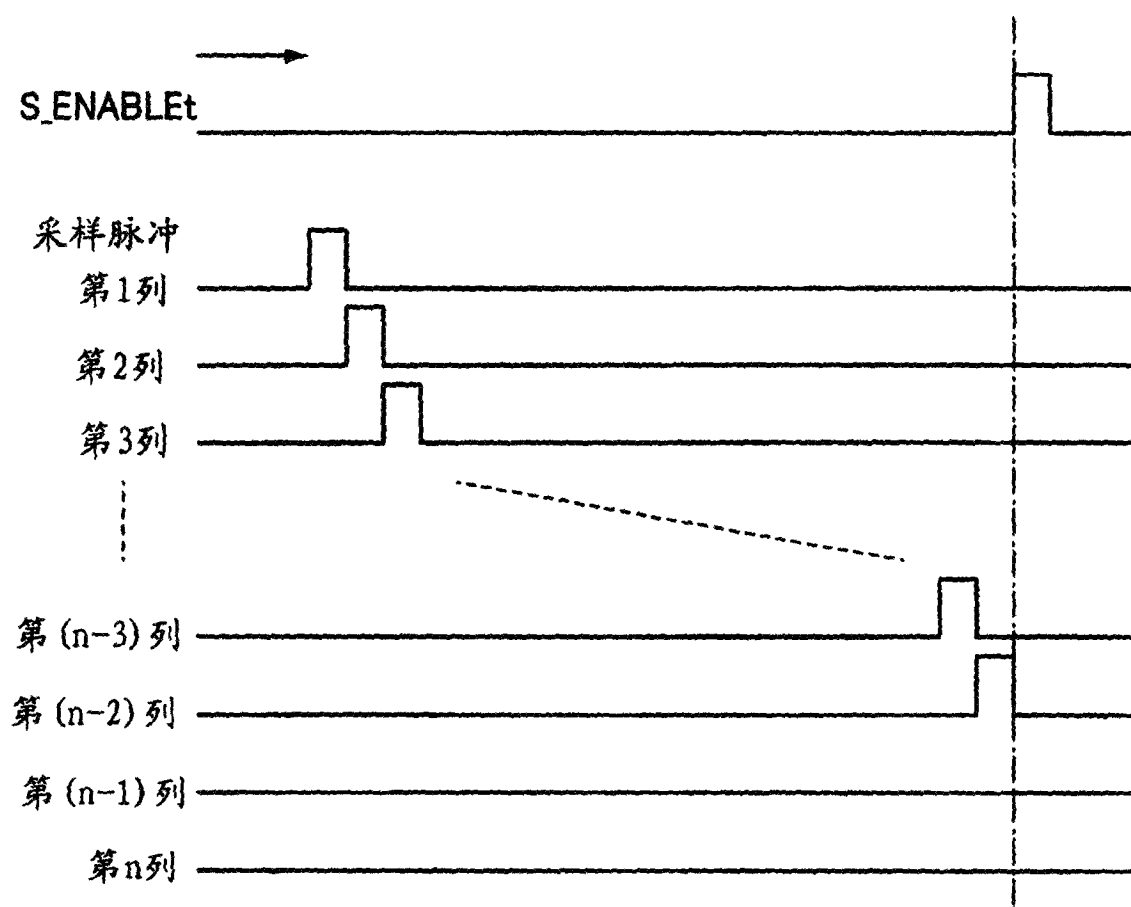
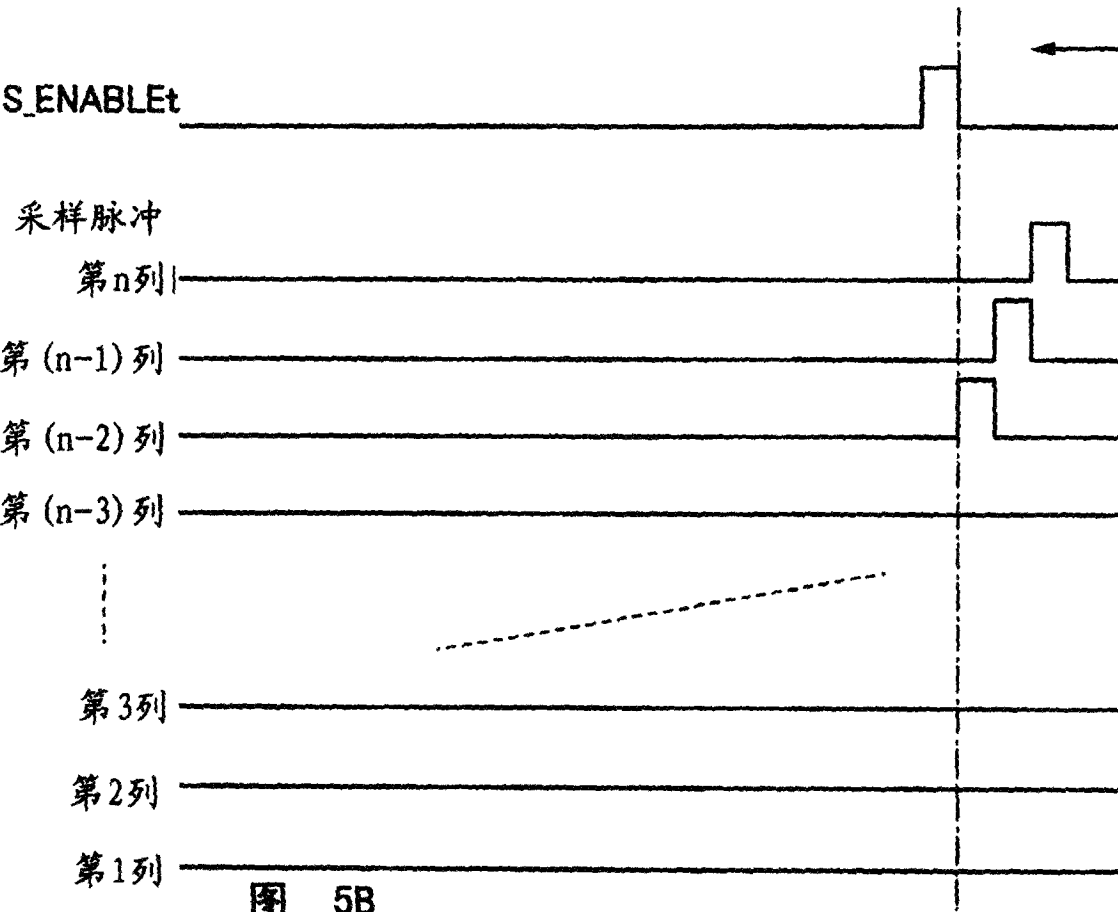


图 5A



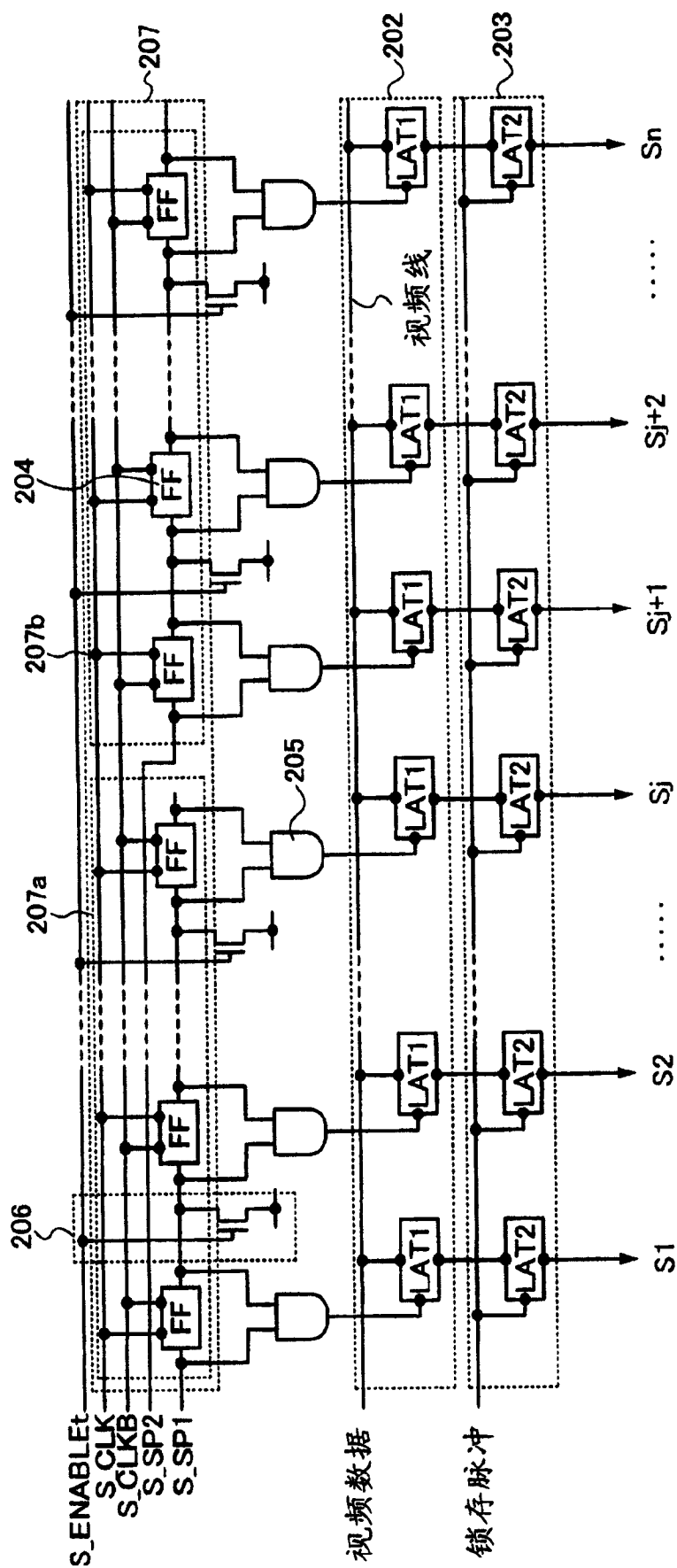


图 6

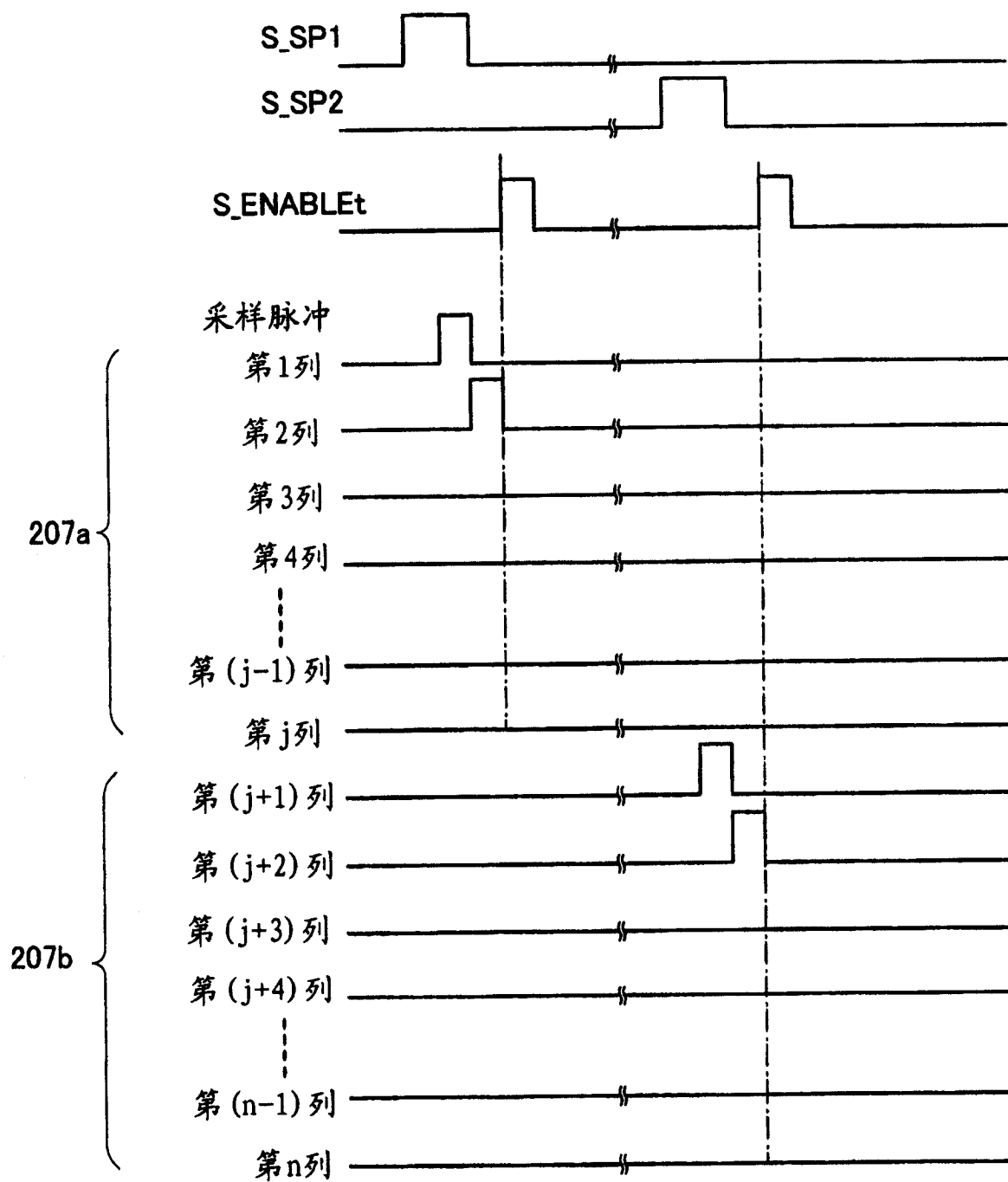


图 7

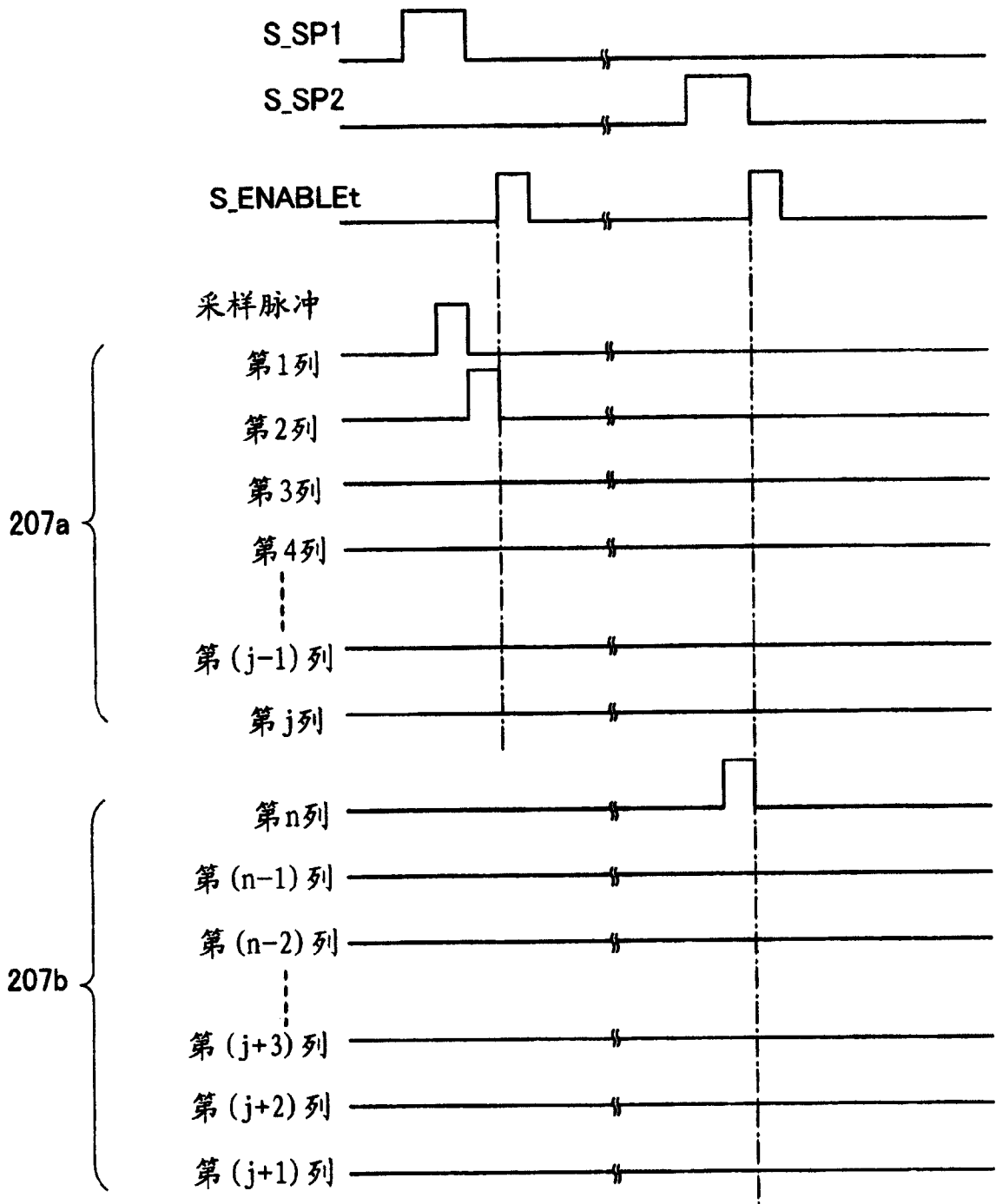
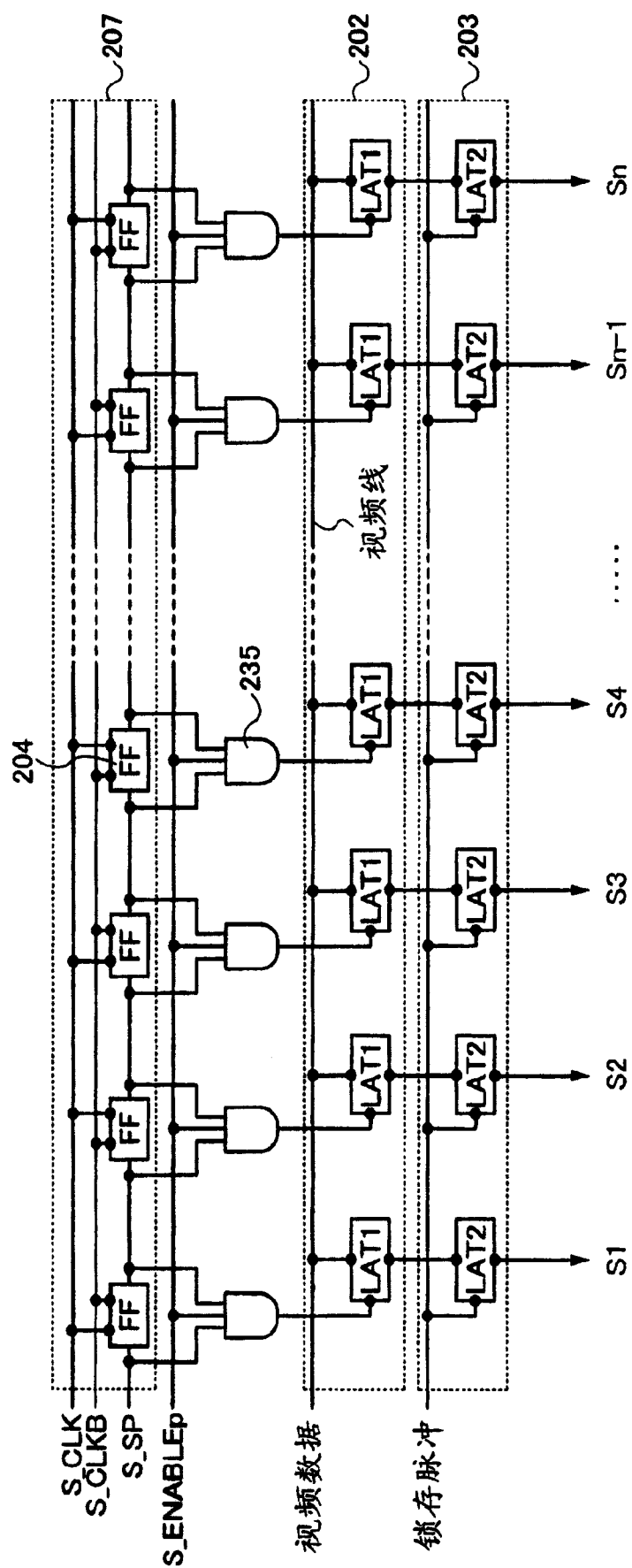


图 8



9

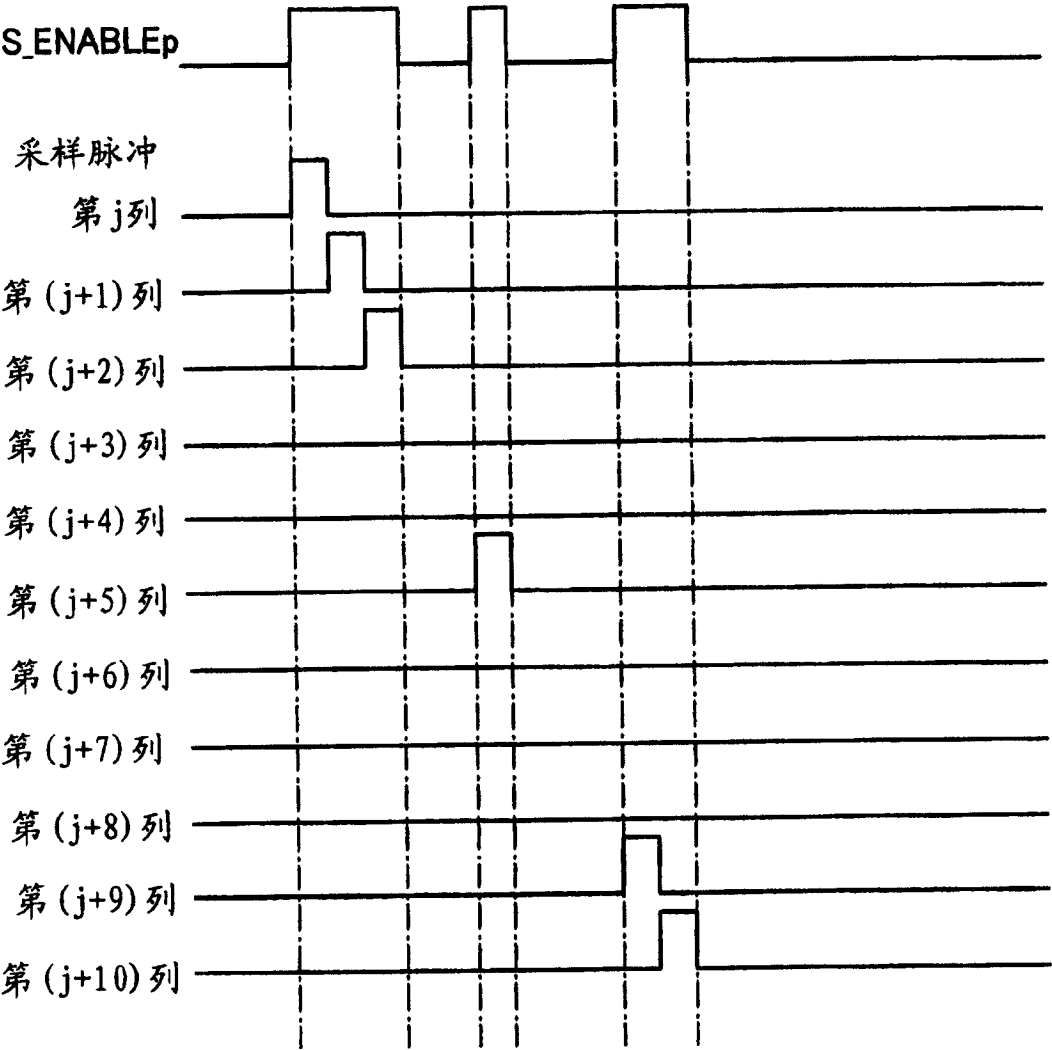


图 10

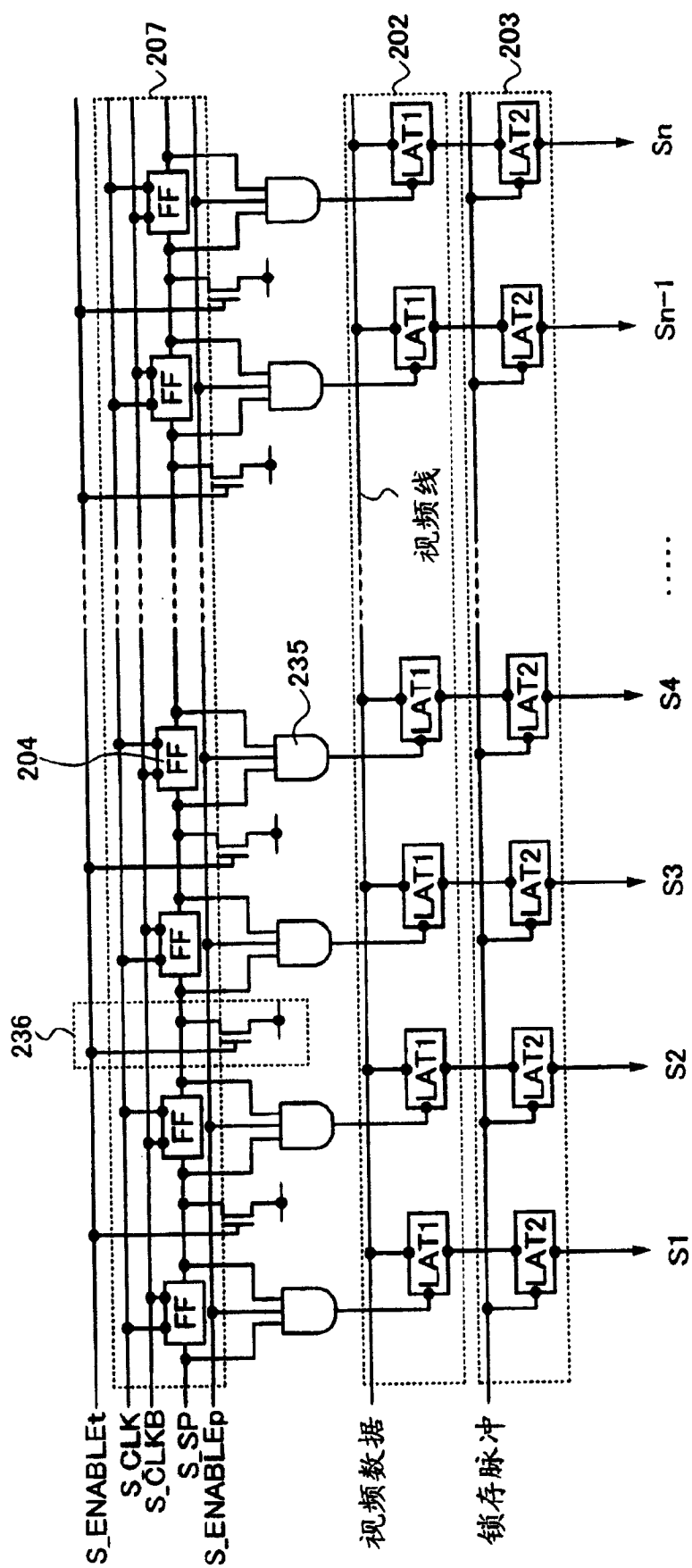


图 11

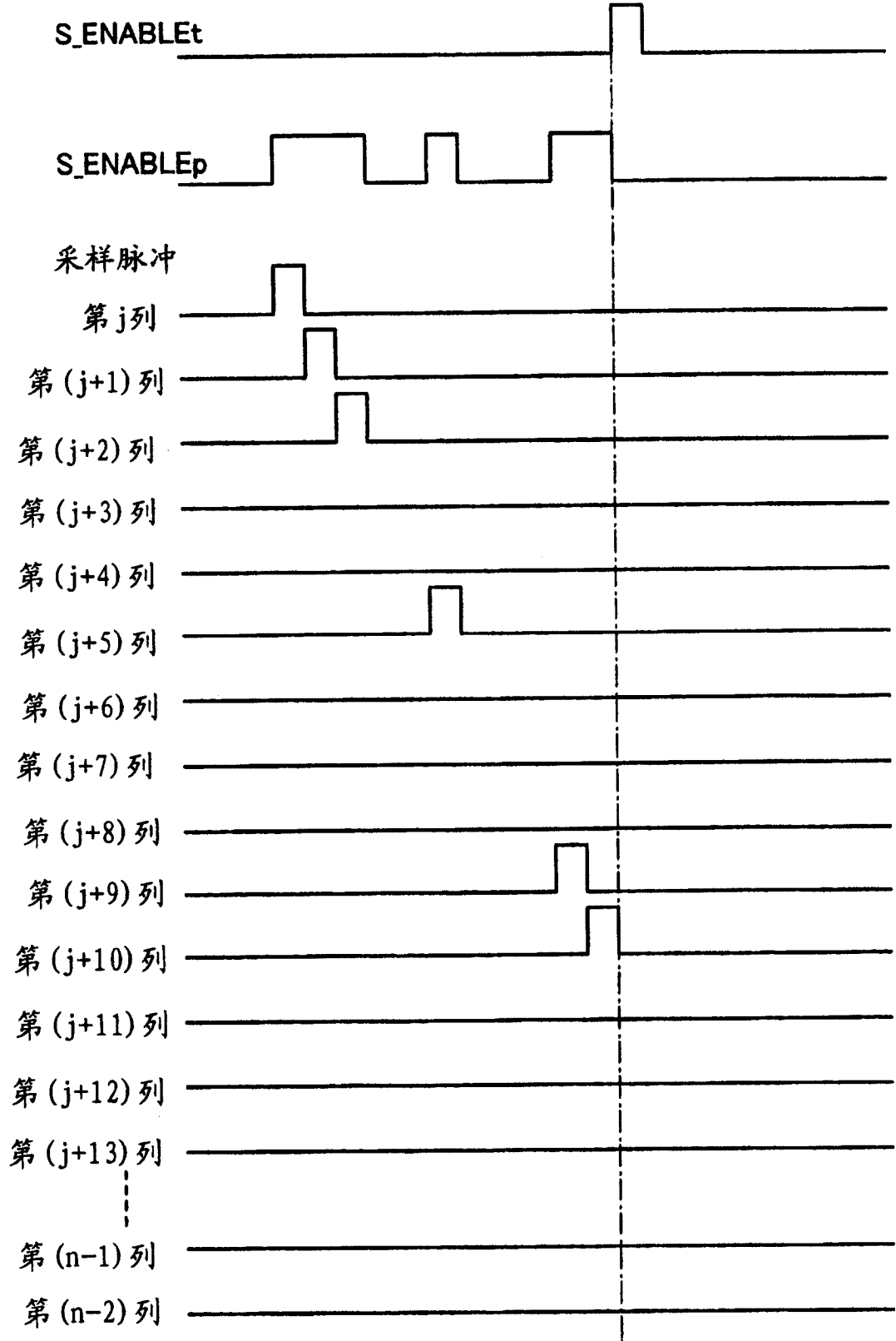


图 12

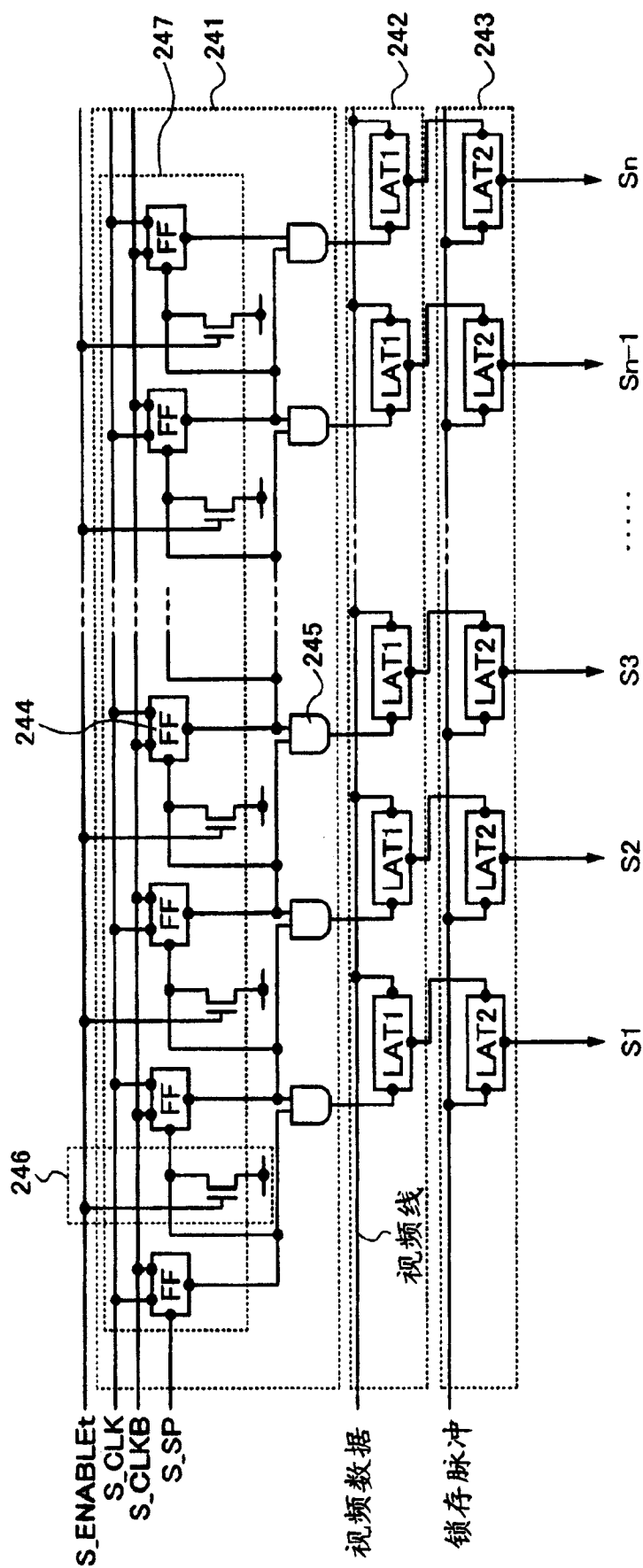


图 13

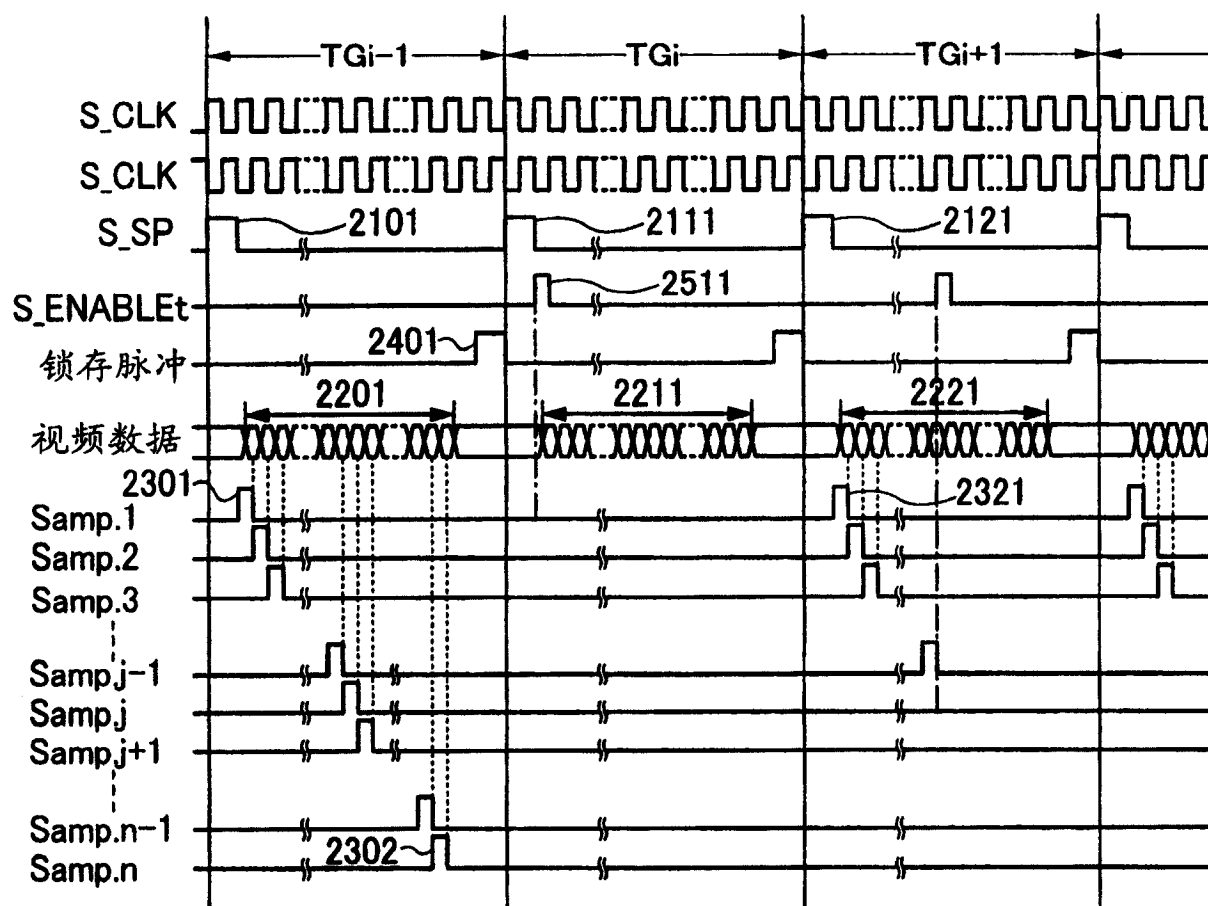
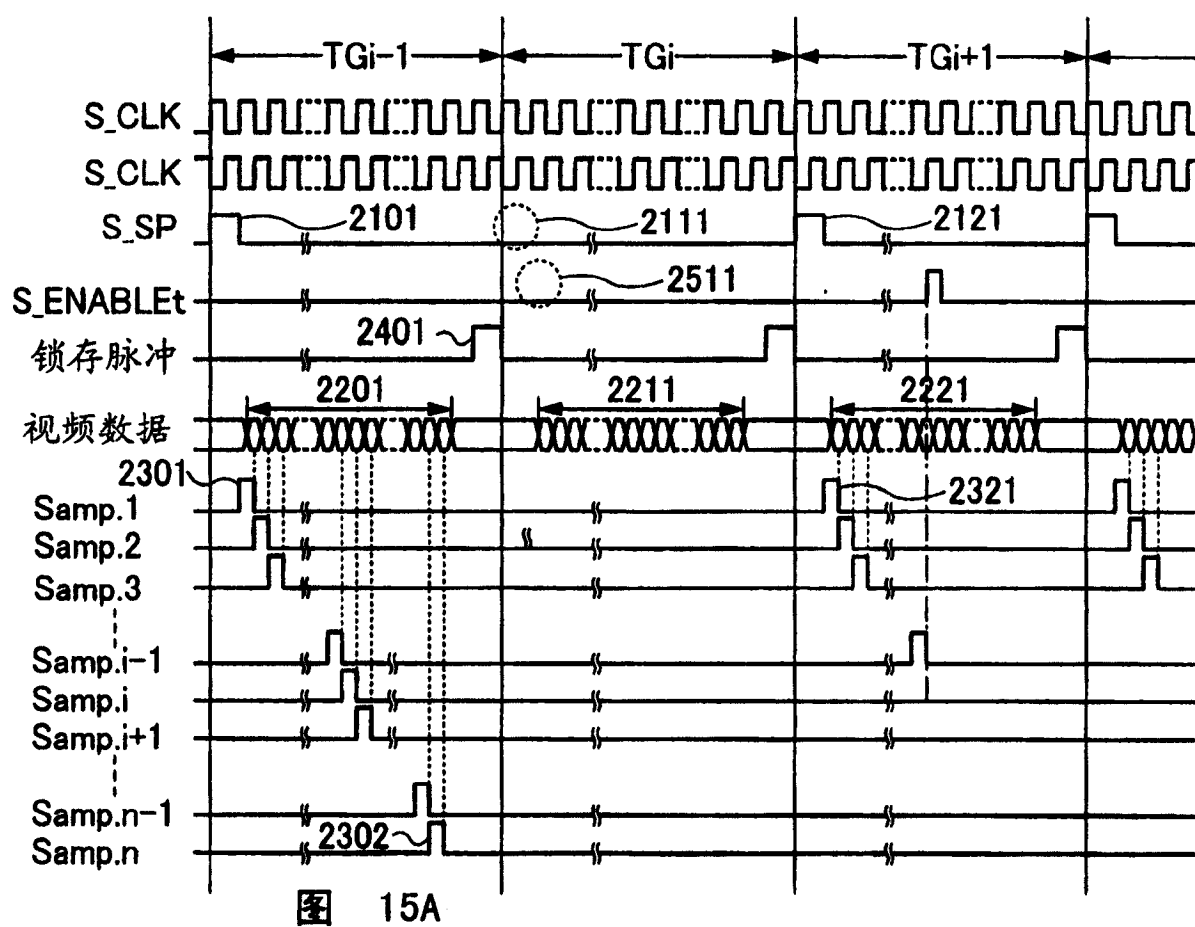
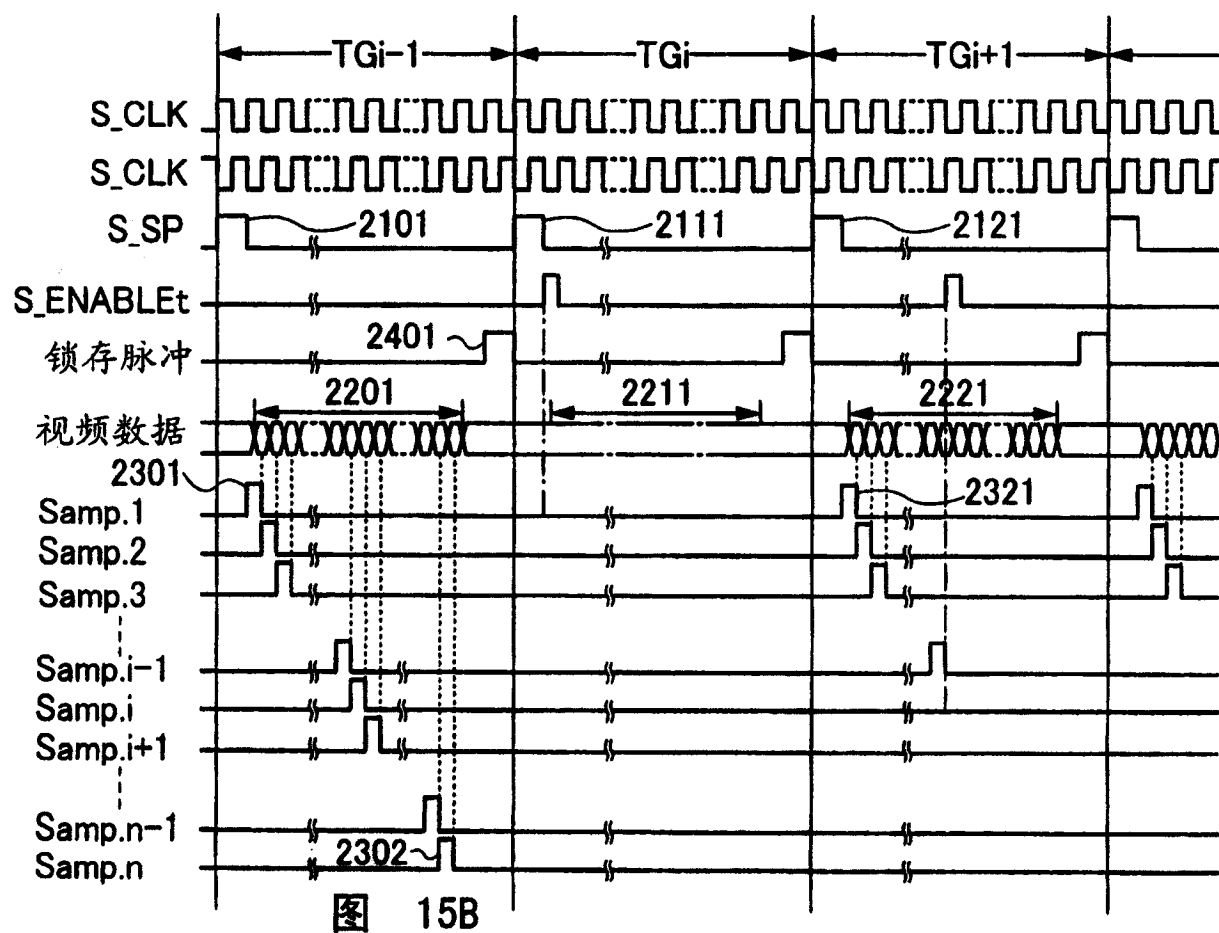


图 14





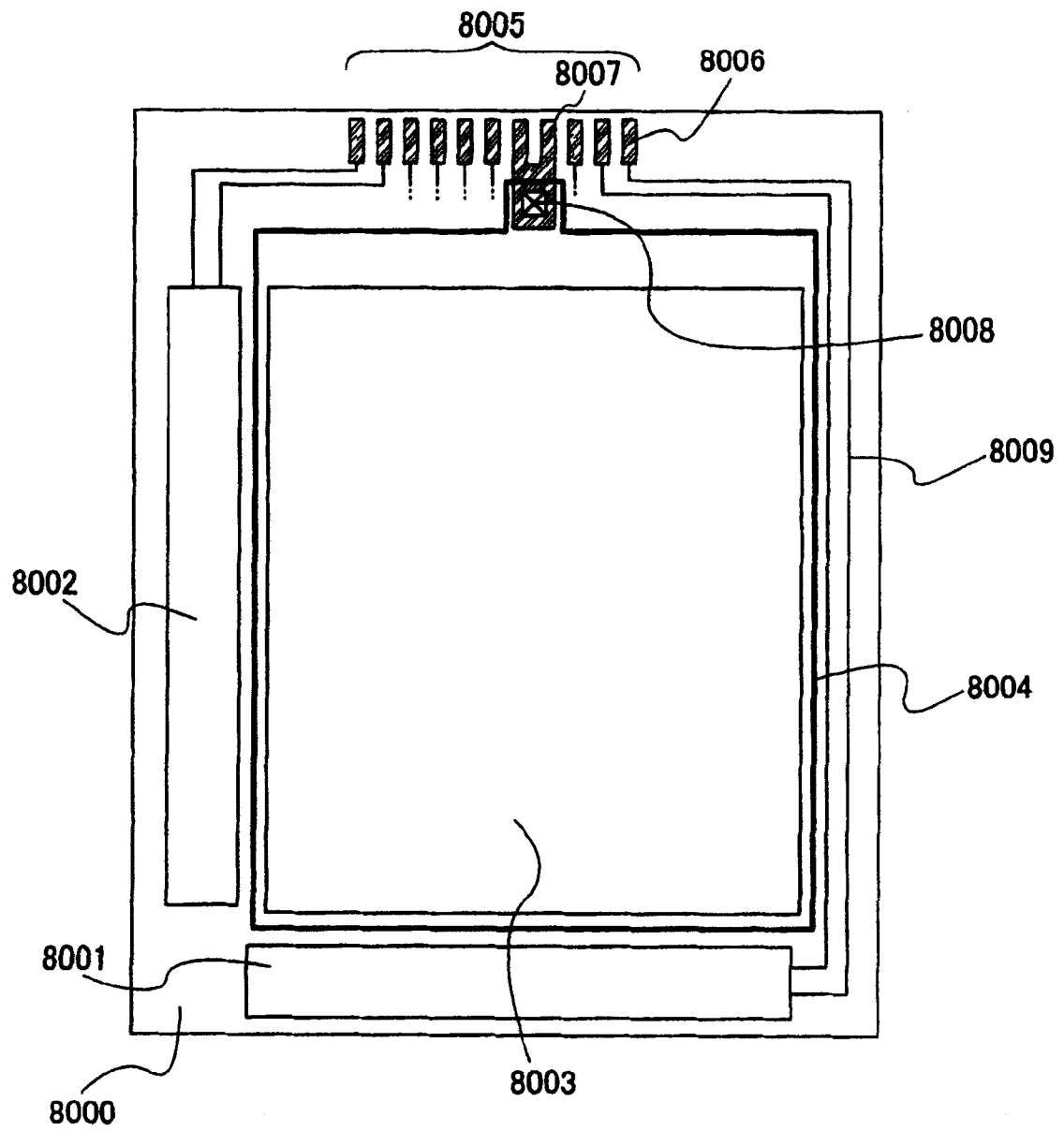


图 16

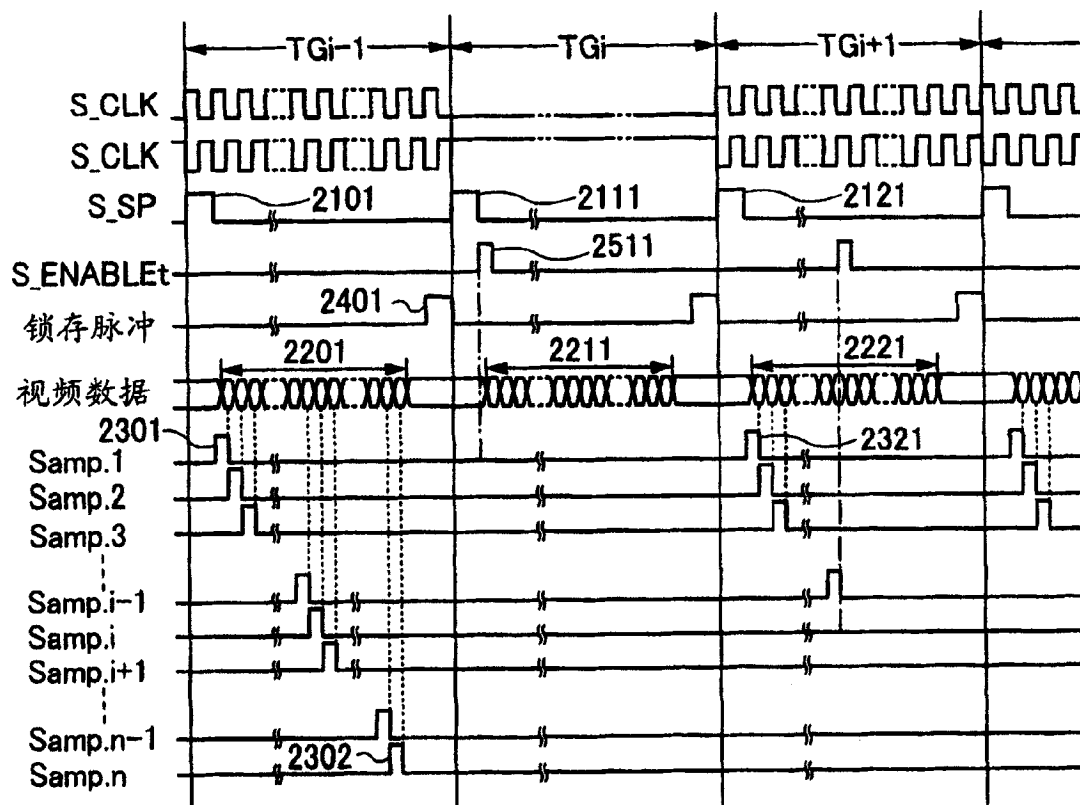


图 17A

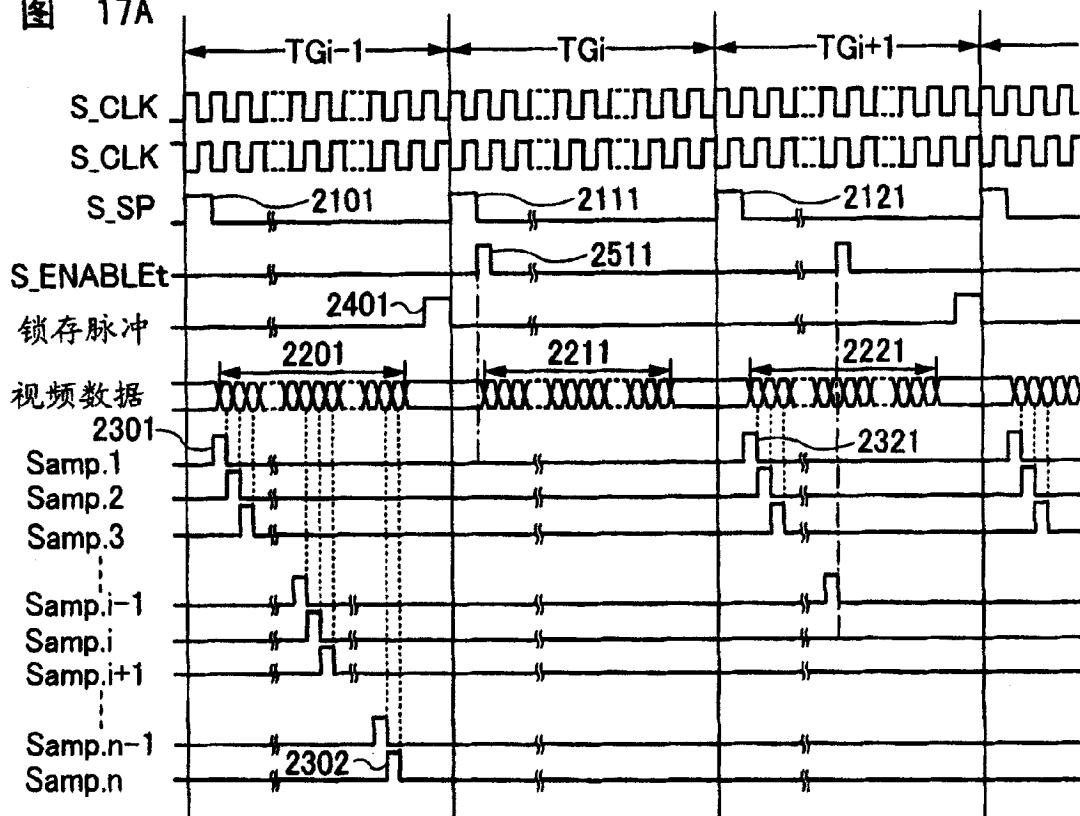


图 17B

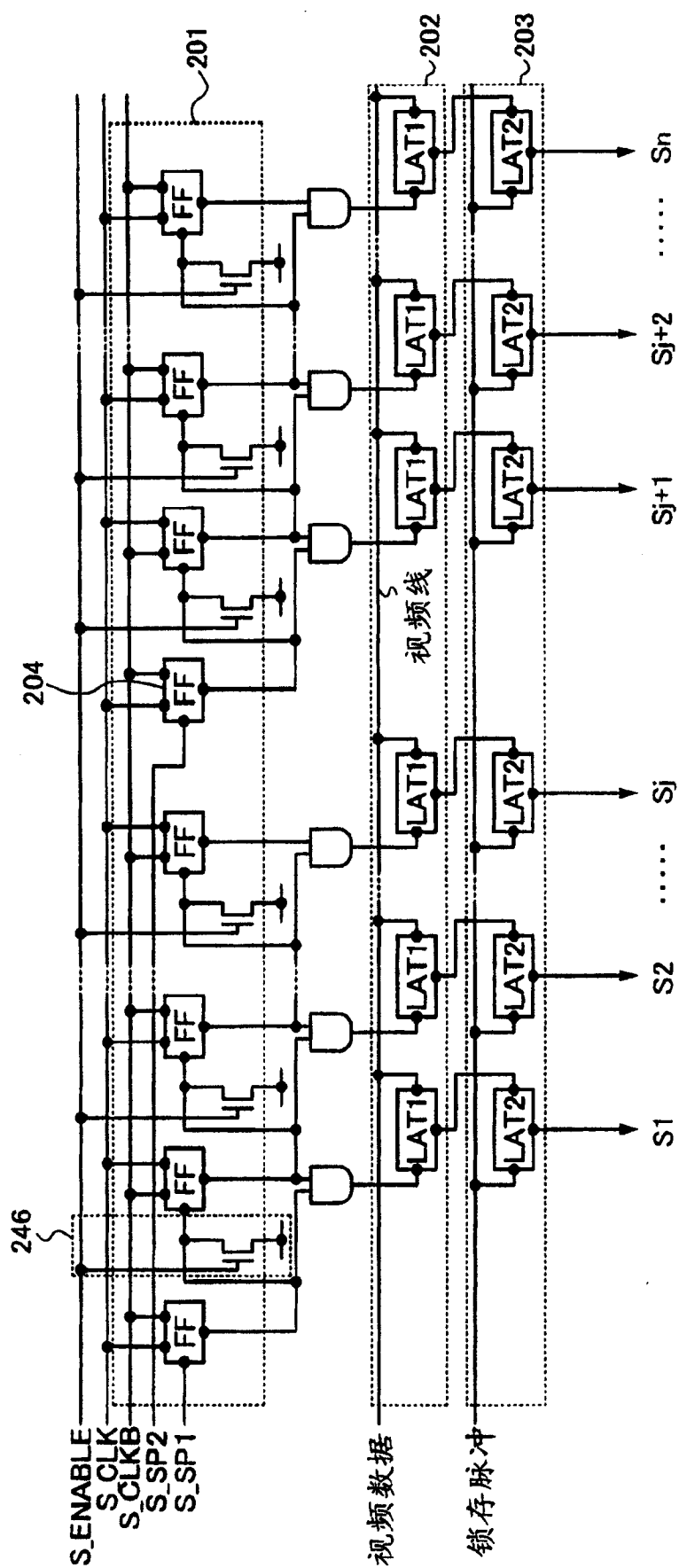


图 18

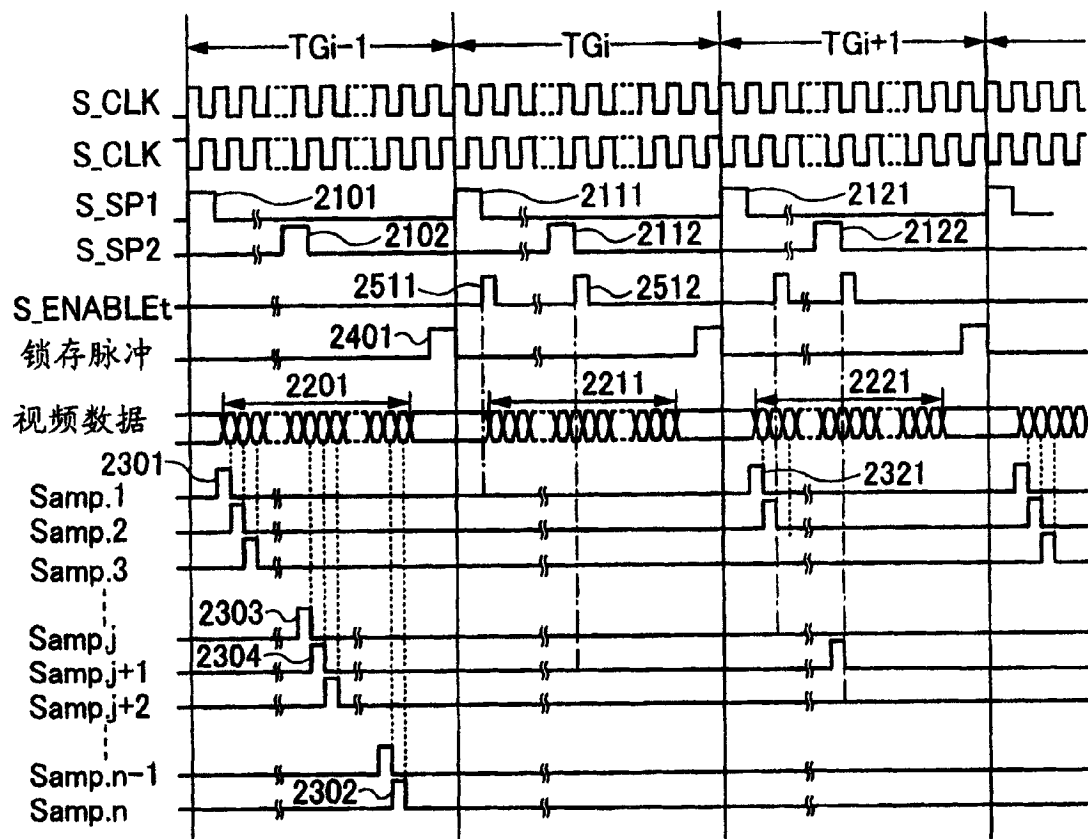


图 19A

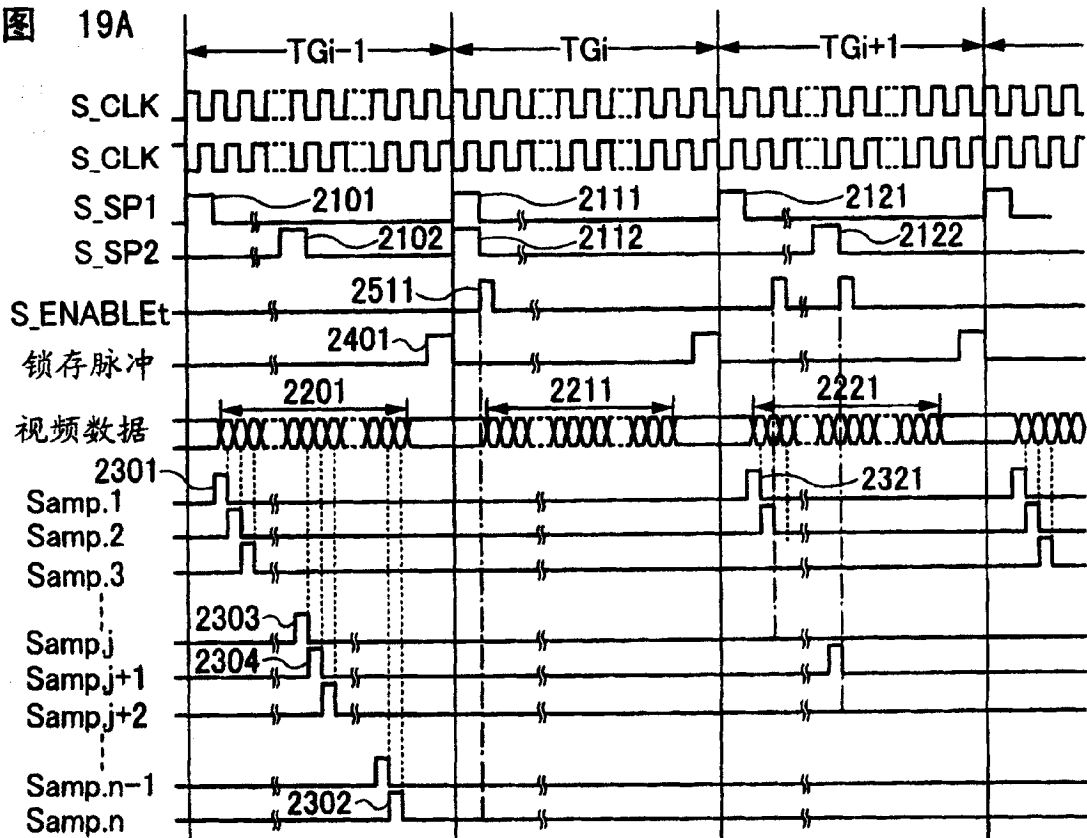


图 19B

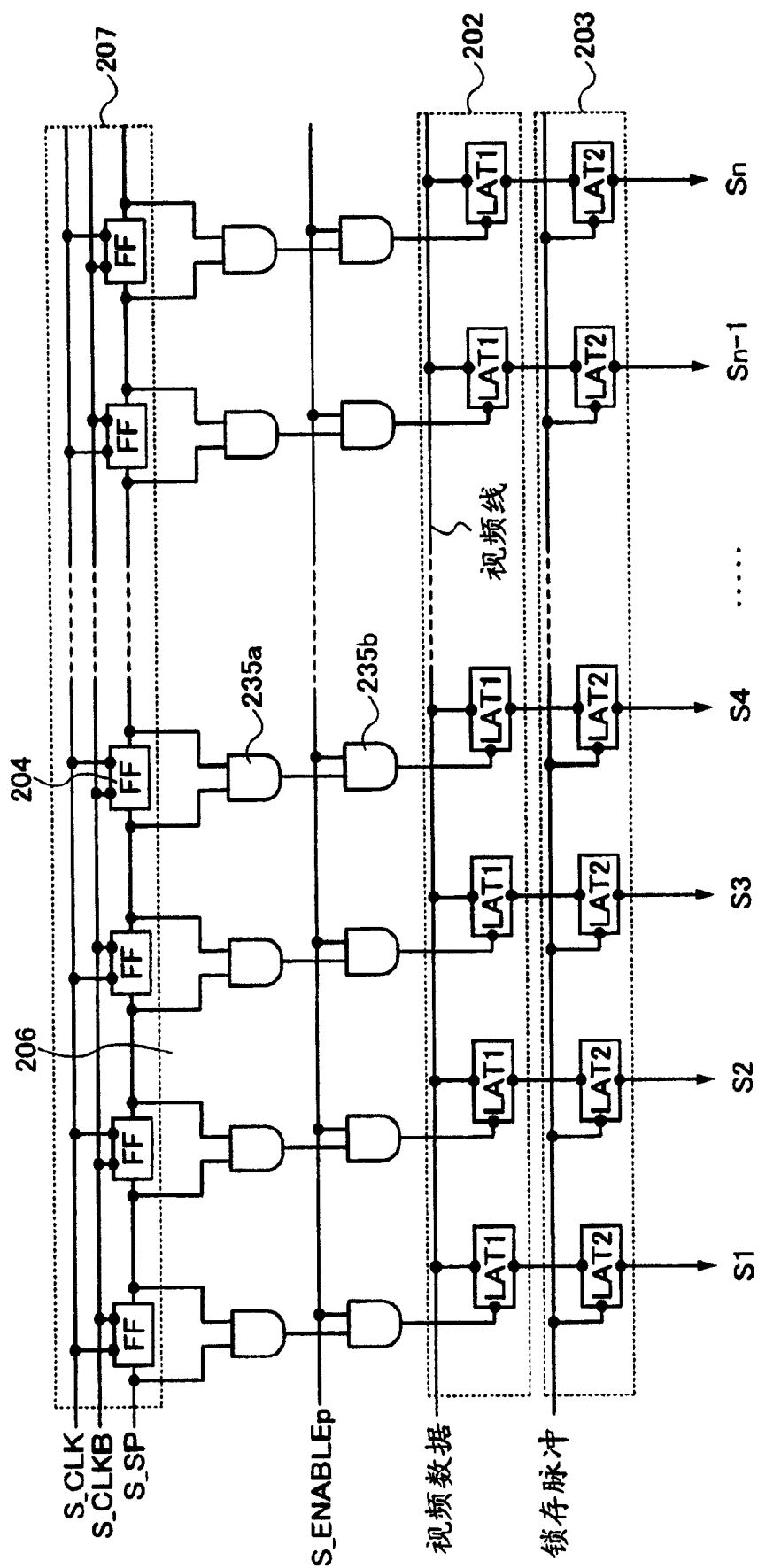


图 20

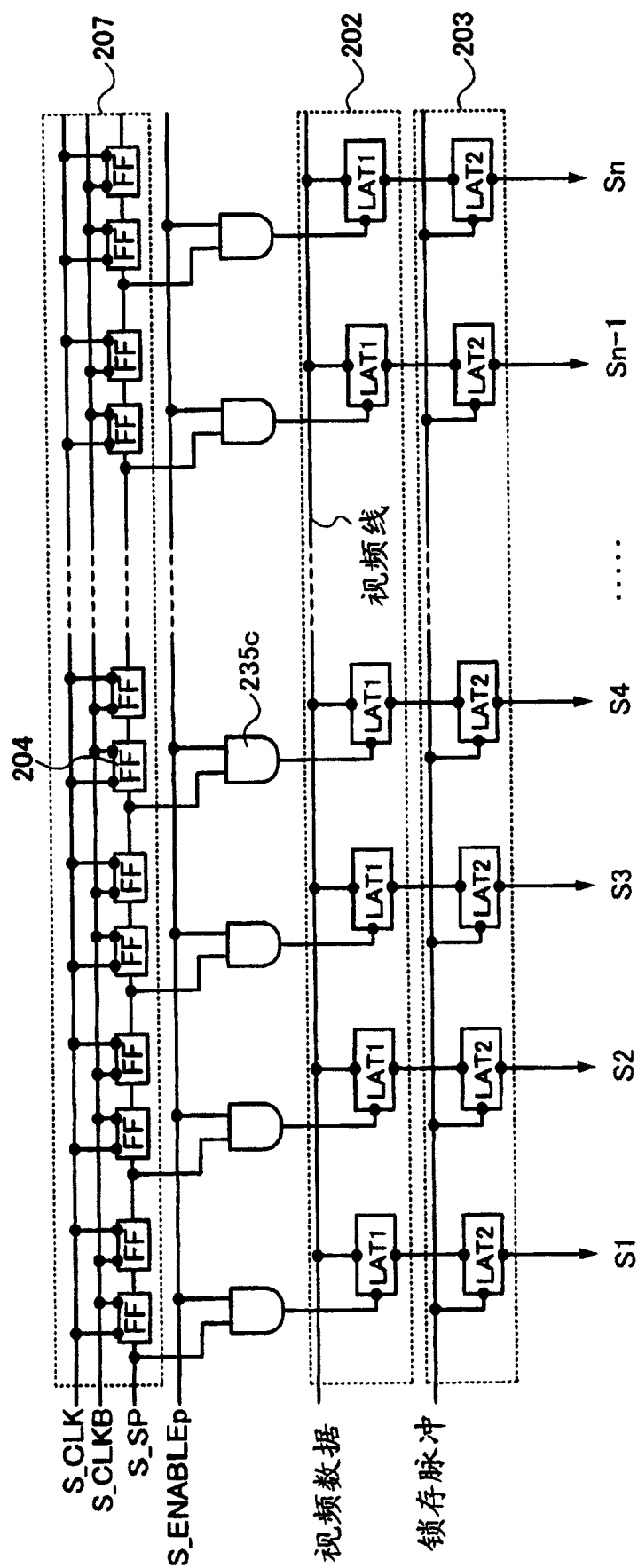
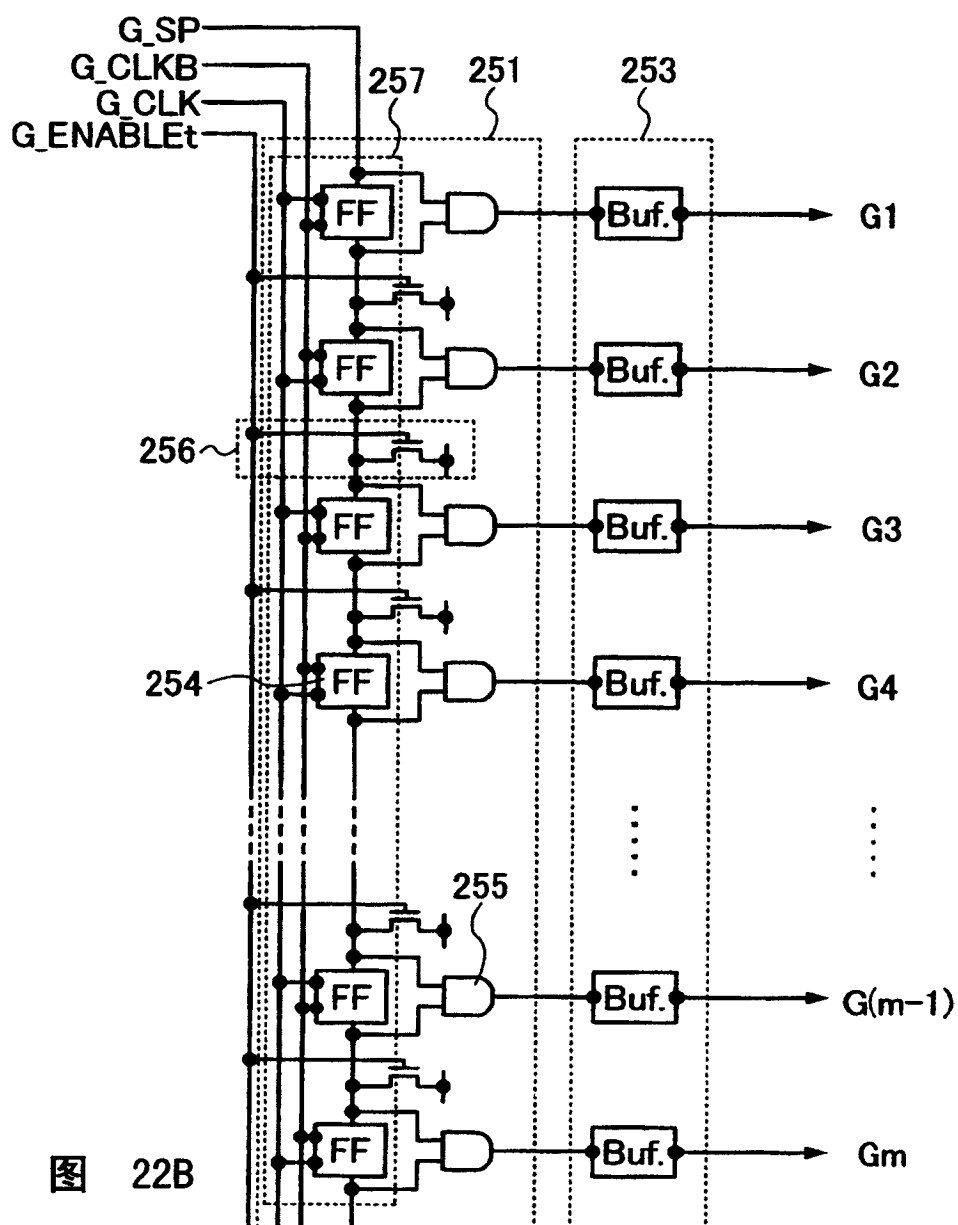


图 21



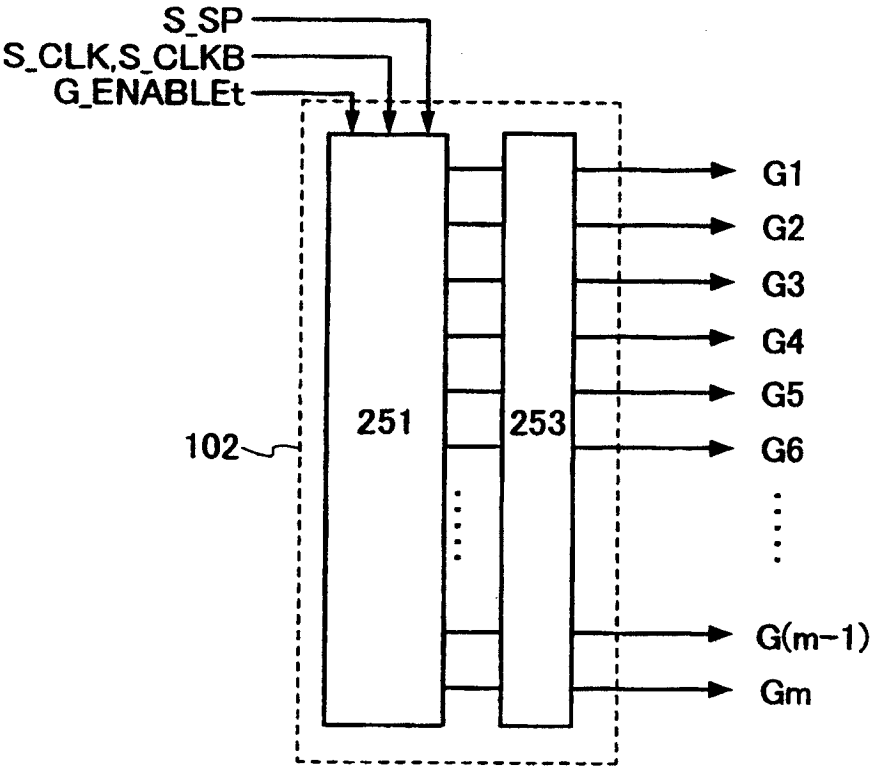


图 22A

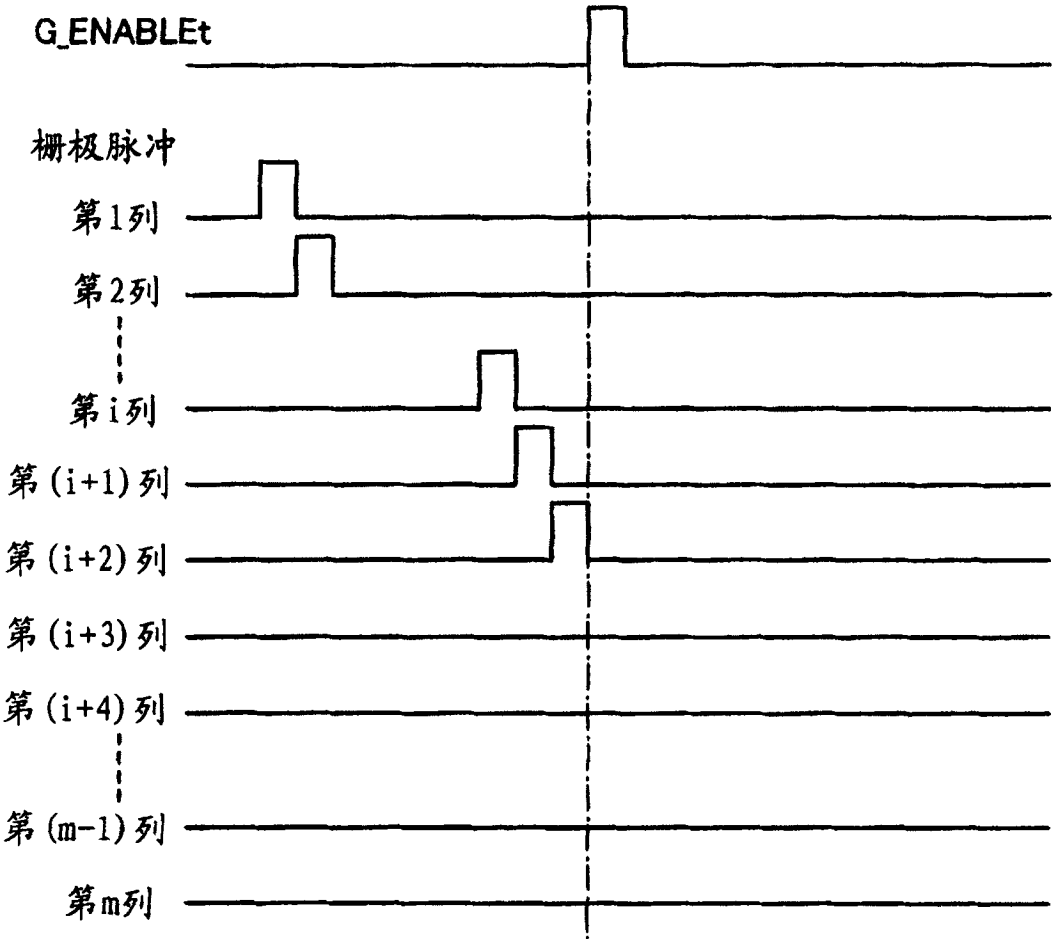


图 23

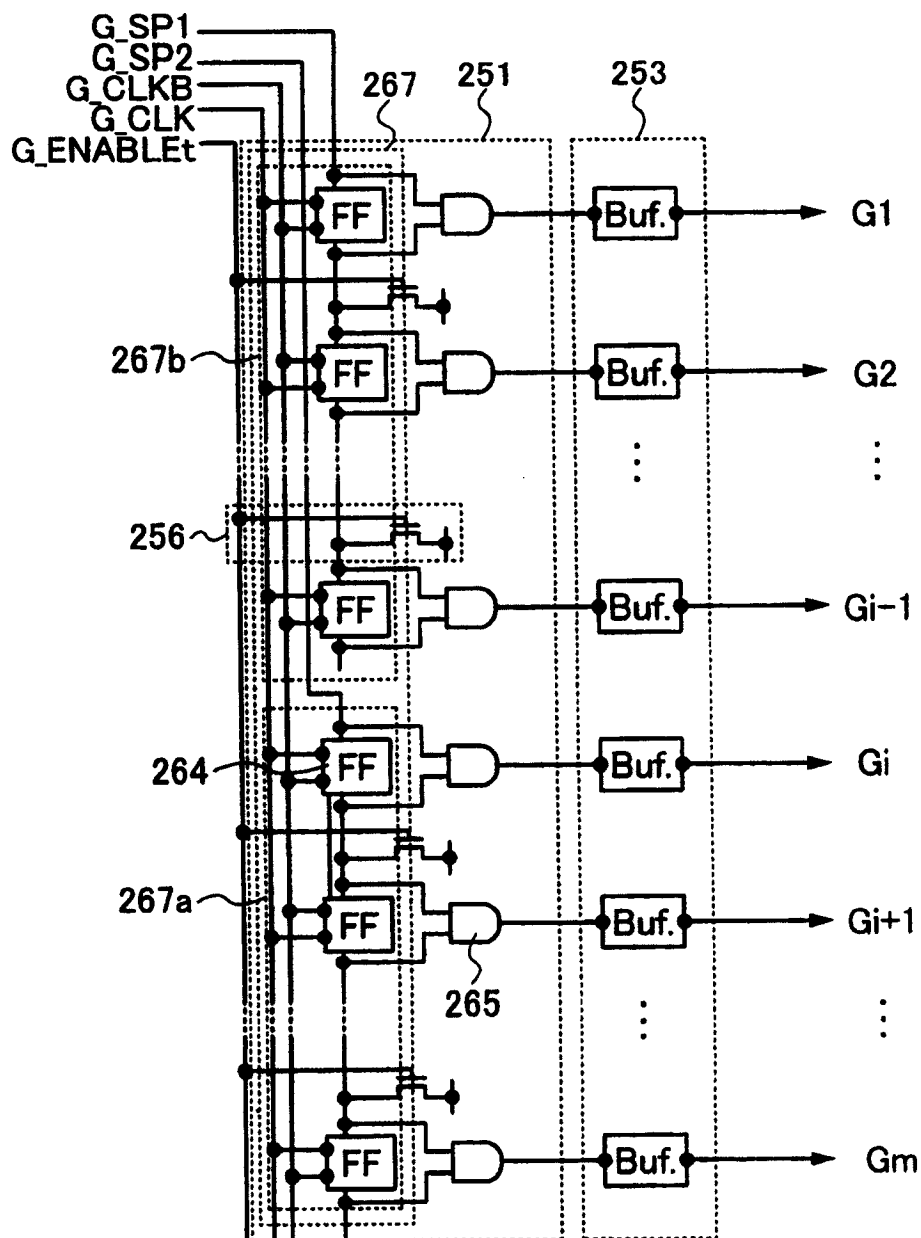


图 24

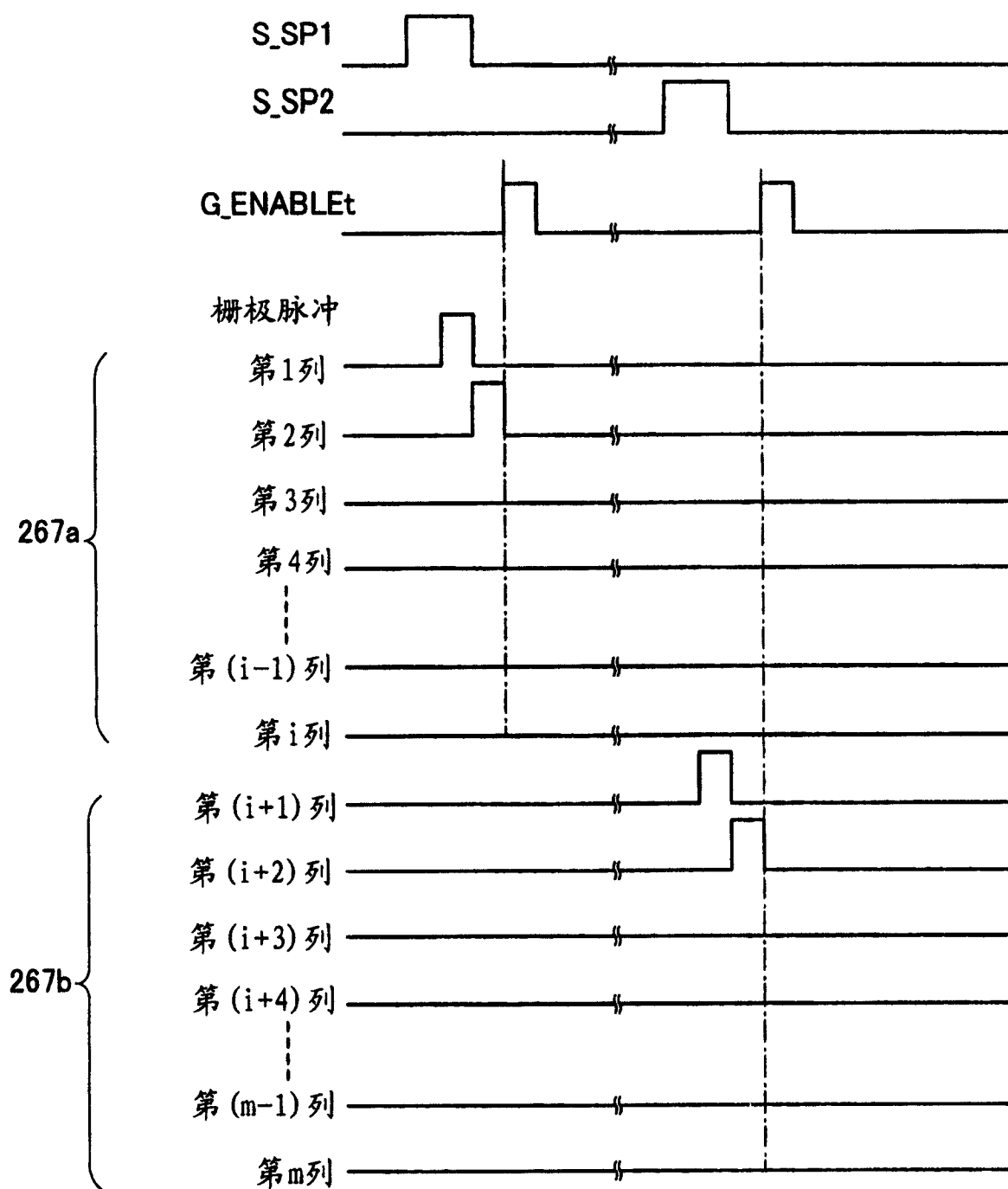


图 25

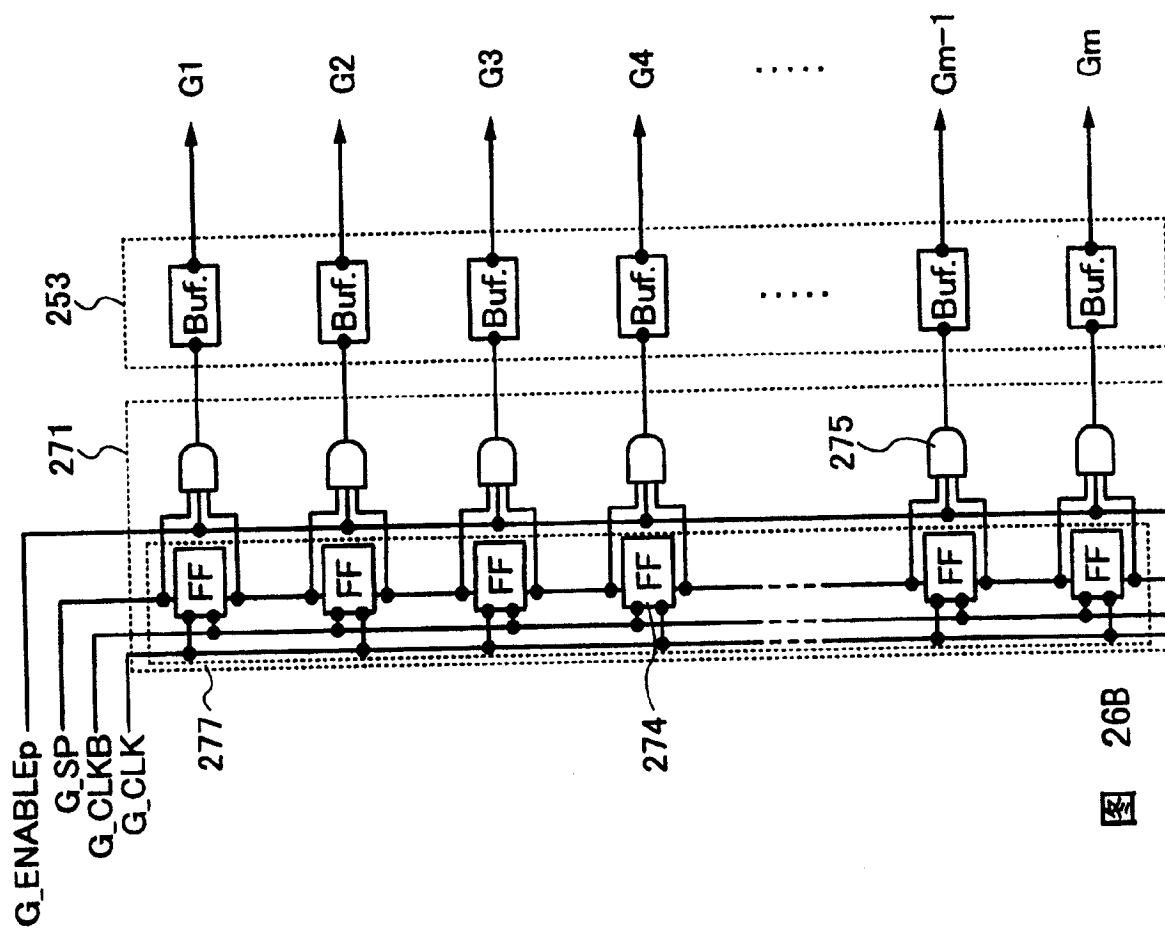


图 26B

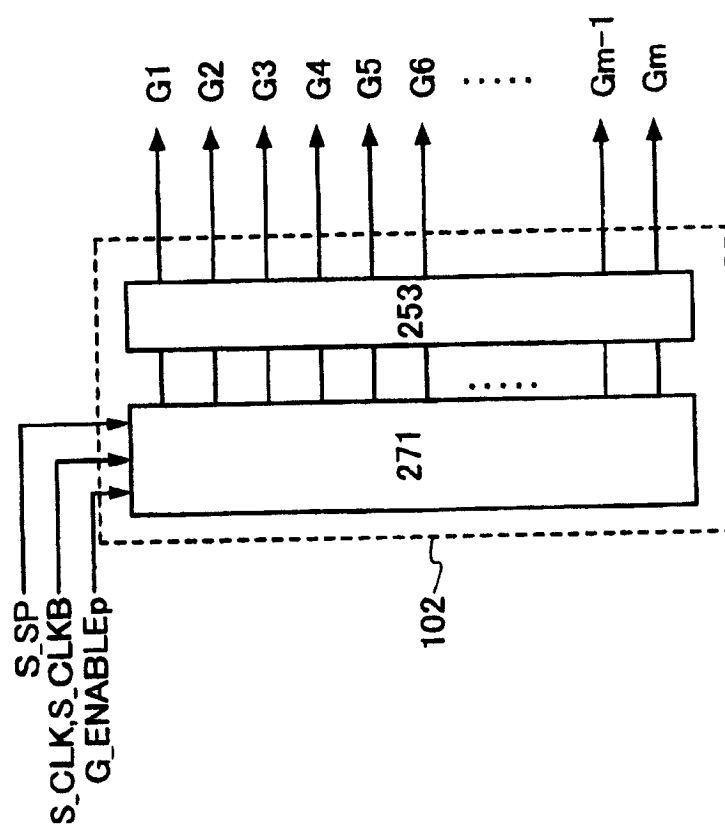


图 26A

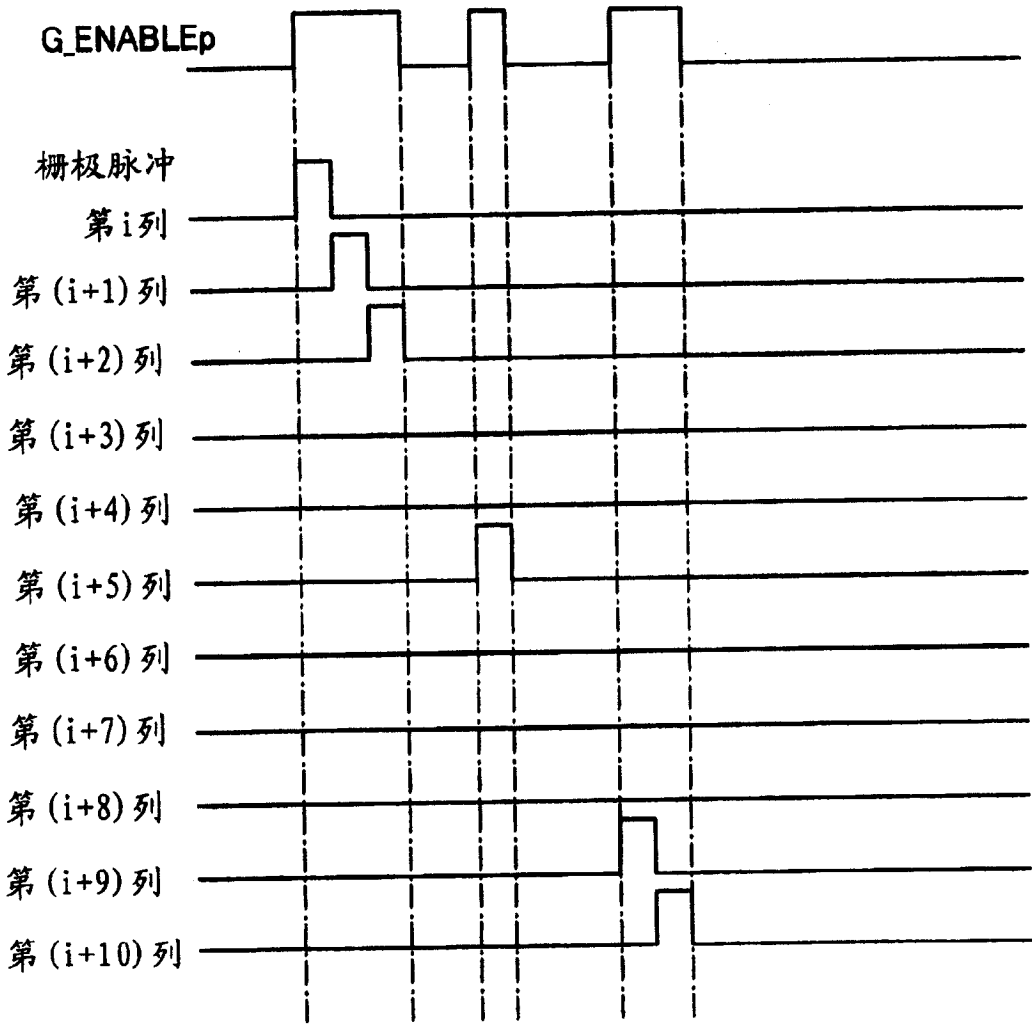


图 27

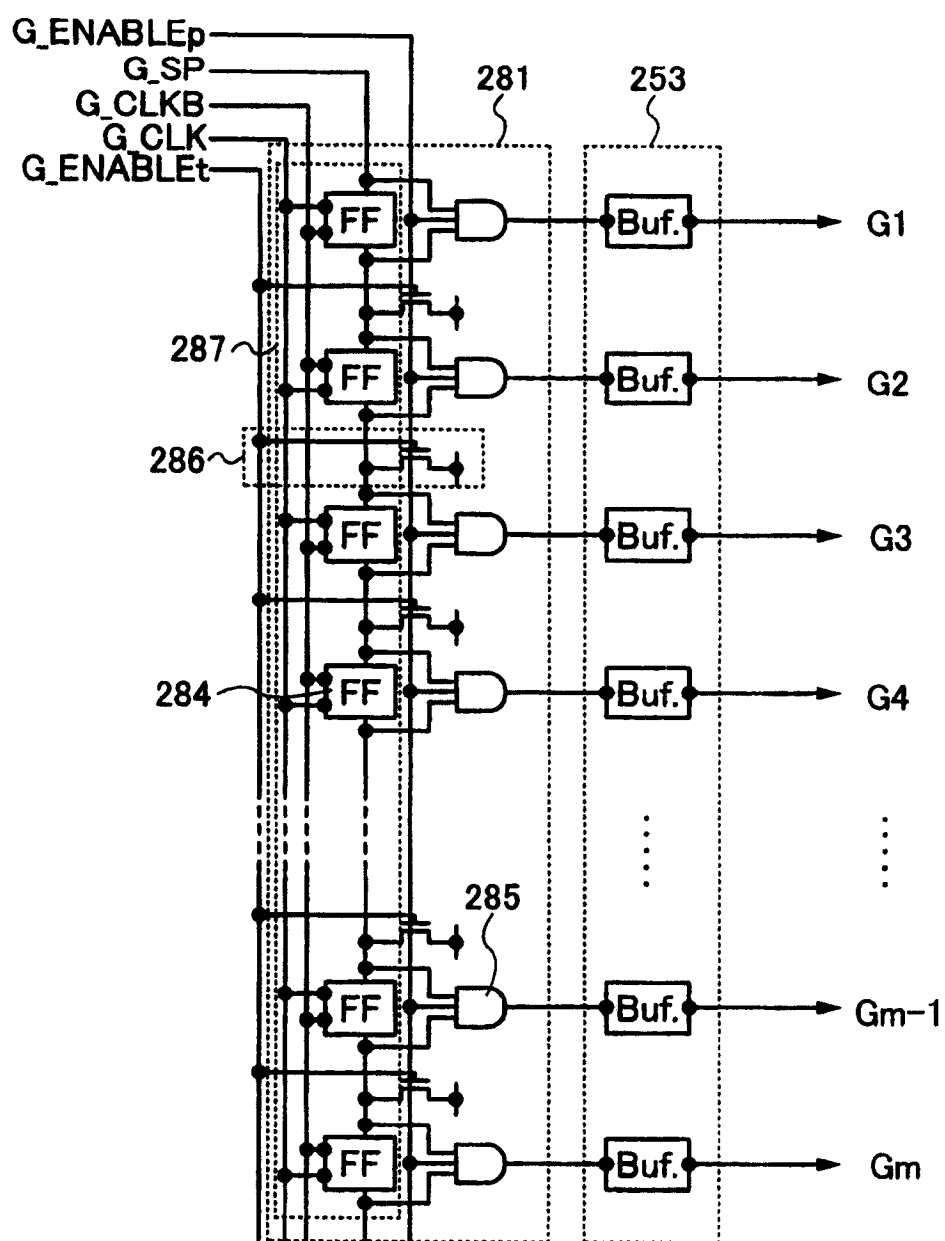


图 28

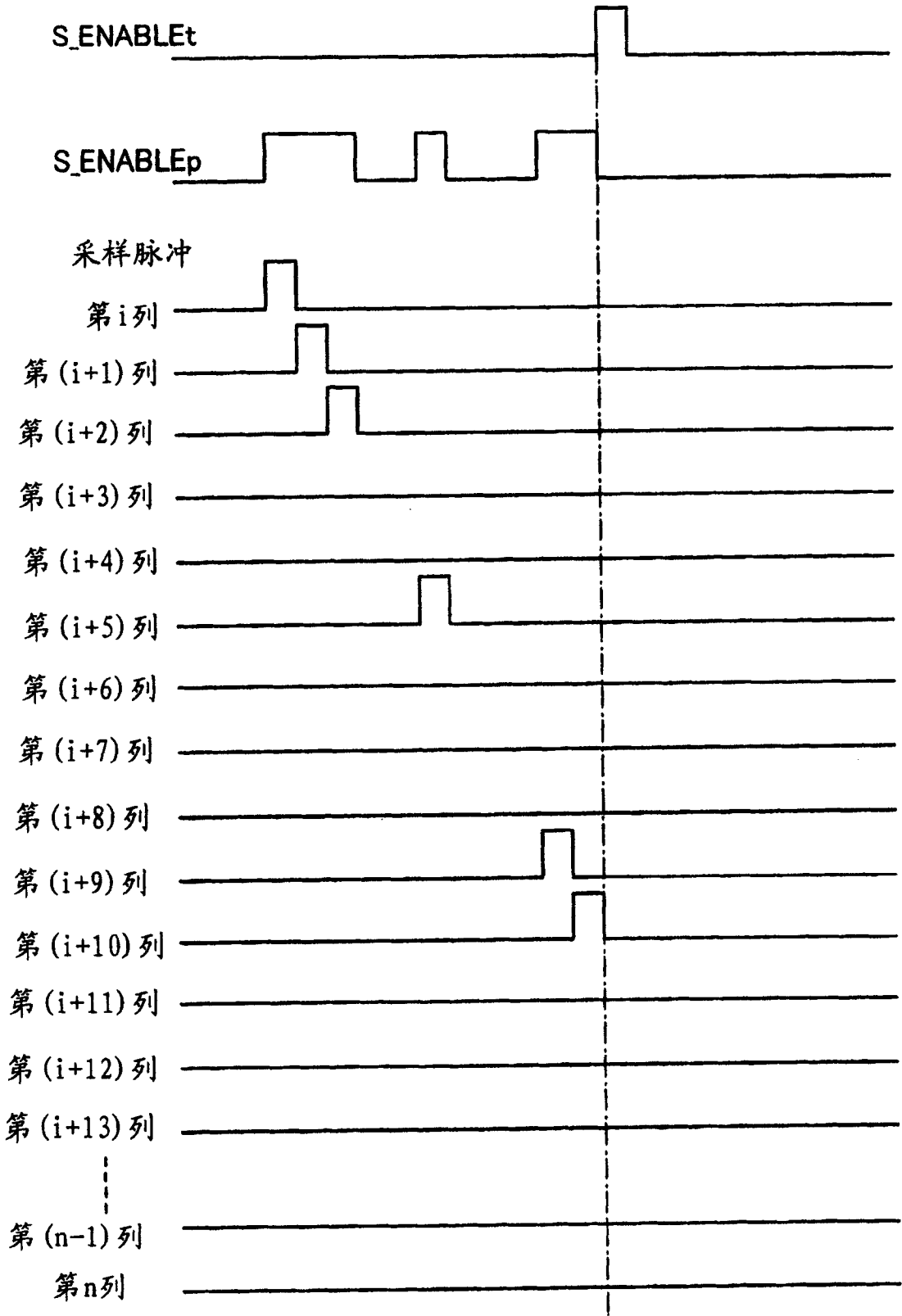


图 29

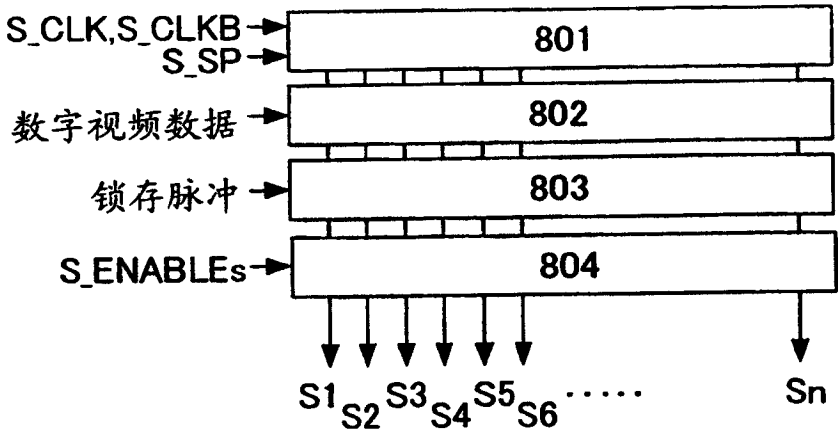
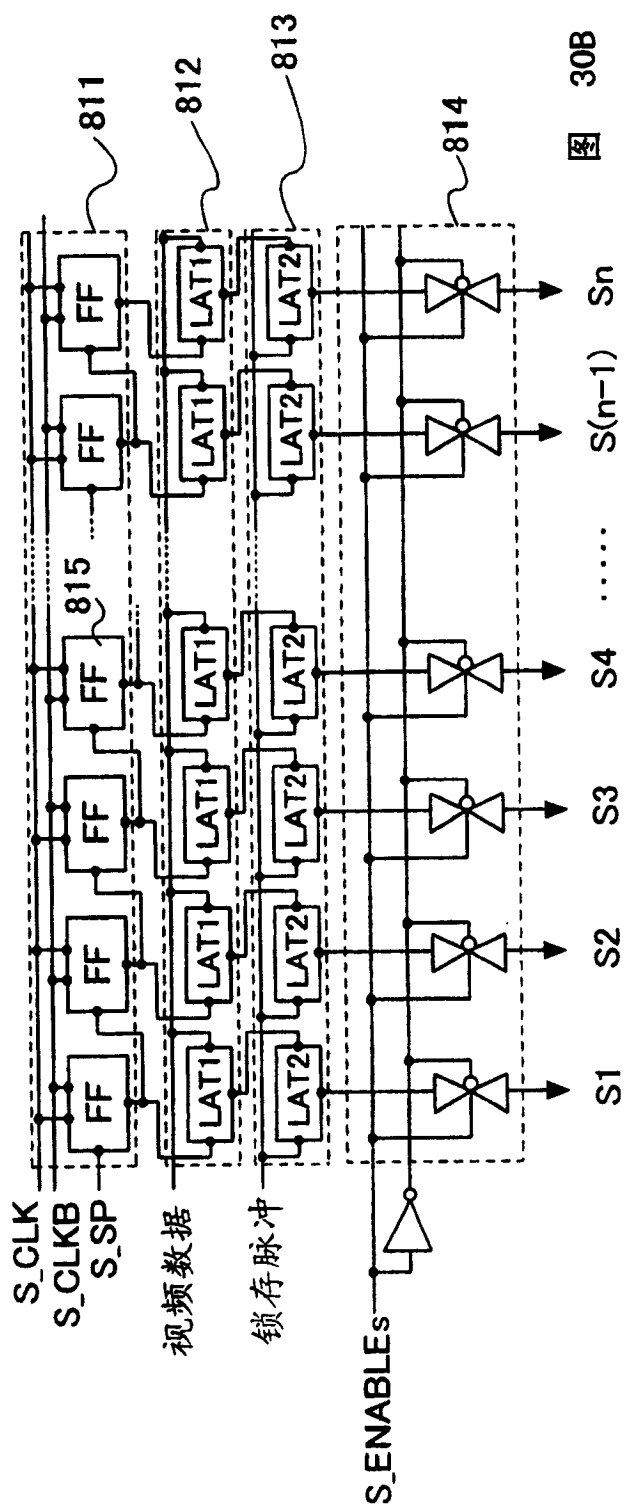


图 30A



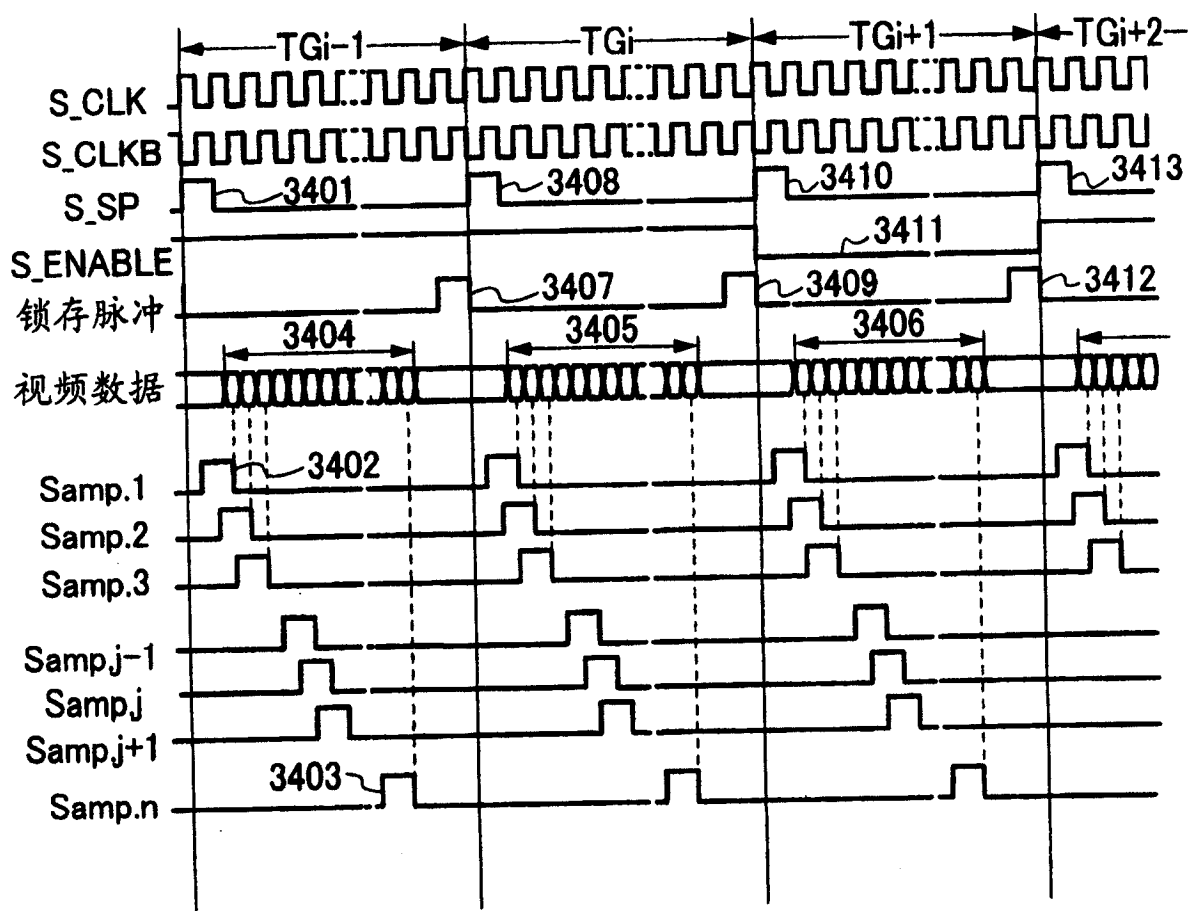
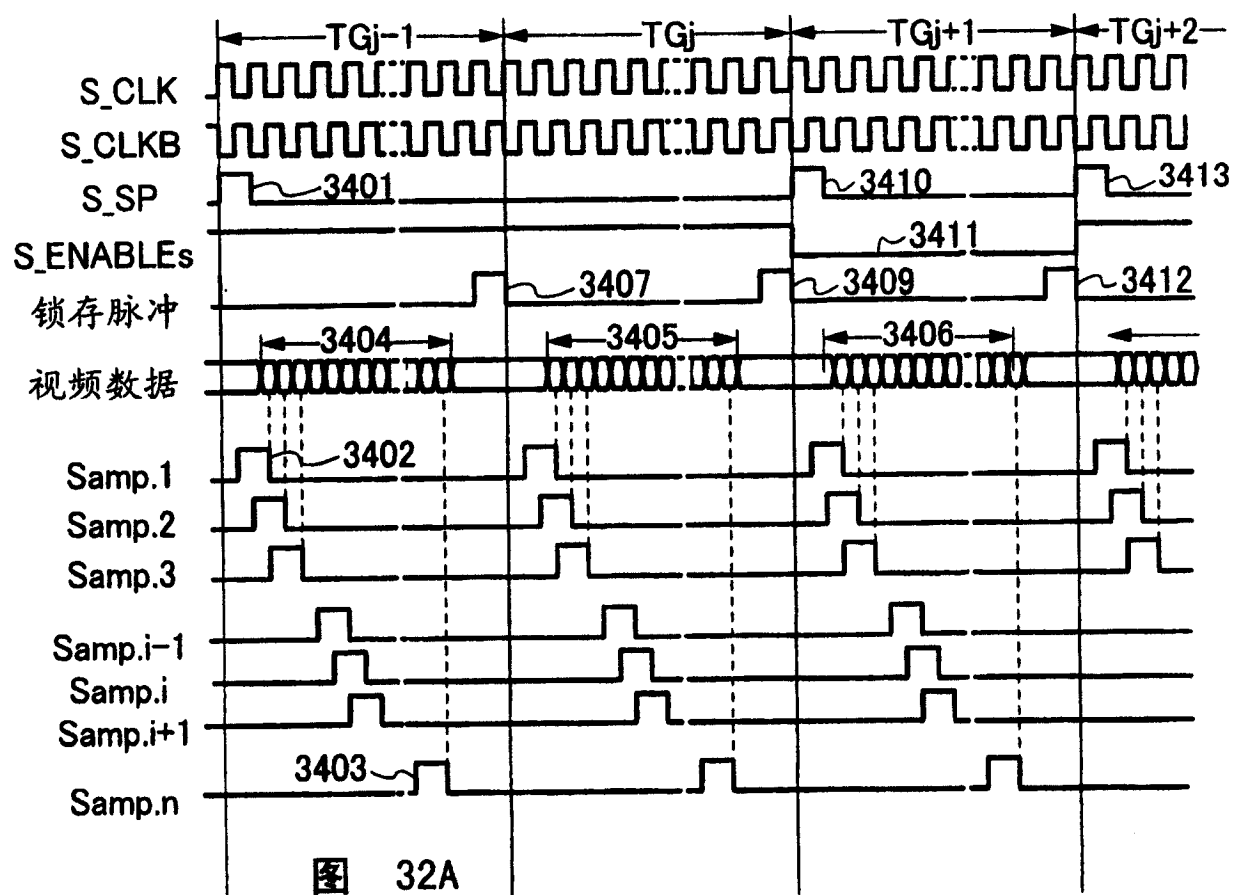
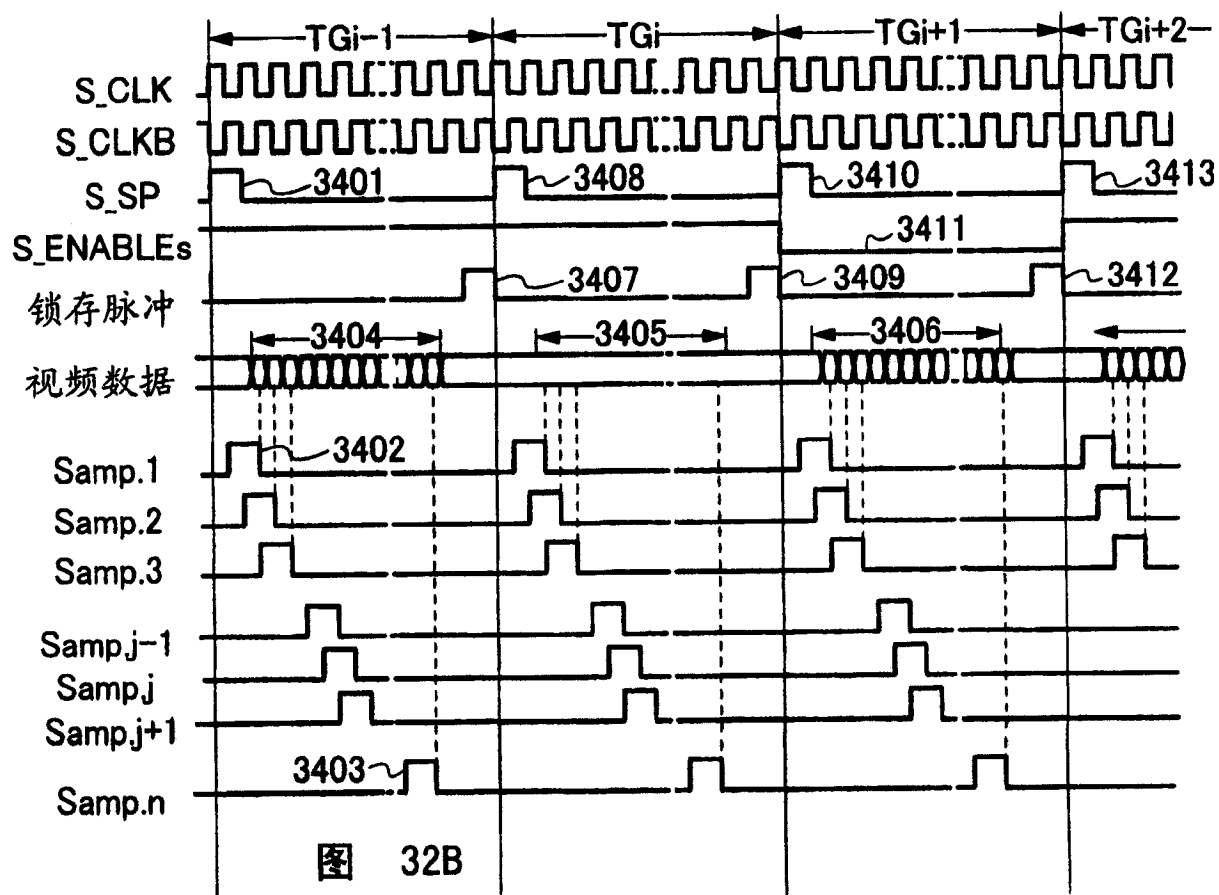
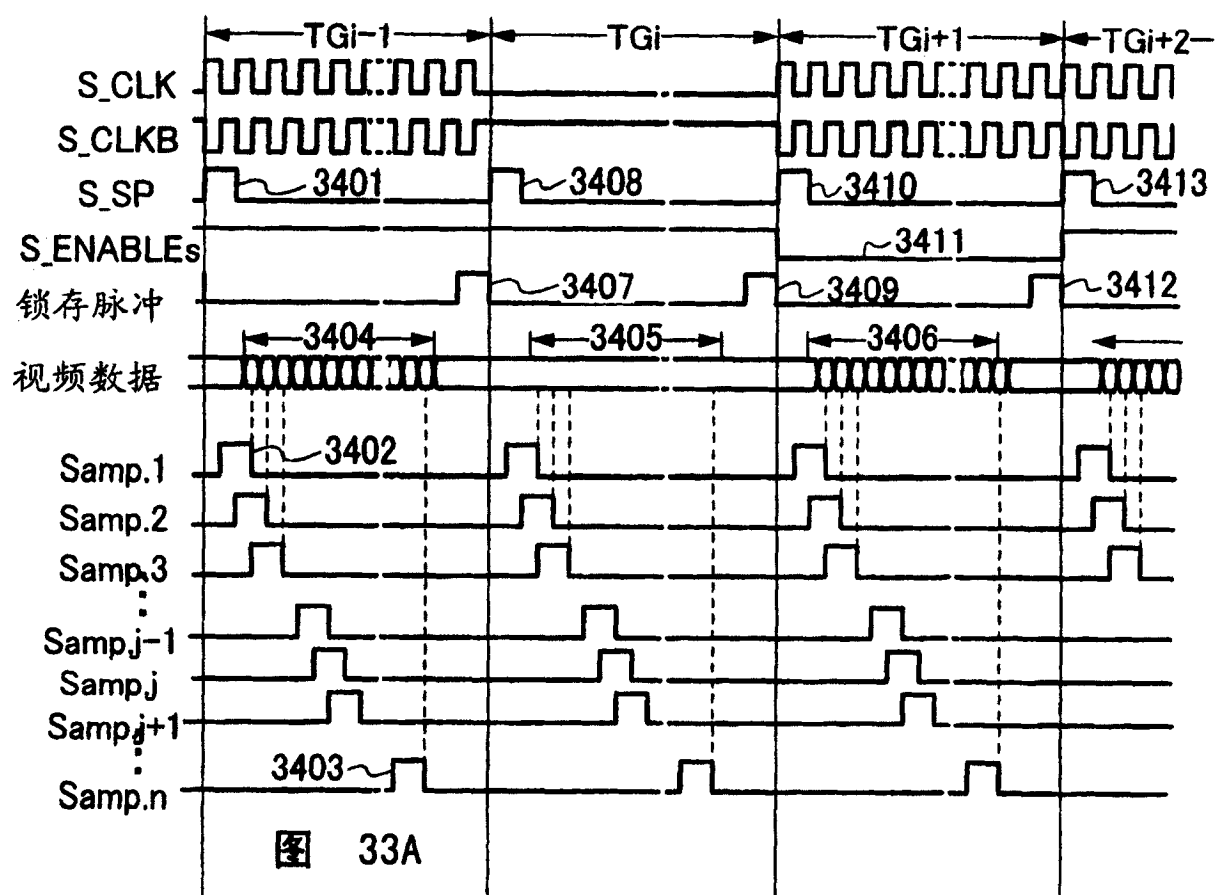


图 31







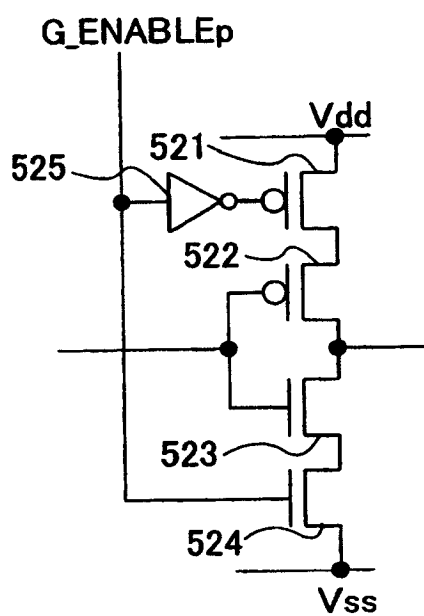
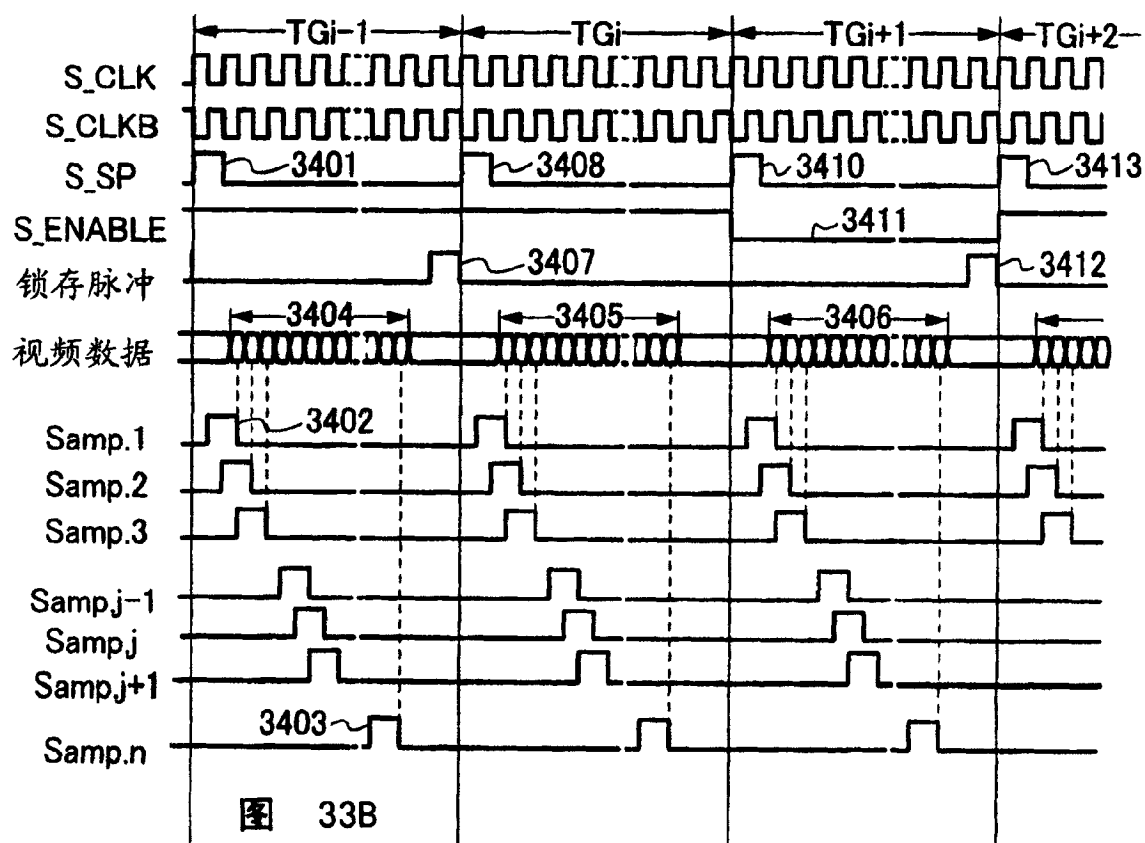


图 34C

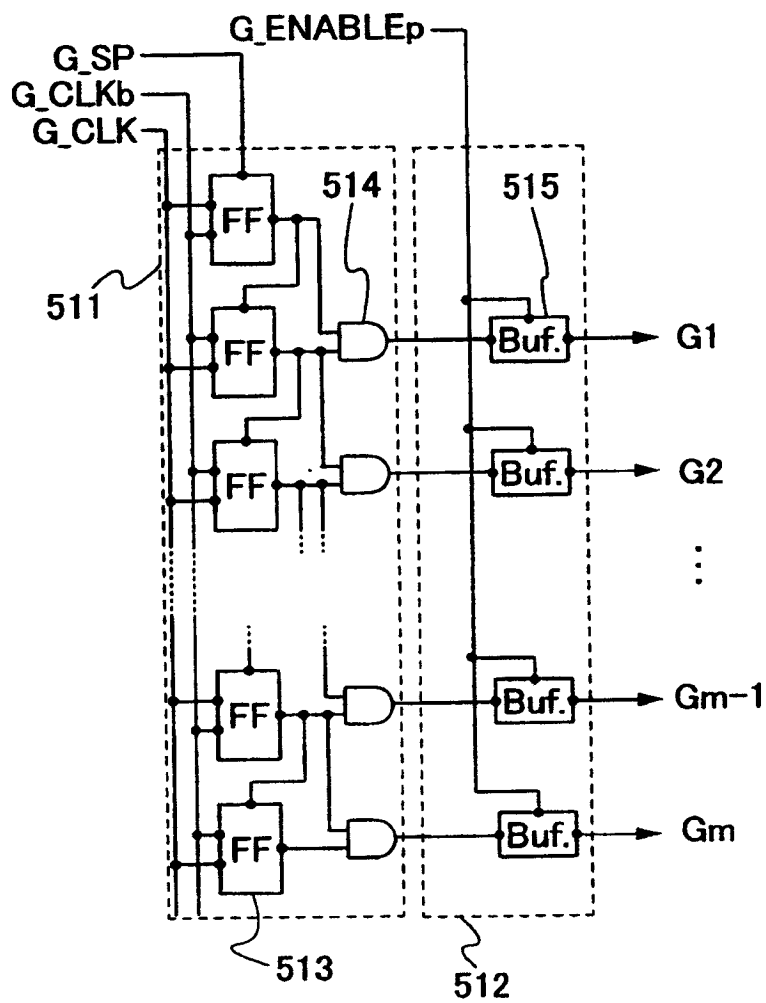


图 34B

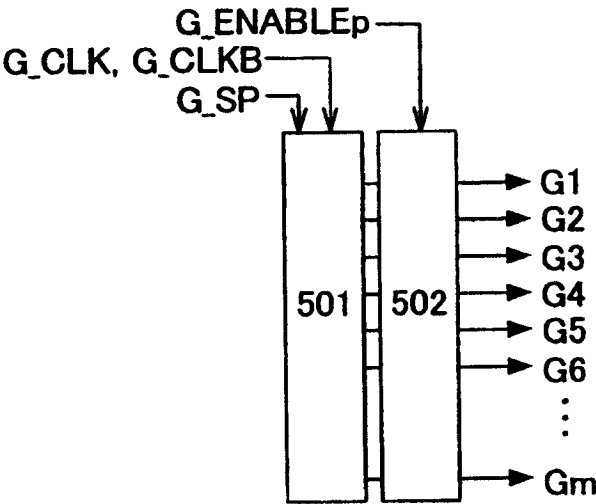
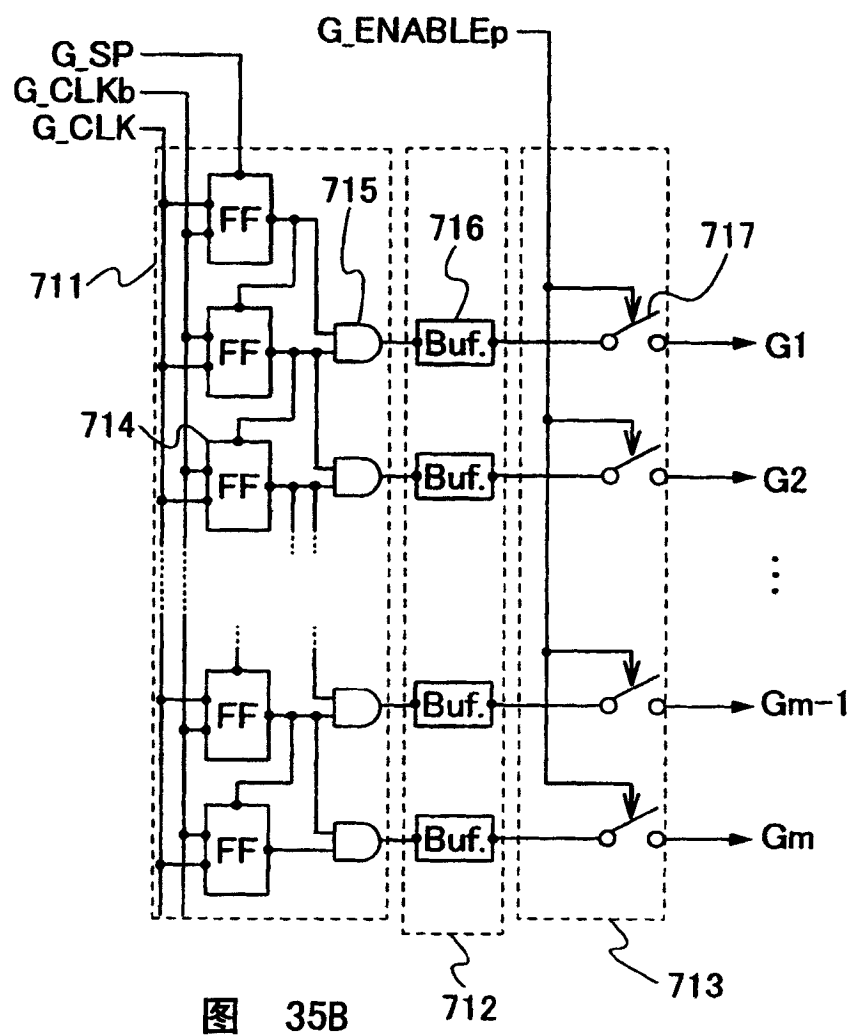


图 34A



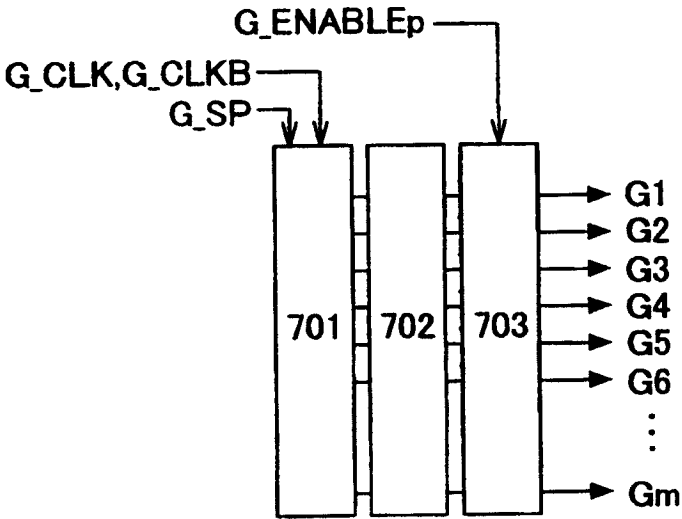


图 35A

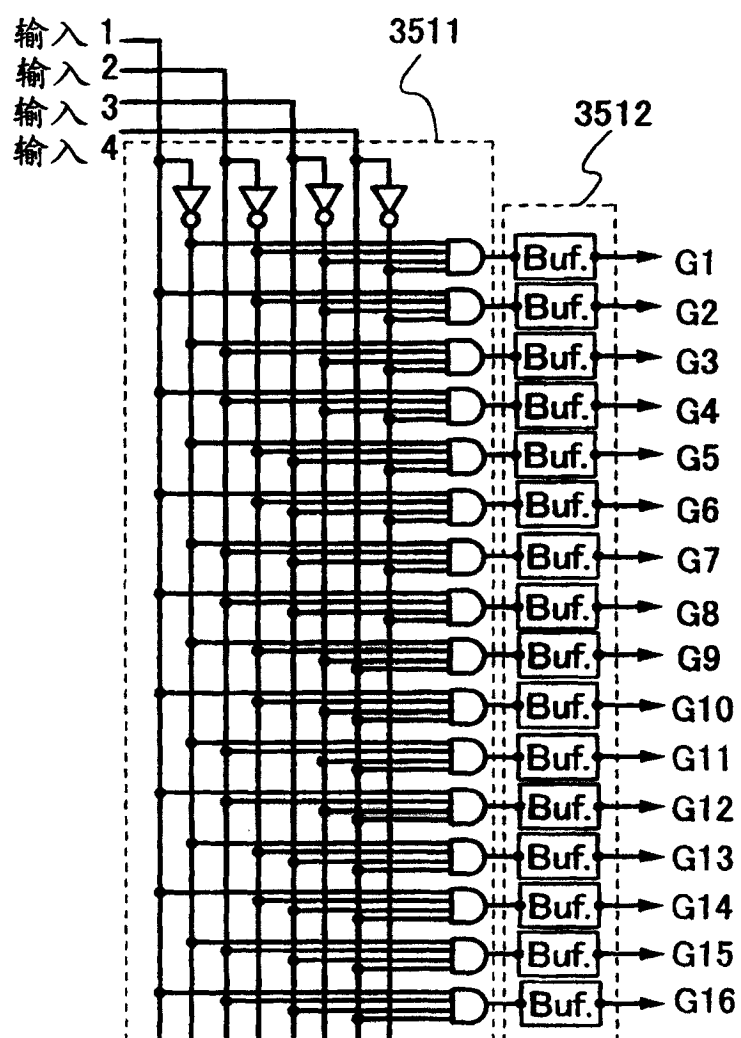


图 36B

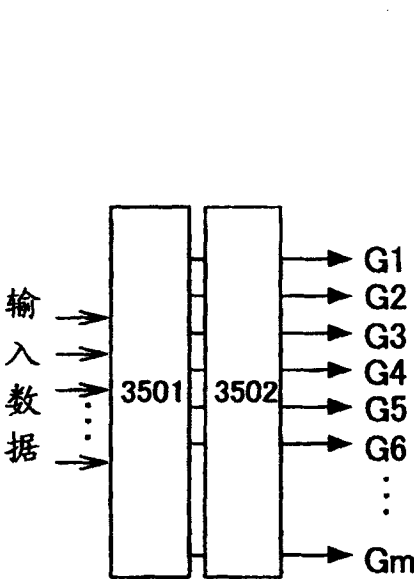


图 36A

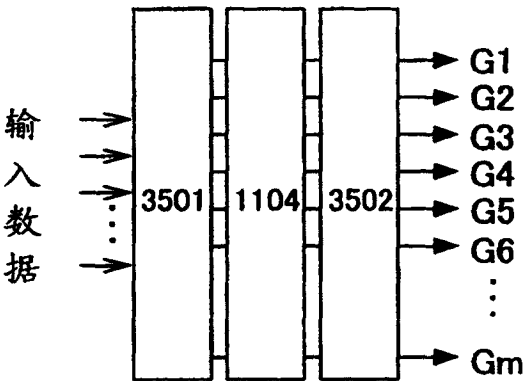


图 37B

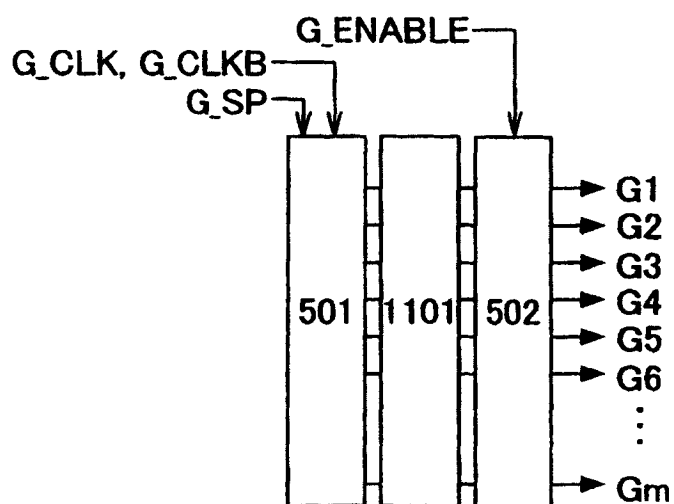
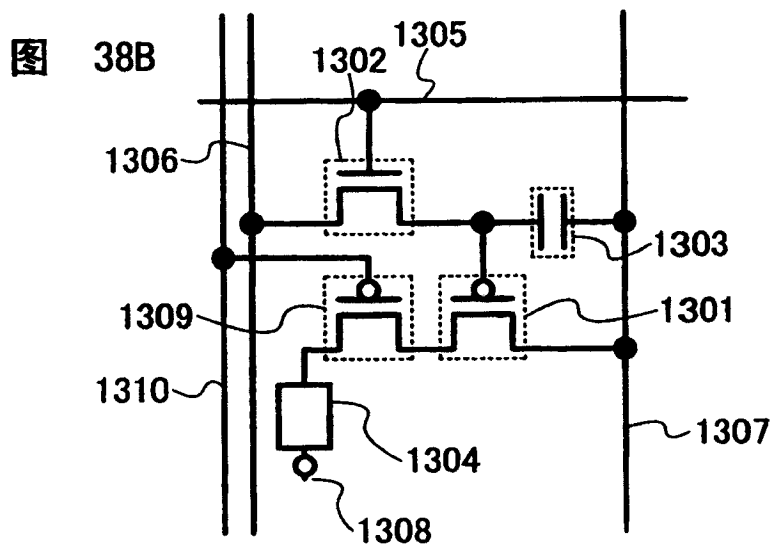
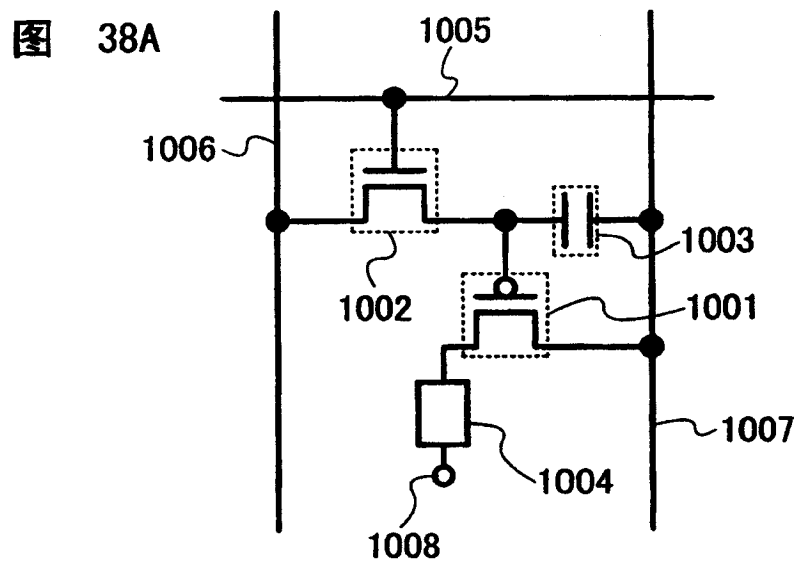
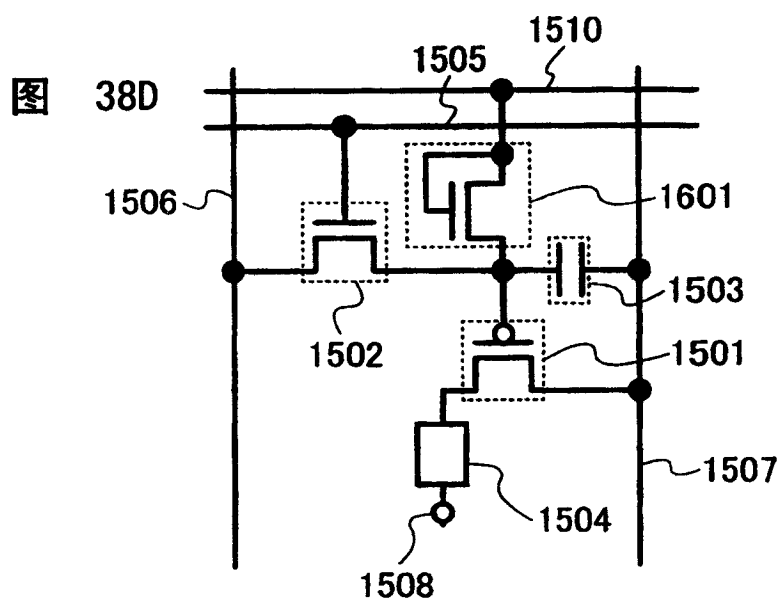
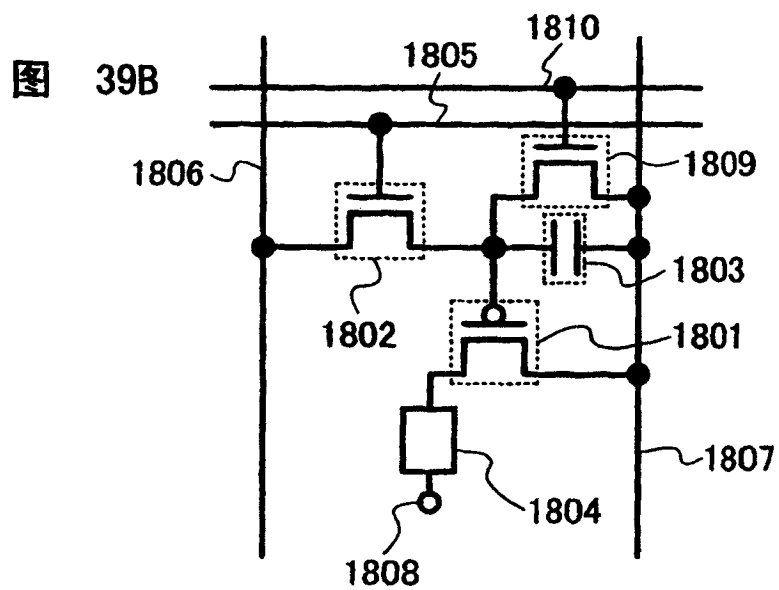
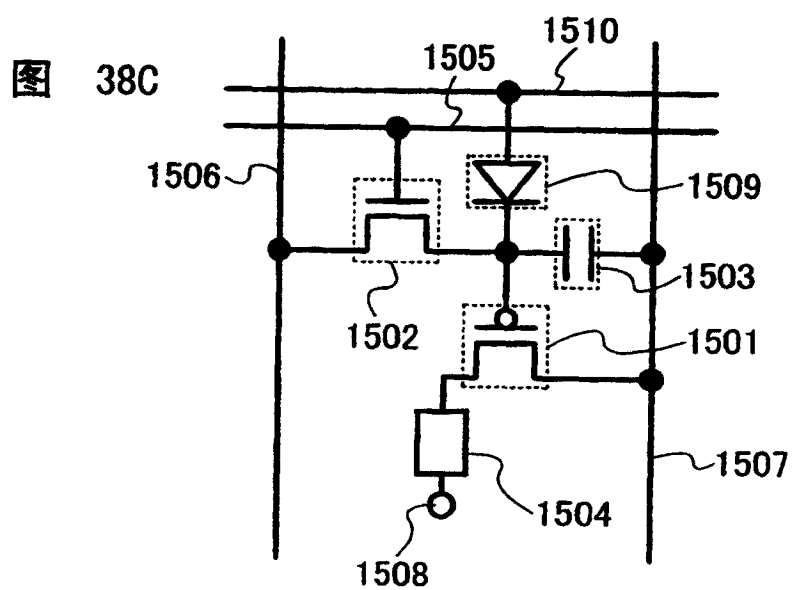
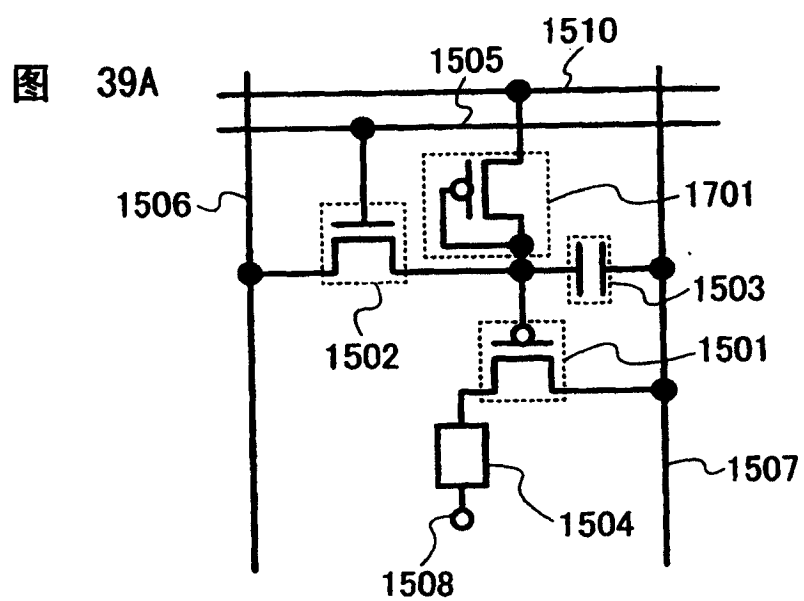
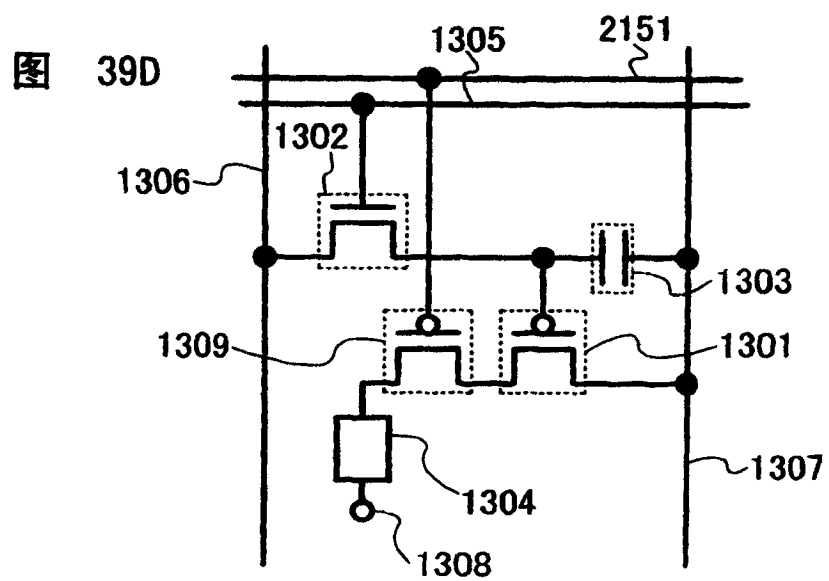


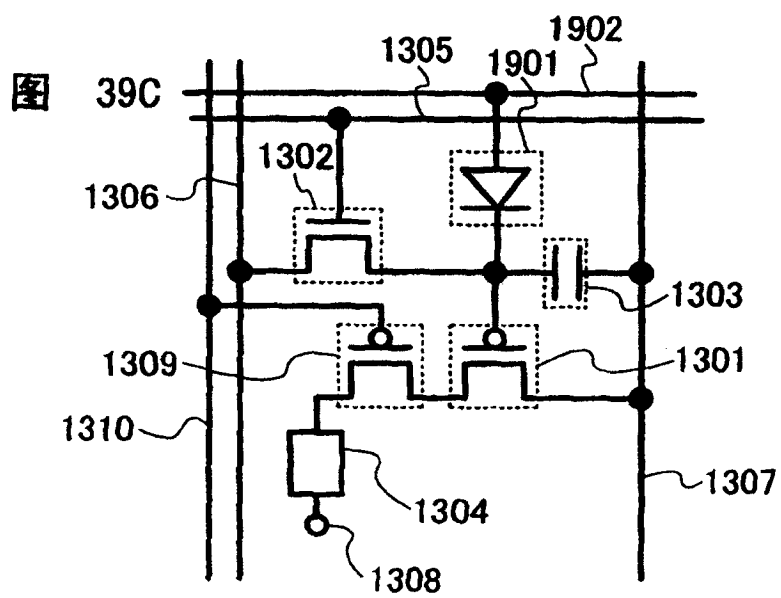
图 37A











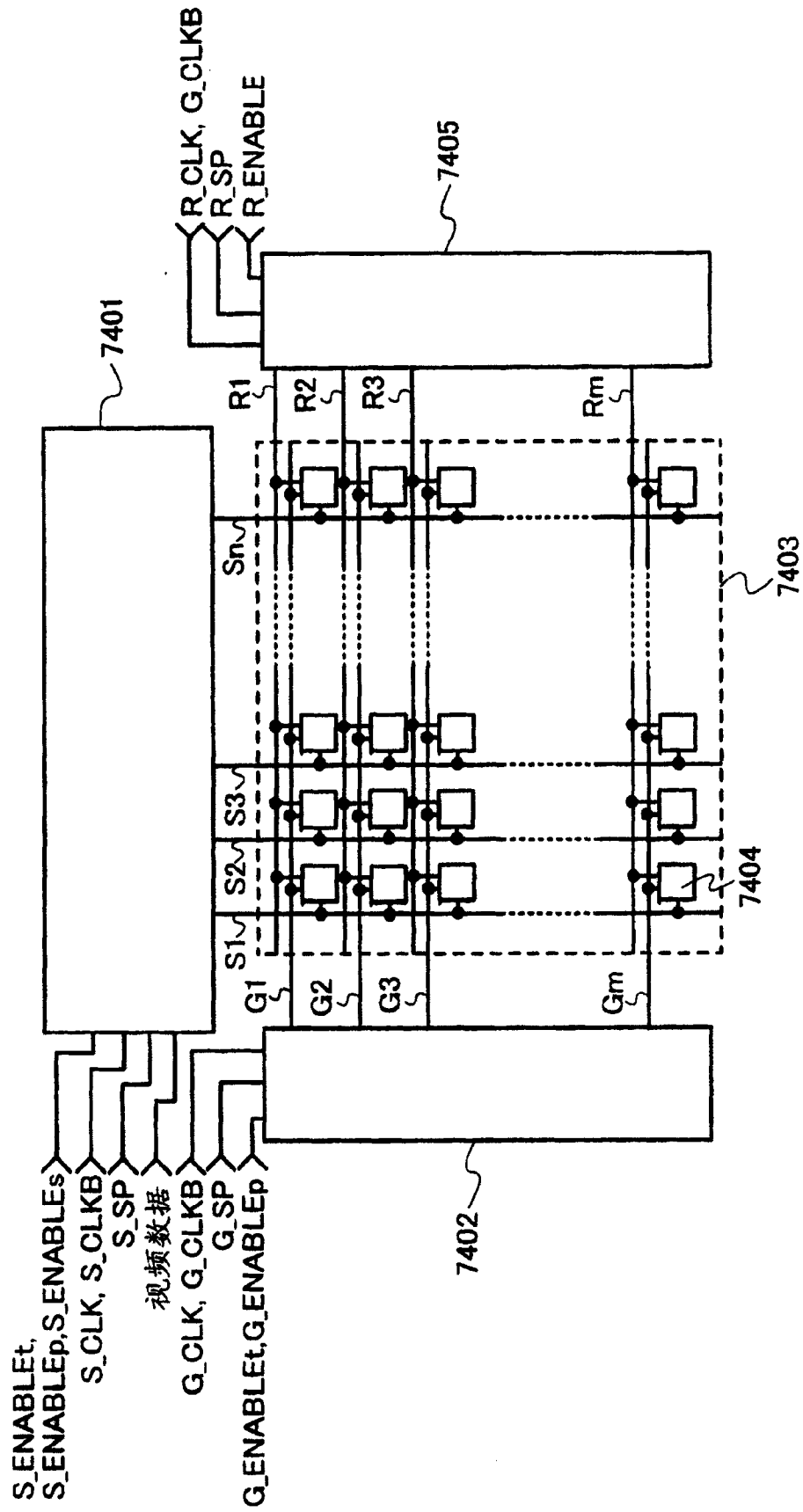


图 40

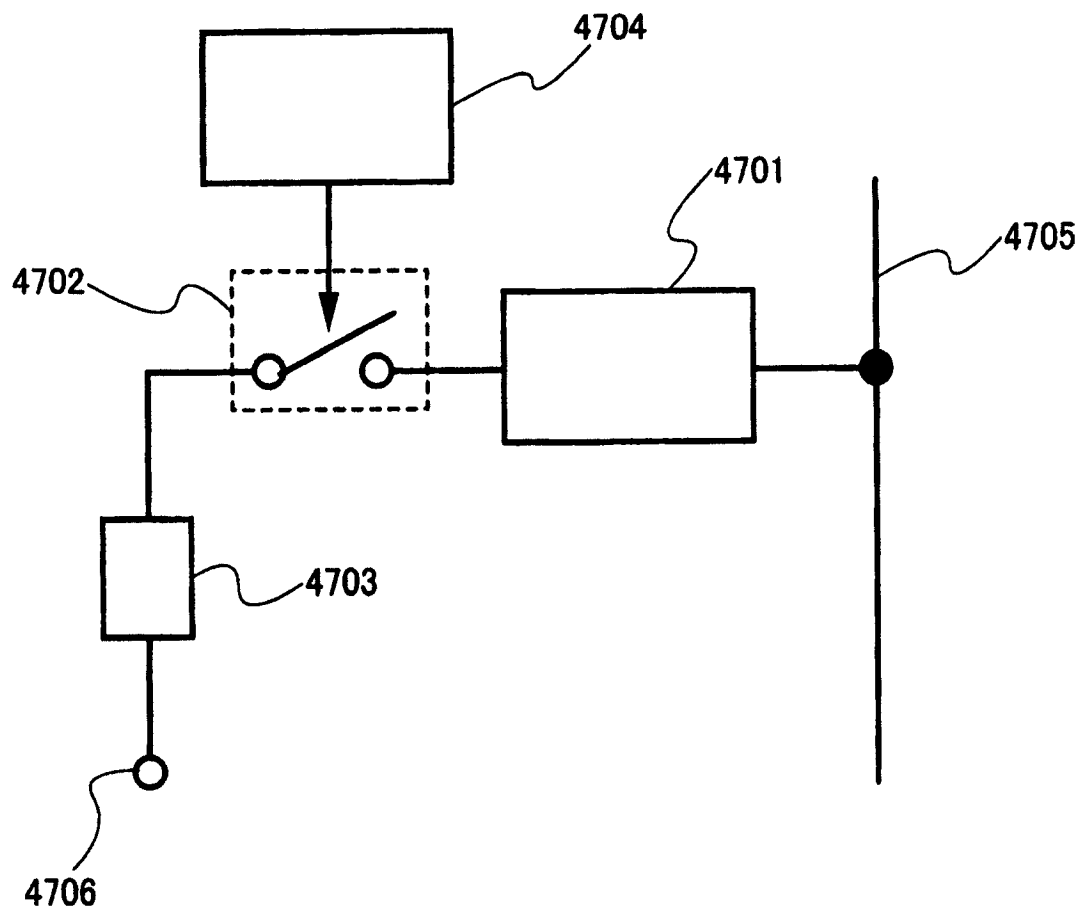


图 41

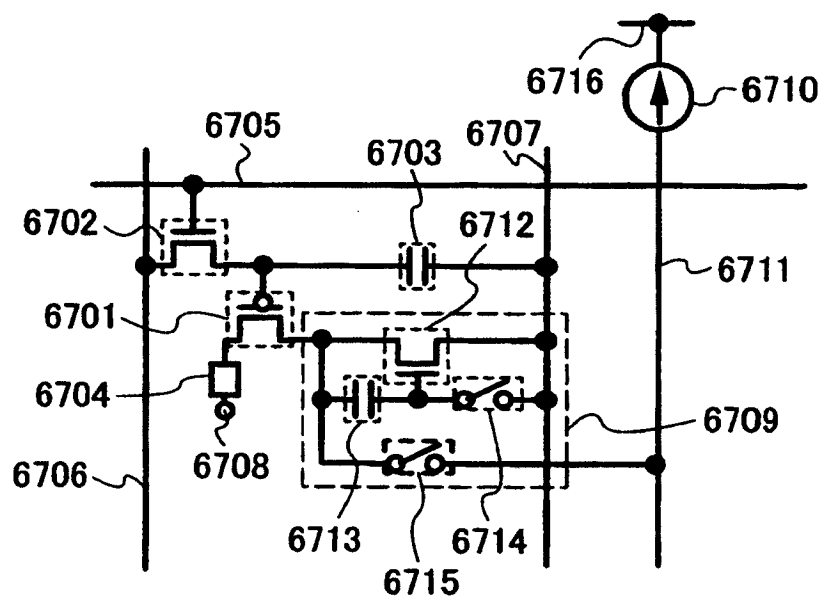


图 42B

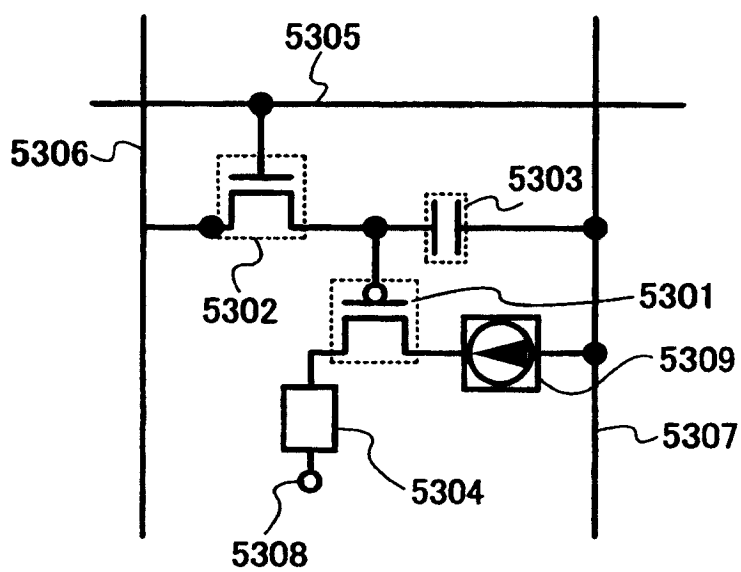


图 42A

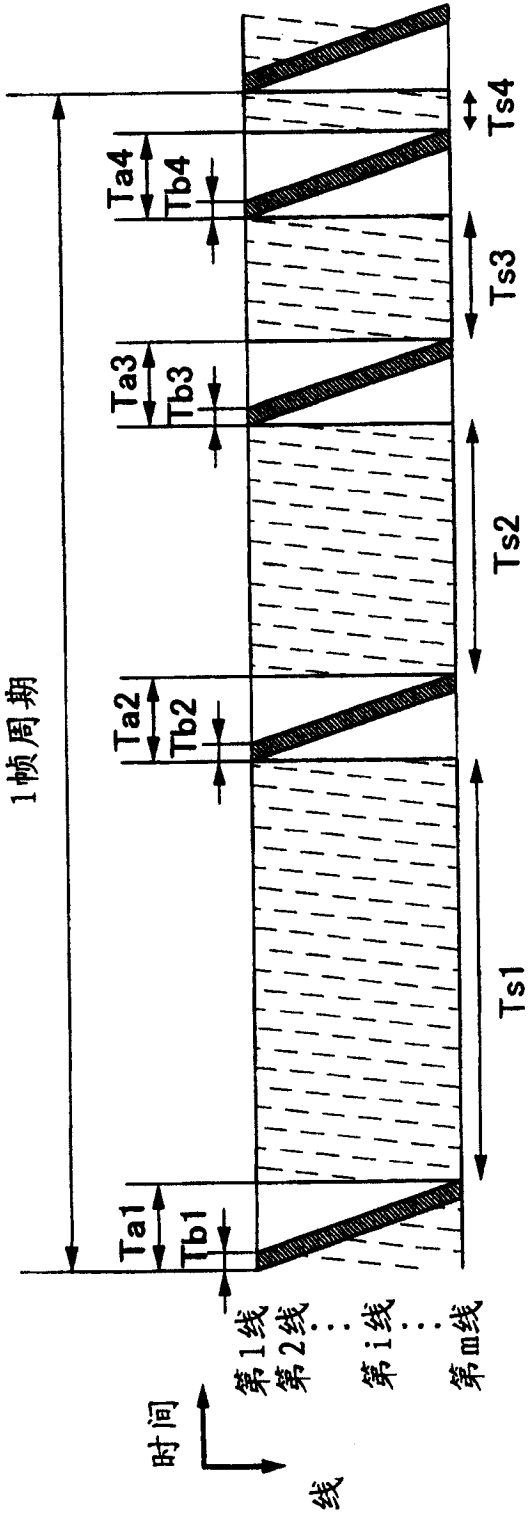


图 43

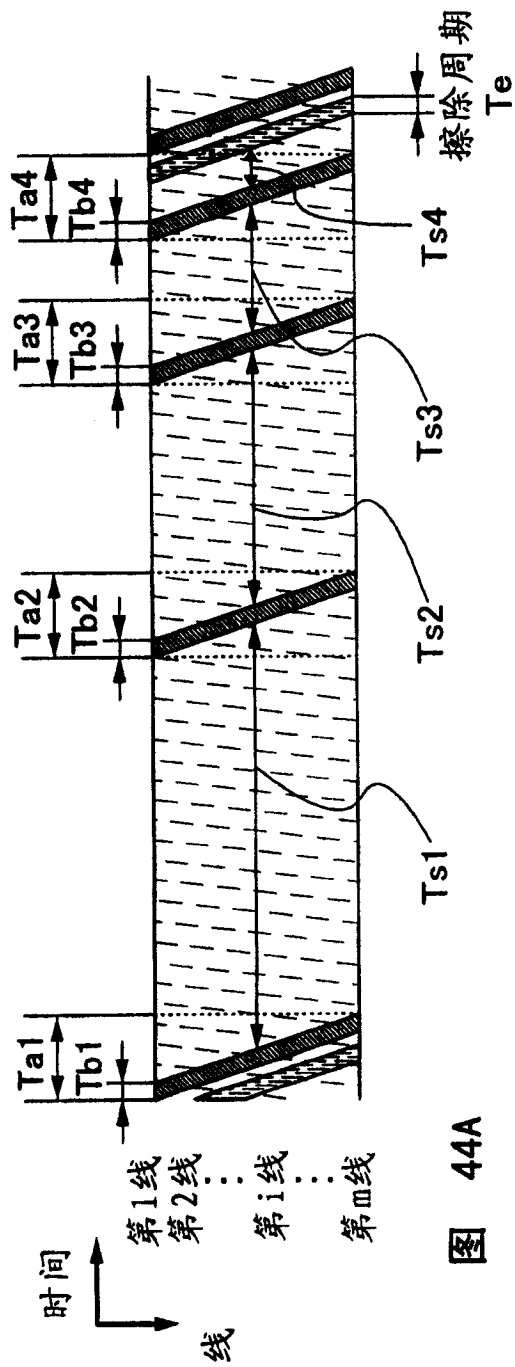


图 44A

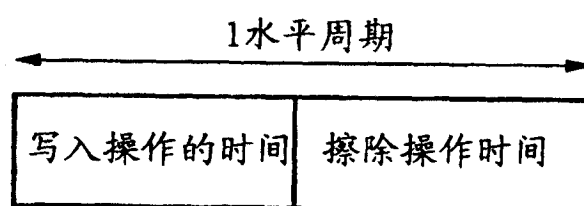


图 44B

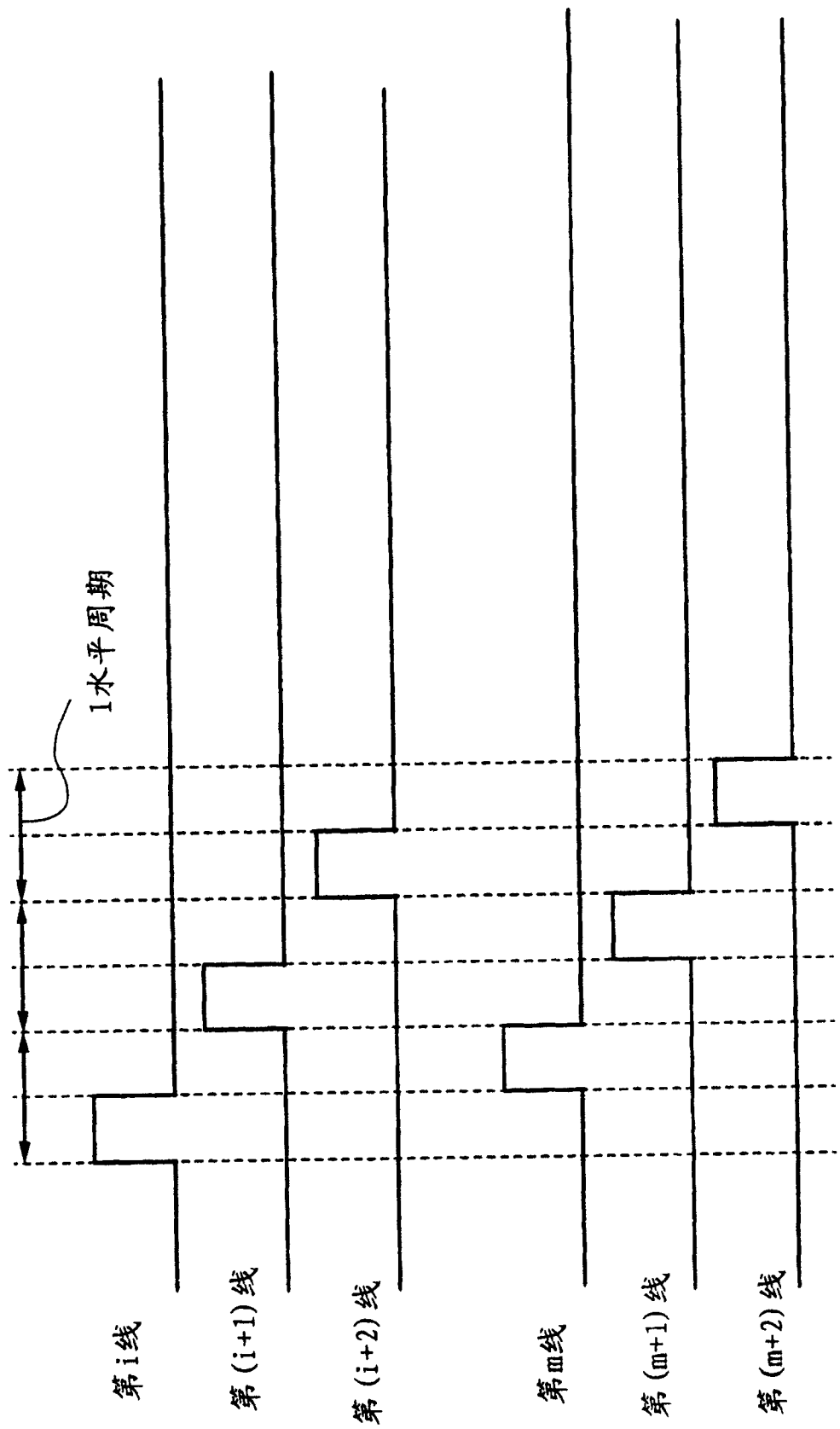


图 45

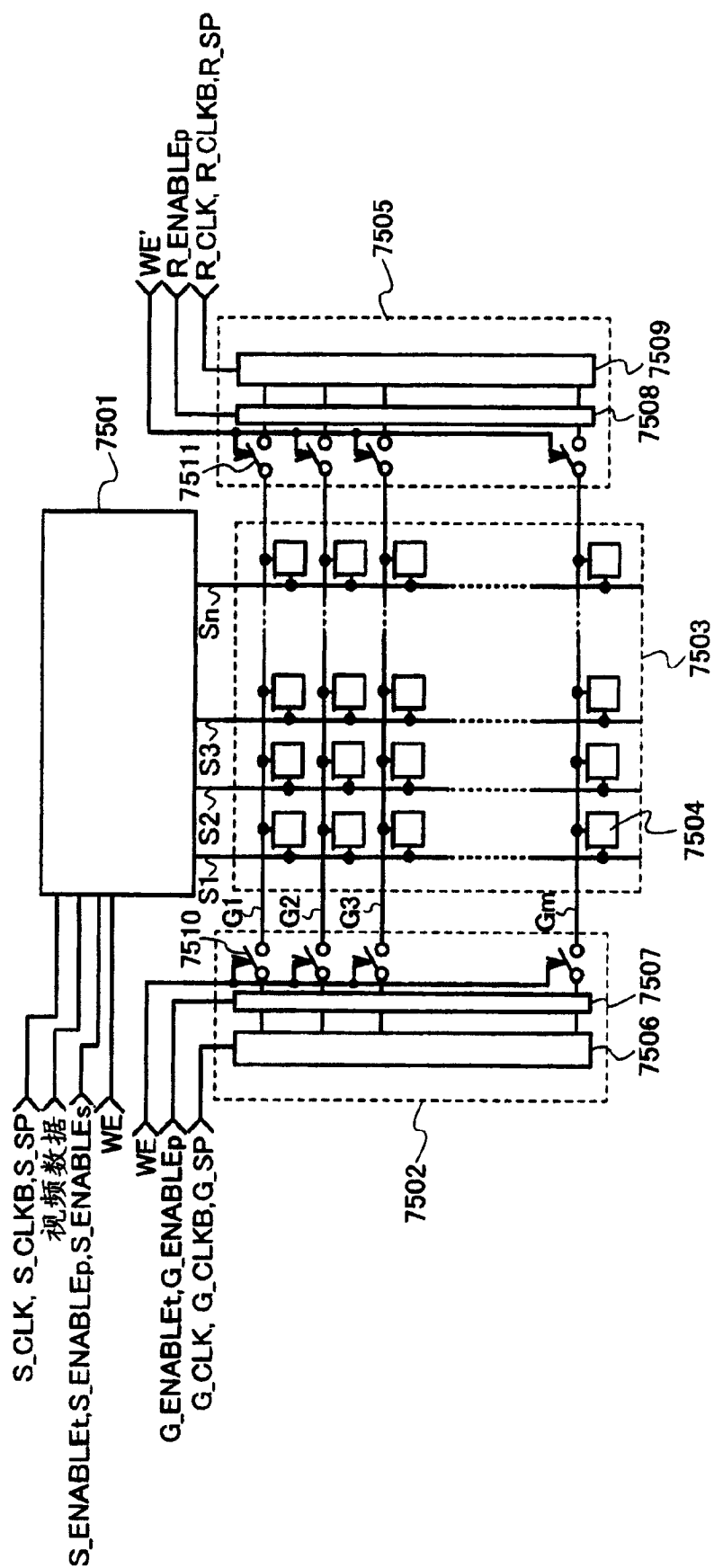


图 46

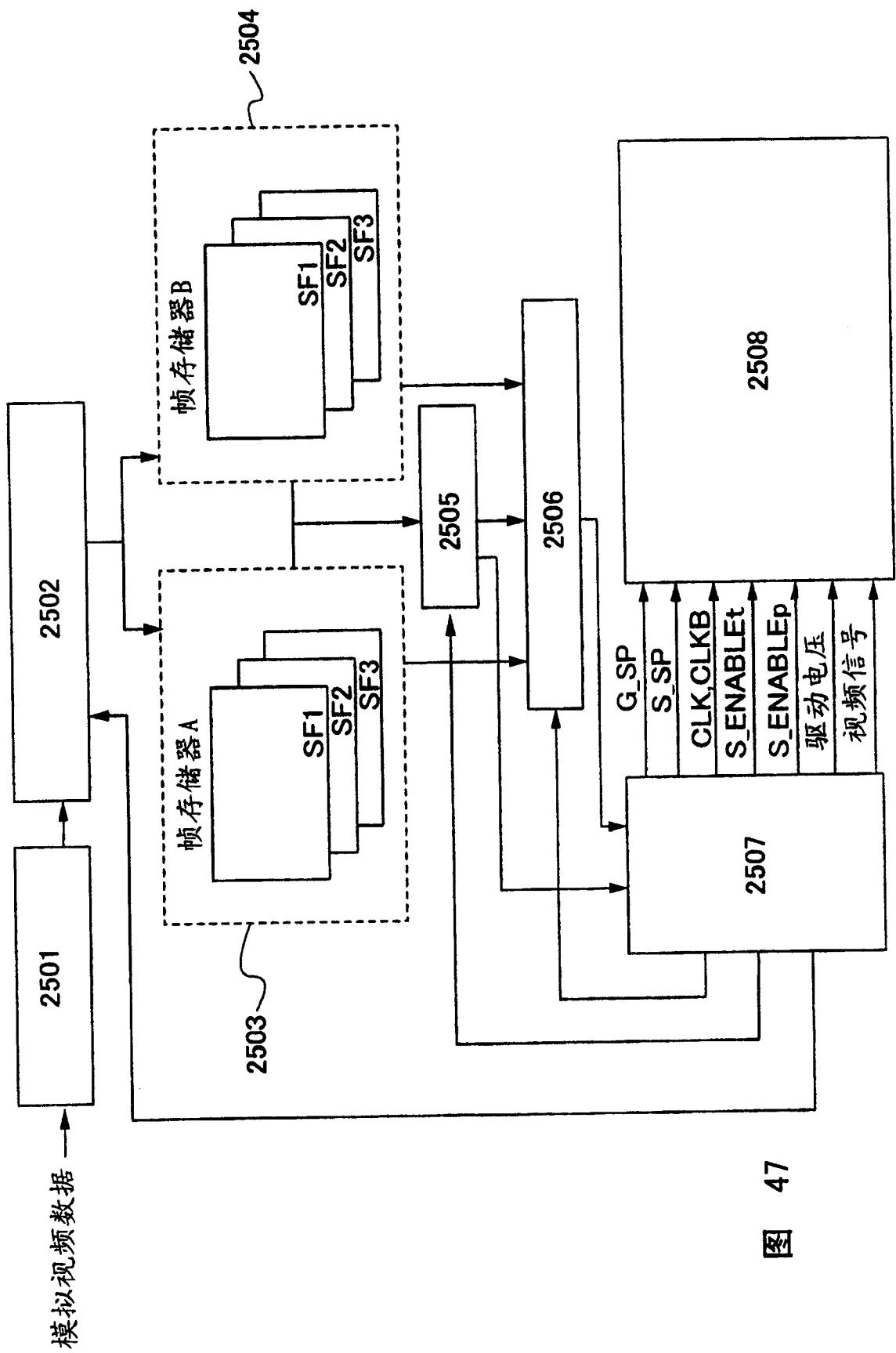
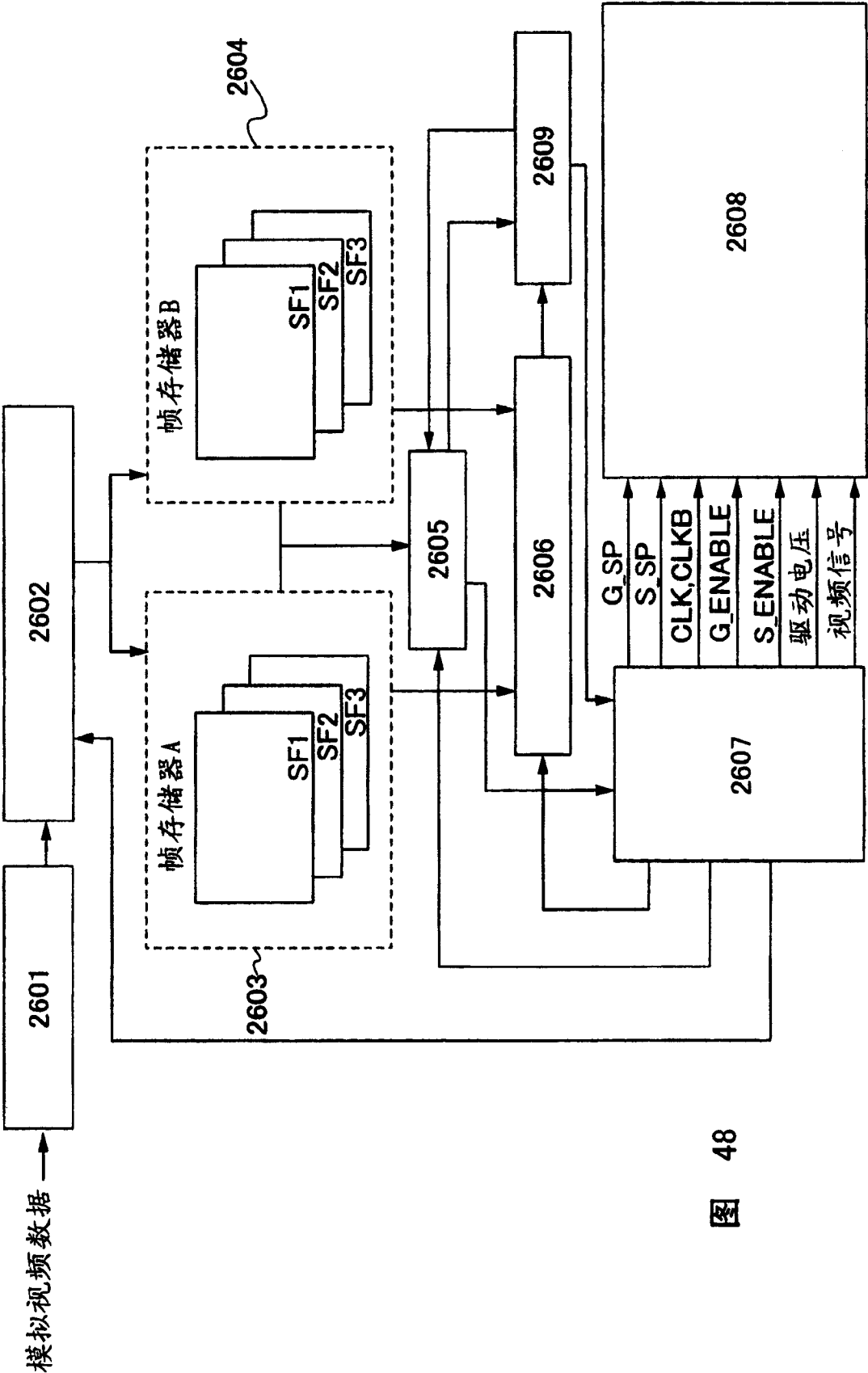


图 47



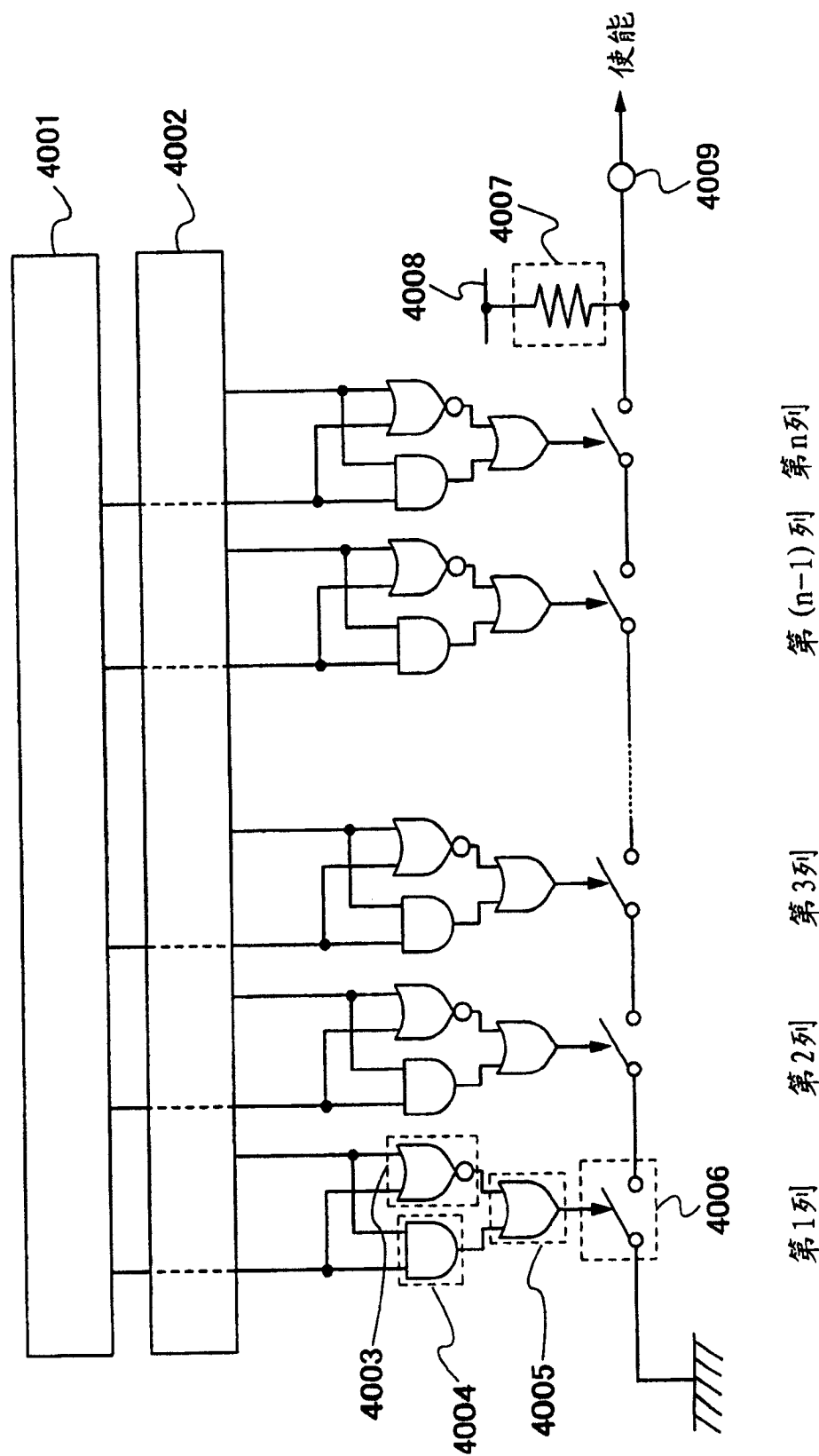


图 49

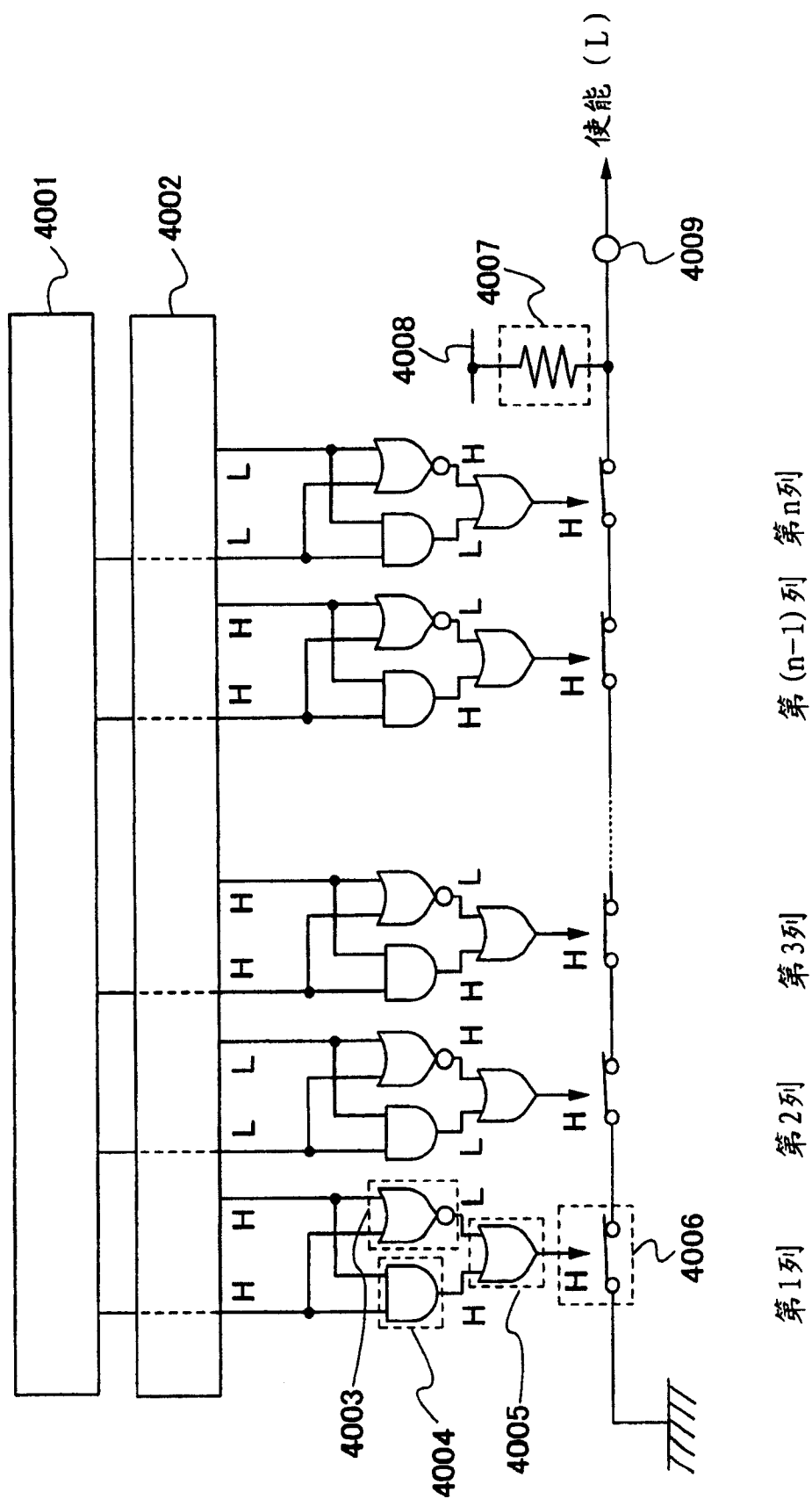


图 50

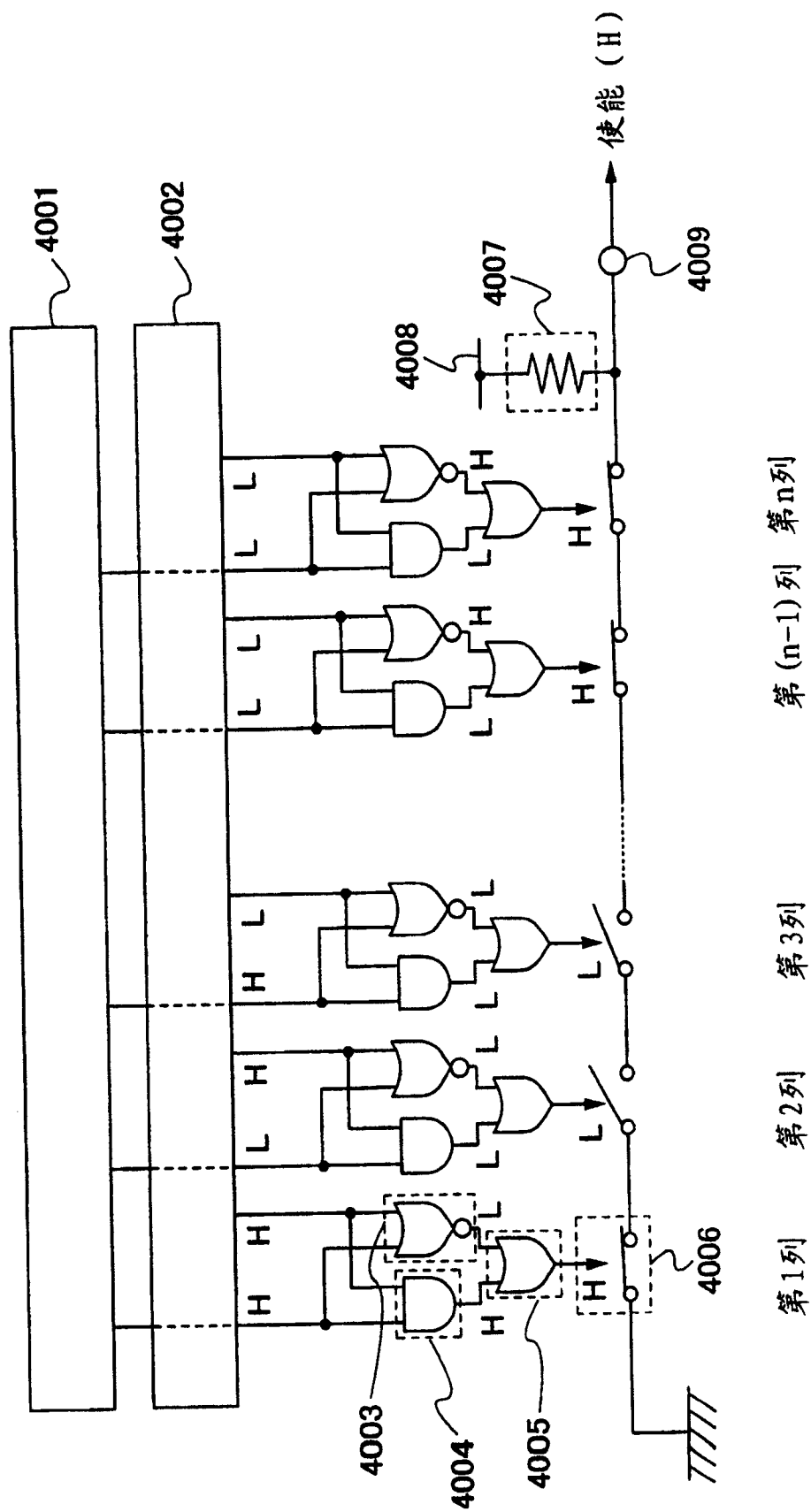


图 51

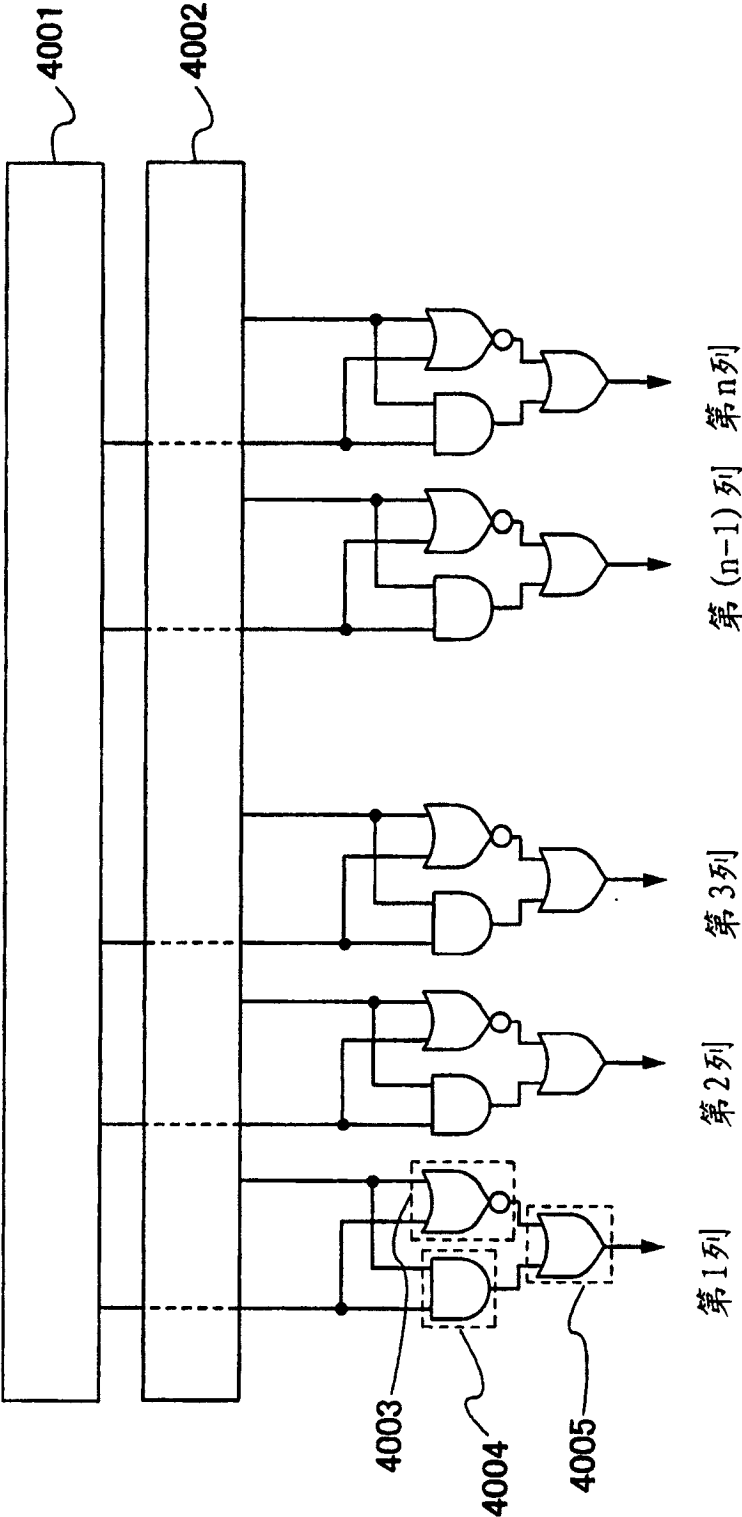
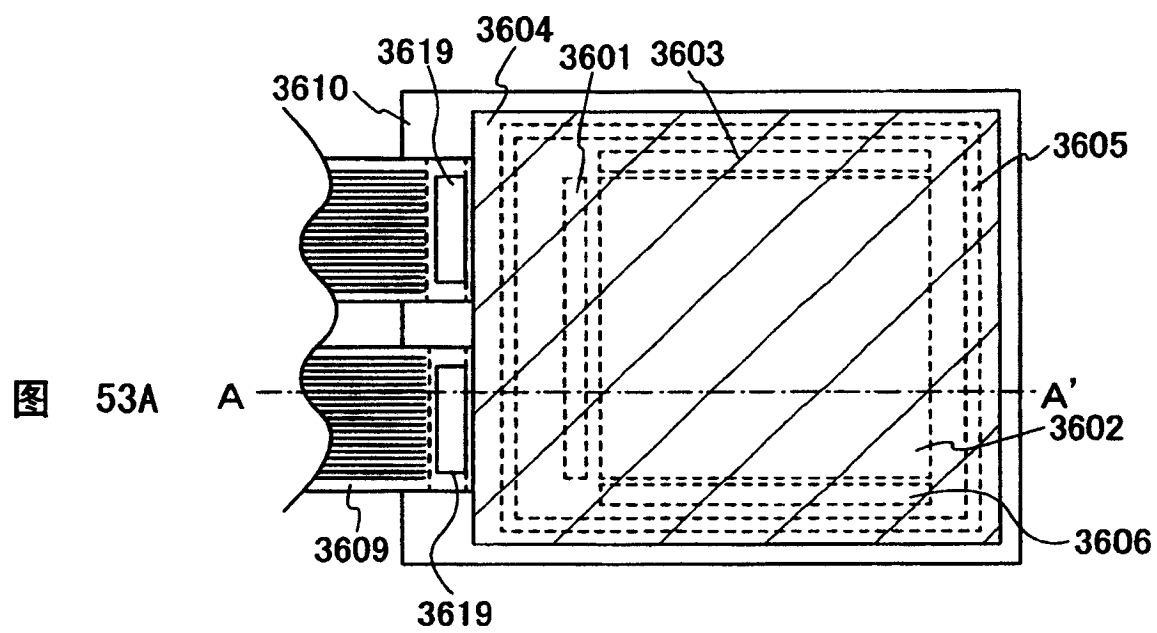


图 52



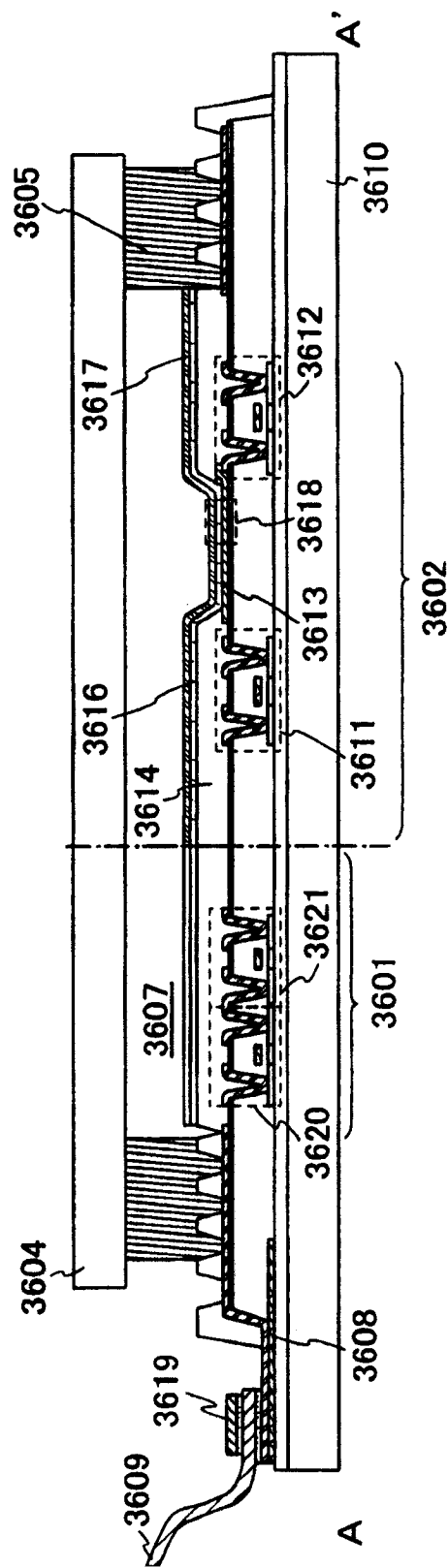


图 53B

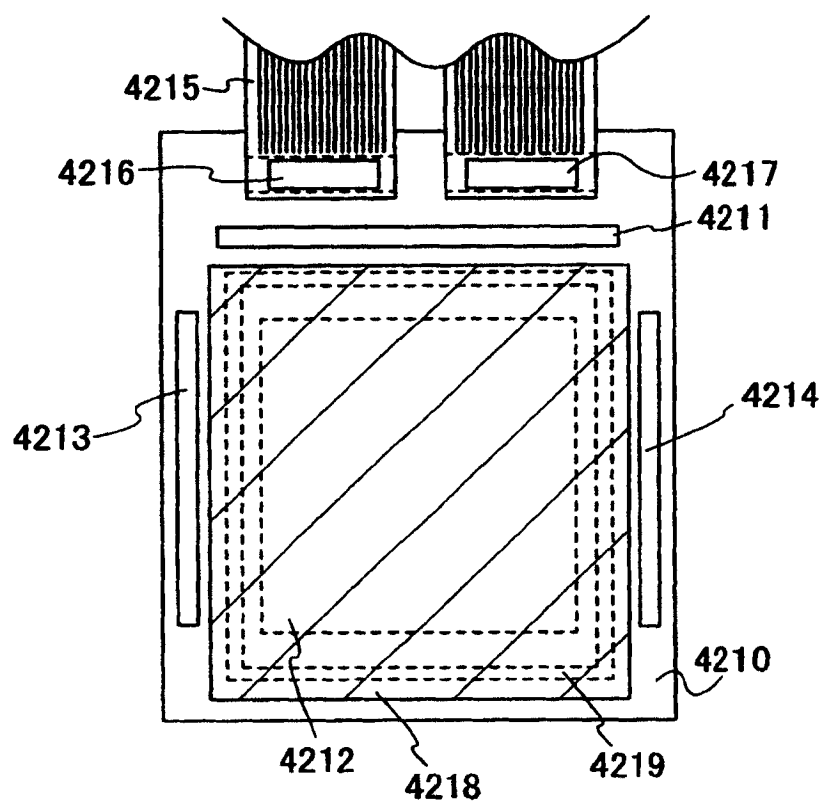


图 54B

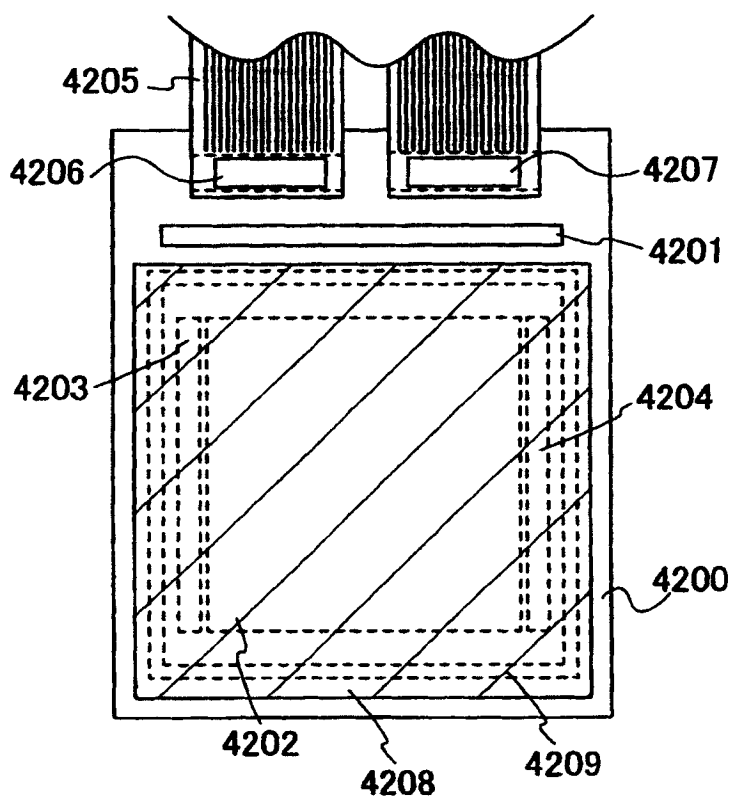


图 54A

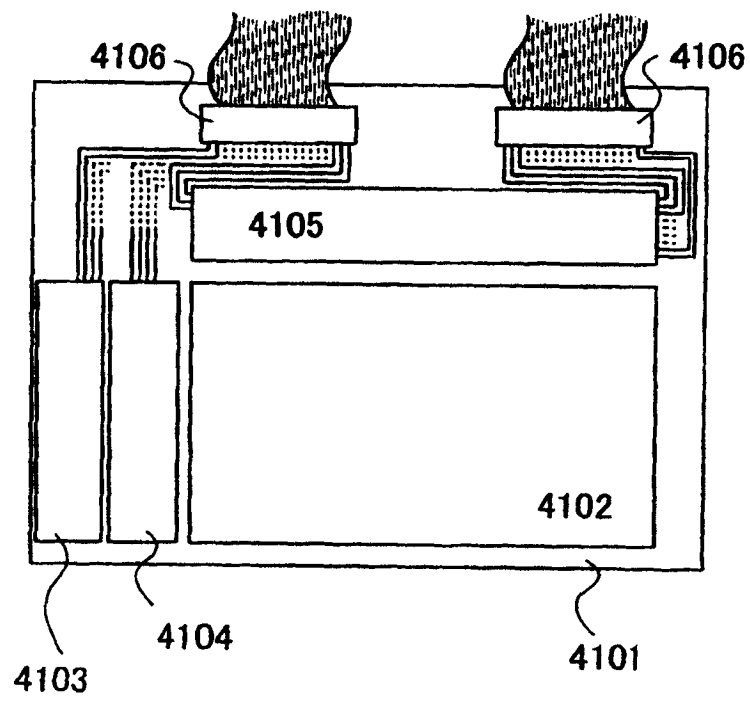


图 55B

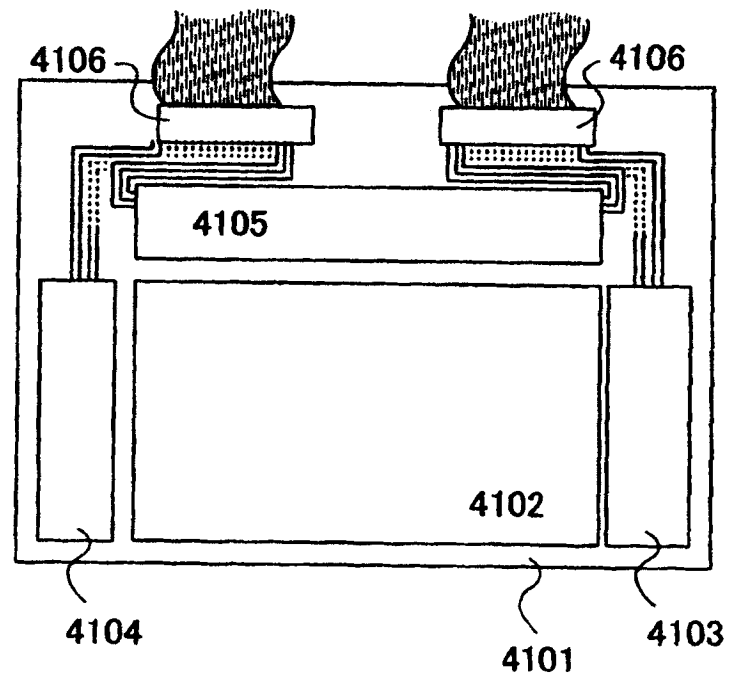


图 55A

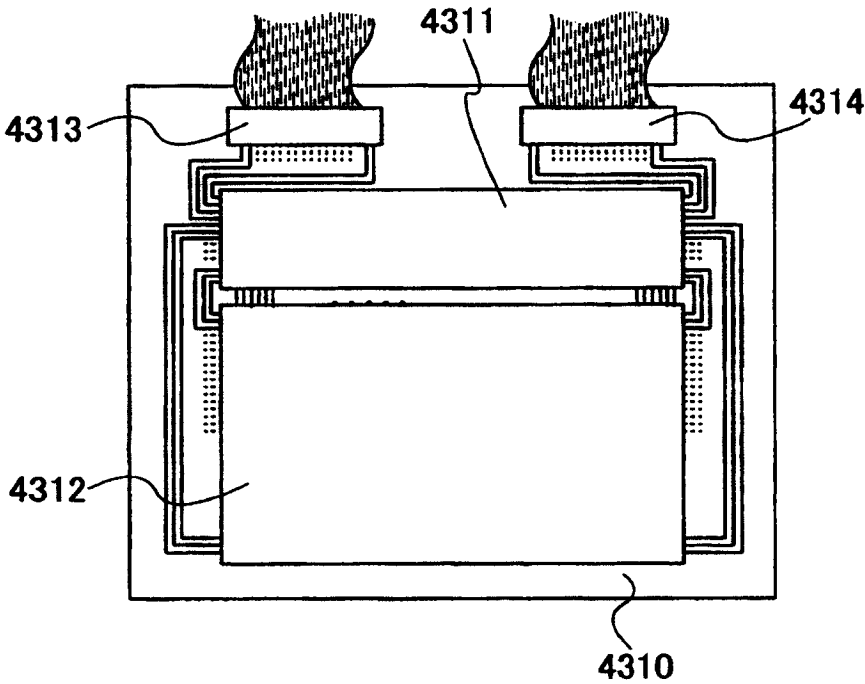


图 56B

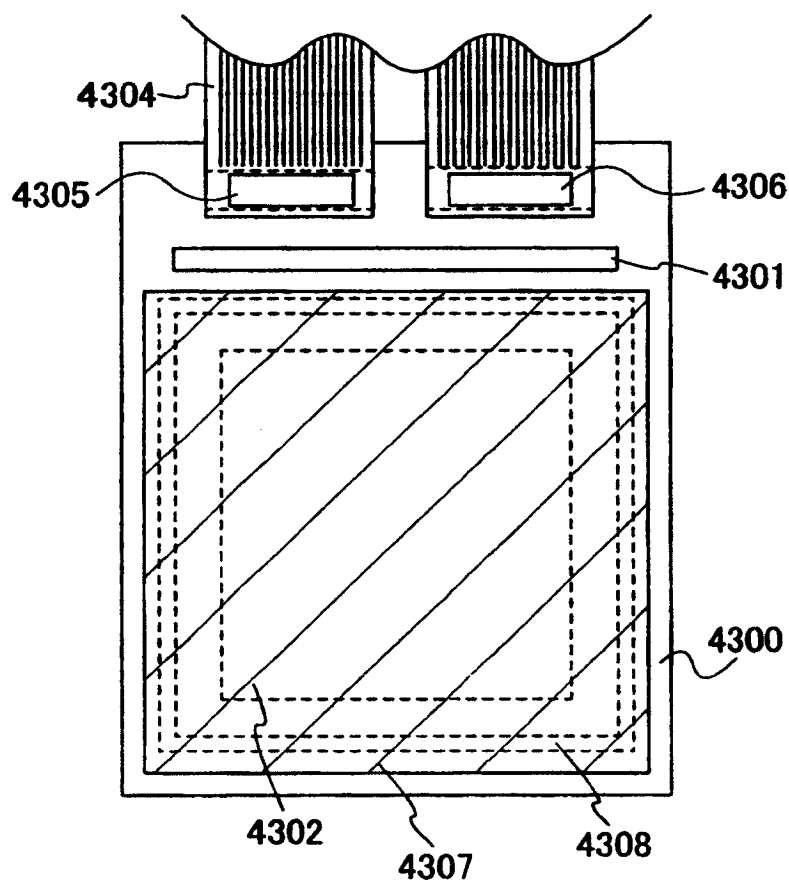


图 56A

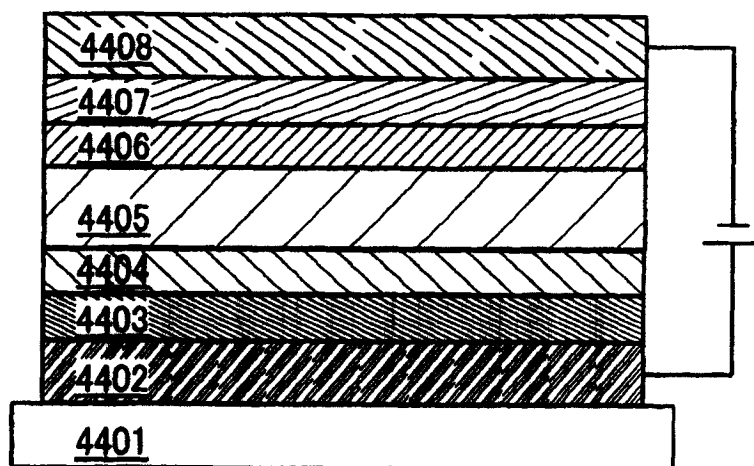


图 57A

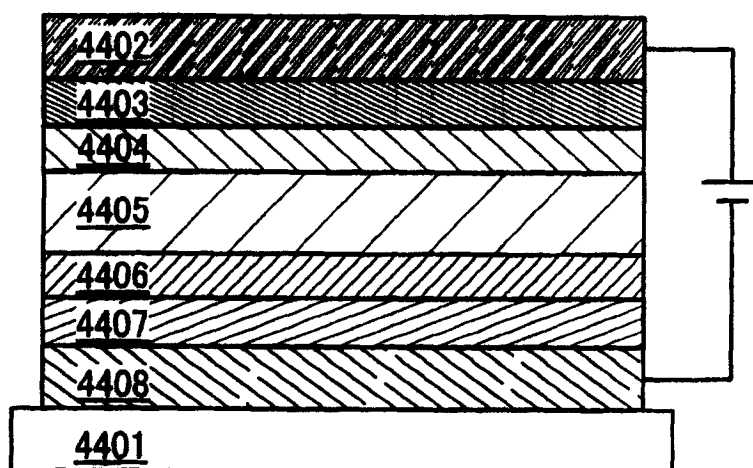


图 57B

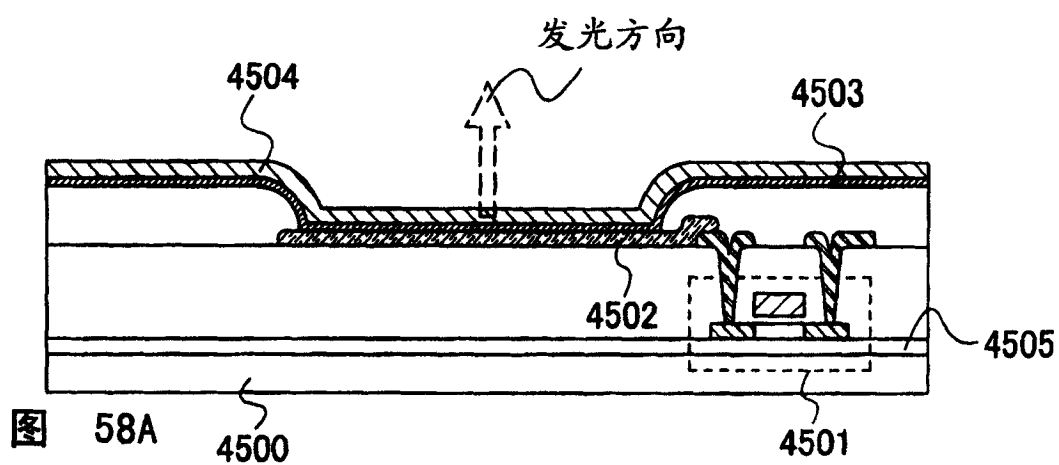
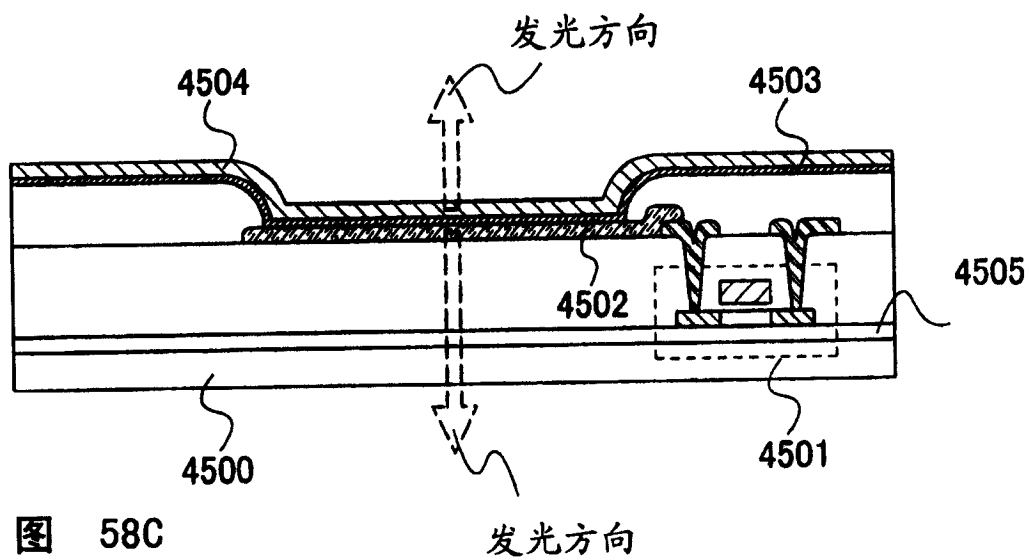
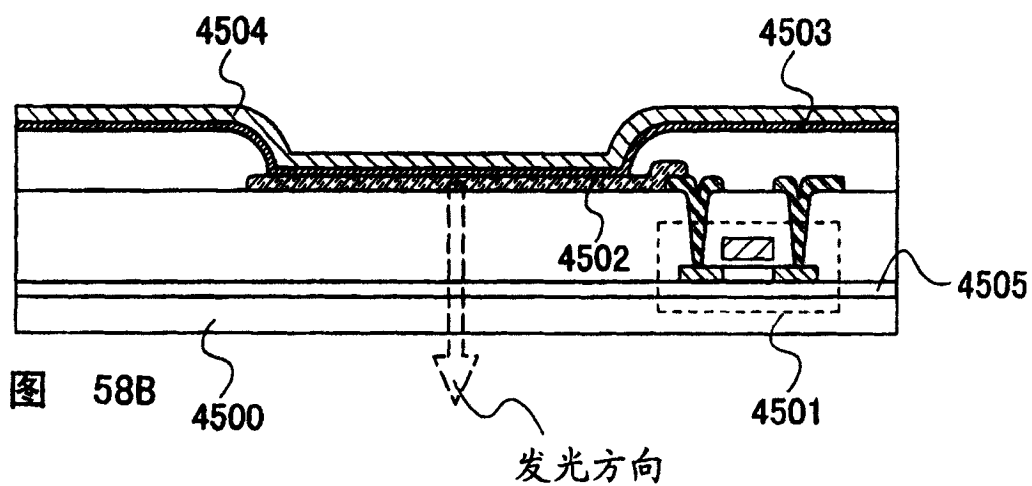


图 58A



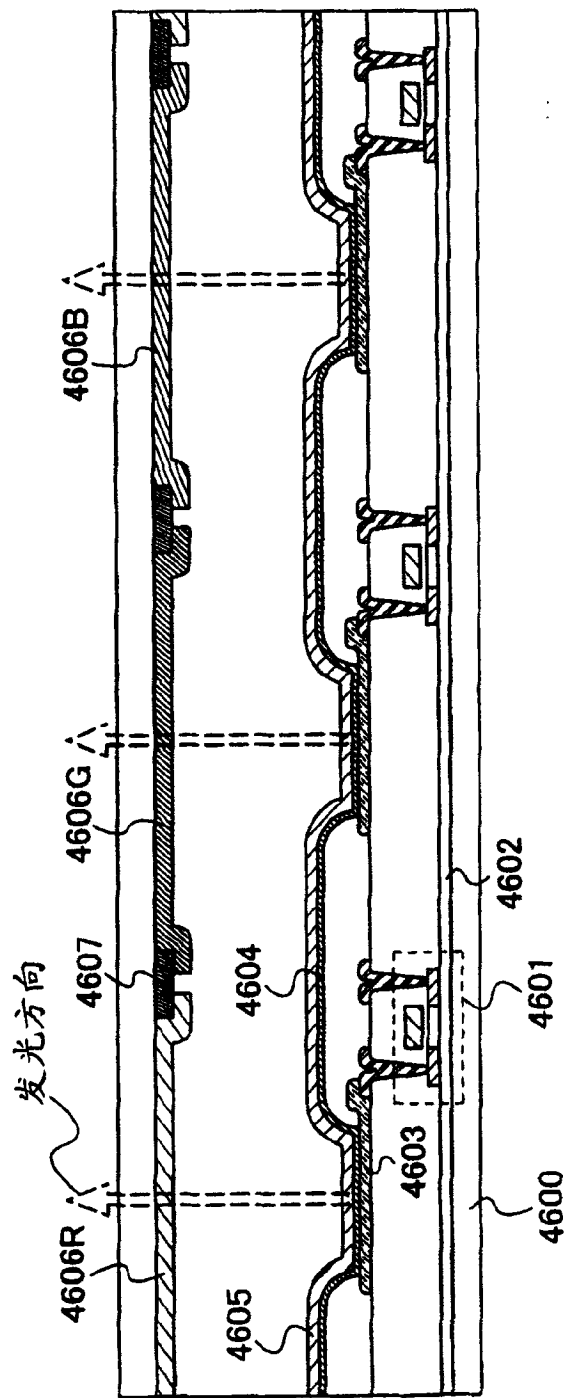


图 59

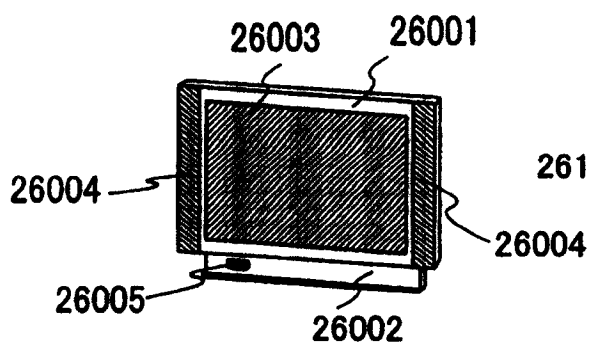


图 60A

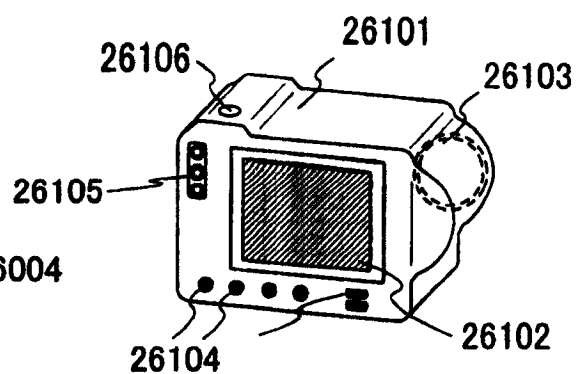


图 60B

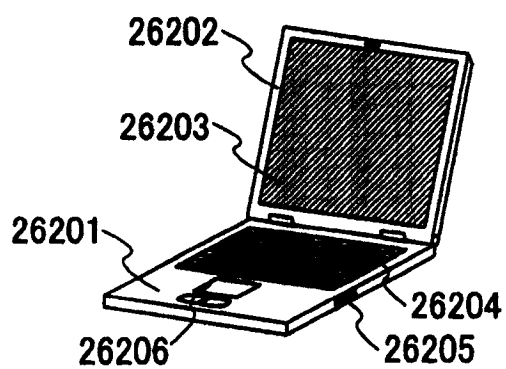


图 60C

26403

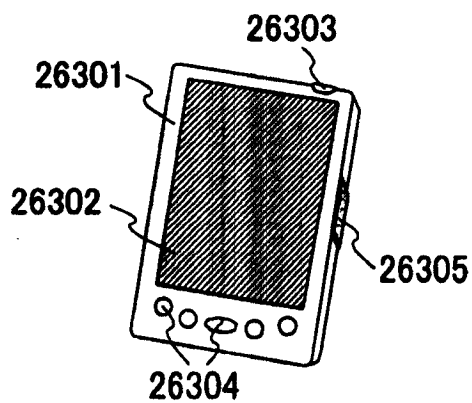


图 60D

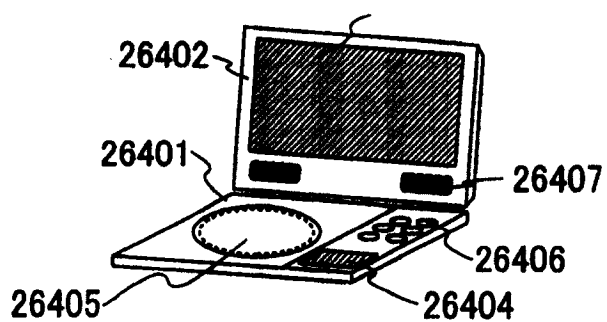


图 60E

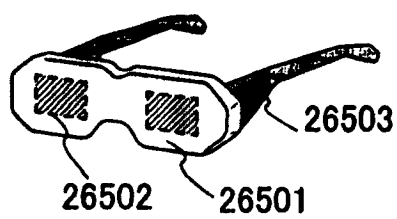


图 60F

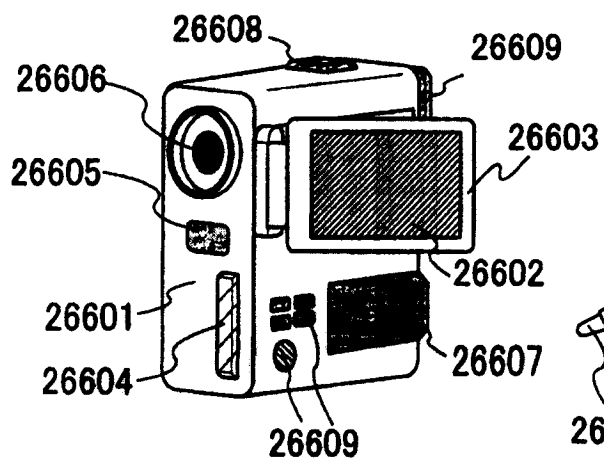


图 60G

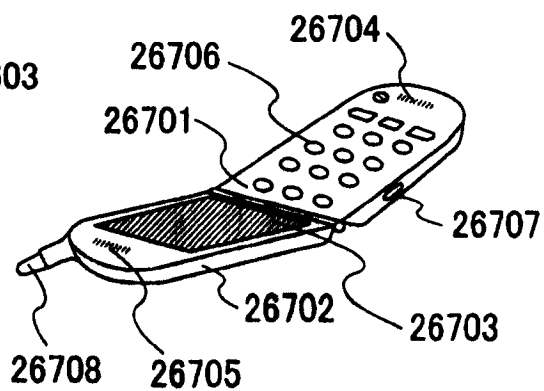


图 60H

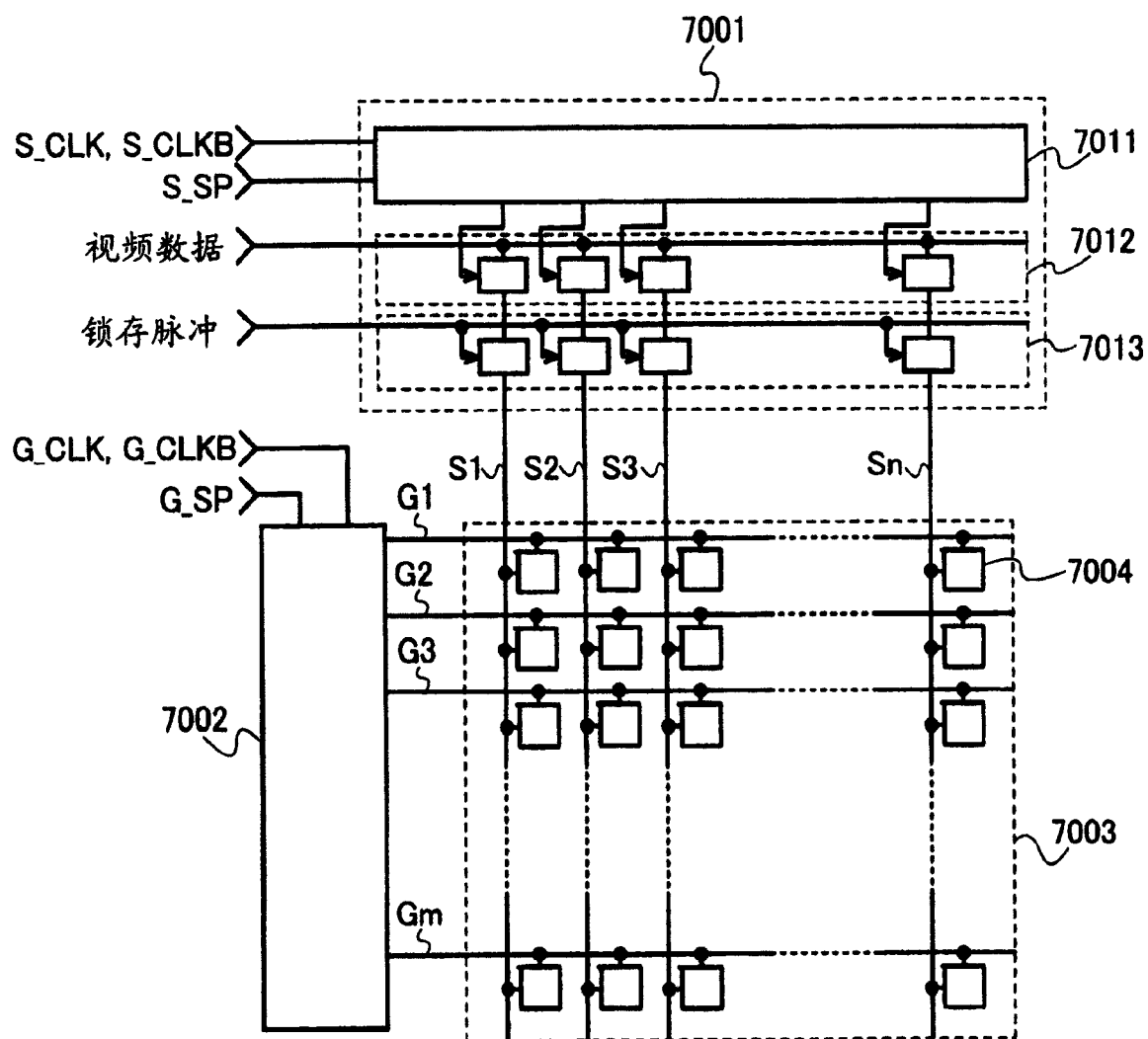


图 61

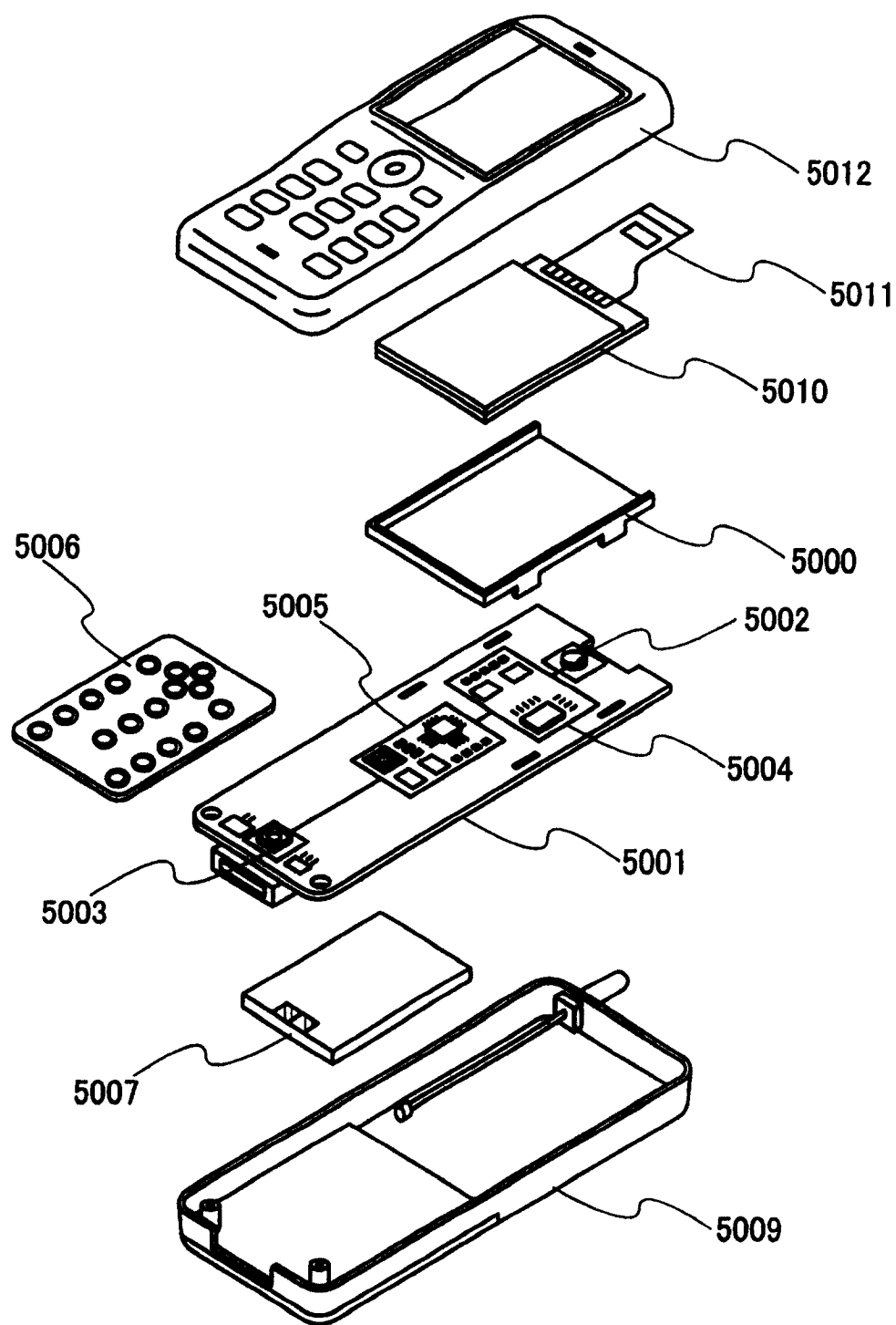


图 62

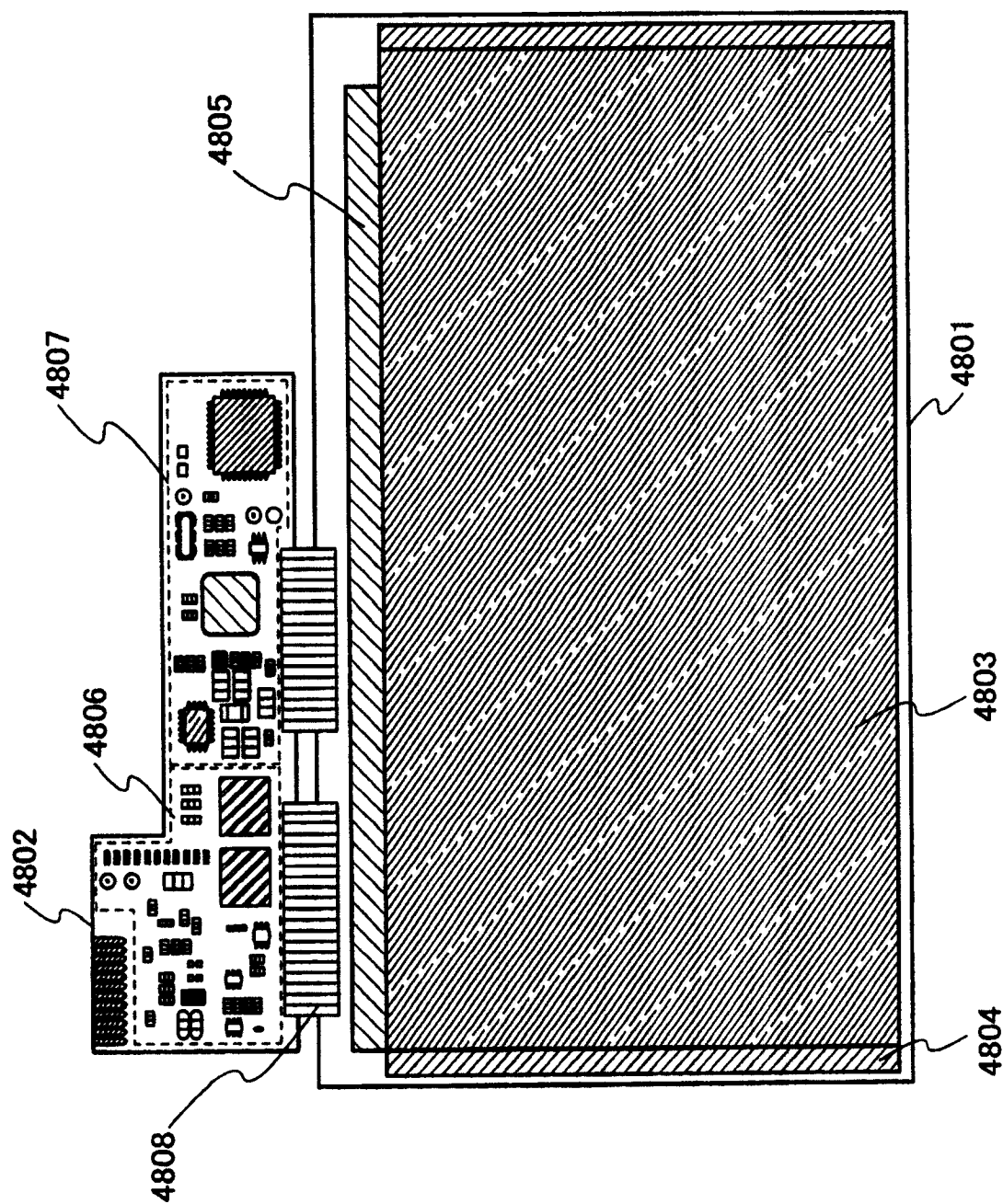


图 63

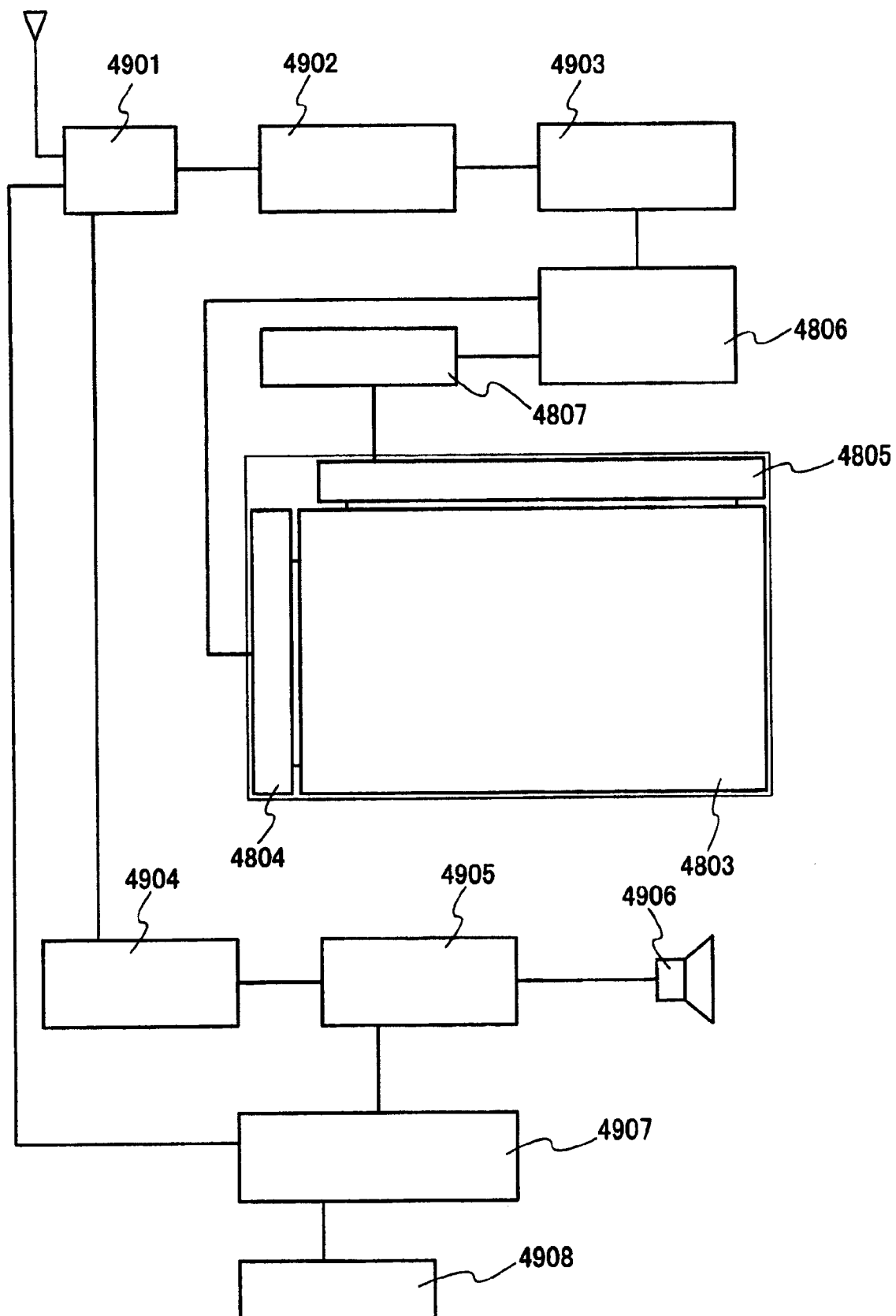


图 64

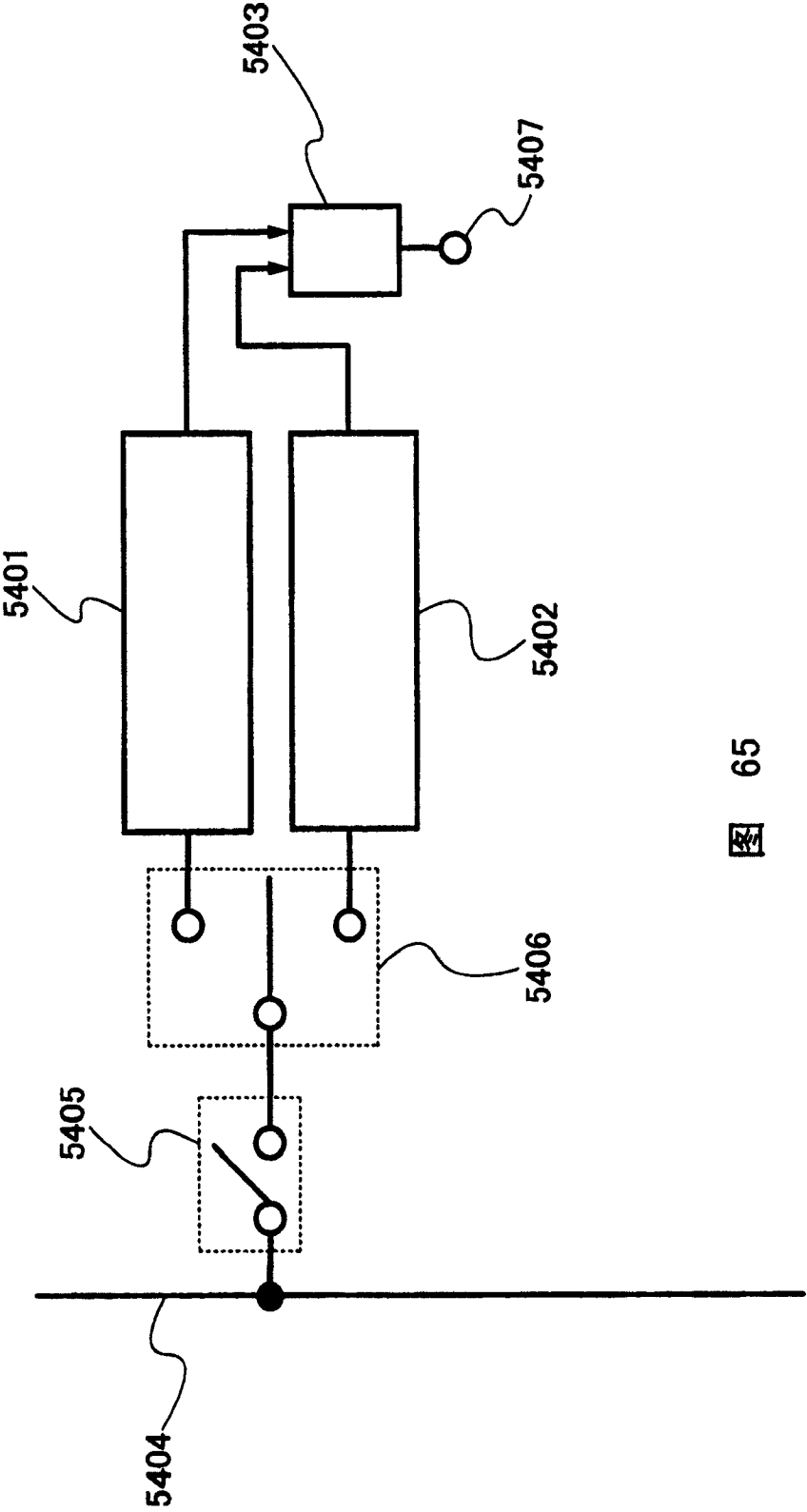


图 65

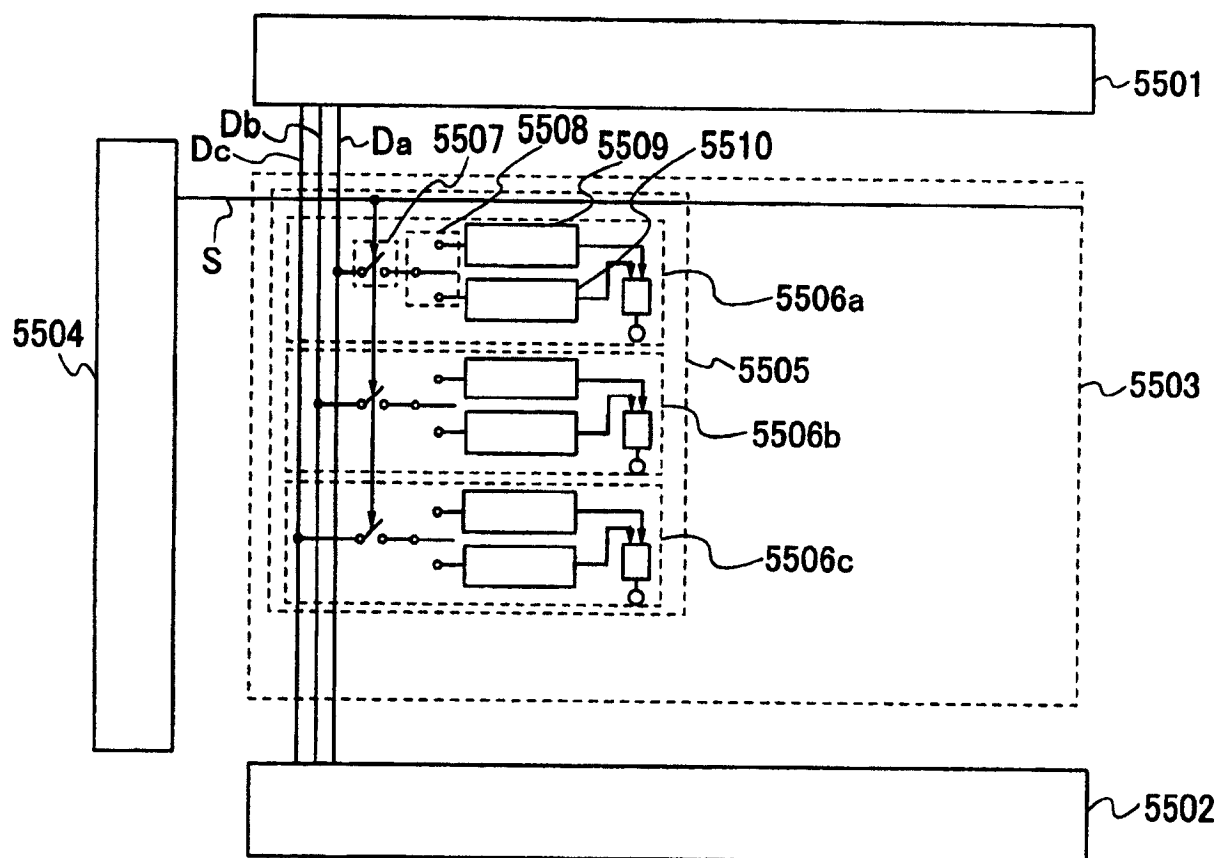


图 66A

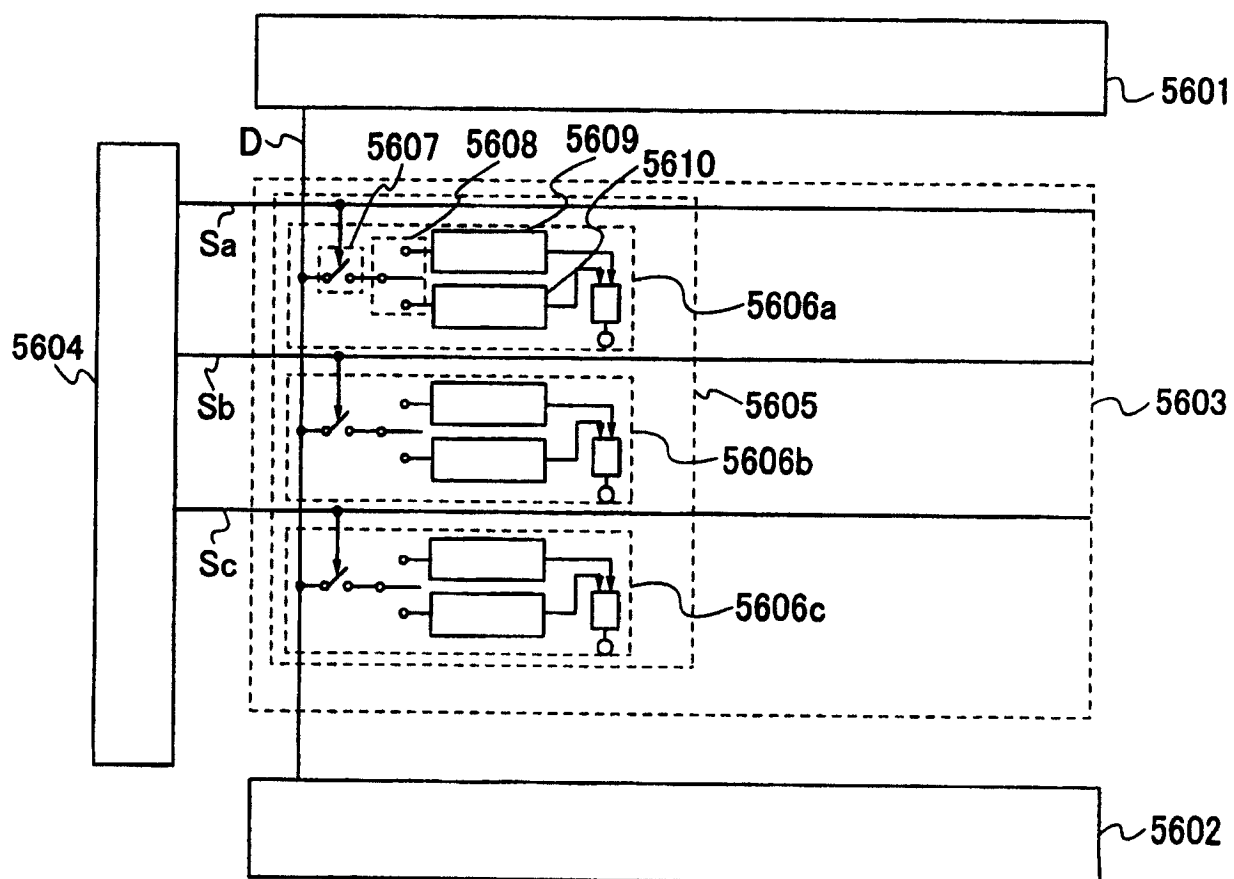


图 66B

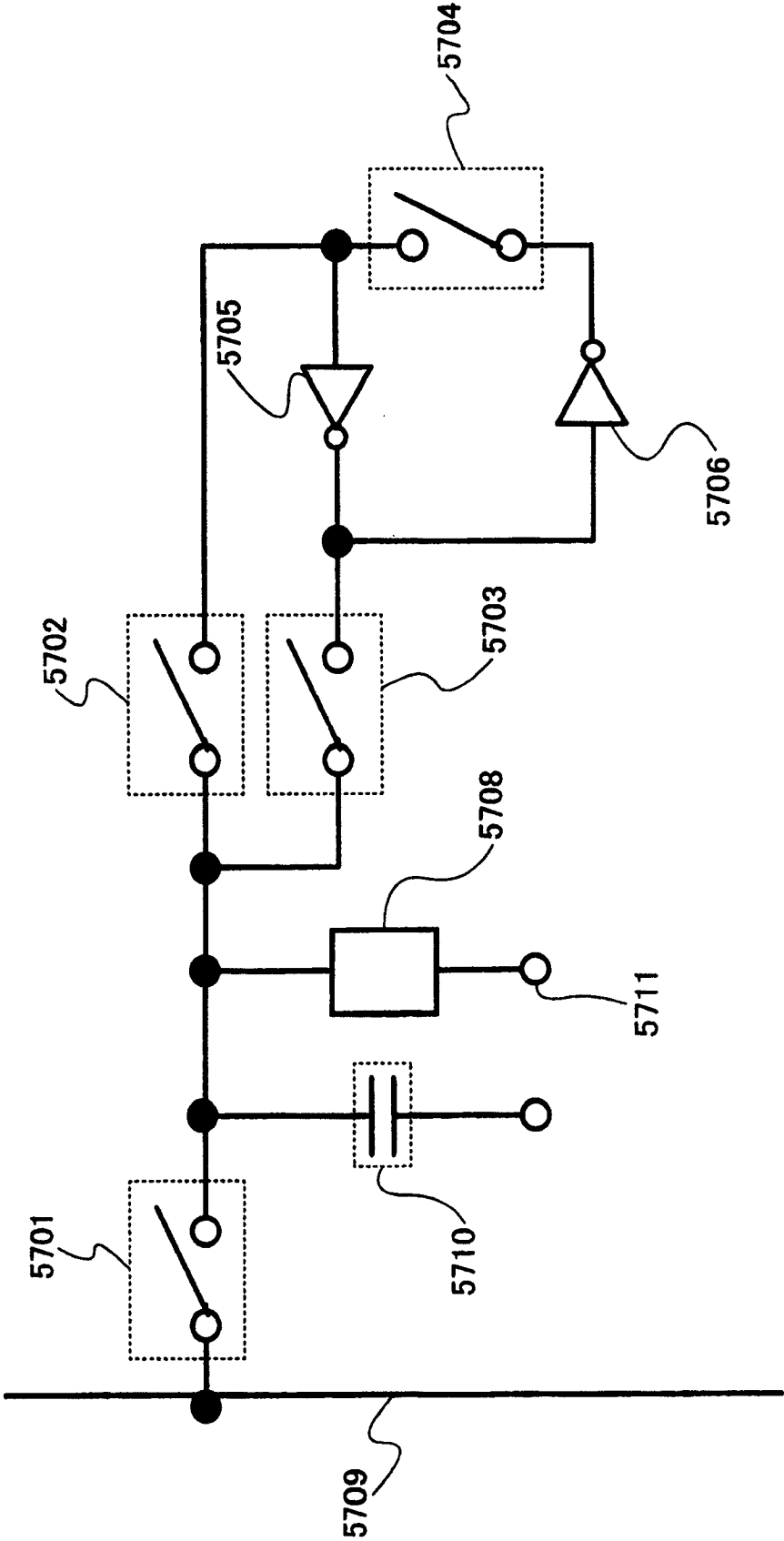


图 67

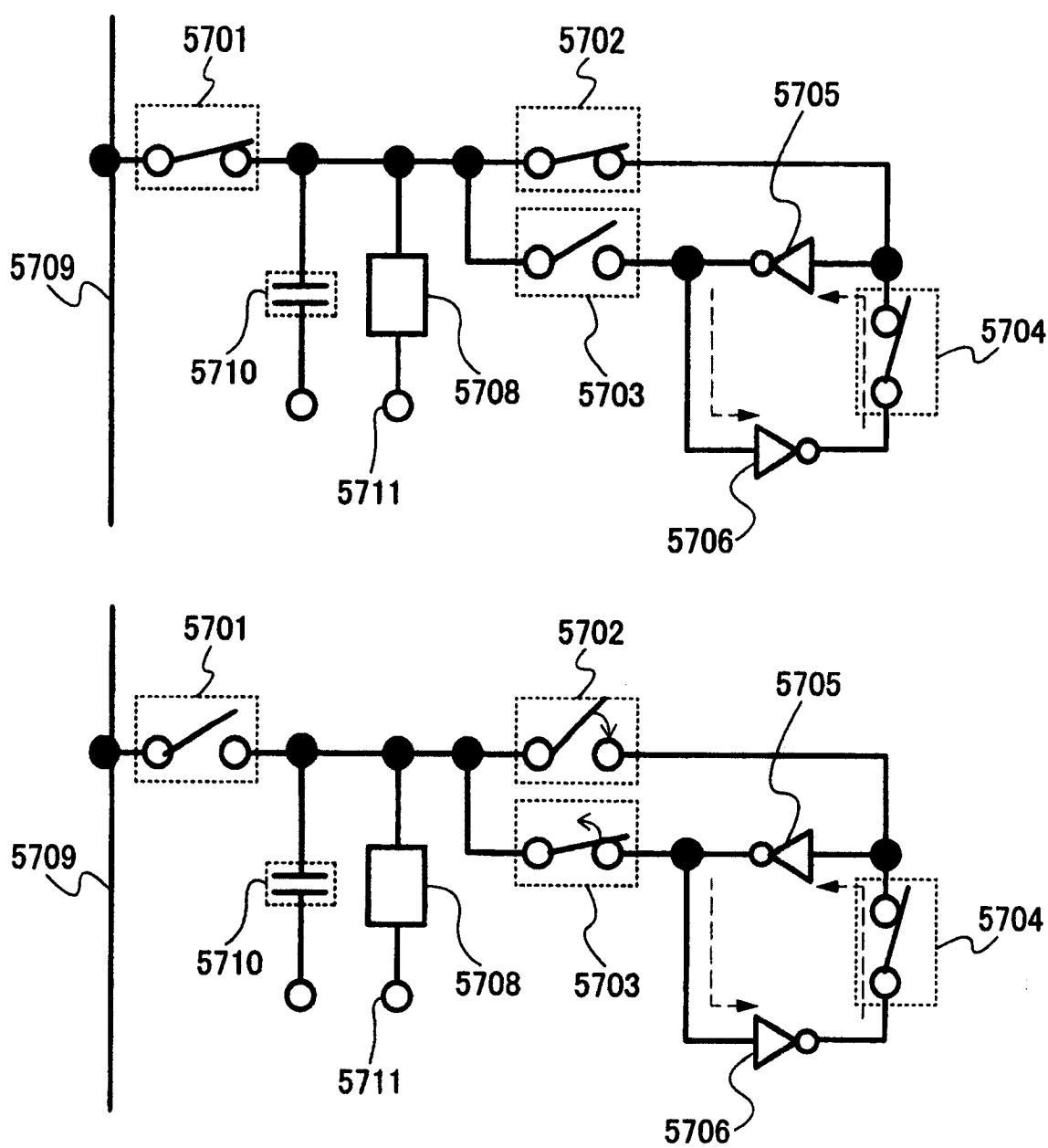
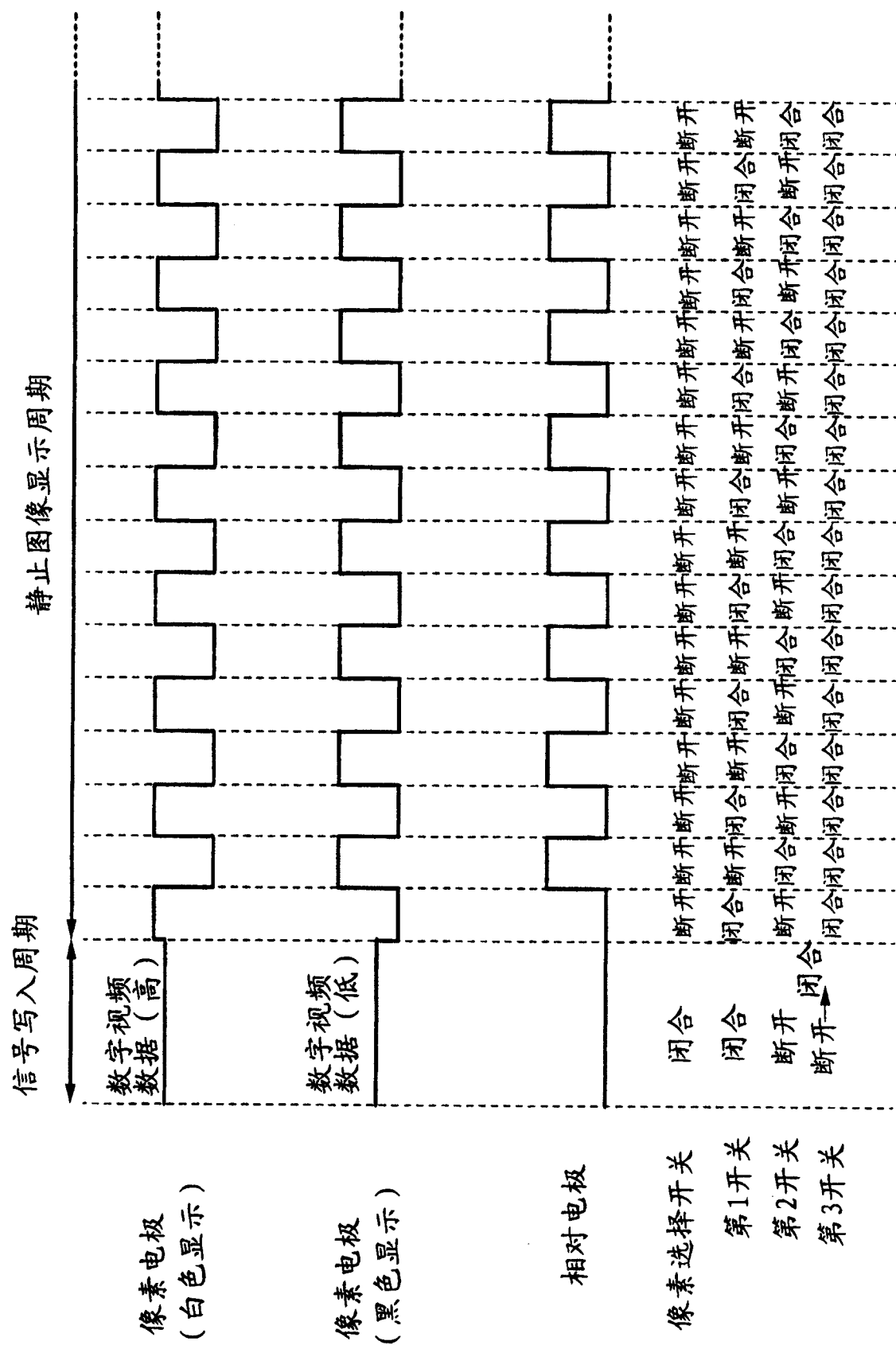


图 68



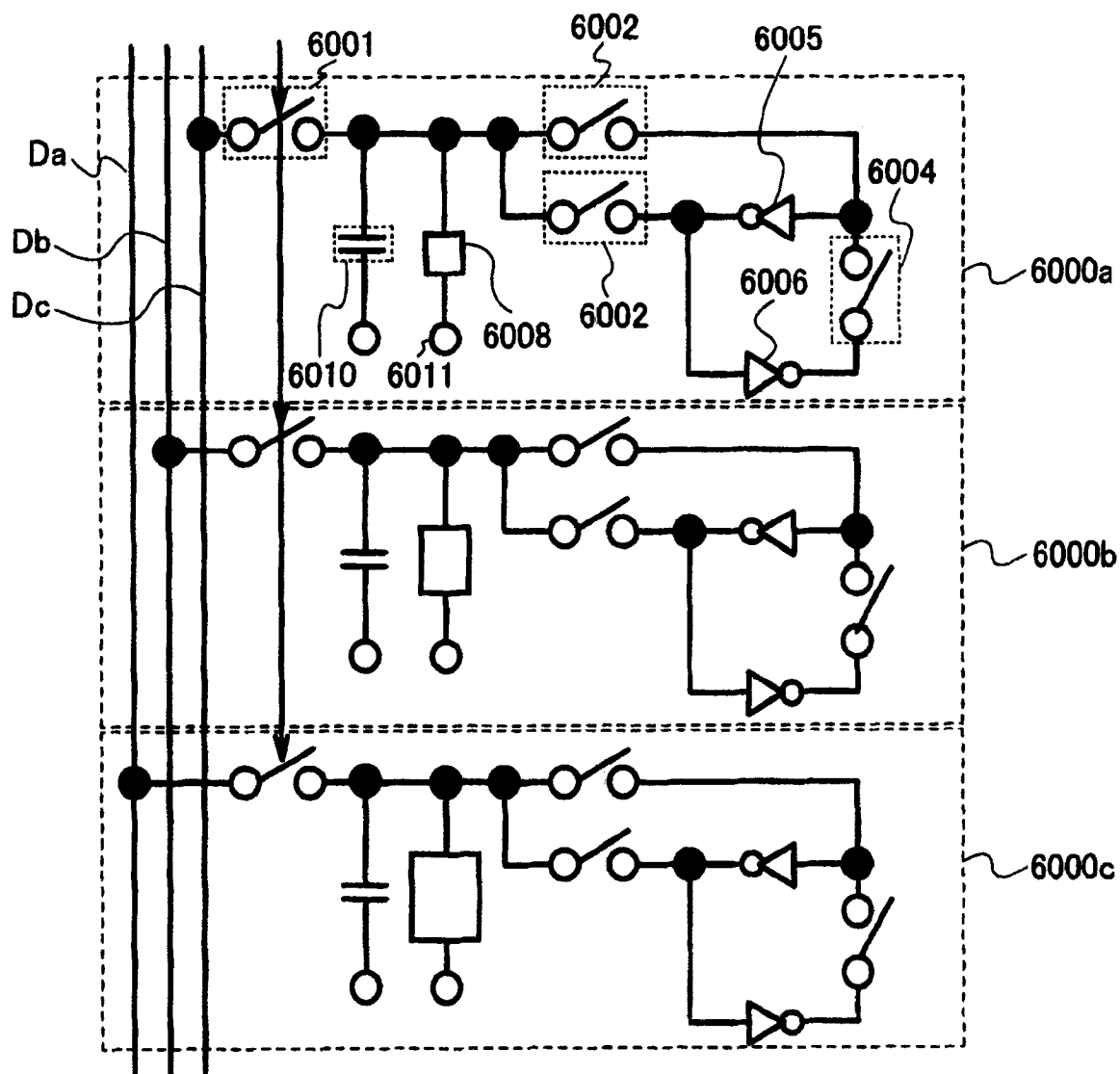


图 70

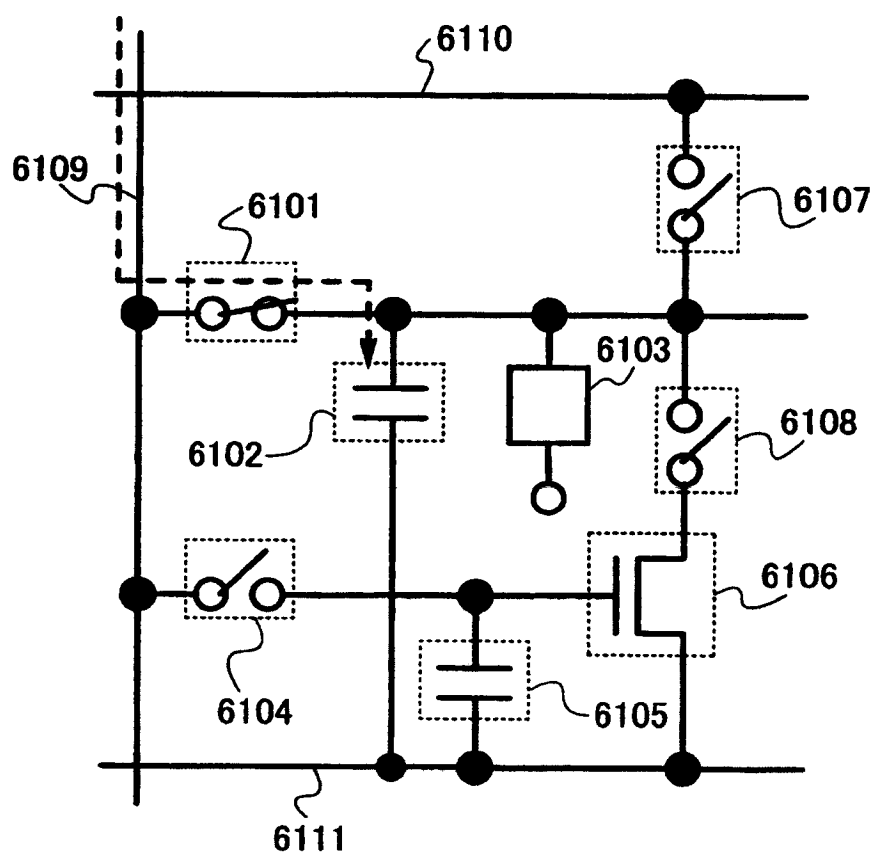


图 71B

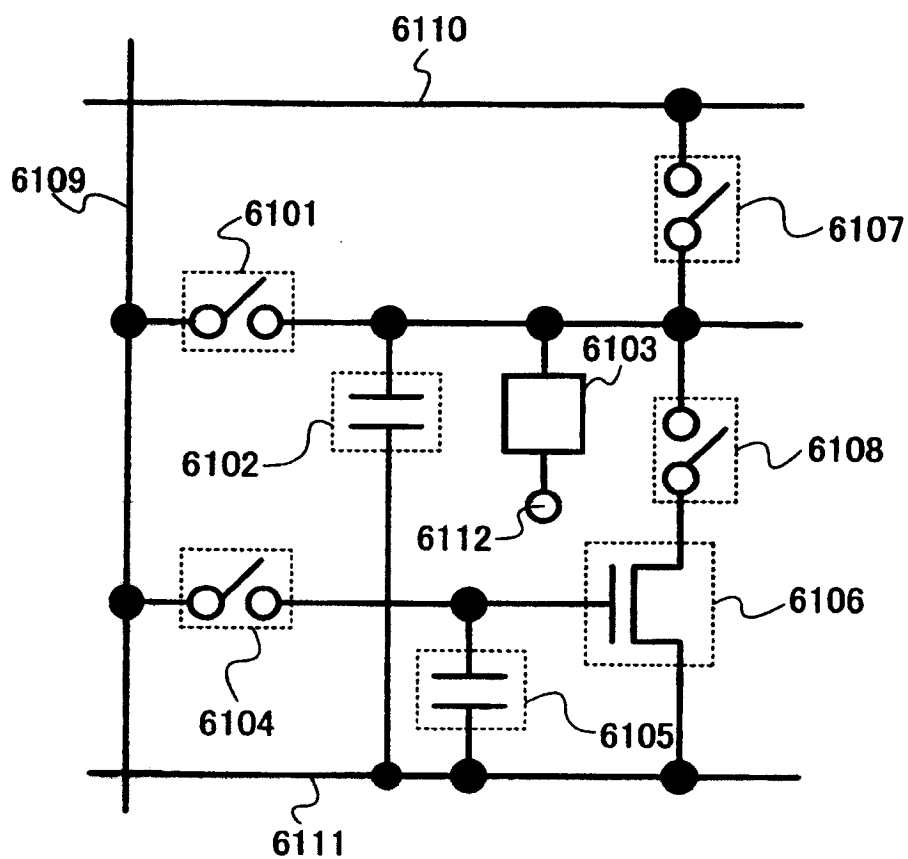


图 71A

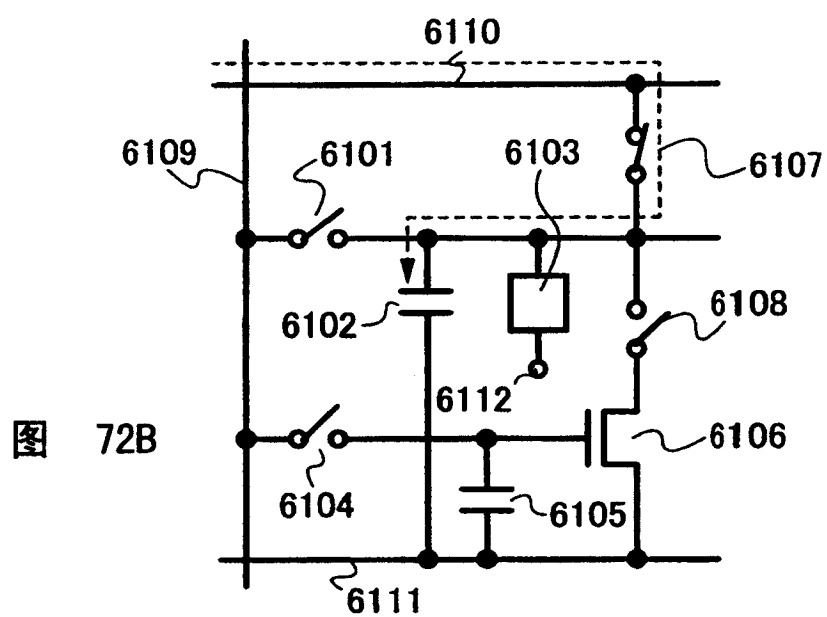


图 72B

图 72D

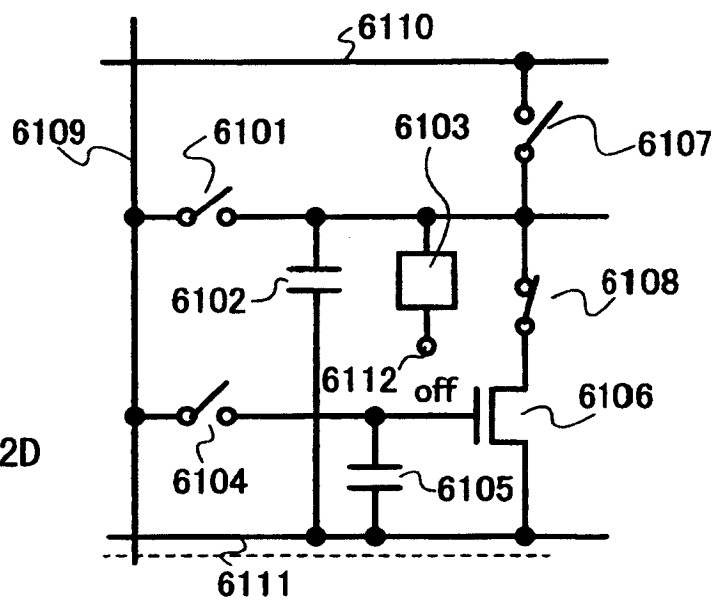
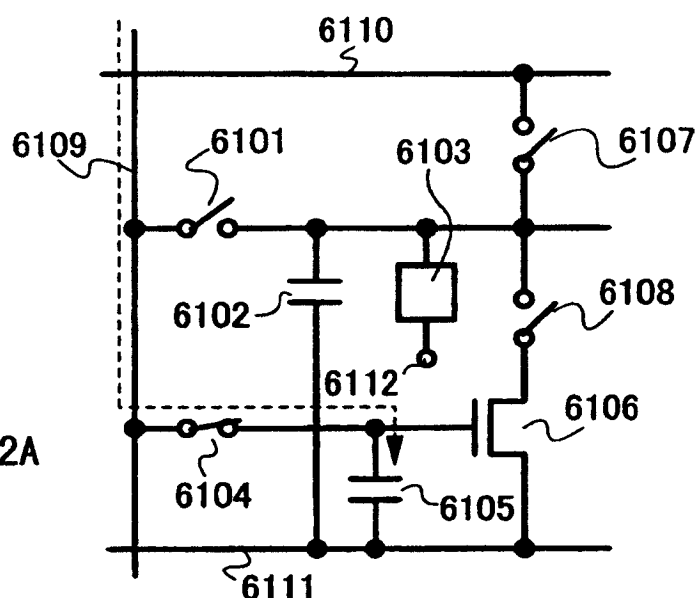


图 72A



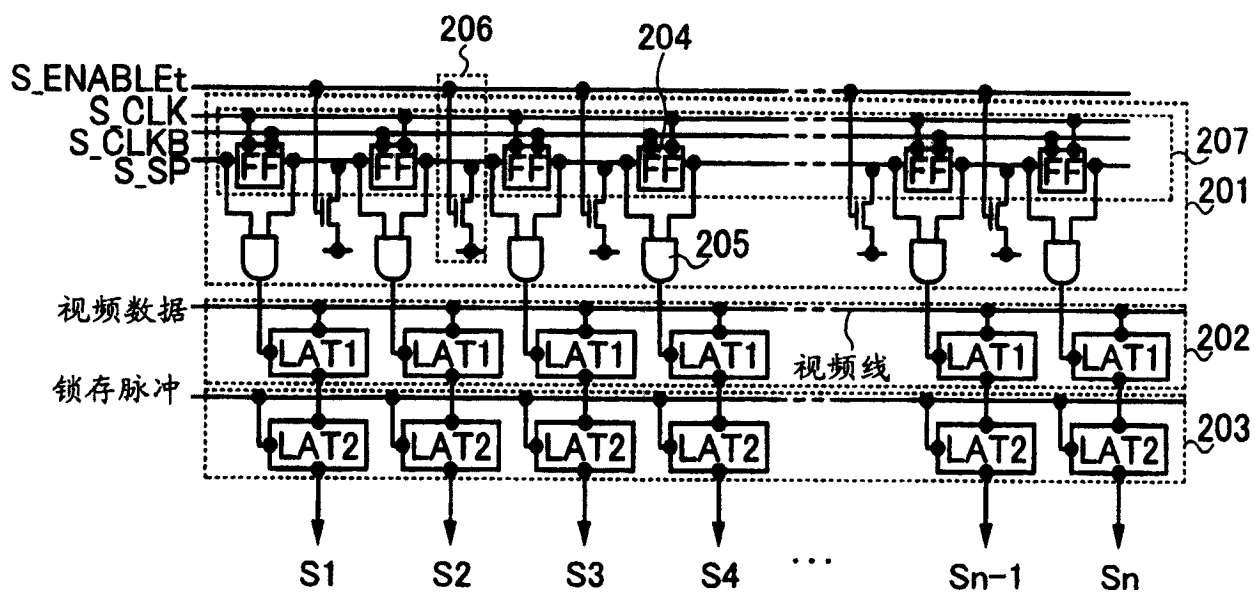
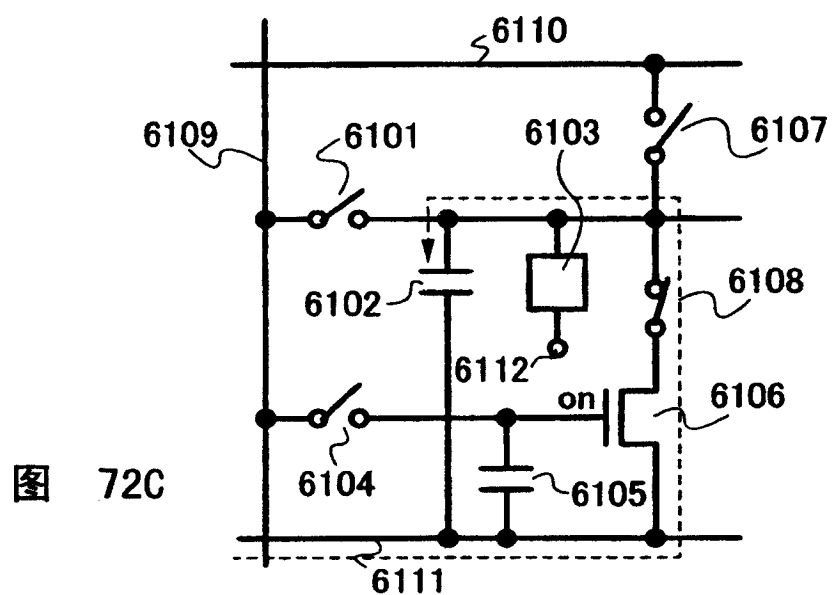


图 73A

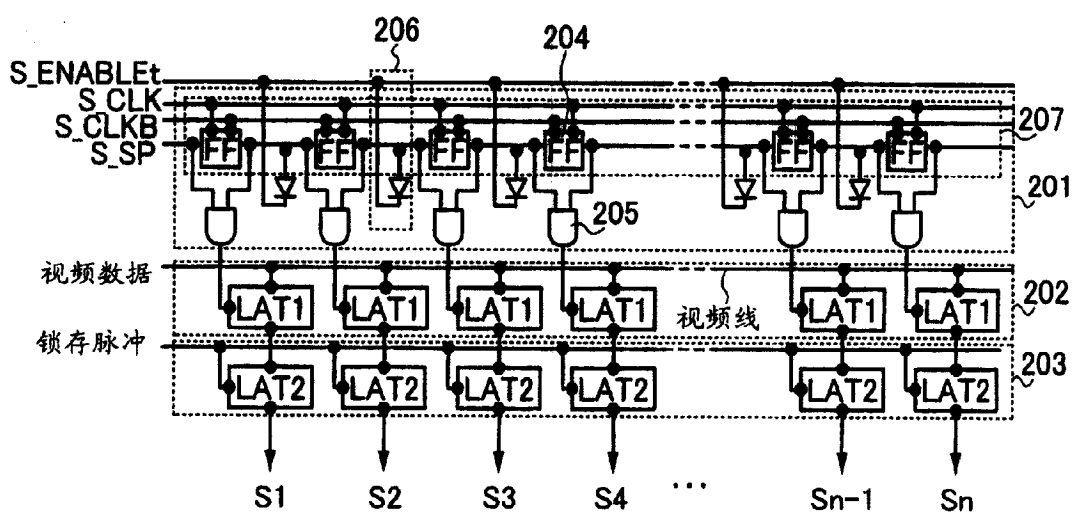


图 73B

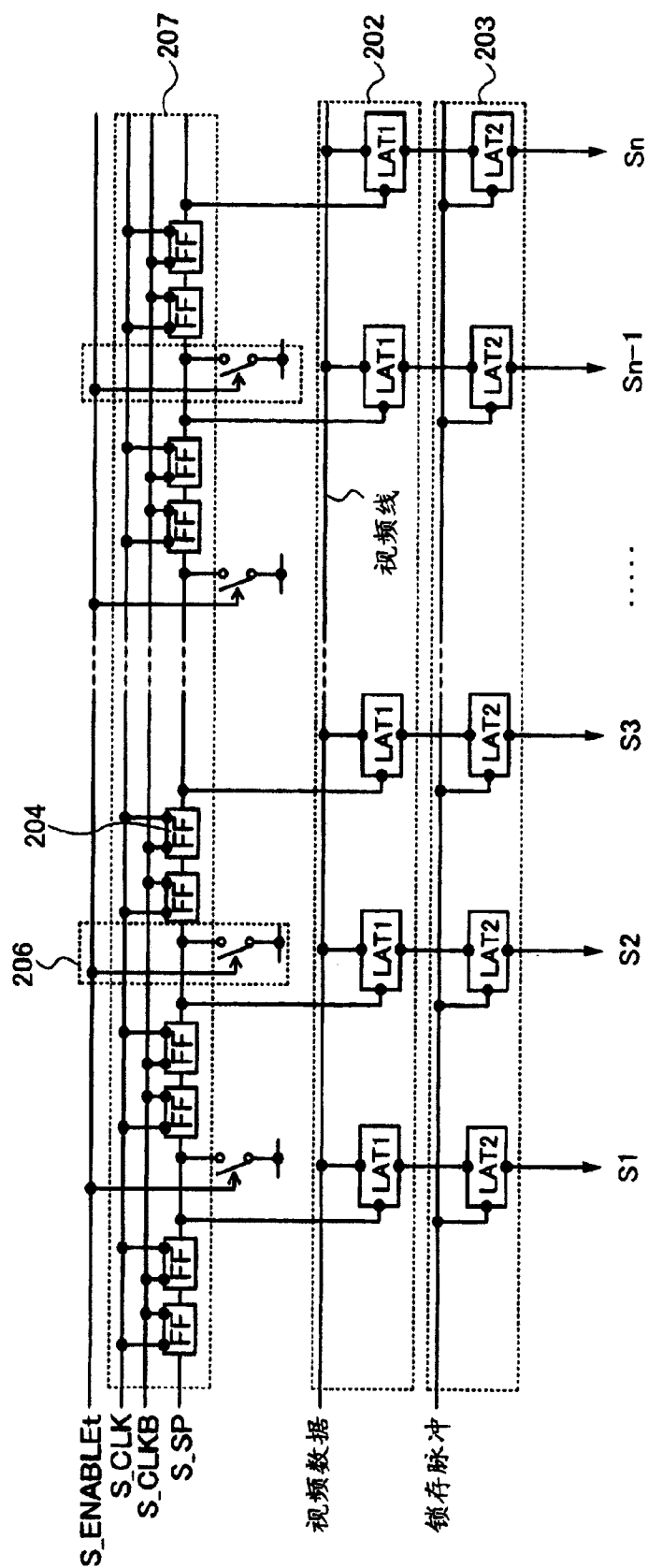


图 74

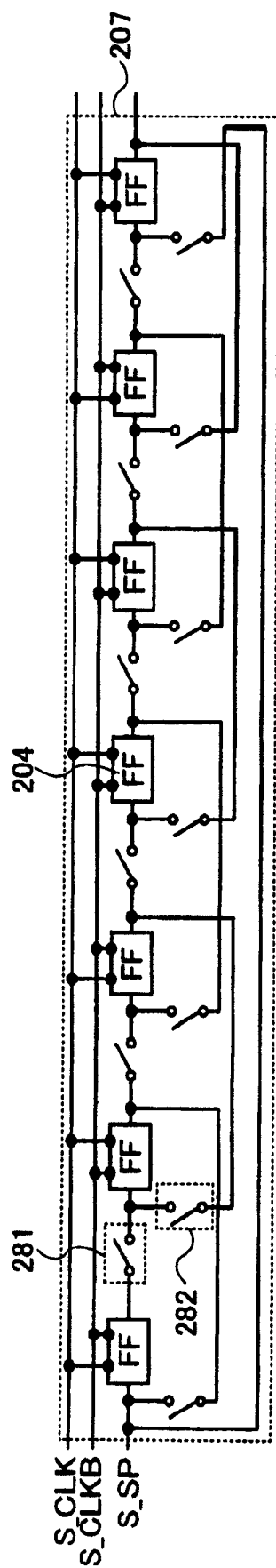


图 75A

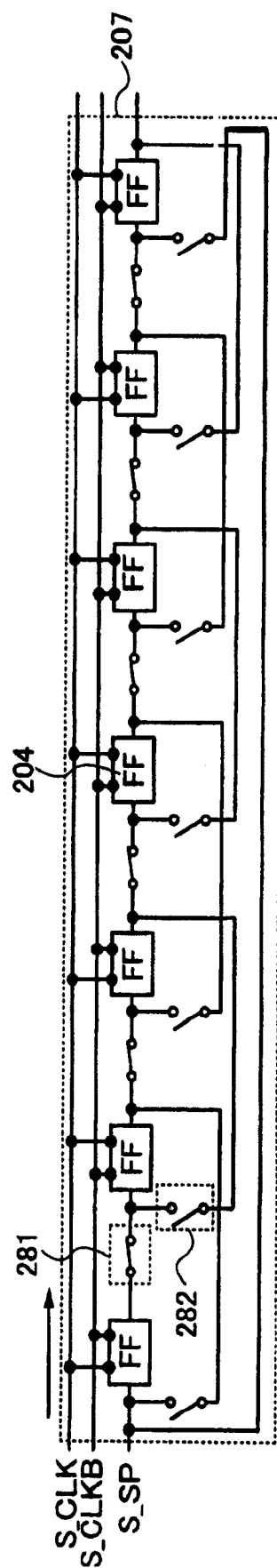
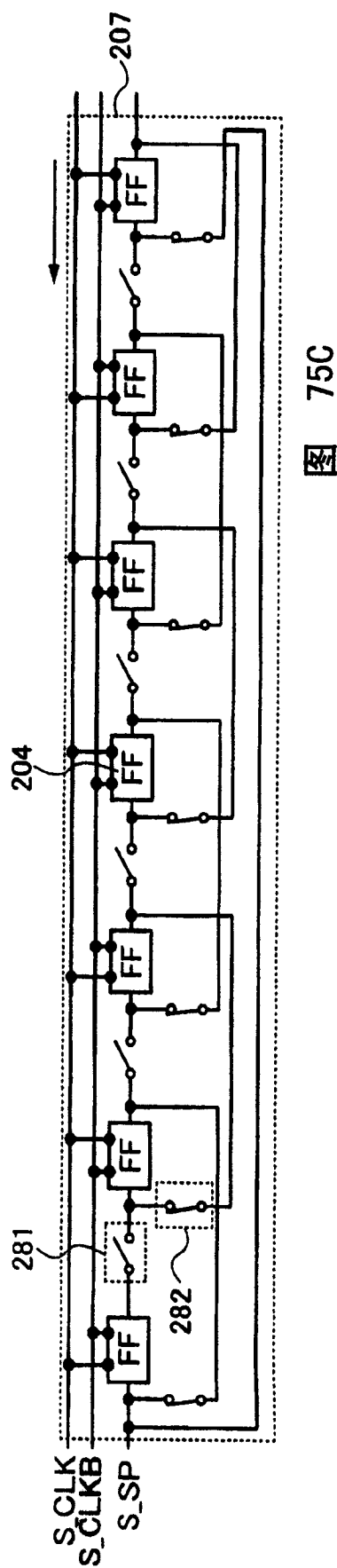


图 75B



75C

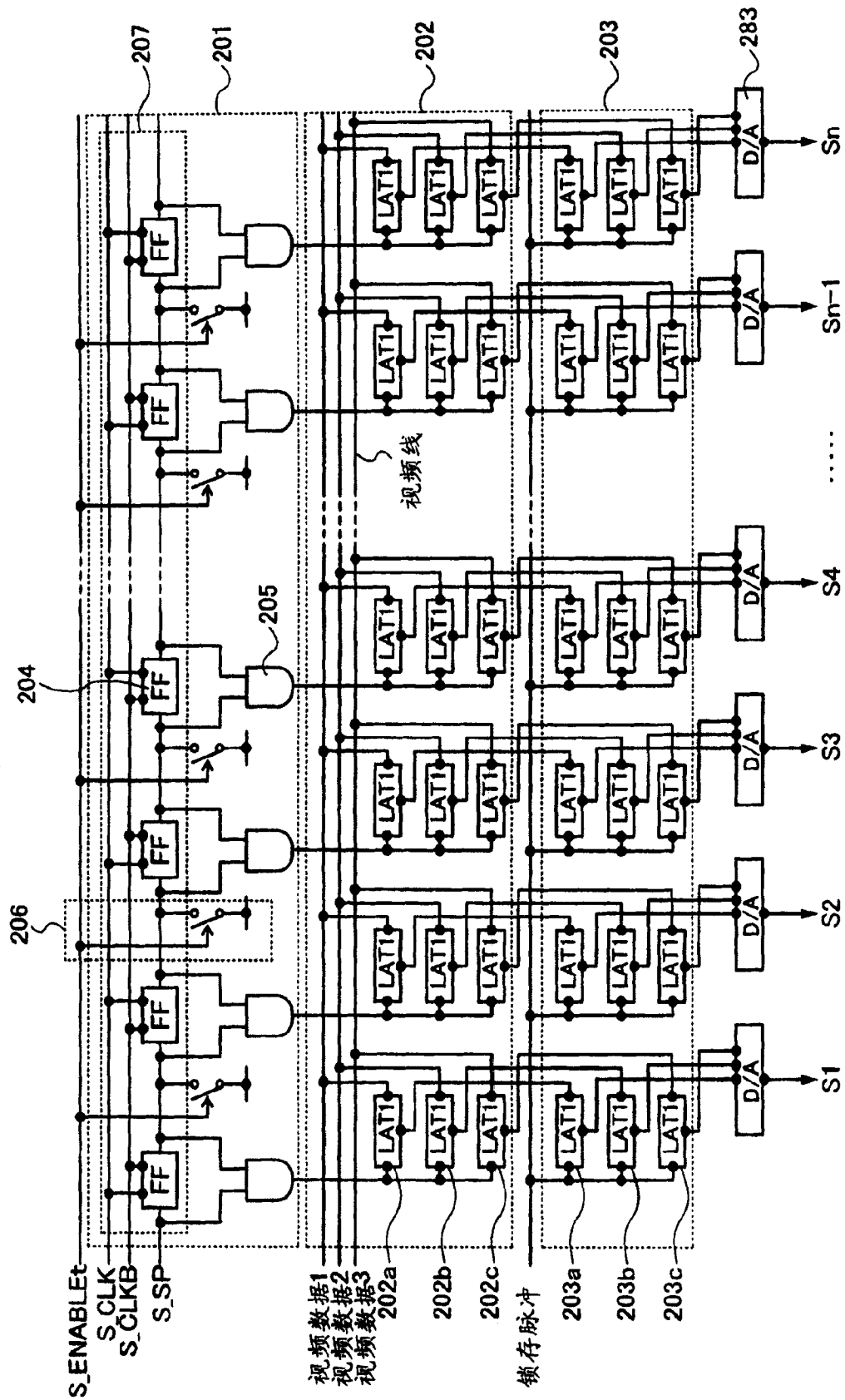


图 76

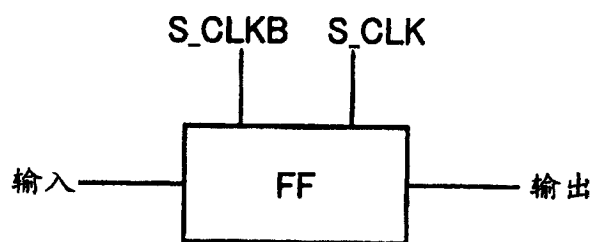


图 77A

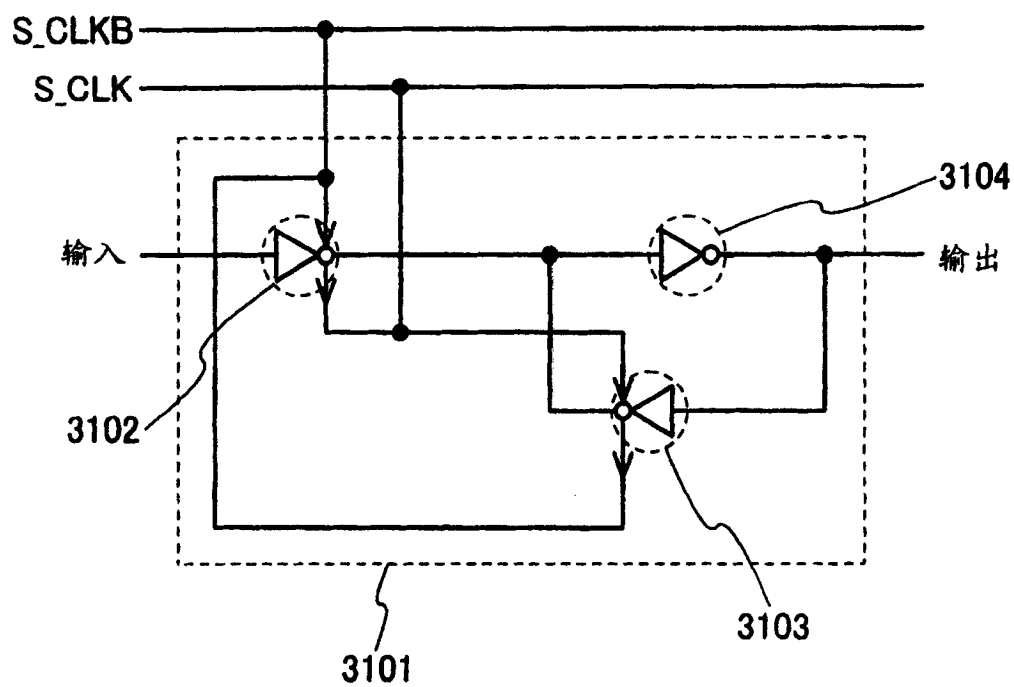


图 77B

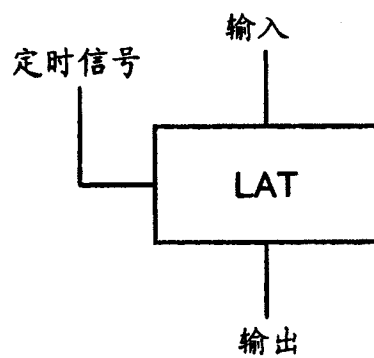


图 78A

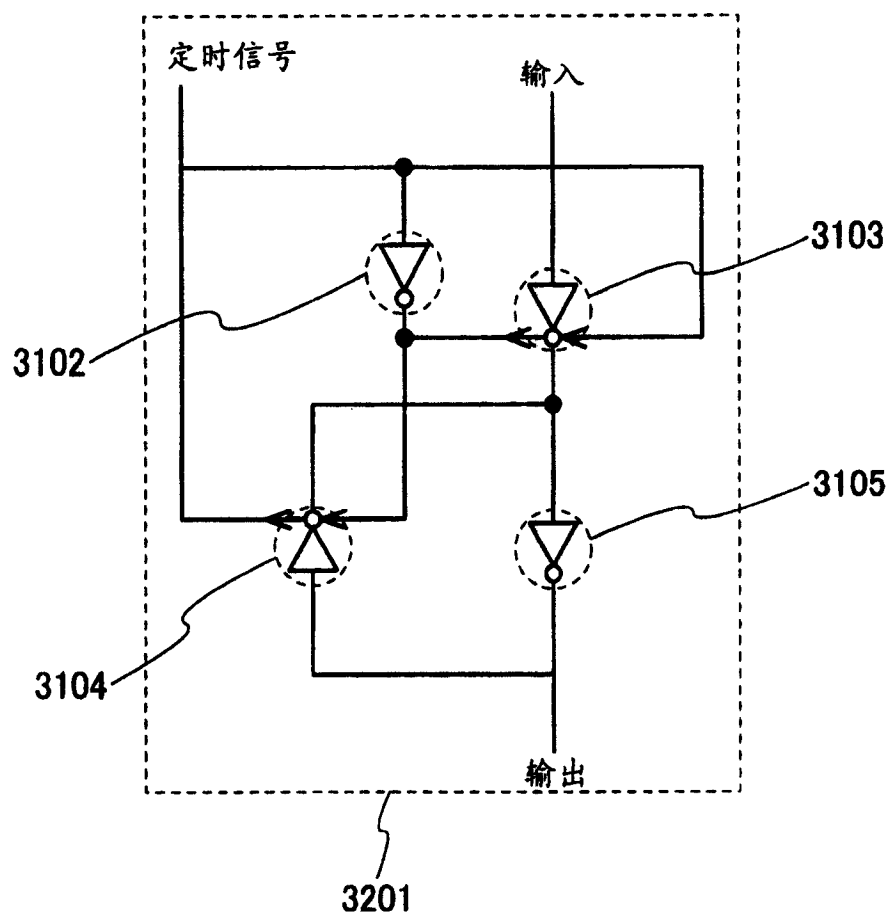


图 78B