



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년05월04일

(11) 등록번호 10-2106187

(24) 등록일자 2020년04월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/16 (2006.01)
H01L 29/423 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7802 (2013.01)
H01L 29/1608 (2013.01)
(21) 출원번호 10-2015-7018075
(22) 출원일자(국제) 2013년11월18일
심사청구일자 2018년10월24일
(85) 번역문제출일자 2015년07월06일
(65) 공개번호 10-2015-0094681
(43) 공개일자 2015년08월19일
(86) 국제출원번호 PCT/US2013/070522
(87) 국제공개번호 WO 2014/092936
국제공개일자 2014년06월19일
(30) 우선권주장
13/712,188 2012년12월12일 미국(US)
(56) 선행기술조사문헌
JP2008182191 A*
JP2009032919 A*
US20040108547 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
제네럴 일렉트릭 컴퍼니
미국, 뉴욕 12345, 쉐넬타디, 원 리버 로드
(72) 발명자
아더 스티븐 데일리
미국 뉴욕주 12309 니스카유나 원 리서치 씨클
마토차 케빈 셴
미국 미시시피주 39759 스타크빌 라벤더 레인 203
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 15 항

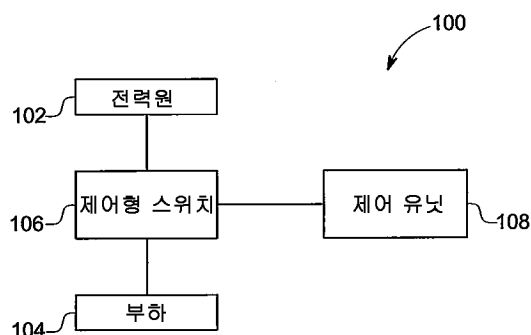
심사관 : 최정민

(54) 발명의 명칭 절연 게이트 전계 효과 트랜지스터 디바이스 및 이의 제조 방법

(57) 요약

절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스는 반도체 바디(200; 302) 및 게이트 산화물(234; 310)을 포함한다. 반도체 바디(200; 302)는 제 1 유형의 도펀트로 도핑된 제 1 웰 영역(216; 304), 및 반대 전하의 제 2 유형의 도펀트로 도핑되고 제 1 웰 영역(216; 304) 내에 배치된 제 2 웰 영역(220; 306)을 포함한다. 게이트 산
(뒷면에 계속)

대표도 - 도1



화물(234; 310)은 상이한 두께 치수를 갖는, 외부 섹션(244, 248) 및 내부 섹션(514; 714; 914)을 포함한다. 외부 섹션(244, 248)은 반도체 바디(200; 302)의 제 1 웰 영역(216; 304) 및 제 2 웰 영역(220; 306) 위에 배치된다. 내부 섹션(514; 714; 914)은 반도체 바디(200; 302)의 접합 게이트 전계 효과 트랜지스터 영역(218) 위에 배치된다. 반도체 바디(200; 302)는 게이트 신호가 게이트 산화물(234; 310) 상에 배치된 게이트 콘택(250)에 인가되는 경우 제 2 웰 영역(220; 306) 및 접합 게이트 전계 효과 트랜지스터(218)를 통해 전도성 채널을 형성하도록 구성된다.

(52) CPC특허분류

H01L 29/42368 (2013.01)

H01L 29/66068 (2013.01)

H01L 29/66712 (2013.01)

(72) 발명자

라오 라마크리쉬나

미국 뉴욕주 12309 니스카유나 원 리서치 씨클

로제 피터 알먼

미국 미시시피주 39759 스타크빌 킹 리차드 로드
228

볼로트니코프 알렉산더 빅토로비치

미국 뉴욕주 12309 니스카유나 원 리서치 씨클

명세서

청구범위

청구항 1

절연 게이트 전계 효과 트랜지스터(insulating gate field effect transistor; IGFET) 디바이스에 있어서,

소스 콘택(210) 및 드레인 콘택(206)과 전도성으로 결합된 탄화 규소를 포함하는 반도체 바디(200; 302)로서, 상기 반도체 바디(200; 302)는, 상기 반도체 바디(200; 302)의 제 1 측에 배치되고 제 1 유형의 도펀트로 도핑된 상기 반도체 바디(200; 302)의 제 1 체적을 포함하는 제 1 웰 영역(216; 304)을 포함하고, 상기 반도체 바디(200; 302)는, 상기 반도체 바디(200; 302)의 상기 제 1 측에 배치되고 반대 전하의 제 2 유형의 도펀트로 도핑된 상기 반도체 바디(200; 302)의 제 2 체적을 포함하는 제 2 웰 영역(220; 306)을 포함하고, 상기 제 2 웰 영역(220; 306)은 상기 제 1 웰 영역(216; 304) 내에 배치되며, 상기 제 1 웰 영역(216; 304) 및 상기 제 2 웰 영역(220; 306)은 상기 소스 콘택(210)과 전도성으로 결합되고(coupled), 상기 반도체 바디(200; 302)는 상기 제 1 웰 영역(216; 304) 내에 있되 상기 제 2 웰 영역(220; 306)의 외부에 배치된 도핑된 표면 영역(230)을 갖는 것인, 상기 반도체 바디(200; 302); 및

상기 반도체 바디(200; 302) 및 게이트 콘택(250)과 결합된 게이트 산화물(234; 310)로서, 상기 게이트 산화물(234; 310)은 상이한 두께 치수를 갖는 외부 섹션(244, 248) 및 내부 섹션(514; 714; 914)을 포함하고, 상기 외부 섹션(244, 248)은 상기 반도체 바디(200; 302)의 상기 도핑된 표면 영역(230), 상기 제 1 웰 영역(216; 304) 및 상기 제 2 웰 영역(220; 306) 위에 배치되고, 상기 내부 섹션(514; 714; 914)은 상기 반도체 바디(200; 302)의 상기 제 1 웰 영역(216; 304) 및 접합 게이트 전계 효과 트랜지스터 영역(218) 위에 배치되는 것인, 상기 게이트 산화물(234; 310)

을 포함하고,

상기 반도체 바디(200; 302)는, 게이트 신호가 상기 게이트 콘택(250)에 인가되는 경우, 상기 제 2 웰 영역(220; 306) 및 상기 접합 게이트 전계 효과 트랜지스터 영역(218)을 통해 상기 소스 콘택(210)에서부터 상기 드레인 콘택(206)까지 전도성 채널을 형성하도록 구성되는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 2

제 1 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 외부 섹션(244, 248)은 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)보다 작은 두께 치수를 갖는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 3

제 1 항에 있어서, 상기 반도체 바디(200; 302)는, 상기 반도체 바디(200; 302)의 상기 접합 게이트 전계 효과 트랜지스터 영역(218)에 의해 서로 분리된 복수의 제 1 웰 영역들(216; 304)을 포함하는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 4

제 3 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은, 상기 반도체 바디(200; 302)의 상기 접합 게이트 전계 효과 트랜지스터 영역(218) 위에서 상기 복수의 제 1 웰 영역들(216; 304) 중 제 1 웰 영역들(216; 304)의 제 1의 것에서부터 상기 복수의 제 1 웰 영역들(216; 304) 중 제 1 웰 영역들(216; 304)의 제 2의 것으로 확장되는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 5

제 1 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은 적어도 0.55 미크론 두께의 두께 치수 및 30도 내지 50도 사이의 테이퍼드(tapered) 외부 에지 각을 갖는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 6

방법에 있어서,

제 1 웰 영역(216; 304)을 형성하기 위해 탄화 규소를 포함하는 반도체 바디(200; 302)의 제 1 체적에 대해 제 1 유형의 도펀트로 상기 반도체 바디(200; 302)를 도핑하는 단계;

제 2 웰 영역(220; 306) - 상기 제 2 웰 영역(220; 306)은 상기 제 1 웰 영역(216; 304) 내에 배치된 - 을 형성하기 위해 상기 반도체 바디(200; 302)의 제 2 체적에 대해 반대 전하의 제 2 유형의 도펀트로 상기 반도체 바디(200; 302)를 도핑하는 단계;

상기 제 1 웰 영역(216; 304) 내에 있되 상기 제 2 웰 영역(220; 306)의 외부에 배치된 도핑된 표면 영역(230)을 형성하는 단계;

상기 반도체 바디(200; 302) 상에 게이트 산화물(234; 310)을 제공하는 단계로서, 상기 게이트 산화물(234; 310)은 상이한 두께 치수를 갖는 외부 섹션(244; 248) 및 내부 섹션(514; 714; 914)을 포함하고, 상기 외부 섹션(244; 248)은 상기 반도체 바디(200; 302)의 상기 도핑된 표면 영역(230), 상기 제 1 웰 영역(216; 304) 및 상기 제 2 웰 영역(220; 306) 위에 배치되고, 상기 내부 섹션(514; 714; 914)은 상기 반도체 바디(200; 302)의 상기 제 1 웰 영역(216; 304) 및 접합 게이트 전계 효과 트랜지스터 영역(218) 위에 배치되는 것인, 상기 게이트 산화물(234; 310)을 제공하는 단계; 및

상기 반도체 바디(200; 302)의 상기 제 1 웰 영역(216; 304) 및 상기 제 2 웰 영역(220; 306)과 소스 콘택(210)을 전도성으로 결합하고, 상기 반도체 바디(200; 302)와 드레인 콘택(206)을 전도성으로 결합하며, 상기 게이트 산화물(234; 310)과 게이트 콘택(250)을 전도성으로 결합하는 단계

를 포함하고,

상기 반도체 바디(200; 302)는, 게이트 신호가 상기 게이트 콘택(250)에 인가되는 경우, 상기 제 2 웰 영역(220; 306) 및 상기 접합 게이트 전계 효과 트랜지스터 영역(218)을 통해 상기 소스 콘택(210)에서부터 상기 드레인 콘택(206)까지 전도성 채널을 형성하도록 구성되는 것인, 방법.

청구항 7

제 6 항에 있어서, 상기 게이트 산화물(234; 310)을 제공하는 단계는, 상기 외부 섹션(244, 248)이 상기 내부 섹션(514; 714; 914)보다 작은 두께 치수를 갖도록 상기 게이트 산화물(234; 310)을 형성하는 단계를 포함하는 것인, 방법.

청구항 8

제 6 항에 있어서, 상기 게이트 산화물(234; 310)을 제공하는 단계는, 연속적인 산화물 바디(200; 302)로서 상기 외부 섹션(244, 248) 및 상기 내부 섹션을 형성하는 단계를 포함하는 것인, 방법.

청구항 9

제 6 항에 있어서, 상기 반도체 바디(200; 302)의 제 1 체적을 도핑하는 단계는, 상기 반도체 바디(200; 302)의 상기 접합 게이트 전계 효과 트랜지스터 영역(218)에 의해 서로 분리된 복수의 제 1 웰 영역들(216; 304)을 형성하기 위해 도핑하는 단계를 포함하는 것인, 방법.

청구항 10

제 9 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은, 상기 반도체 바디(200; 302)의 상기 접합 게이트 전계 효과 트랜지스터 영역(218) 위에서 상기 복수의 제 1 웰 영역들(216; 304) 중 제 1 웰 영역들(216; 304)의 제 1의 것에서부터 상기 복수의 제 1 웰 영역들(216; 304) 중 제 1 웰 영역들(216; 304)의 제 2의 것으로 확장되는 것인, 방법.

청구항 11

제 6 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은, 적어도 0.55 미크론 두께의 두께 치수 및 30도 내지 50도 사이의 테이퍼드 외부 에지 각을 갖는 것인, 방법.

청구항 12

절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스에 있어서,

제 1 유형의 도펀트로 도핑된 제 1 웰 영역(216; 304) 및 반대 전하의 제 2 유형의 도펀트로 도핑된 제 2 웰 영역(220; 306)을 갖는 탄화 규소를 포함하는 반도체 바디(200; 302)로서, 상기 제 2 웰 영역(220; 306)은 상기 제 1 웰 영역(216; 304) 내에 배치되고, 상기 반도체 바디(200; 302)는 상기 제 1 웰 영역(216; 304) 내에 있되 상기 제 2 웰 영역(220; 306)의 외부에 배치된 도핑된 표면 영역(230)을 가지며, 상기 제 1 웰 영역(216; 304)은 상기 반도체 바디(200; 302)의 접합 게이트 전계 효과 트랜지스터 영역(218)에 의해 서로 분리되고, 상기 반도체 바디(200; 302)는 드레인 콘택(206)과 전도성으로 결합되도록 구성되며, 상기 제 1 웰 영역(216; 304) 및 상기 제 2 웰 영역(220; 306)은 소스 콘택(210)과 전도성으로 결합되도록 구성되는 것인, 상기 반도체 바디(200; 302); 및

상기 반도체 바디(200; 302) 위에 배치되고 게이트 콘택(250)과 전도성으로 결합되도록 구성된 게이트 산화물(234; 310)로서, 상기 게이트 산화물(234; 310)은, 상기 반도체 바디(200; 302)의 상기 제 1 웰 영역(216; 304) 및 상기 접합 게이트 전계 효과 트랜지스터 영역(218) 위에 배치된 내부 섹션(514; 714; 914), 및 상기 제 1 웰 영역(216; 304) 및 상기 도핑된 표면 영역(230) 위에 적어도 부분적으로 배치된 외부 섹션들(244, 248)을 갖고, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은 상기 외부 섹션들(244, 248)의 제 2 두께 치수와는 상이한 제 1 두께 치수를 갖는 것인, 상기 게이트 산화물(234; 310)

을 포함하는 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 13

제 12 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)의 상기 제 1 두께 치수는, 상기 게이트 산화물(234; 310)의 상기 외부 섹션들(244, 248)의 상기 제 2 두께 치수보다 큰 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 14

제 12 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914) 및 상기 외부 섹션들(244, 248)은 연속적인 산화물 바디(200; 302)를 형성하는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 15

제 12 항에 있어서, 상기 게이트 산화물(234; 310)의 상기 내부 섹션(514; 714; 914)은, 적어도 0.55 미크론 두께의 두께 치수 및 30도 내지 50도 사이의 테이퍼드 외부 에지 각을 갖는 것인, 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기술 분야

배경 기술

[0001] 금속 산화물 반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field effect transistor; MOSFET) 디바이스는 전도 상태와 비전도 상태 사이로 회로에서의 전류의 흐름을 스위칭하는데 이용된다. MOSFET 디바이스는 소스 영역과 드레인 영역 사이의 반도체 위에 배치된 게이트 산화물과 반도체에 도핑된 소스 및 드레인 영역을 포함한다. 소스 영역은 크게 도핑된 웰 영역 내에 배치되고, 소스 영역은 웰 영역과는 반대 전하의 도펀트로 도핑된다. 게이트 콘택이 게이트 산화물 위에 배치되고, 게이트 산화물에 의해 반도체로부터 분리된다. 전기 신호가 게이트 콘택에 인가되어 반도체를 통해 소스에서부터 드레인 영역까지 전도성 경로를 생성한다. 신호가 게이트 콘택에서 제거되는 경우, 전도성 경로는 더 이상 존재하지 않고, 반도체는 전류가 반도체를 통해 흐르는 것을 방지한다.

[0002] MOSFET 디바이스의 반도체는 비전도 상태에서 전도 상태로의 스위칭에 대한 MOSFET 디바이스의 전기 저항을 나타내는 온(on)-저항 특성과 연관될 수 있다. 이러한 온-저항 특성은 MOSFET 디바이스의 소비 전력 손실을 줄이기 위해 감소될 수 있다. 그러나, 온-저항 특성을 줄이는 것은 펀치 스루 파괴(punch through breakdown)로 이어질 수 있는, FET 채널을 감소시키거나, 소스를 드레인에 접속시킴으로써 달성될 수 있다. 추가적으로, 펀치 스루는 MOSFET 디바이스의 출력 전도도의 증가 및 MOSFET 디바이스의 동작 전압 상의 상한의 저하를 야기할 수 있다.

[0003] 펀치 스루가 발생할 가능성을 감소시키기 위해서, 반도체 내의 웰 영역의 도펀트 농도는 증가될 수 있다. 그러나, 도펀트 농도의 이러한 증가는 비전도 상태에서 전도 상태로 MOSFET 디바이스를 스위칭하기 위해 게이트 콘택에 인가되는 신호에 필요한 전압의 증가를 야기할 수 있다. 비전도 상태 동안에, 게이트는 채널 전도에 요구되는 문턱값 아래로 바이어스될 것이고, 보통 소스와 동일한 전위 또는 그 이하(예컨대, N 채널 FET를 위한 음의 게이트 바이어스 값)이다. 디바이스가 완전한 차단 상태에 있을 경우, 차단 접합의 저농도 측면 상의 공핍 전하는 전기장을 생성하고, 이 전기장은 계면까지 차단 접합의 분리를 관통하고, 게이트 전극 상에서 종료할 것이다. 반도체와 게이트 산화물 사이의 유전 상수의 비는 표면에 수직인 전기장 세기 성분을, 비유전율의 비만큼, 증폭할 수 있다[예컨대, $E_{ox} = (\epsilon_{SiC} / \epsilon_{ox}) * E_{sic}$]. SiC 및 실리콘 산화물 계면의 경우, 수직의 전계는 산화물에서 인자 2.5만큼 향상된다. 게이트 산화물에서 발생된 전기장이 증가함에 따라, MOSFET 디바이스의 신뢰성 및/또는 유효 수명은 게이트 산화물 물질의 파괴로 인해 줄어들 수 있다.

발명의 내용

해결하려는 과제

[0004] 그러므로, 전도 채널에서 적절한 FET 동작과 어울리며 차단 접합 사이의 공간을 커버하는 게이트 산화물의 전계 세기를 줄이는 것이 바람직하다.

과제의 해결 수단

[0005] 일 실시예에서, 반도체 바디 및 게이트 산화물을 포함하는 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스

가 제공된다. 반도체 바디는 소스 콘택 및 드레인 콘택과 전도성으로 결합된다. 반도체 바디는 반도체 바디의 제 1 측에 배치되고 제 1 유형의 도펀트로 도핑된 반도체 바디의 제 1 체적을 포함하는 제 1 웰 영역을 포함한다. 반도체 바디는 또한 반도체 바디의 제 1 측에 배치되고 반대 전하의 제 2 유형의 도펀트로 도핑된 반도체 바디의 제 2 체적을 포함하는 제 2 웰 영역을 포함한다. 제 2 웰 영역은 제 1 웰 영역 내에 배치된다. 게이트 산화물은 반도체 바디와 게이트 콘택과 결합된다. 게이트 산화물은 상이한 두께 치수를 갖는 외부 섹션 및 내부 섹션을 포함한다. 외부 섹션은 반도체 바디의 제 1 웰 영역 및 제 2 웰 영역 위에 배치된다. 내부 섹션은 반도체 바디의 접합 게이트 전계 효과 트랜지스터 영역 위에 배치된다. 반도체 바디는 게이트 신호가 게이트 콘택에 인가되는 경우 제 2 웰 영역 및 접합 게이트 전계 효과 트랜지스터 영역을 통해 소스 콘택에서부터 드레인 콘택까지 전도성 채널을 형성하도록 구성된다.

[0006] 다른 실시예에서, 제 1 웰 영역을 형성하기 위해 반도체 바디의 제 1 체적에 제 1 유형의 도펀트로 반도체 바디를 도핑하는 단계, 및 제 2 웰 영역을 형성하기 위해 반도체 바디의 제 2 체적에 반대 전하의 제 2 유형의 도펀트로 반도체 바디를 도핑하는 단계를 포함하는 방법이 제공된다. 제 2 웰 영역은 제 1 웰 영역 내에 배치된다. 방법은 또한 반도체 바디 상에 게이트 산화물을 제공하는 단계를 포함한다. 게이트 산화물은 외부 섹션보다 두껍거나 같은 두께를 갖는 내부 섹션을 포함한다. 외부 섹션은 반도체 바디의 제 1 웰 영역 및 제 2 웰 영역 위에 배치된다. 내부 섹션은 반도체 바디의 접합 게이트 전계 효과 트랜지스터 영역 위에 배치된다. 방법은 반도체 바디의 제 1 웰 영역 또는 제 2 웰 영역 중 적어도 하나와 소스 콘택을 전도성으로 결합하고, 반도체 바디와 드레인 콘택을 전도성으로 결합하며, 게이트 산화물과 게이트 콘택을 전도성으로 결합하는 단계를 더 포함한다. 반도체 바디는 게이트 신호가 게이트 콘택에 인가되는 경우 제 2 웰 영역 및 접합 게이트 전계 효과 트랜지스터 영역을 통해 소스 콘택에서부터 드레인 콘택까지 전도성 채널을 형성하도록 구성된다.

[0007] 다른 실시예에서, 반도체 바디 및 게이트 산화물을 포함하는 다른 IGFET 디바이스가 제공된다. 반도체 바디는 제 1 유형의 도펀트로 도핑된 제 1 웰 영역 및 반대 전하의 제 2 유형의 도펀트로 도핑된 제 2 웰 영역을 갖는다. 제 2 웰 영역은 제 1 웰 영역 내에 배치된다. 제 1 웰 영역은 반도체 바디의 접합 게이트 전계 효과 트랜지스터 영역에 의해 서로 분리된다. 반도체 바디는 드레인 콘택과 전도성으로 결합되도록 구성되고, 제 1 웰 영역 또는 제 2 웰 영역 중 적어도 하나는 소스 콘택과 전도성으로 결합되도록 구성된다. 게이트 산화물은 반도체 바디 위에 배치되고, 게이트 콘택과 전도성으로 결합되도록 구성된다. 게이트 산화물은 반도체 바디의 접합 게이트 전계 효과 트랜지스터 영역 위에 배치된 내부 섹션, 및 제 1 웰 영역 위에 적어도 부분적으로 배치된 외부 섹션들을 갖는다. 게이트 산화물의 내부 섹션은 외부 섹션보다 두껍거나 같은 제 1 두께 치수를 갖는다.

도면의 간단한 설명

[0008] 본 발명의 대상은 첨부된 도면을 참조하면서 비제한적인 실시예들의 다음 설명을 읽음으로서 더욱 잘 이해될 것이다.

도 1은 스위칭 시스템의 일 실시예의 블록도이다.

도 2는 도 1에 도시된 절연 게이트 전계 효과 트랜지스터(insulating gate field effect transistor; IGFET) 디바이스의 일 실시예의 횡단면도이다.

도 3은 일례에 따라 IGFET 디바이스의 횡단면도이다.

도 4는 도 3에 도시된 IGFET 디바이스에서 전기장과 위치 사이의 관계를 나타낸다.

도 5는 다른 예에 따라 IGFET 디바이스의 횡단면도를 나타낸다.

도 6은 도 5에 도시된 IGFET 디바이스에서 전기장과 위치 사이의 관계를 나타낸다.

도 7은 다른 예에 따라 IGFET 디바이스의 횡단면도를 나타낸다.

도 8은 도 7에 도시된 IGFET 디바이스에서 전기장과 위치 사이의 관계를 나타낸다.

도 9는 다른 예에 따라 IGFET 디바이스의 횡단면도를 나타낸다.

도 10은 도 9에 도시된 IGFET 디바이스에서 전기장과 위치 사이의 관계를 나타낸다.

도 11은 IGFET 디바이스를 제공하기 위한 방법의 일 실시예의 흐름도이다.

도 12a는 일 실시예에 따라 JFET 영역 위에 0.05 μm 의 산화물 두께를 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

다.

도 12b는 도 12a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 13a는 일 실시예에 따라 JFET 영역 위에 0.01 μm 의 산화물 두께를 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 13b는 도 13a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 14a는 일 실시예에 따라 JFET 영역 위에 0.15 μm 의 산화물 두께를 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 14b는 도 14a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 15a는 일 실시예에 따라 JFET 영역 위에 0.25 μm 의 산화물 두께를 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 15b는 도 15a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 16a는 일 실시예에 따라 JFET 영역 위에 0.55 μm 의 산화물 두께를 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 16b는 도 16a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 17a는 일 실시예에 따라 JFET 영역 위에 0.55 μm 의 산화물 두께 및 90 도의 산화물 테이퍼 각을 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 17b는 도 17a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 18a는 일 실시예에 따라 JFET 영역 위에 0.55 μm 의 산화물 두께 및 45 도의 산화물 테이퍼 각을 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 18b는 도 18a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 19a는 일 실시예에 따라 JFET 영역 위에 0.55 μm 의 산화물 두께 및 대략 17 도의 산화물 테이퍼 각을 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 19b는 도 19a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

도 20a는 일 실시예에 따라 JFET 영역 위에 0.2 μm 의 산화물 두께 및 대략 45 도의 산화물 테이퍼 각을 갖는 IGFET 디바이스의 횡단면도를 나타낸다.

도 20b는 도 20a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0009]

발명의 대상의 예시적인 실시예에 대하여 아래에서 상세하게 참조할 것이고, 발명의 대상의 예들은 첨부 도면을 참조하여 예시된다. 어느 곳에서라도, 도면에 걸쳐 사용되는 동일한 참조 번호는 동일하거나 같은 부분을 나타낸다. 본 명세서에 기술된 적어도 하나의 실시예는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)와 같은, 파워 절연 게이트 전계 효과 트랜지스터(IGFET) 디바이스를 제공하고, 이는 하나 이상의 부하로의 비교적 높은 전류의 흐름을 제어하기 위해 스위치로서 또는 스위치에서 이용될 수 있다. 본 명세서의 설명이 IGFET 디바이스를 형성하는데 이용될 수 있는 물질들의 예들을 제공하지만, 대안적으로, 하나 이상의 다른 물질들이 이용될 수 있다.

[0010]

도 1은 스위칭 시스템(100)의 일 실시예의 블록도이다. 스위칭 시스템(100)은 전력원(102)(예컨대, 전력망, 풍력 발전용 터빈, 광전변환 소자, 배터리 등)으로부터 전기 부하(104)(예컨대, 전류가 수신된 경우 작업을 수행하거나 나중의 이용을 위해 전류를 저장하는 전기 모터 또는 다른 디바이스)로의 전류의 흐름을 제어하는데 이용될 수 있다. 스위칭 시스템(100)은 전력원(102) 및 부하(104)와 전도성으로 결합된 적어도 하나의 IGFET 디바이스(106)(도 1에서의 "제어형 스위치")를 포함한다. IGFET 디바이스(106)는 제어 유닛(108)과 통신 가능하게 결합된다(예컨대, 하나 이상의 유선 및/또는 무선 접속으로 결합됨). 제어 유닛(108)은 IGFET 디바이스

(106)를 온(ON) 전도 상태, 또는 오프(OFF) 폐쇄 상태 사이로 스위칭하기 위해 수동으로 제어되거나 자동적으로 스위칭하는 프로세서, 제어기, 또는 다른 로직 기반 디바이스를 포함할 수 있다. IGFET 디바이스(106)는 전력원(102)으로부터의 전류가 IGFET 디바이스(106)를 통해 부하(104)로 전도되도록 허용하도록 온 상태에 있다. IGFET 디바이스(106)는 전력원(102)으로부터 부하(104)까지 전류의 흐름을 IGFET 디바이스(106)를 통해 차단하도록 오프 상태에 있다.

[0011] 도 2는 IGFET 디바이스(106)의 일 실시예의 횡단면도이다. IGFET 디바이스(106)는 전도성 소스 단자(202) 및 전도성 드레인 단자(204)와 결합된 반도체 바디(200)를 포함한다. 소스 단자(202)는 전력원(102)(도 1에 도시됨)과 전도성으로 결합될 수 있고, 드레인 단자(204)는 부하(104)(도 1에 도시됨)와 전도성으로 결합될 수 있다. 예시된 실시예에서, 전도성 드레인 콘택(206)이 반도체 바디(200)의 하부측(208)을 따라 배치되고, 드레인 단자(204)는 드레인 콘택(206)과 전도성으로 결합된다. 소스 단자(202)는 반도체 바디(200)의 상부측(212) 상에 배치된 전도성 소스 콘택(210)과 전도성으로 결합되고, 소스 단자(202)는 소스 콘택(210)과 전도성으로 결합된다. 소스 콘택(210)은 금속, 금속 합금, 폴리실리콘 등과 같은 하나 이상의 전도성 물질들로 형성되거나, 하나 이상의 전도성 물질들을 포함할 수 있다.

[0012] 반도체 바디(200)는 n형 도펀트(예컨대, 질소 또는 인)로 도핑된 실리콘 탄화물(SiC)와 같은, 도핑된 반도체 물질을 포함하거나, 도핑된 반도체 물질로 형성될 수 있다. 반도체 바디(200)가 n- 물질이 되도록 반도체 바디(200)는 비교적 저농도 도핑될 수 있다. 대안적으로, 반도체 바디(200)는 p형 도펀트(예컨대, 알루미늄 또는 붕소)로 도핑될 수 있거나 및/또는 고농도 도핑될 수 있다. 다른 실시예에서, 반도체 바디(200)는 다른 유형의 반도체 물질로 형성된다.

[0013] 예시된 실시예에서, 반도체 바디(200)는 반도체 바디(200)의 하부측(208)을 따라 도핑층(214)을 갖는다. 도핑층(214)은 반도체 바디(200)와 같은 유형의 도펀트(예컨대, n형 도펀트)로 도핑될 수 있고, 및/또는 반도체 바디(200)보다 고농도 도핑(예컨대, n+ 물질)될 수 있다.

[0014] 반도체 바디(200)는 반도체 바디(200)와는 상이한 유형(예컨대, 반대 전하)의 도펀트로 도핑된 반도체 바디(200)의 체적을 나타내는 도핑된 제 1 웰 영역(216)을 포함한다. 예를 들어, 제 1 웰 영역(216)은 p형 도펀트로 도핑될 수 있다. 도 2에 도시된 바와 같이, 제 1 웰 영역(216)은 반도체 바디(200) 내에 배치될 수 있어, 제 1 웰 영역(216)은 전체 반도체 바디(200)보다 작고, 반도체 바디(200)는 제 1 웰 영역(216)보다 상당히 크게 된다(예컨대, 체적에서).

[0015] 일 실시예에서, 제 1 웰 영역(216)은 반도체 바디(200)에 비해 고농도 노핑된다(예컨대, 제 1 웰 영역(216)은 p+ 도핑된 체적일 수 있다). 제 1 웰 영역(216)은 측방향으로 서로 이격되고, 반도체 바디(200)의 분리 영역(218)에 의해 서로 분리된다. 분리 영역(218)은 접합 게이트 전계 효과 트랜지스터(junction gate field-effect transistor; JFET) 영역으로 언급될 수 있다. 분리 영역(218)은 도 2에 도시된 바와 같이 제 1 웰 영역(216) 중 하나의 제 1 웰 영역에서부터 다른 제 1 웰 영역(216)까지 반도체 바디(200)에서 측방향으로 확장되는 폭 치수(254)를 가질 수 있다.

[0016] 반도체 바디(200)는 제 1 웰 영역(216)과는 상이한 유형(예컨대, 반대 전하)의 도펀트로 도핑된 반도체 바디(200)의 체적을 나타내는 도핑된 제 2 웰 영역(220)을 포함한다. 예를 들어, 제 1 웰 영역(220)은 n형 도펀트로 도핑될 수 있다. 일 실시예에서, 제 2 웰 영역(220)은 반도체 바디(200)보다 고농도 도핑될 수 있다(예컨대, 제 2 웰 영역(220)은 n+ 도핑된 체적일 수 있다).

[0017] 도 2에 도시된 바와 같이, 제 2 웰 영역(220)은 반도체 바디(200)의 제 1 웰 영역(216) 내에 배치될 수 있어, 제 2 웰 영역(220)은 전체 제 1 웰 영역(216)보다 작고, 제 1 웰 영역(216) 내에 에워싸여지게 된다. 제 2 웰 영역(220)은 제 1 웰 영역(216)이 반도체 바디(200)의 상부측(212)으로부터 반도체 바디(200) 내로 확장되는 깊이 치수(224)보다 작은 깊이 치수(222)만큼 반도체 바디(200) 내로 확장될 수 있다. 제 2 웰 영역(220)은 제 1 웰 영역(216)이 반도체 바디(200)에서 측방향으로 확장되는 폭 치수(228)보다 작은 폭 치수(226)만큼 반도체 바디(200)에서 측방향으로 확장될 수 있다.

[0018] 게이트 유전체(234)가 반도체 바디(200)의 상부측(212) 상에 배치된다. 게이트 유전체(234)는 실리콘 이산화물 또는 전류를 전도하지 않는 일부 다른 물질과 같은 비전도성 물질을 포함하거나, 또는 비전도성 물질로 형성된다. 게이트 유전체(234)는 대향 끝단들(236, 238) 사이에서 반도체 바디(200)의 상부측(212)에 걸쳐 측방향으로 확장된다. 예시된 실시예에서, 대향 끝단들(236, 238)은 제 1 웰 영역(216) 및 제 2 웰 영역(220) 위에 직접적으로 배치되어 게이트 산화물(234)이 분리 영역(218)에 걸쳐 확장되는 연속 바디가 되도록 한다.

- [0019] 게이트 유전체(234)는 상이한 섹션들(244, 246, 248)을 형성하기 위해 두께 치수(240, 242)로 연출된다. 게이트 산화물(234)은 산화물 섹션들(244, 246, 248)이 서로 연결되고 서로 분리되지 않도록 연속 바디일 수 있다. 외부 섹션들(224, 248)은 내부 산화물 섹션(246)의 대향 측 상에 배치된다. 제 1 외부 산화물 섹션(244)은 제 1 끝단(236)에서부터 내부 산화물 섹션(246)으로 확장되고, 제 2 외부 산화물 섹션(248)은 제 2 끝단(238)에서부터 내부 산화물 섹션(246)으로 확장된다. 대안적으로, 하나 이상의 다른 두께 치수를 갖는 하나 이상의 다른 산화물 섹션들이 제공될 수 있다.
- [0020] 예시된 실시예에서, 내부 산화물 섹션(246)은 분리 영역(218)(JFET) 위에 배치된다. 예를 들어, 내부 산화물 섹션(246)은 제 1 웰 영역(216) 위로 확장되지 않고, 분리 영역(218) 위의 영역으로 국한될 수 있다. 외부 산화물 섹션들(244, 248)은 제 2 웰 영역(220)의 일부분 및 제 1 웰 영역(216) 위에 배치될 수 있다. 일 실시예에서, 내부 산화물 섹션(246)의 두께 치수(242)는 외부 산화물 섹션들(244, 248)의 두께 치수(240)보다 크다. 예를 들어, 외부 산화물 섹션들(244, 248)의 두께 치수(240)는 0.05 미크론(또는 마이크로미터) 이하일 수 있고, 내부 산화물 섹션(246)의 두께 치수(242)는 0.05 미크론보다 클 수 있다. 일 실시예에서, 두께 치수(242)는 0.1 미크론 이상일 수 있다. 다른 실시예에서, 두께 치수(242)는 0.25 미크론 이상일 수 있다. 대안적으로, 두께 치수(242)는 0.55 미크론 이상일 수 있다. 내부 산화물 섹션(246)의 두께 치수(242)는 외부 산화물 섹션들(244, 248)의 두께 치수(240)에 기초할 수 있다. 예를 들어, 두께 치수(242)는 2, 5, 11 또는 다른 정수배와 같은, 두께 치수(240)의 정수배일 수 있다. 대안적으로, 두께 치수(242)는 두께 치수(240)의 비정수 배일 수 있다.
- [0021] 전도성 게이트 콘택(250)이 게이트 산화물(234) 위에 배치된다. 게이트 콘택(250)은 금속, 금속 합금, 폴리실리콘 등과 같은, 하나 이상의 전도성 물질들로 형성되거나, 하나 이상의 전도성 물질들을 포함할 수 있다. 게이트 콘택(250)은 게이트 산화물(234)에 의해 반도체 바디(200)로부터 분리된다. 게이트 산화물(234)은 게이트 콘택(250)이 반도체 바디(200)와 맞물리는 것을 방지한다. 예시된 실시예에서, 게이트 콘택(250)은 전체 게이트 산화물(234)에 걸쳐 연속적으로 확장된다. 대안적으로, 게이트 콘택(250)은 게이트 산화물(234)의 일부분 위에서만 확장될 수 있다. 게이트 콘택(250)은 전도성 게이트 단자(252)와 전도성으로 결합된다. 게이트 단자(252)는 제어 유닛(108)(도 1에 도시됨)과 전도성으로 결합될 수 있어, 아래에 기술되는 바와 같이, 전기 게이트 신호가 게이트 단자(252)에 인가될 때 제어 유닛(108)이 제어할 수 있도록 한다.
- [0022] 동작 시에, 소스 단자(202)는 전력원(102)(도 1에 도시됨)과 전도성으로 결합될 수 있고, 드레인 단자(204)는 부하(104)(도 1에 도시됨)와 전도성으로 결합될 수 있다. 어떠한 게이트 신호도 게이트 단자(252)에 인가되지 않거나, IGFET 디바이스(106)의 턴온 전압(문턱 전압)보다 낮은 전압을 갖는 게이트 신호가 게이트 단자(252)에 인가될 경우, IGFET 디바이스(106)는 차단 또는 비전도 상태에 있다. 차단 또는 비전도 상태에 있는 경우, 어떠한 중요한 전류도 소스 단자(202) 및 드레인 단자(204)를 통해 흐르지 않는다. 제어 유닛(108)(도 1에 도시됨)은 IGFET 디바이스(106)의 문턱 전압을 충족 또는 초과하는 전압을 갖는 게이트 신호를 게이트 단자(252)에 인가하도록 제어될 수 있다. 이러한 게이트 신호가 인가되는 경우, 반도체 바디(200)에서의 비교적 높은 농도의 음전하 캐리어(예컨대, 전자)가 FET 채널 영역, 반도체 표면을 따라 216 부분 쪽으로 끌어당겨진다. 음전하 캐리어는 제 2 웰 영역(220)으로부터 끌어당겨질 수 있다.
- [0023] 비교적 높은 농도의 음전하 캐리어는 제 1 웰 영역(216)과 제 2 웰 영역(220) 사이에서 반도체 바디(200)의 표면을 따라 채널 영역에 역전층을 형성한다. 역전층은 제 1 웰 영역(216)과 게이트 유전체(234) 사이의 계면에 또는 계면 근처에서 반도체 바디(200)에 전도성 채널을 제공한다. 게이트 신호가 충분히 큰 전압을 갖는 경우, 형성된 전도성 채널은 소스 단자(202)에 인가된 전류가 소스 콘택(210) 및 반도체 바디(200)를 통해(예컨대, 전도성 채널을 통해) 그리고 드레인 콘택(206)을 통해 드레인 단자(204)에 흐르도록 허용할 것이다. IGFET 디바이스(106)의 문턱 전압 아래로 게이트 신호의 전압을 감소시킴으로써, 게이트 신호가 제거되는 경우, 전도성 채널은 더 이상 형성되지 않고, 전류는 반도체 바디(200)를 통해 드레인 단자(204)에 흐를 수 없다. 게이트 신호의 인가는 이런 식으로 전력원(102)(도 1에 도시됨)으로부터 부하(104)(도 1에 도시됨)로의 전류의 흐름을 제어하는데 이용될 수 있다.
- [0024] 일 실시예에서, 도핑된 표면 영역(230) 단독의 존재는 SiO₂ 및 SiC 계면에서 피크 전기장을 증가시킬 수 없다. 게이트 산화물 아래에서(예컨대, 산화물-반도체 계면에서) 피크 전기장이 JFET 영역의 중앙에 있기 때문에, 도핑된 표면 영역(230)은 제거될 수 있고, 역방향 상태에서 JFET 영역의 순수 농도는 중요할 수 있다.
- [0025] 도 3은 일례에 따라 IGFET 디바이스(300)의 횡단면도이다. 도 2에 도시된 IGFET 디바이스(106)와 유사하게, IGFET 디바이스(300)는 반도체 바디(302), 제 1 웰 영역(304), 제 2 웰 영역(306), 게이트 산화물(310), 및 전

도성 게이트 콘택(312)을 포함한다. IGFET 디바이스(300)의 일부분만이 도 3에 도시된다. 예를 들어, IGFET 디바이스(300)는 또한 다른 제 1 웰 영역(304) 및/또는 제 2 웰 영역(306)을 포함할 수 있고, 층(214)(도 2에 도시됨)과 유사한 도핑층, 드레인(206)(도 2에 도시됨)과 유사한 드레인, 및 소스 콘택(210)(도 2에 도시됨)과 유사한 콘택을 포함할 수 있다.

- [0026] 예시된 예에서, IGFET 디바이스(300)의 게이트 산화물(310)은 0.05 미크론의 일정한 두께 치수(322)를 갖는다. 예를 들어, 게이트 산화물(310)은 도 2에 도시된 IGFET 디바이스(106)와 유사한 두꺼운 내부 섹션 및 얇은 외부 섹션을 갖지 않을 수 있다.
- [0027] 도 3을 계속 참조하면, 도 4는 도 3에 도시된 IGFET 디바이스(300)에서 전기장과 위치 사이의 관계(400, 402)를 나타내고, 이 디바이스는 차단(오프) 상태에서 동작한다. 관계(400, 402)는 센티미터 당 1000,000 볼트의 단위(예컨대, $(V/cm^6) * 10^6$)로 전기장의 크기를 나타내는 수직축(404) 및 수평축(314)[IGFET 디바이스(300)의 좌측으로부터의 측방향 거리를 나타냄]과 함께 도시된다. IGFET 디바이스(300)의 좌측으로부터의 거리를 나타내는 수평축(314) 및 반도체 바디(302)의 상부측(318)으로부터의 거리를 나타내는 수직축(316)이 도시된다.
- [0028] 관계(400)는 수평축(314)의 상이한 측방향 거리에서의 반도체 바디(302)의 전기장의 크기를 나타낸다. 관계(402)는 수평축(314)의 상이한 측방향 거리에서의 게이트 산화물(310)의 전기장의 크기를 나타낸다. 도 4에 도시된 바와 같이, 게이트 산화물(310)의 전기장은 IGFET 디바이스(300)의 좌측으로부터의 측방향 거리에서 제 1 웰 영역(304)과 반도체 바디(302)의 나머지 사이의 계면(예컨대, 대략 3.05 미크론에서)까지는 반도체 바디(302)에서보다 작다. 이 계면보다 큰 측방향 거리에서, 게이트 산화물(310)의 전기장은 크다. 예시된 모델 결과에서, 게이트 산화물(402)의 전기장은 4020000 V/cm⁶의 값(예컨대, 5.08 미크론 이상의 측방향 거리에서)에 근접한다.
- [0029] 도 5, 도 7, 및 도 9는 추가적인 예들에 따라, IGFET 디바이스(500, 700, 900)의 횡단면도를 나타낸다. 도 2에 도시된 IGFET 디바이스(106)와 유사하게, IGFET 디바이스(500, 700, 900)는 반도체 바디(502, 702, 902), 제 1 웰 영역(504, 704, 904), 제 2 웰 영역(506, 706, 906), 게이트 산화물(510, 710, 910), 및 전도성 콘택(512, 712, 912)을 포함한다. IGFET 디바이스(500, 700, 900)의 일부분만이 도 5, 도 7, 및 도 9에 도시된다. 예를 들어, IGFET 디바이스(500, 700, 900)는 또한 추가적인 제 1 웰 영역(504, 704, 904) 및/또는 제 2 웰 영역(506, 706, 906)을 포함할 수 있고, 층(214)(도 2에 도시됨)과 유사한 도핑층, 드레인(206)(도 2에 도시됨)과 유사한 드레인, 및 소스 콘택(210)(도 2에 도시됨)과 유사한 콘택을 포함할 수 있다.
- [0030] 게이트 산화물(510, 710, 910)은 도 2에 도시된 게이트 산화물(234)과 유사한 모양을 갖는다. 예를 들어, 게이트 산화물(510, 710, 910)은 게이트 산화물(510, 710, 910)의 다른 섹션(예컨대, 외부 섹션)보다 두꺼운 내부 섹션(514, 714, 914)을 갖는다. 예시된 실시예에서, 게이트 산화물(510, 710, 910)은 내부 섹션(514, 714, 914)에 0.1 미크론, 0.25 미크론 및 0.55 미크론의 두께 치수(516, 716, 916)를 각각 갖는다. 대안적으로, 다른 두께 치수(516, 716, 916)가 이용될 수 있다.
- [0031] IGFET 디바이스(500, 700, 900)의 좌측으로부터의 거리를 나타내는 수평축(314)은 물론, 반도체 바디(502, 702, 902)의 상부측으로부터의 거리를 나타내는 수직축(316)이 도 5, 도 7 및 도 9에 도시된다.
- [0032] 도 5, 도 7 및 도 9를 계속 참조하면, 도 6, 도 8, 및 도 10은 도 5, 도 7 및 도 9에 도시된 IGFET 디바이스(500, 700, 900)에서 전기장과 위치 사이의 관계를 각각 나타낸다. 예를 들어, 도 6은 IGFET 디바이스(500)에 대한 관계(600, 602)를 나타내고, 도 8은 IGFET 디바이스(700)에 대한 관계(800, 802)를 나타내며, 도 10은 IGFET 디바이스(900)에 대한 관계(1000, 1002)를 나타낸다.
- [0033] 도 6, 도 8, 및 도 10에 도시된 관계는 센티미터 당 1000,000 볼트의 단위(예컨대, $(V/cm^6) * 10^6$)로 전기장의 크기를 나타내는 수직축(404) 및 수평축(314)(대응하는 IGFET 디바이스의 좌측으로부터의 측방향 거리를 나타냄)과 함께 도시된다.
- [0034] 관계(600, 800, 1000)는 수평축(314)의 상이한 측방향 거리에서의 반도체 바디(502, 702, 902)의 전기장의 크기를 나타낸다. 관계(602, 802, 1002)는 수평축(314)의 상이한 측방향 거리에서의 게이트 산화물(510, 710, 910)의 전기장의 크기를 나타낸다. 도 4, 도 6, 도 8 및 도 10에 도시된 바와 같이, 게이트 산화물(310, 510, 710, 910)의 전기장은 게이트 산화물의 내부 섹션의 두께 치수가 증가하면 감소한다. 게이트 산화물(310)의 전기장은 4,020,000 V/cm⁶의 값에 근접하고, 게이트 산화물(510)의 전기장은 4,000,000 V/cm⁶의 값에 근접하고, 게이트 산화물(710)의 전기장은 3,040,000 V/cm⁶의 값에 근접하며, 게이트 산화물(910)의 전기장은 2,250,000 V/cm⁶

바로 위의 값에 근접한다.

- [0035] 앞서 기술된 바와 같이, 게이트 산화물(310, 510, 710, 910)의 내부 섹션과 연관된 두께 치수(322, 516, 716, 916)는 각각 0.05 미크론, 0.1 미크론, 0.25 미크론, 및 0.55 미크론이다. 게이트 산화물 내의 전기장의 다른 감소는 내부 섹션의 다른 두께 치수로 실현될 수 있다. 예를 들어, 게이트 산화물의 내부 섹션에 대한 두께 치수는 0.4 미크론으로 증가될 수 있어 게이트 산화물의 전기장은 $3,750,000 \text{ V/cm}$ 의 값에 근접하도록 한다. 그러므로, 일 실시예에서, IGFET 디바이스에서 게이트 산화물의 내부 섹션의 두께 치수를 증가시키는 것은, 앞서 기술된 바와 같이, 종래의 IGFET 디바이스에 비해 도핑된 표면 영역이 IGFET 디바이스에 제공되고 및/또는 제 1 웰 영역의 도펀트 농도가 증가되는 경우 게이트 산화물의 전기장의 감소를 야기할 수 있다. 또한 앞서 기술된 바와 같이, 게이트 산화물의 전기장을 감소시키는 것은 IGFET 디바이스의 유효 수명 또는 수명을 증가시킬 수 있다.
- [0036] 도 12 내지 도 16은 6.5 kV의 산화물 전기장에 대한 JFET 영역 위의 점차 두꺼운 산화물의 영향을 도시한다. 도 12a, 도 13a, 도 14a, 도 15a, 및 도 16a는 JFET 영역 위에 상이한 산화물 두께($t_{\text{JFET OX}}$)를 갖는 IGFET 디바이스의 상이한 실시예들의 횡단면도를 도시한다. 도 12b, 도 13b, 도 14b, 도 15b 및 도 16b는 대응하는 도 12a, 도 13a, 도 14a, 도 15a, 및 도 16a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 도시한다. 도 12a에서 JFET 영역 위의 산화물 두께는 0.05 μm 이고, 도 13a에서는 0.1 μm 이고, 도 14a에서는 0.15 μm 이고, 도 15a에서는 0.25 μm 이며, 도 16a에서는 0.55 μm 이다. 두꺼운 산화물은 중심 전기장을 감소시키지만, 얇은 산화물 부분과 두꺼운 산화물 부분 사이의 전이 에지에서 전기장의 회생이 있다.
- [0037] 도 17 내지 도 20은 4.0 MV/cm 이하의 전기장을 유지하면서, 산화물 테이퍼 각 및 산화물 두께의 영향을 도시한다. 도 17a, 도 18a, 도 19a, 및 도 20a는 상이한 산화물 테이퍼 각을 갖는 IGFET 디바이스의 상이한 실시예들의 횡단면도를 도시한다. JFET 영역 위의 산화물 두께($t_{\text{JFET OX}}$)는 도 17a, 도 18a, 및 도 19a에서 0.55 μm 이고, 도 20a에서는 0.2 μm 이다. 산화물 테이퍼 각은 도 17a에서 대략 90도이고, 도 18a 및 도 20a에서 대략 45도이며, 도 19a에서 대략 17도이다. 다른 실시예에서, 산화물 테이퍼 각은 대략 75도와 105도 사이, 30도와 50도 사이, 또는 10도와 30도 사이일 수 있다.
- [0038] 도 17b, 도 18b, 도 19b 및 도 20b는 대응하는 도 17a, 도 18a, 도 19a, 및 도 20a에 도시된 디바이스의 SiC-SiO₂ 계면을 따라 전기장을 도시한다. 일 실시예에서, 도 18a 및 도 18b는 산화물의 테이퍼 각 및 두께의 추가의 최적화를 도시하고, 6도의 테이퍼가 일 실시예에서 개선된 해결책을 제공한다.
- [0039] SiO₂의 전기장은 도 12 내지 도 16에 도시된 바와 같이 0.5 μm 까지 JFET 영역 위의 산화물 두께를 증가시킴으로써 효과적으로 감소될 수 있고, 전도성 채널(p 웰 영역) 위에 게이트 산화물의 두꺼운 부분을 갖지 않음으로써 디바이스의 온 상태 저항을 손상하지 않는다. 전기장이 JFET 영역의 중심에서 3 MV/cm 이하로 감소됨에도 불구하고, 이 값은 전계 집중(field crowding)으로 인해 두꺼운 산화물 영역의 코너 근처에서 6 MV/cm까지 증가할 수 있다는 것을 유념해야 한다. 이것은 전기장이 4 MV/cm보다 작거나 같다는 신뢰성 요건을 초과할 것이다. 산화물 두께의 추가적인 최적화는 0.15 μm 의 SiO₂가 JFET 영역의 중심에 그리고 두꺼운 산화물 영역의 코너 근처에 동일한 전기장 값($\sim 3.8 \text{ MV/cm}$)을 제공한다.
- [0040] 두꺼운 산화물 코너 근처의 전기장의 추가적인 억압은 산화물을 기울어지게 함으로써(예컨대, 베벨 구조물을 제공함으로써) 획득될 수 있다. 도 19a 및 도 19b에 도시된 바와 같이, 대략 17도의 각을 갖는 베벨형 0.5 μm 산화물은 코너 전기장이 6 MV/cm에서 4.5 MV/cm까지 감소되도록 허용한다. 산화물 두께의 추가의 최적화 및 베벨 각이 도 18a 및 도 18b에 도시되었고, 베벨 각이 피크 JFET 전기장을 감소시킬 수 있다는 것이 도시되었고, 피크 JFET 전기장은 비베벨 예에서 얇은 산화물에서 두꺼운 산화물로의 전이 에지에서 발생한다. 도 14에 도시된 실시예들은 4.0 MV/cm보다 작은 전기장을 갖는다.
- [0041] 도 11은 IGFET 디바이스를 제공하기 위한 방법(1100)의 일 실시예의 흐름도이다. 방법(1100)은 도 1, 도 5, 도 7 및 도 9에 도시된 IGFET 디바이스(106, 500, 700, 및/또는 900)와 같은, 본 명세서에 기술된 하나 이상의 IGFET 디바이스들을 생성하는데 이용될 수 있다. 도 2에 도시된 IGFET 디바이스(106)의 컴포넌트가 본 명세서에서 참조되지만, 논의는 본 명세서에 도시되고 기술된 다른 IGFET 디바이스들(500, 700, 900)의 유사하거나 같은 컴포넌트들에 동일하게 적용할 수 있다.
- [0042] 1102에서, 반도체 바디가 제공된다. 예를 들어, SiC와 같은 반도체 물질층이 제공될 수 있다. 대안적으로, 다른 유형의 물질이 이용될 수 있다. 이 층은 기판 상에 퇴적되거나 에피택셜 성장되는 층일 수 있거나, 반도체

웨이퍼로서 제공될 수 있다. 일 실시예에서, 반도체 바디는, 예컨대, n형 도펀트로 도핑된다. 반도체 바디가 n- 도핑된 바디가 되도록 반도체 바디는 비교적 저농도 도핑될 수 있다. 대안적으로, p형 도펀트가 이용될 수 있다.

[0043] 일 실시예에서, 반도체 바디는 전도성 드레인이 연결될 반도체 바디의 측면에 또는 그 측면 근처에 도핑층을 포함할 수 있다. 예를 들어, 층(214)은 통상적으로 바디층(200)이 고농도 도핑된 기판(214) 상에 에피택셜 성장된 경우에 형성된다.

[0044] 1104에서, 제 1 웰 영역이 반도체 바디에 형성된다. 예를 들어, 제 1 웰 영역(216)은 반도체 바디(200)의 대응하는 체적을 도핑함으로써 형성될 수 있다. 일 실시예에서, 제 1 웰 영역(216)은 제거 가능 마스크(예컨대, 포토리소그래피를 이용함)로 반도체 바디(200)의 체적을 커버하고, 제 1 웰 영역(216) 내에 도펀트를 확산 및/또는 이온 주입함으로써 형성된다. 그런 다음, 제거 가능 마스크는 반도체 바디(200)로부터 제거된다. 제 1 웰 영역(216)은 반도체 바디(200)의 도펀트와는 반대 전하의 도펀트를 이용하여 형성될 수 있다. 예를 들어, 반도체 바디(200)가 n형 도펀트로 도핑된 경우, 제 1 웰 영역(216)은 p형 도펀트를 이용하여 형성될 수 있다. 대안적으로, 반도체 바디(200)가 p형 도펀트로 도핑된 경우, 제 1 웰 영역(216)은 n형 도펀트를 이용하여 형성될 수 있다.

[0045] 일 실시예에서, 제 1 웰 영역(216)은 반도체 바디(200)보다 상당히 고농도 도핑될 수 있다. 제 1 웰 영역(216)이 반도체 바디(200)의 도펀트 농도보다 적어도 한 자릿수 큰(예컨대, 10배 큰) 도펀트 농도를 갖는 경우, 제 1 웰 영역(216)은 고농도 도핑될 수 있다. 대안적으로, 제 1 웰 영역(216)이 반도체 바디(200)의 도펀트 농도보다 적어도 두 자릿수 큰(예컨대, 100배 큰) 도펀트 농도를 갖는 경우, 제 1 웰 영역(216)은 고농도 도핑될 수 있다. 다른 실시예에서, 제 1 웰 영역(216)이 반도체 바디(200)의 도펀트 농도보다 적어도 세 자릿수 큰(예컨대, 1000배 큰) 도펀트 농도를 갖는 경우, 제 1 웰 영역(216)은 고농도 도핑될 수 있다. 그러나, 도펀트 농도의 차이에 다른 상이한 자릿수가 이용될 수 있다.

[0046] 1106에서, 제 2 웰 영역이 반도체 바디에 형성된다. 예를 들어, 제 2 웰 영역(220)은 제 1 웰 영역(216) 내에 반도체 바디(200)의 대응하는 체적을 도핑함으로써 형성될 수 있다. 제 2 웰 영역(220)은 제거 가능 마스크(예컨대, 포토리소그래피를 이용함)로 반도체 바디(200)의 체적을 커버하고, 제 2 웰 영역(220) 내에 도펀트를 확산 및/또는 이온 주입함으로써 형성될 수 있다. 그런 다음, 제거 가능 마스크는 반도체 바디(200)로부터 제거된다. 제 2 웰 영역(220)은 제 1 웰 영역(216)의 도펀트와는 반대 전하의 도펀트를 이용하여 형성될 수 있다. 예를 들어, 제 1 웰 영역(216)이 p형 도펀트로 도핑된 경우, 제 2 웰 영역(220)은 n형 도펀트를 이용하여 형성될 수 있다. 대안적으로, 제 1 웰 영역(216)이 n형 도펀트로 도핑된 경우, 제 2 웰 영역(220)은 p형 도펀트를 이용하여 형성될 수 있다.

[0047] 1110에서, 게이트 유전체가 반도체 바디 상에 성장 또는 퇴적(또는 양자 모두)된다. 예를 들어, 게이트 산화물(234)은 게이트 산화물(234)이 존재하지 않을 반도체 바디(200)의 일부분을 커버(예컨대, 포토리소그래피를 이용함)하고 반도체 바디(200)의 노출된 부분에 유전체층(예컨대, 실리콘 이산화물의 층)을 성장시킴으로써 퇴적될 수 있다. 게이트 산화물(234)에 두꺼운 내부 부분(246)을 제공하기 위해, 제거 가능 마스크가 반도체 바디(200) 상에 퇴적되고, 마스크에 의해 노출된 반도체 바디(200)의 영역 상에 내부 부분(246)의 제 1 부분 및 얇은 외부 부분들(224, 248)을 성장시킨다. 그런 다음, 마스크는 제거될 수 있고, 게이트 산화물(234)의 외부 부분들(244, 248)을 커버하면서 내부 부분(246)을 노출하는 다른 제거 가능 마스크가 제공될 수 있다. 그런 다음, 게이트 산화물(234)의 내부 부분(246)의 나머지 두께가 성장될 수 있고, 마스크는 제거될 수 있다.

[0048] 1112에서, 전도성 콘택이 반도체 바디 상에 퇴적된다. 예를 들어, 게이트 콘택(250), 소스 콘택(210), 및 드레인 콘택(206)이 제공될 수 있다. 드레인 콘택(206)은 반도체 바디(200)의 하부측(208) 상에 하나 이상의 금속, 금속 합금, 폴리실리콘 물질 등을 스퍼터링 또는 다른 식으로 퇴적함으로써 제공될 수 있다. 소스 콘택(210) 및/또는 게이트 콘택(250)은 반도체 바디(200) 상에 제거 가능 마스크를 형성(예컨대, 포토리소그래피를 이용함)하고, 반도체 바디(200)의 상부측(212) 상에 하나 이상의 금속, 금속 합금, 폴리실리콘 물질 등을 스퍼터링 또는 다른 식으로 퇴적함으로써 형성될 수 있다. 그런 다음, 제거 가능 마스크는 제거될 수 있다.

[0049] 일단 IGFET 디바이스(106)의 제조가 완료되면, 앞서 기술된 바와 같이, 소스 콘택(210)은 전류의 소스와 전도성으로 결합될 수 있고, 드레인 콘택(206)은 전기 부하와 전도성으로 결합될 수 있으며, 제어 콘택(250)은 게이트 신호가 게이트 콘택(250)에 인가되는 경우 제어하는 제어 유닛과 전도성으로 결합될 수 있다.

[0050] 상기 설명은 예시적인 것으로 의도되고, 한정적인 것이 아님을 이해해야 한다. 예를 들어, 앞서 기술된 실시예

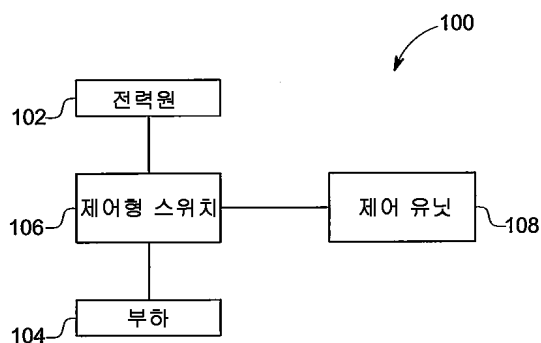
들(및/또는 이들의 양태들)은 서로 결합하여 이용될 수 있다. 게다가, 많은 변경이 본 발명의 범위로부터 벗어나지 않고 본 발명 대상의 가르침을 특정 상황 또는 물질에 적용하도록 할 수 있다. 본 명세서에 기술된 물질들의 치수 및 유형은 발명 대상의 파라미터들을 정의하도록 의도되었지만, 이들은 결코 제한하는 것이 아닌 예시적인 실시예들이다. 많은 다른 실시예들이 상기 설명을 검토하여 당업자에게 명백하게 될 것이다. 그러므로, 본 명세서에 기술된 대상의 범위는 첨부된 청구항들이 부여 받은 등가물의 전체 범위와 함께, 이러한 청구항들을 참조하여 결정되어야 한다. 첨부된 청구항에서, 용어 "포함하는(including)" 및 "in which"는 개개의 용어 "구성하는(comprising)" 및 "wherein"의 알기 쉬운 영어에 대응하는 것으로서 이용된다. 더욱이, 다음의 청구항에서, 용어 "제 1", "제 2", 및 "제 3" 등은 단지 라벨로서 이용되고, 그 객체의 수치 요건을 부과하는 것은 아니다. 게다가, 다음 청구항들의 제한 사항은 기능식 청구항 형식으로 기록되지 않고, 이러한 청구항들의 제한 사항이 추가의 구조물이 결합된 기능의 진술이 뒤따르는 문구 "수단"을 명시적으로 이용할 때까지, 미국 특허법(35 U.S.C. § 112, 제 6 단락)에 기초하여 해석되는 것이 아니다.

[0051] 이 서면의 설명은 최적 모드를 비롯한, 발명 대상의 여러 실시예들을 개시하고, 또한 임의의 디바이스 또는 시스템을 제조 및 이용하고 임의의 통합된 방법을 수행하는 것을 비롯한, 본 명세서에 개시된 실시예들을 당업자가 실행할 수 있도록 예들을 이용한다. 본 발명 대상의 특허 가능 범위는 청구항들에 의해 정의되고, 당업자에게 발생하는 다른 예들을 포함할 수 있다. 이러한 다른 예들은 이들이 청구항의 문자 언어와 다르지 않은 구조적 요소를 요소를 갖거나, 또는 이들이 청구항의 문자 언어와 적은 차이를 갖는 등가의 구조적 요소를 포함하면 청구항의 범위 내에 있는 것으로 의도된다.

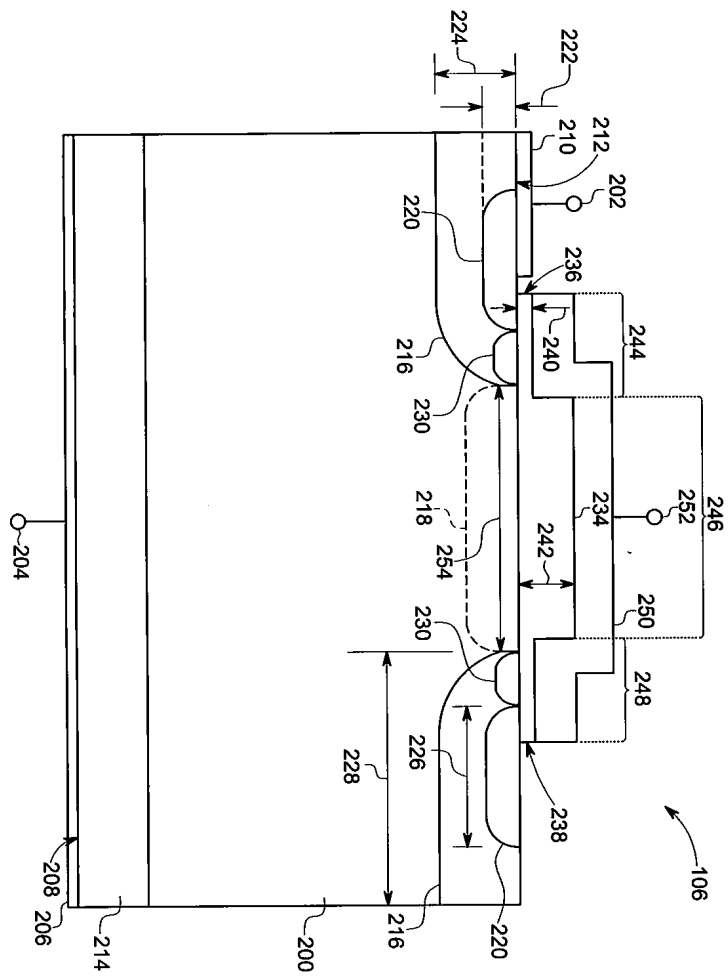
[0052] 본 명세서에 이용된 바와 같이, 단수형으로 나열되고 단어 "단수형 관사(a 또는 an)"로 진행되는 요소 또는 단계는 예외 사항이 명시적으로 언급되지 않는 한, 상기 요소들 또는 단계들의 다수를 배제하지 않는 것으로 이해되어야 한다. 더욱이, 본 발명 대상의 "일 실시예"에 대한 참조는 나열된 기능을 통합하는 부가적인 실시예들의 존재를 배제하는 것으로 해석되는 것이 아니다. 게다가, 명시적으로 반대로 언급되지 않는 한, 특정 속성을 갖는 복수의 요소들 또는 요소를 "구성하는", "포함하는" 또는 "갖는" 실시예들은 그 특성을 갖지 않는 추가적인 요소들을 포함할 수 있다.

도면

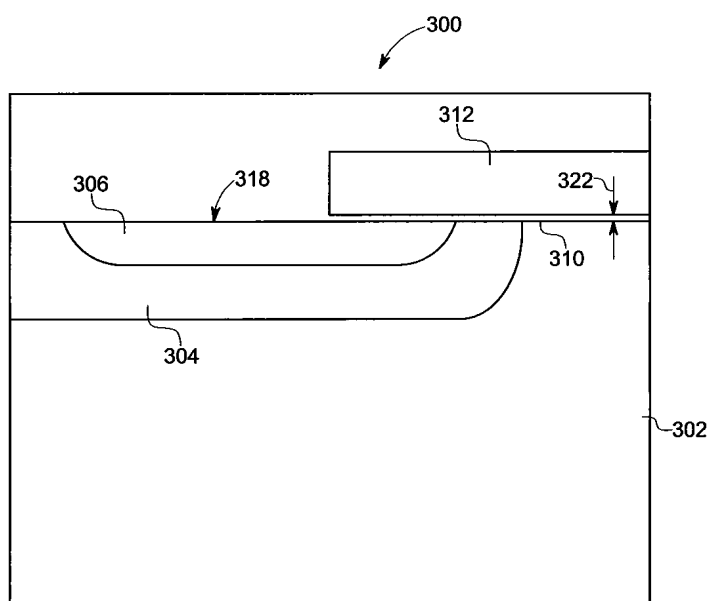
도면1



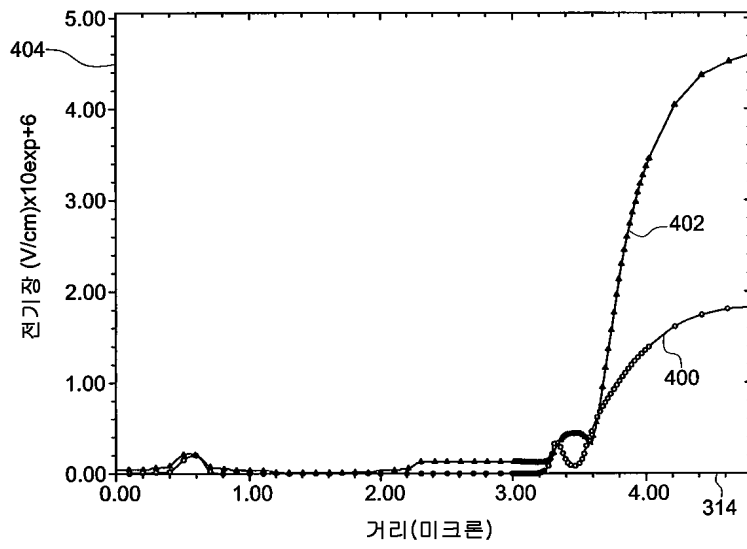
도면2



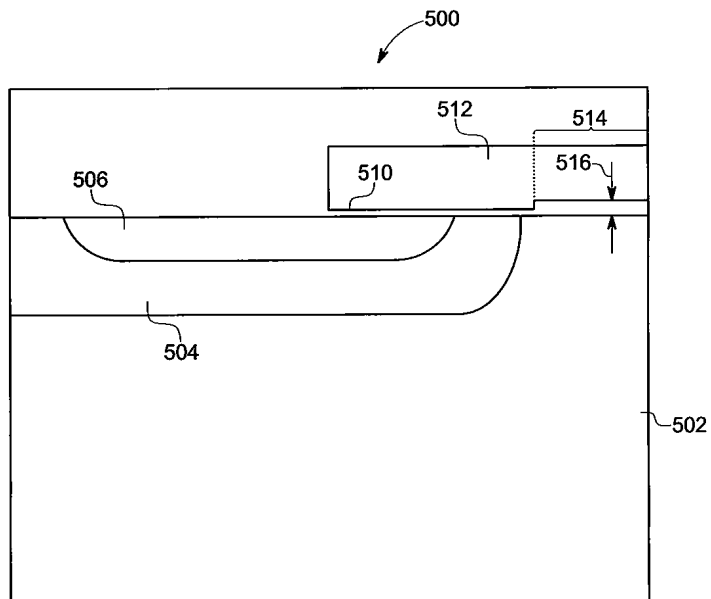
도면3



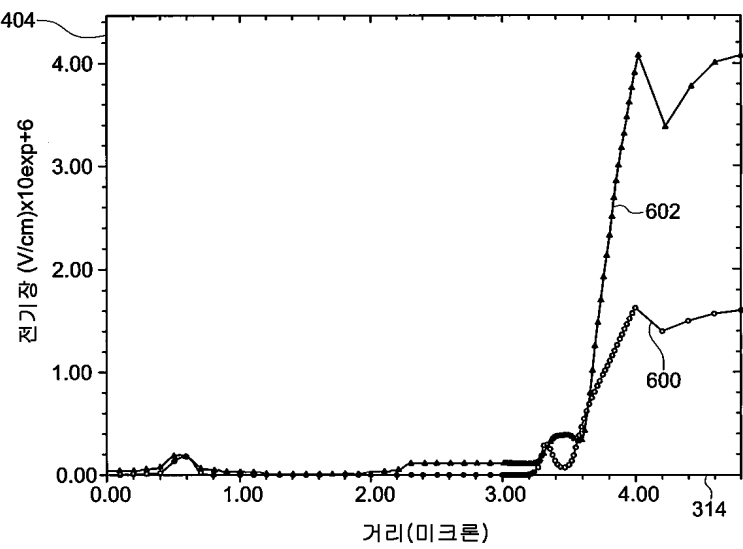
도면4



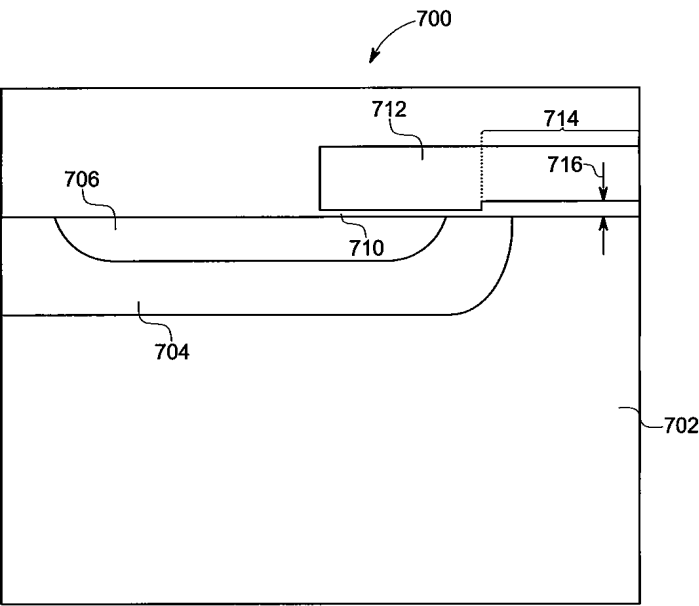
도면5



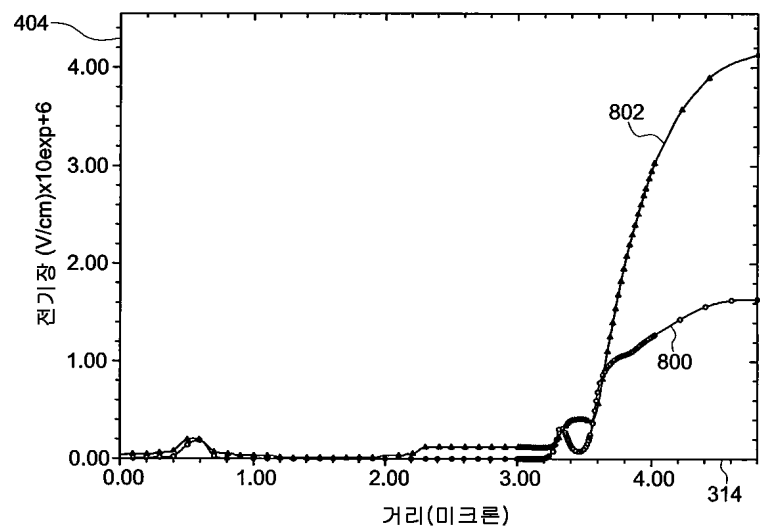
도면6



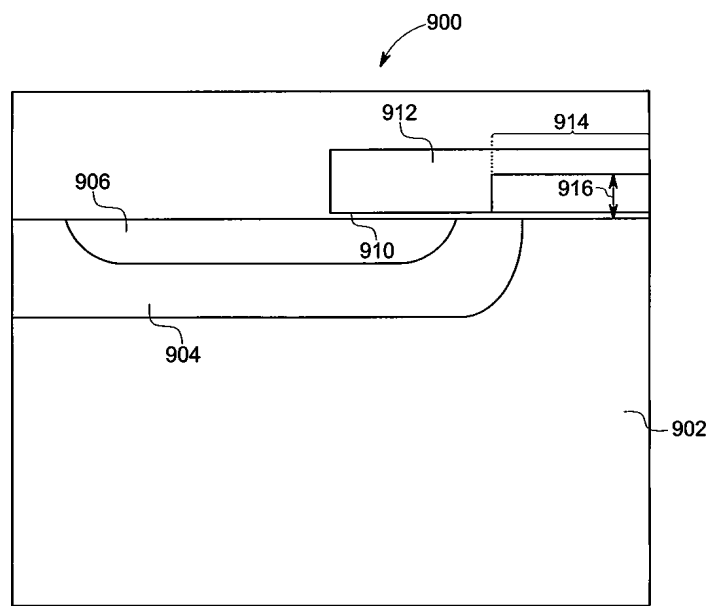
도면7



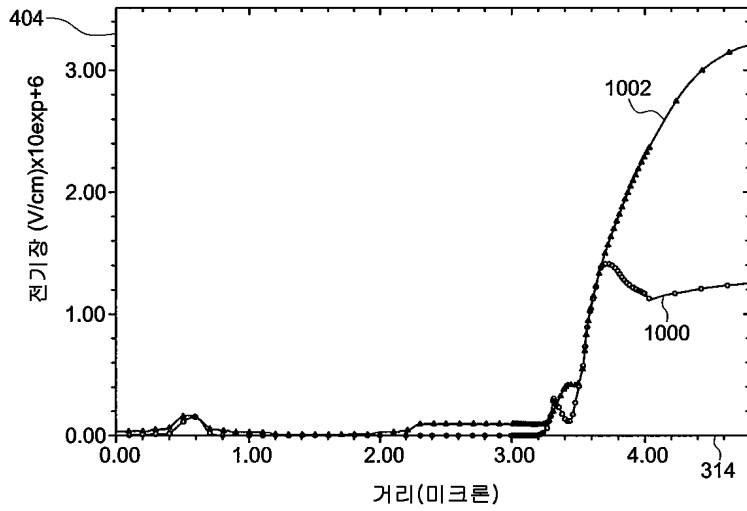
도면8



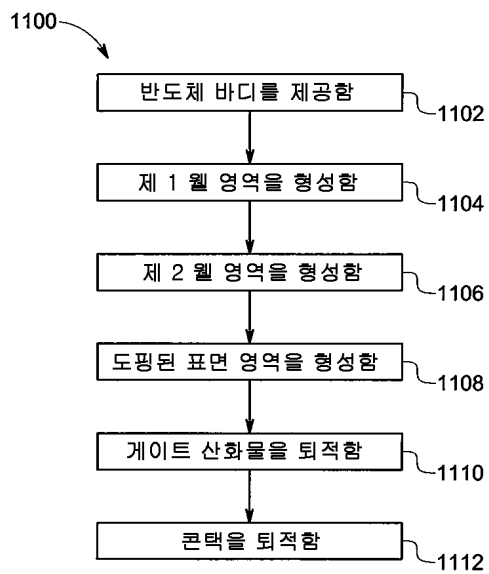
도면9



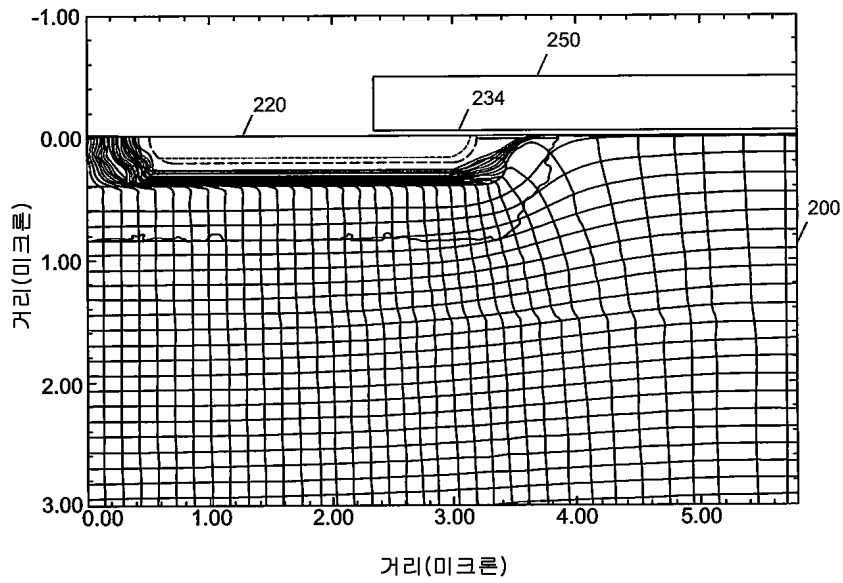
도면10



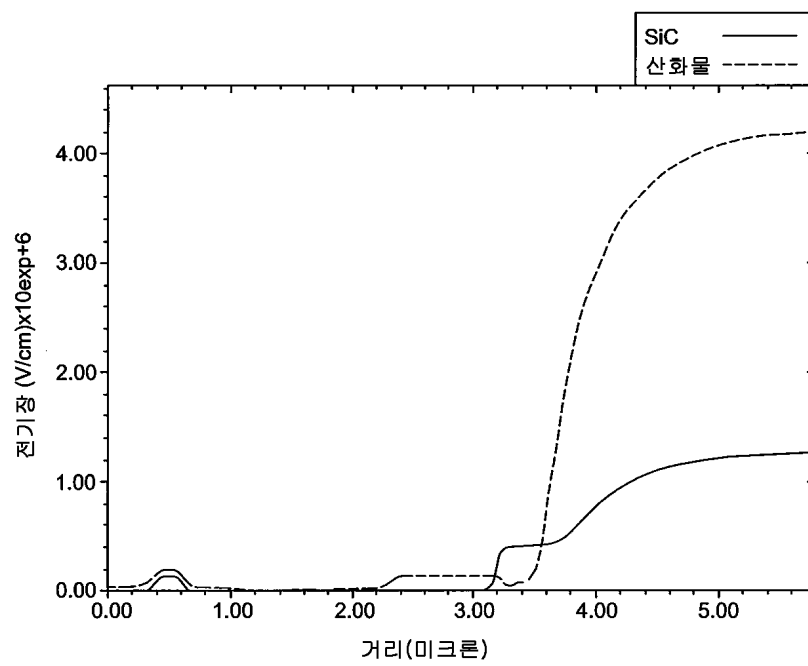
도면11



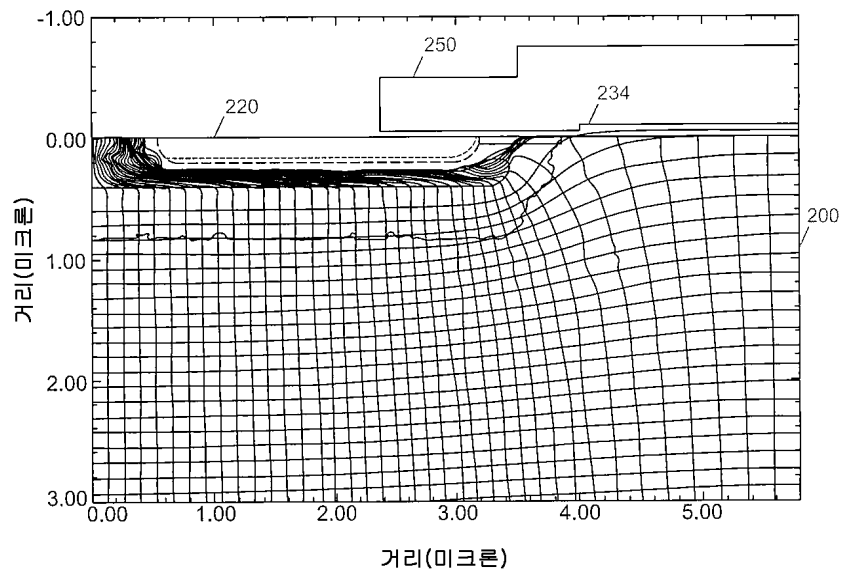
도면12a



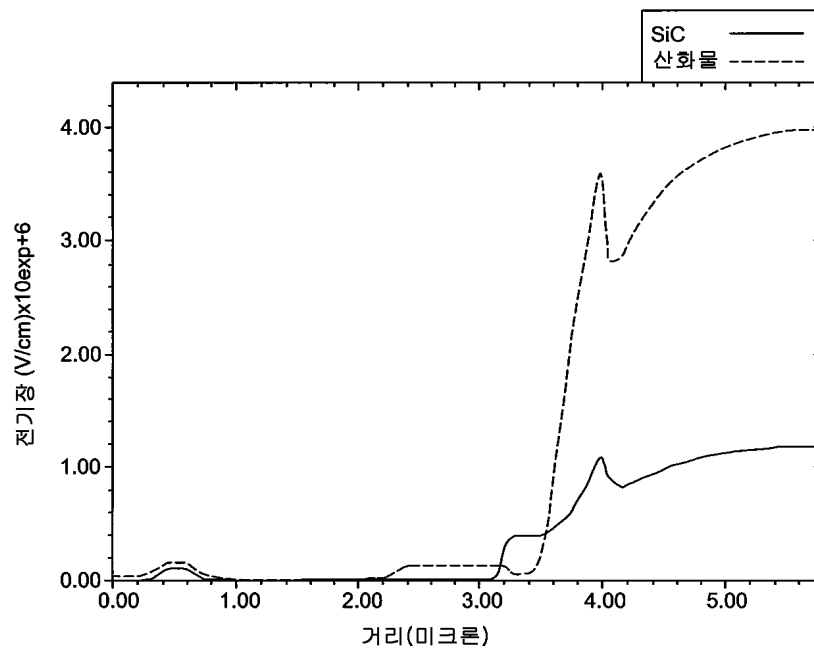
도면12b



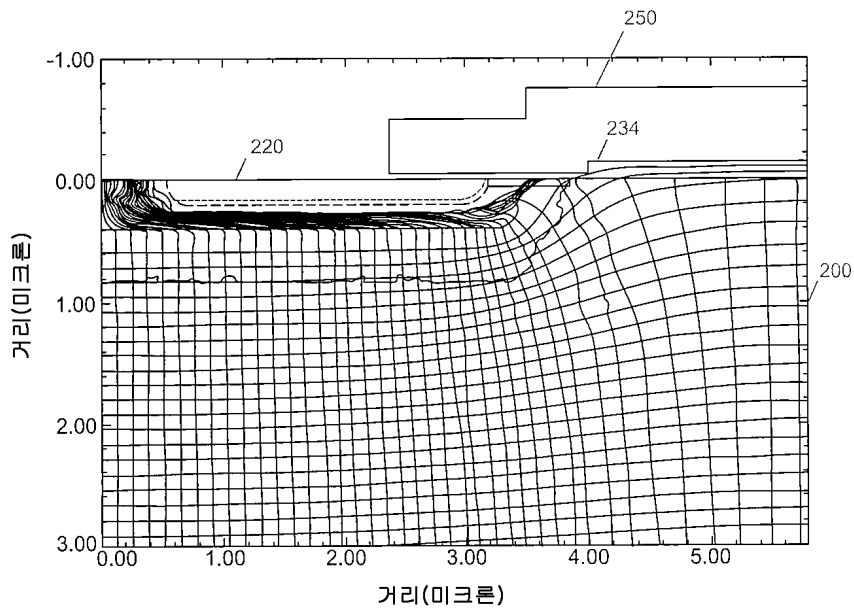
도면13a



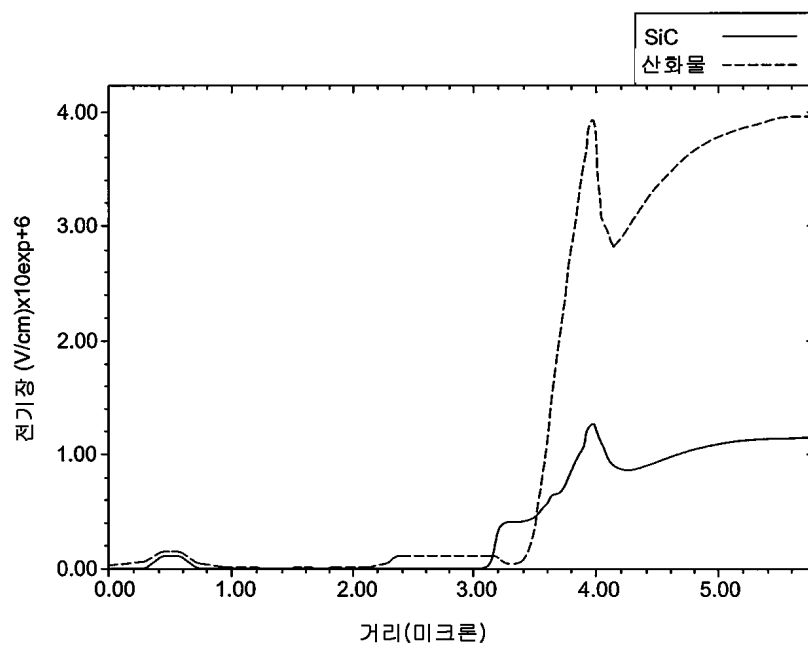
도면13b



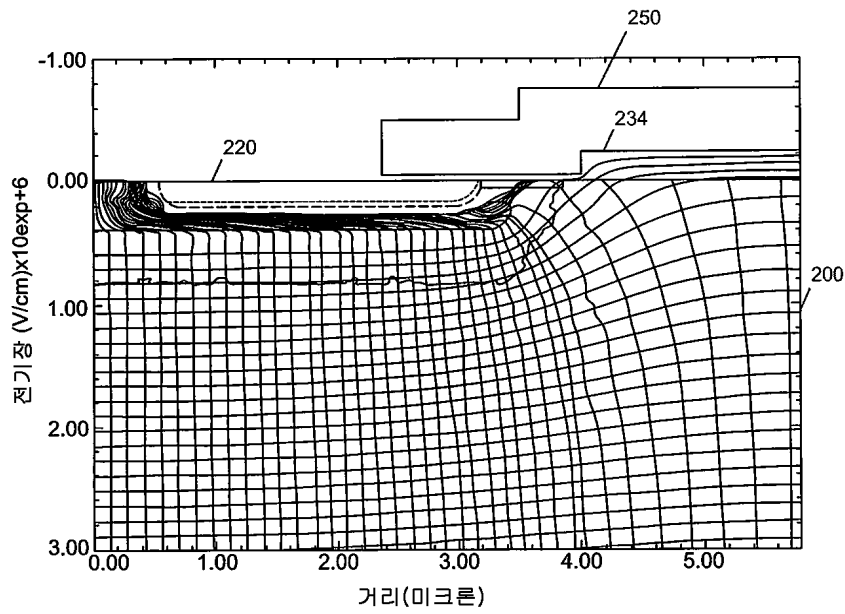
도면14a



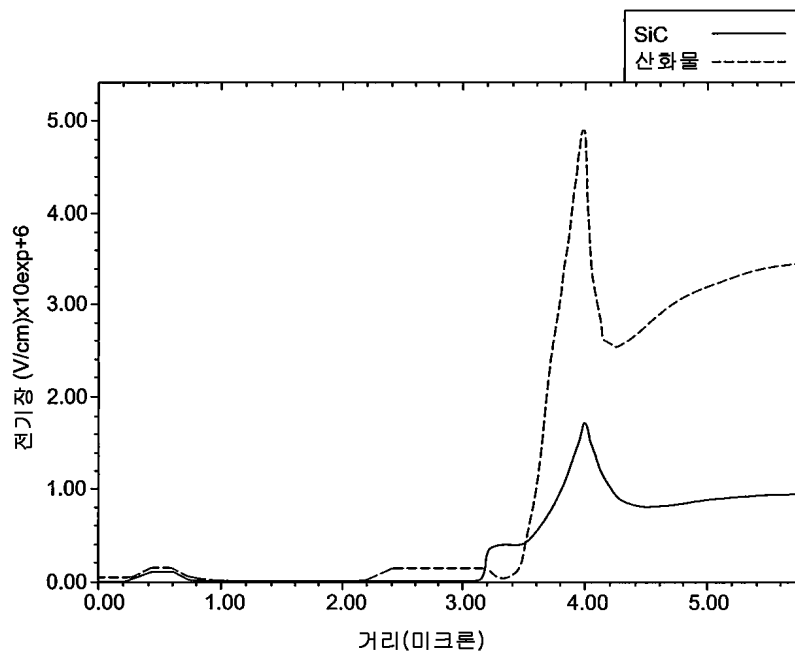
도면14b



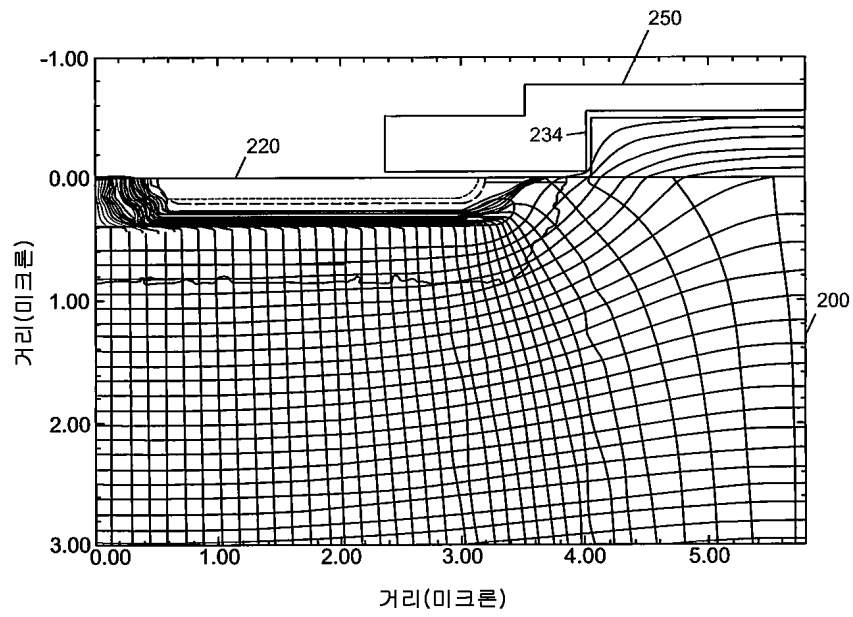
도면15a



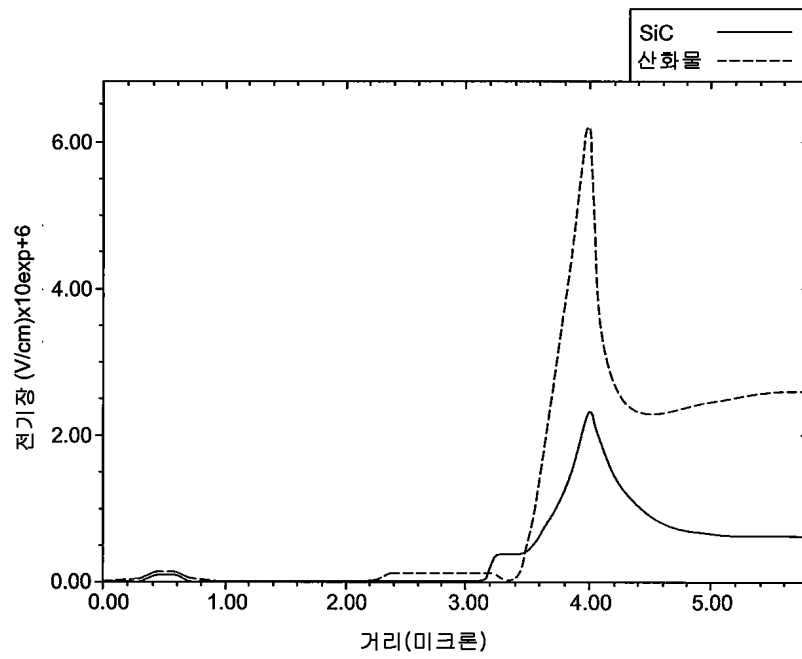
도면15b



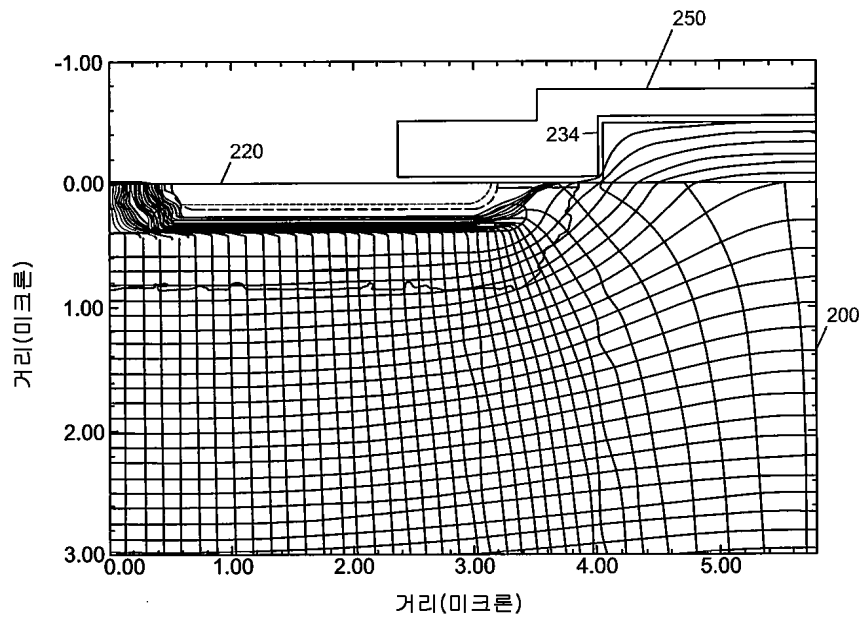
도면16a



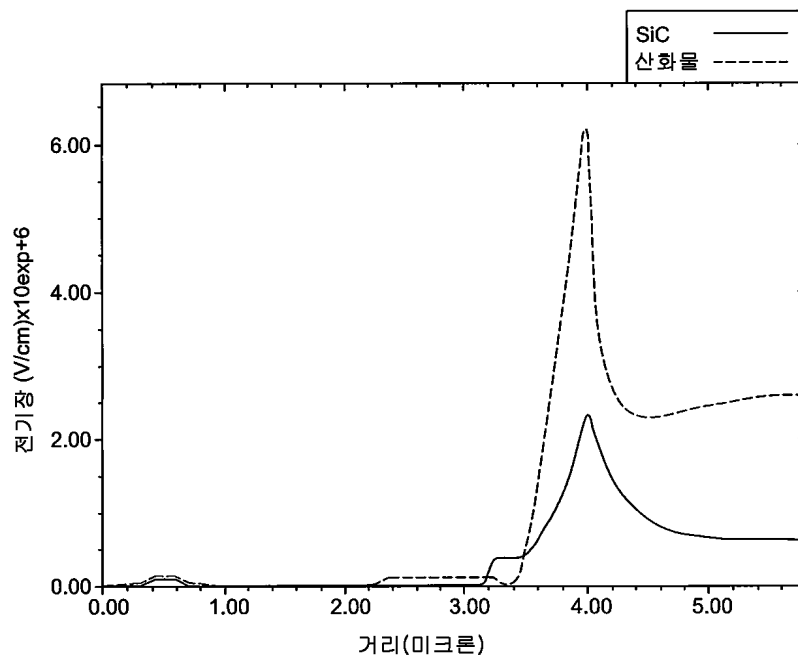
도면16b



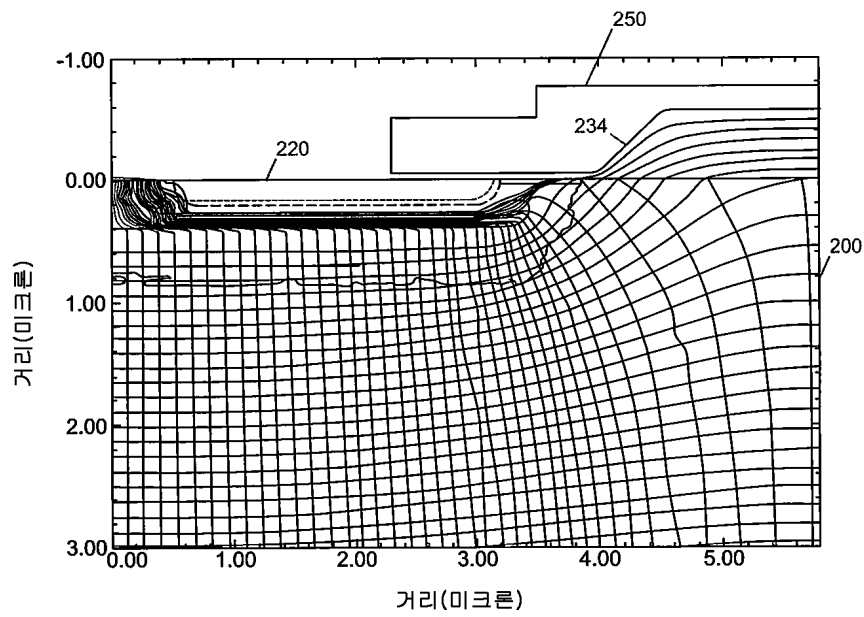
도면17a



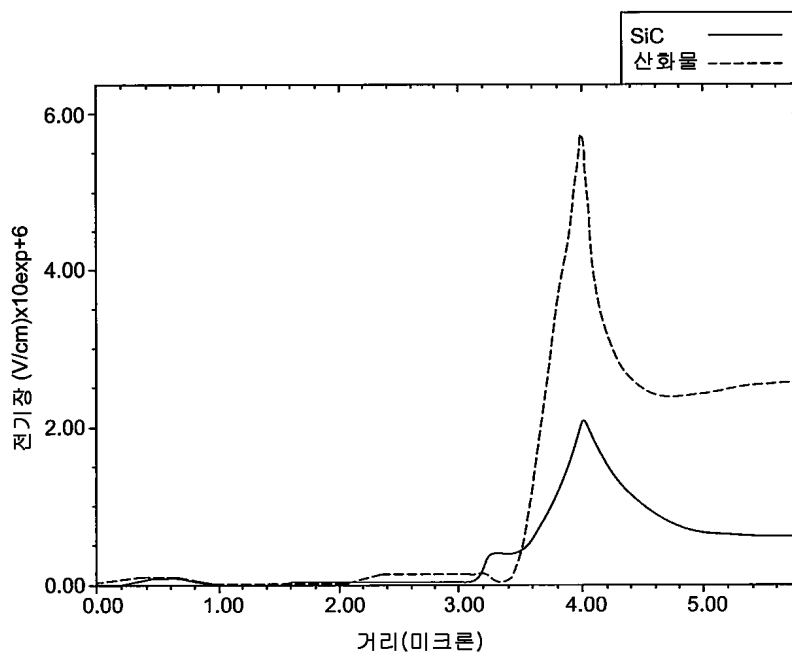
도면17b



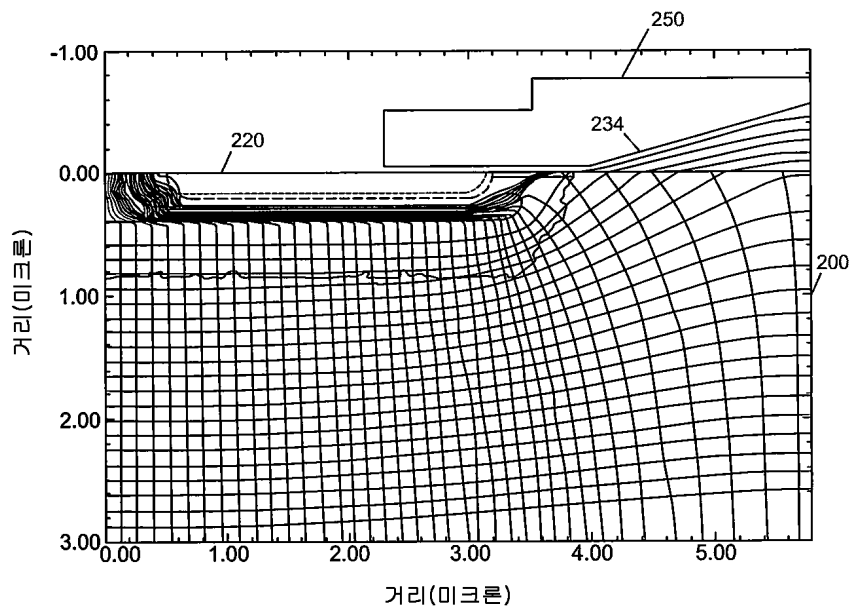
도면18a



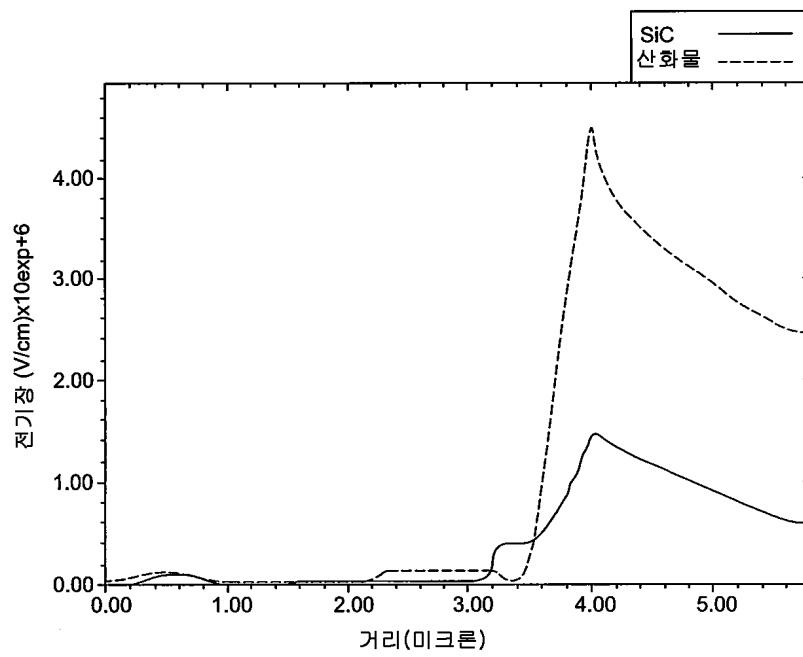
도면18b



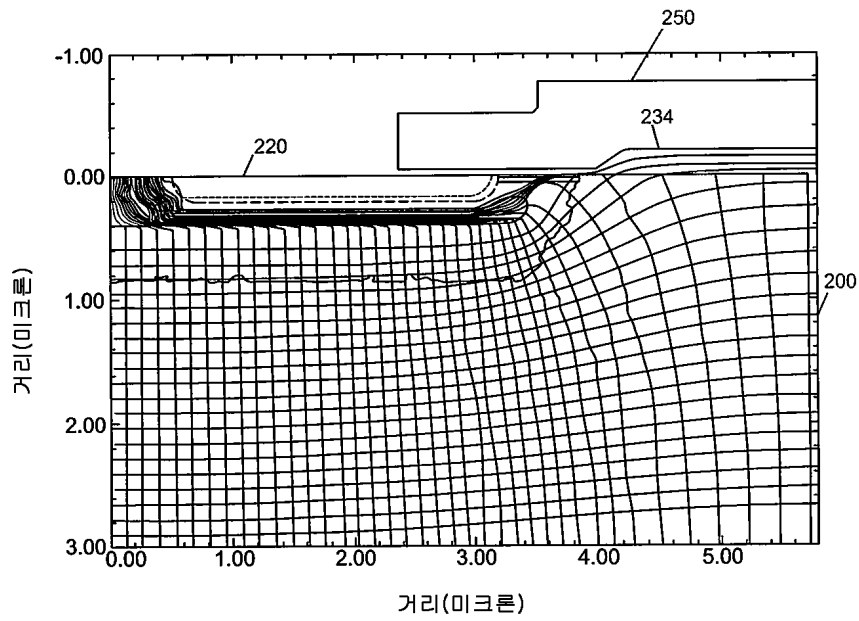
도면19a



도면19b



도면20a



도면20b

