

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6444714号
(P6444714)

(45) 発行日 平成30年12月26日(2018.12.26)

(24) 登録日 平成30年12月7日(2018.12.7)

(51) Int.Cl.

F 1

H01L 29/786	(2006.01)	H01L	29/78	6 1 8 E
H01L 21/8234	(2006.01)	H01L	27/088	E
H01L 27/088	(2006.01)	H01L	27/088	H
H01L 21/425	(2006.01)	H01L	29/78	6 1 8 B
H01L 21/28	(2006.01)	H01L	21/425	

請求項の数 2 (全 76 頁) 最終頁に続く

(21) 出願番号

特願2014-246538 (P2014-246538)

(22) 出願日

平成26年12月5日 (2014.12.5)

(65) 公開番号

特開2015-135953 (P2015-135953A)

(43) 公開日

平成27年7月27日 (2015.7.27)

審査請求日

平成29年11月30日 (2017.11.30)

(31) 優先権主張番号

特願2013-264391 (P2013-264391)

(32) 優先日

平成25年12月20日 (2013.12.20)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 山出 直人

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 山元 良高

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 須澤 英臣

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に第1のゲート電極を形成し、

前記第1のゲート電極上に第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の酸化物半導体膜を形成し、

前記第1の酸化物半導体膜に酸素を添加し、

前記第1の酸化物半導体膜上に第2の酸化物半導体膜を形成し、

前記第2の酸化物半導体膜を形成した後、加熱処理を行い、

前記第1のゲート絶縁膜の一部、前記第1の酸化物半導体膜の一部および前記第2の酸化物半導体膜の一部をそれぞれエッティングして、エッティングされた第1のゲート絶縁膜、エッティングされた第1の酸化物半導体膜およびエッティングされた第2の酸化物半導体膜を形成し、

前記エッティングされた第2の酸化物半導体膜に接する一対の電極を形成し、

前記エッティングされた第2の酸化物半導体膜上および前記一対の電極上に第3の酸化物半導体膜を形成し、

前記第3の酸化物半導体膜上に第2のゲート絶縁膜を形成し、

前記第3の酸化物半導体膜および前記第2のゲート絶縁膜を介して、前記エッティングされた第1のゲート絶縁膜の側面、前記エッティングされた第1の酸化物半導体膜の側面および前記エッティングされた第2の酸化物半導体膜の側面と対向する、第2のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

基板上に第1のゲート電極を形成し、
 前記第1のゲート電極上に第1のゲート絶縁膜を形成し、
 前記第1のゲート絶縁膜上に第1の酸化物半導体膜を形成し、
 前記第1の酸化物半導体膜上に第2の酸化物半導体膜を形成し、
 前記第1のゲート絶縁膜の一部、前記第1の酸化物半導体膜の一部および前記第2の酸化物半導体膜の一部をそれぞれエッチングして、エッチングされた第1のゲート絶縁膜、エッチングされた第1の酸化物半導体膜およびエッチングされた第2の酸化物半導体膜を形成し、
 前記エッチングされた第2の酸化物半導体膜に接する一対の電極を形成し、
 前記エッチングされた第2の酸化物半導体膜上および前記一対の電極上に第3の酸化物半導体膜を形成し、
 前記第3の酸化物半導体膜に酸素を添加した後、加熱処理を行い、
 前記第3の酸化物半導体膜上に第2のゲート絶縁膜を形成し、
 前記第3の酸化物半導体膜および前記第2のゲート絶縁膜を介して、前記エッチングされた第1のゲート絶縁膜の側面、前記エッチングされた第1の酸化物半導体膜の側面および前記エッチングされた第2の酸化物半導体膜の側面と対向する第2のゲート電極を形成する、ことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】**【技術分野】**

20

【0001】

本発明は、物、プロセス（方法および製造方法を含む）、機械（マシーン）、製品（マニュファクチャ）、または組成物（コンポジション・オブ・マター）に関する。特に本発明の一態様は、半導体装置、表示装置、発光装置、それらの駆動方法、またはそれらの製造方法等に関する。特に本発明の一態様は、酸化物半導体を有する半導体装置、表示装置、記憶装置または発光装置等に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体の電子工学的な特性を利用して機能しうる装置の全てをその範疇とする。例えば、半導体回路は、半導体装置に含まれる。また、電気光学装置や表示装置、電気機器等は、半導体装置を有している場合がある。

30

【背景技術】**【0003】**

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（IC）などにも利用されている。

【0004】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶこととする。

40

【0005】

例えば、酸化物半導体として、酸化亜鉛、またはIn-Ga-Zn系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている（特許文献1および特許文献2参照）。

【先行技術文献】**【特許文献】****【0006】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0007】**

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に含まれる局在準位の一原因となる酸素欠損は、トランジスタの電気特性の不良に繋がる。

【0008】

そこで、本発明の一態様は、酸化物半導体を用いた半導体装置において、電気特性を向上させることを課題の一とする。または、本発明の一態様は、酸化物半導体を用いた半導体装置において、信頼性を向上させることを課題の一とする。または、本発明の一態様は、酸化物半導体中の酸素欠損量を低減することを課題の一とする。または、本発明の一態様は、トランジスタのノーマリーオン化を制御することを課題の一とする。または、本発明の一態様は、トランジスタのしきい値電圧の変動、ばらつき、または、低下を制御することを課題の一とする。または、本発明の一態様は、オフ電流の小さいトランジスタを提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

10

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】**【0010】**

本発明の一態様は、第1の酸化物半導体膜および第2の酸化物半導体膜と、当該第2の酸化物半導体膜に接する一対の電極と、第2の酸化物半導体膜および一対の電極に接する第3の酸化物半導体膜とを有するトランジスタであって、第1の酸化物半導体膜、または第3の酸化物半導体膜には、酸素が添加されており、酸素欠損が低減されていることを特徴とする。また、当該酸素が加熱処理等により第2の酸化物半導体膜に拡散することにより、第2の酸化物半導体膜の酸素欠損が低減されていることを特徴とする。

【0011】

本発明の一態様は、基板上に設けられた第1のゲート電極および第1の絶縁膜上に、第1の酸化物半導体膜を形成し、第1の酸化物半導体膜に酸素を添加した後第1の酸化物半導体膜上に第2の酸化物半導体膜を形成し、加熱処理を行って、第1の酸化物半導体膜に含まれる酸素の一部を第2の酸化物半導体膜に移動させる。次に、第1の絶縁膜、酸素が添加された第1の酸化物半導体膜および第2の酸化物半導体膜のそれぞれ一部をエッティングし、凸部を有する第1のゲート絶縁膜、エッティングされた第1の酸化物半導体膜、およびエッティングされた第2の酸化物半導体膜を形成する。次に、エッティングされた第2の酸化物半導体膜上に一対の電極を形成し、エッティングされた第2の酸化物半導体膜および一対の電極上に第3の酸化物半導体膜を形成する。次に、第3の酸化物半導体膜上に第2のゲート絶縁膜を形成し、第2のゲート絶縁膜上に第2のゲート電極を形成する半導体装置の作製方法である。

30

【0012】

本発明の一態様は、基板上に設けられた第1のゲート電極および第1の絶縁膜上に、第1の酸化物半導体膜を形成し、第1の酸化物半導体膜上に第2の酸化物半導体膜を形成する。次に、第1の絶縁膜、第1の酸化物半導体膜、および第2の酸化物半導体膜のそれぞれ一部をエッティングし、凸部を有する第1のゲート絶縁膜、エッティングされた第1の酸化物半導体膜、およびエッティングされた第2の酸化物半導体膜を形成する。次に、エッティングされた第2の酸化物半導体膜上に一対の電極を形成し、エッティングされた第2の酸化物半導体膜および一対の電極上に第3の酸化物半導体膜を形成する。次に、第3の酸化物半導体膜に酸素を添加した後加熱処理を行って、第3の酸化物半導体膜に含まれる酸素の一部をエッティングされた第2の酸化物半導体膜に移動させる。次に、酸素が添加された第3

40

50

の酸化物半導体膜上に第2のゲート絶縁膜を形成し、該第2のゲート絶縁膜上に第2のゲート電極を形成する半導体装置の作製方法である。

【0013】

なお、第1の酸化物半導体膜または/および第3の酸化物半導体膜に酸素を添加し、加熱することで、第1の酸化物半導体膜または/および第3の酸化物半導体膜中の酸素欠損を低減することができる。

【0014】

なお、第2の酸化物半導体膜は、In若しくはGaを含む酸化物半導体膜であり、代表的には、In-Ga酸化物膜、In-Zn酸化物膜、In-Mg酸化物膜、Zn-Mg酸化物膜、In-M-Zn酸化物膜(Mは、Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)がある。なお、元素MはInよりも酸素との結合力が強い金属元素である。10

【0015】

また、第1の酸化物半導体膜および第3の酸化物半導体膜は、代表的には、In-Ga酸化物膜、In-Zn酸化物膜、In-Mg酸化物膜、Zn-Mg酸化物膜、In-M-Zn酸化物膜(Mは、Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)であり、且つ第2の酸化物半導体膜よりも伝導帯下端のエネルギー準位が真空準位側に位置し、代表的には、第1の酸化物半導体膜、および第3の酸化物半導体膜の伝導帯下端のエネルギー準位と、第2の酸化物半導体膜の伝導帯下端のエネルギー準位との差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.2eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。なお、真空準位と伝導帯下端のエネルギー差を電子親和力ともいう。20

【0016】

また、第1の酸化物半導体膜および第3の酸化物半導体膜、並びに第2の酸化物半導体膜がIn-M-Zn酸化物膜(MはAl、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の場合、第2の酸化物半導体膜と比較して、第1の酸化物半導体膜および第3の酸化物半導体膜に含まれるM(Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の原子数比が高く、代表的には、第2の酸化物半導体膜に含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。30

【0017】

また、第1の酸化物半導体膜または第3の酸化物半導体膜に酸素を添加する方法としては、イオン注入法、イオンドーピング法、またはプラズマ処理等がある。第1の酸化物半導体膜または第3の酸化物半導体膜に添加する酸素として、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等のいずれか一以上を用いる。

【発明の効果】

【0018】

本発明の一態様により、酸化物半導体を用いた半導体装置において、電気特性を向上させることができる。本発明の一態様により、酸化物半導体を用いた半導体装置において、信頼性を向上させることができる。または、本発明の一態様により、新規な半導体装置などを提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。40

【図面の簡単な説明】

【0019】

【図1】半導体装置の一形態を説明する上面図および断面図。

【図2】半導体装置の作製方法の一形態を説明する断面図。

【図3】半導体装置の作製方法の一形態を説明する断面図。50

- 【図4】トランジスタのバンド構造を説明する図。
- 【図5】半導体装置の一形態を説明する断面図。
- 【図6】半導体装置の一形態を説明する上面図および断面図。
- 【図7】半導体装置の作製方法の一形態を説明する断面図。
- 【図8】半導体装置の一形態を説明する上面図および断面図。
- 【図9】半導体装置の一形態を説明する上面図および断面図。
- 【図10】半導体装置の作製方法の一形態を説明する断面図。
- 【図11】半導体装置の作製方法の一形態を説明する断面図。
- 【図12】半導体装置の作製方法の一形態を説明する断面図。
- 【図13】半導体装置の一形態を説明する断面図。 10
- 【図14】半導体装置の一形態を説明する上面図および断面図。
- 【図15】半導体装置の作製方法の一形態を説明する断面図。
- 【図16】半導体装置の作製方法の一形態を説明する断面図。
- 【図17】C A A C - O S の断面におけるC s 補正高分解能TEM像、およびC A A C - O S の断面模式図。
- 【図18】C A A C - O S の平面におけるC s 補正高分解能TEM像。
- 【図19】C A A C - O S および単結晶酸化物半導体のXRDによる構造解析を説明する図。
- 【図20】半導体装置の一形態を説明する断面図および回路図。 20
- 【図21】本発明の一形態に係る電子機器を説明する図。
- 【図22】酸素濃度を計算した結果を説明する図。
- 【図23】SIMSの測定結果を説明する図。
- 【図24】SIMSの測定結果を説明する図。
- 【図25】トランジスタの電気特性を説明する図。
- 【図26】トランジスタのしきい値電圧の変動量およびシフト値の変動量を説明する図。
- 【図27】酸素濃度を計算した結果を説明する図。
- 【図28】半導体装置の一形態を説明する断面図。
- 【図29】メモリセルのデータの書き込み動作および読み出し動作を説明する図。
- 【図30】表示装置を説明する模式図及び回路図。
- 【図31】表示モジュールを説明する図。 30
- 【図32】半導体装置の一形態を説明する断面図。
- 【図33】半導体装置の一形態を説明する断面図。
- 【図34】半導体装置の一形態を説明する断面図。
- 【図35】C A A C - O S の電子回折パターンを示す図。
- 【図36】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。
- 【図37】C A A C - O S およびn c - O S の成膜モデルを説明する模式図。
- 【図38】InGaZnO₄ の結晶、およびペレットを説明する図。
- 【図39】C A A C - O S の成膜モデルを説明する模式図。

【発明を実施するための形態】

【0020】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態および実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0021】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されな

い。

【0022】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0023】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0024】

また、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。従って、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

10

【0025】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0026】

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてよいし、電圧を電位と読み替えてよいこととする。

20

【0027】

また、酸化物半導体膜を有するトランジスタはnチャネル型トランジスタであるため、本明細書において、ゲート電圧が0Vの場合、ドレン電流が流れていないとみなすことができるトランジスタを、ノーマリーオフ特性を有するトランジスタと定義する。また、ゲート電圧が0Vの場合、ドレン電流が流れているとみなすことができるトランジスタを、ノーマリーオン特性を有するトランジスタと定義する。

30

【0028】

なお、チャネル長とは、例えば、トランジスタの上面図において、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0029】

40

チャネル幅とは、例えば、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0030】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅とよぶ。）と、トランジスタの上面図において示され

50

るチャネル幅（以下、見かけ上のチャネル幅とよぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、酸化物半導体膜の上面に形成されるチャネル領域の割合に対して、酸化物半導体膜の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

【0031】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためにには、酸化物半導体膜の形状が既知という仮定が必要である。したがって、酸化物半導体膜の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。10

【0032】

そこで、本明細書では、トランジスタの上面図において、酸化物半導体膜とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」とよぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。20

【0033】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0034】

(実施の形態1)

膜中に酸素欠損が含まれている酸化物半導体を用いたトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。これは、酸化物半導体に含まれる酸素欠損に起因して電荷が生じてしまい、低抵抗化するためである。また、酸化物半導体膜に酸素欠損が含まれると、経時変化やストレス試験（代表的には、光ゲートBT（Bias-Temperature）ストレス試験等）により、トランジスタの電気特性、代表的にはしきい値電圧が変動してしまうという問題がある。そこで、本実施の形態では、しきい値電圧の変動が少なく、信頼性の高い半導体装置およびその作製方法について説明する。また、電気特性の優れた半導体装置およびその作製方法について説明する。30

【0035】

<半導体装置の構成例>

本実施の形態では、トップゲート構造のトランジスタの作製方法について説明する。

【0036】

図1(A)乃至図1(C)は、半導体装置が有するトランジスタ100の上面図および断面図である。図1(A)はトランジスタ100の上面図であり、図1(B)は、図1(A)の一点鎖線A-B間の断面図であり、図1(C)は、図1(A)の一点鎖線C-D間の断面図である。なお、図1(A)では、明瞭化のため、例えば、基板101、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜115、ゲート絶縁膜117、絶縁膜121、絶縁膜123などを省略している。

【0037】

50

20

30

40

50

また、図1(B)は、トランジスタ100のチャネル長方向の断面図であり、図1(C)は、トランジスタ100のチャネル幅方向の断面図である。

【0038】

図1に示すトランジスタ100は、基板101上に設けられる。トランジスタ100は、基板101上に形成されるゲート電極103と、基板101およびゲート電極103上のゲート絶縁膜105と、ゲート絶縁膜105に接する酸化物半導体膜107と、酸化物半導体膜107の上面に接する酸化物半導体膜111と、酸化物半導体膜111の上面および側面並びに酸化物半導体膜107の側面に少なくとも接する一対の電極113a、113bと、酸化物半導体膜111および一対の電極113a、113bと接する酸化物半導体膜115と、酸化物半導体膜115を介して酸化物半導体膜111と重なるゲート絶縁膜117と、ゲート絶縁膜117と接し、且つ酸化物半導体膜115およびゲート絶縁膜117を介して酸化物半導体膜111と重なるゲート電極119とを有する。また、一対の電極113a、113b、酸化物半導体膜115、ゲート絶縁膜117、およびゲート電極119を覆う絶縁膜121と、絶縁膜121を覆う絶縁膜123とを有してもよい。
10

【0039】

なお、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または、酸化物半導体膜111)などの、表面、側面、上面、および/または下面の少なくとも一部(または全部)に設けられている。

【0040】

または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または、酸化物半導体膜111)などの、表面、側面、上面、および/または下面の少なくとも一部(または全部)と、接触している。または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの少なくとも一部(または全部)と、接触している。

【0041】

または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの、表面、側面、上面、および/または下面の少なくとも一部(または全部)と、電気的に接続されている。または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの一部(または全部)と、電気的に接続されている。

【0042】

または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または、酸化物半導体膜111)などの、表面、側面、上面、および/または、下面の少なくとも一部(または全部)に、近接して配置されている。または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または、酸化物半導体膜111)などの一部(または全部)に、近接して配置されている。

【0043】

または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの、表面、側面、上面、および/または、下面の少なくとも一部(または全部)の横側に配置されている。または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの一部(または全部)の横側に配置されている。

【0044】

または、電極113a(および/または電極113b)の、少なくとも一部(または全部)は、酸化物半導体膜107(および/または酸化物半導体膜111)などの、表面、
20

10

20

30

40

50

側面、上面、および／または、下面の少なくとも一部（または全部）の斜め上側に配置されている。または、電極 113a（および／または電極 113b）の、少なくとも一部（または全部）は、酸化物半導体膜 107（および／または、酸化物半導体膜 111）などの一部（または全部）の斜め上側に配置されている。

【0045】

または、電極 113a（および／または電極 113b）の、少なくとも一部（または全部）は、酸化物半導体膜 107（および／または酸化物半導体膜 111）などの、表面、側面、上面、および／または、下面の少なくとも一部（または全部）の上側に配置されている。または、電極 113a（および／または電極 113b）の、少なくとも一部（または全部）は、酸化物半導体膜 107（および／または酸化物半導体膜 111）などの一部（または全部）の上側に配置されている。10

【0046】

トランジスタ 100 は 2 つのゲート電極を有する。一方の電極は、トランジスタ 100 のオン状態およびオフ状態を制御する機能を有する。他方の電極は、トランジスタ 100 のしきい値電圧を制御する機能を有する。トランジスタ 100 のゲート電極の一方にしきい値電圧が正となる電圧を印加することで、トランジスタの電気特性をノーマリーオフ特性とすることができます。

【0047】

トランジスタ 100 に含まれるゲート絶縁膜 105 は、凸部を有する。また、該凸部上に酸化物半導体膜 107、111 が形成される。このため、図 1 (C) に示すように、チャネル幅方向において、ゲート電極 119 はゲート絶縁膜 117 を介して酸化物半導体膜 107、111 の側面と対向する。即ち、ゲート電極 119 に電圧が印加されると、酸化物半導体膜 107、111 は、チャネル幅方向においてゲート電極 119 の電界で囲まれる。ゲート電極の電界で酸化物半導体膜が囲まれるトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。s-channel 構造のトランジスタにおいて、オン状態では酸化物半導体膜 111 の全体（バルク）にチャネルが形成されるため、オン電流が増大する。一方、オフ状態の場合、酸化物半導体膜 111 に形成されるチャネル領域の全領域を空乏化するため、オフ電流をさらに小さくすることができる。20

【0048】

以下に、トランジスタ 100 の各構成について説明する。

【0049】

基板 101 の材質などに大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 101 として用いてもよい。また、シリコンや炭化シリコンなどを用いた単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどを用いた化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 101 として用いてもよい。または、高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）に適用可能なヒ化ガリウム、ヒ化アルミニウムガリウム、ヒ化インジウムガリウム、窒化ガリウム、リン化インジウム、シリコンゲルマニウムなどを基板 101 として用いてもよい。これらの半導体を基板 101 として用いることで、高速動作をすることに適したトランジスタとすることができる。すなわち、基板 101 は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタ 100 のゲート電極、ソース電極、またはドレイン電極の少なくとも一つは、上記他のデバイスと電気的に接続されていてもよい。40

【0050】

なお、基板 101 として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転50

置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に、剥離層を設けるとよい。

【0051】

ゲート電極103は、トランジスタ100のしきい値電圧を制御する機能を有する。ゲート電極103は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、マンガン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極103は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、銅 - マグネシウム合金膜上に銅膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、銅 - マグネシウム合金膜と、その銅 - マグネシウム合金膜に重ねて銅膜を積層し、さらにその上に銅 - マグネシウム合金膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0052】

また、ゲート電極103は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0053】

なお、ゲート電極103に含まれる元素がゲート絶縁膜105に拡散しないことが好ましい。例えば、ゲート電極103として、タングステン、タンタル、モリブデン、銅、チタン、アルミから選ばれた元素の一、または複数を組み合わせた合金膜、または微量元素を添加した合金膜等を用いることで、ゲート電極103に含まれる元素がゲート絶縁膜105に拡散しにくい。

【0054】

また、ゲート電極103として、In-Ga-Zn酸化窒化物膜、In-Sn酸化窒化物膜、In-Ga酸化窒化物膜、In-Zn酸化窒化物膜、金属酸化窒化物膜(SnON, InON)の金属酸化窒化物膜等、金属窒化膜(InN, ZnN等)等を設けてもよい。例えば、In-Ga-Zn酸化窒化物膜を用いる場合、少なくとも酸化物半導体膜111より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn酸化窒化物膜を用いる。なお、上記金属酸化窒化物膜、または金属窒化膜を用いてゲート電極103を形成する場合、ゲート電極103上に、金属、酸素、または窒素の拡散を防ぐ保護膜を形成することが好ましい。保護膜の一例としては、タングステン、タンタル、モリブデン、銅、チタン、アルミから選ばれた元素の一、または複数を組み合わせた合金膜、または微量元素を添加した合金膜がある。

【0055】

ゲート絶縁膜105としては、例えば酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化ガリウム膜またはGa-Zn系金属酸化物膜などを用いればよく、積層または単層で設ける。なお、ゲート絶縁膜105としては、欠陥の少ない膜または不純物の少ない膜を用いることで、トランジスタの電気特性の変動、またはしきい値電圧の変動量等を低減することができるため、好ましい。

【0056】

10

20

30

40

50

また、ゲート絶縁膜105として、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜109からの酸素の外部への拡散と、外部から酸化物半導体膜109への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜等がある。

【0057】

また、ゲート絶縁膜105として、ハフニウムシリケート($HfSiO_x$)、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$)、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$)、酸化ハフニウム、酸化イットリウム、酸化アルミニウムなどのhigh-k材料を用いることで、トランジスタのゲートリークを低減できる。
10

【0058】

ゲート絶縁膜105の厚さは、5nm以上400nm以下、または5nm以上300nm以下、または10nm以上50nm以下とするといい。なお、ゲート絶縁膜105の厚さを小さくすることで、ゲート電極103に印加する電圧を低くすることが可能であり、半導体装置の消費電力を低減することができる。

【0059】

酸化物半導体膜111は、In若しくはGaを含む酸化物半導体膜であり、代表的には、In-Ga酸化物膜、In-Zn酸化物膜、In-Mg酸化物膜、Zn-Mg酸化物膜、In-M-Zn酸化物膜(MはAl、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)がある。
20

【0060】

なお、酸化物半導体膜111がIn-M-Zn酸化物膜であるとき、ZnおよびOを除いてのInとMの原子の比率は、好ましくは、Inが25atomic%より高い、Mが75atomic%未満、さらに好ましくは、Inが34atomic%より高い、Mが66atomic%未満とする。

【0061】

酸化物半導体膜111中のインジウムやガリウムなどの含有量は、飛行時間型二次イオン質量分析法(ToF-SIMS)や、X線電子分光法(XPS)、ICP質量分析(ICP-MS)で比較できる。
30

【0062】

酸化物半導体膜111は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上であるため、トランジスタ100のオフ電流を低減することができる。

【0063】

酸化物半導体膜111の厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0064】

酸化物半導体膜107および酸化物半導体膜115は、酸化物半導体膜111を構成する元素の一種以上から構成される酸化物半導体膜である。このため、酸化物半導体膜111と酸化物半導体膜107および酸化物半導体膜115との界面において、界面散乱が起りにくい。従って、該界面においてはキャリアの動きが阻害されないため、トランジスタ100の電界効果移動度が高くなる。
40

【0065】

酸化物半導体膜107および酸化物半導体膜115は、代表的には、In-Ga酸化物膜、In-Zn酸化物膜、In-Mg酸化物膜、Zn-Mg酸化物膜、In-M-Zn酸化物膜(MはAl、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)であり、且つ酸化物半導体膜111よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体膜107および酸化物半導体膜115の伝導帯下端のエネルギー
50

準位と、酸化物半導体膜111の伝導帯下端のエネルギー準位との差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.2eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。即ち、酸化物半導体膜107および酸化物半導体膜115の電子親和力と、酸化物半導体膜111との電子親和力との差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.2eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。また、酸化物半導体膜111は、酸化物半導体膜107および酸化物半導体膜115よりも電子親和力が大きい。例えば、酸化物半導体膜111として、酸化物半導体膜107および酸化物半導体膜115よりも電子親和力が0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.2eV以上0.4eV以下である酸化物半導体膜を用いる。
10

【0066】

酸化物半導体膜107および酸化物半導体膜115として、Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNdを、Inより高い原子数比で有することで、以下の効果を有する場合がある。(1)酸化物半導体膜107および酸化物半導体膜115のエネルギーギャップを大きくする。(2)酸化物半導体膜107および酸化物半導体膜115の電子親和力を小さくする。(3)外部からの不純物を遮蔽する。(4)酸化物半導体膜111と比較して、絶縁性が高くなる。(5)Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNdは、酸素との結合力が強い金属元素であるため、酸素欠損が生じにくくなる。
20

【0067】

なお、酸化物半導体膜107および酸化物半導体膜115は、酸化物半導体膜111と比較して絶縁性が高いため、ゲート絶縁膜と同様の機能を有する。

【0068】

酸化物半導体膜107および酸化物半導体膜115がIn-M-Zn酸化物膜であるとき、ZnおよびOを除いてのInおよびMの原子数比率は、Inが50atomic%未満、Mが50atomic%より高い、さらに好ましくは、Inが25atomic%未満、Mが75atomic%より高いとする。

【0069】

また、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115がIn-M-Zn酸化物膜(MはAl、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の場合、酸化物半導体膜111と比較して、酸化物半導体膜107および酸化物半導体膜115に含まれるM(Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の原子数比が高く、代表的には、酸化物半導体膜111に含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。前述のMで表した元素はインジウムよりも酸素と強く結合するため、酸素欠損が酸化物半導体膜107および酸化物半導体膜115に生じることを抑制する機能を有する。即ち、酸化物半導体膜107および酸化物半導体膜115は酸化物半導体膜111よりも酸素欠損が生じにくい酸化物半導体膜である。
40

【0070】

酸化物半導体膜111がIn-M-Zn酸化物膜(Mは、Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の場合、酸化物半導体膜111を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn:M:Zn=x₁:y₁:z₁とすると、x₁/y₁は、1/3以上6以下、さらには1以上6以下であって、z₁/y₁は、1/3以上6以下、さらには1以上6以下であることが好ましい。なお、z₁/y₁を1以上6以下とすることで、酸化物半導体膜111としてCAC-O₂(C_xA_yC_zis Aligned Crystalline Oxide Semiconductor)膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1
50

: 1 . 5、In : M : Zn = 2 : 1 : 2 . 3、In : M : Zn = 2 : 1 : 3、In : M : Zn = 3 : 1 : 2 等がある。

【0071】

酸化物半導体膜107および酸化物半導体膜115がIn - M - Zn酸化物膜(Mは、Al、Ti、Ga、Y、Zr、Sn、La、Ce、Mg、またはNd)の場合、酸化物半導体膜107および酸化物半導体膜115を成膜するために用いるターゲットにおいて、金属元素の原子数比をIn : M : Zn = x₂ : y₂ : z₂ とすると、x₂ / y₂ < x₁ / y₁ であって、z₂ / y₂ は、1 / 3 以上 6 以下、さらには 1 以上 6 以下であることが好み。なお、z₂ / y₂ を 1 以上 6 以下とすることで、酸化物半導体膜107および酸化物半導体膜115としてCAC - OS膜が形成されやすくなる。¹⁰ ターゲットの金属元素の原子数比の代表例としては、In : M : Zn = 1 : 3 : 2、In : M : Zn = 1 : 3 : 4、In : M : Zn = 1 : 3 : 6、In : M : Zn = 1 : 3 : 8、In : M : Zn = 1 : 4 : 4、In : M : Zn = 1 : 4 : 5、In : M : Zn = 1 : 4 : 6、In : M : Zn = 1 : 4 : 7、In : M : Zn = 1 : 4 : 8、In : M : Zn = 1 : 5 : 5、In : M : Zn = 1 : 5 : 6、In : M : Zn = 1 : 5 : 7、In : M : Zn = 1 : 5 : 8、In : M : Zn = 1 : 6 : 8 等がある。

【0072】

なお、酸化物半導体膜107、酸化物半導体膜111および酸化物半導体膜115の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス40%の変動を含む。²⁰

【0073】

なお、原子数比はこれらに限られず、必要とする半導体特性に応じて適切な原子数比のものを用いればよい。

【0074】

また、酸化物半導体膜107および酸化物半導体膜115は同じ金属原子数比でもよい。例えば、酸化物半導体膜107および酸化物半導体膜115としてIn : Ga : Zn = 1 : 3 : 2、1 : 3 : 4、または1 : 4 : 5の原子数比のIn - Ga - Zn酸化物を用いてよい。

【0075】

または、酸化物半導体膜107および酸化物半導体膜115は異なった金属原子数比でもよい。例えば、酸化物半導体膜107としてIn : Ga : Zn = 1 : 3 : 2の原子数比のIn - Ga - Zn酸化物を用い、酸化物半導体膜115としてIn : Ga : Zn = 1 : 3 : 4または1 : 4 : 5の原子数比のIn - Ga - Zn酸化物を用いてよい。³⁰

【0076】

酸化物半導体膜107および酸化物半導体膜115の厚さは、3nm以上100nm以下、または3nm以上50nm以下とする。

【0077】

ここで、酸化物半導体膜111の厚さは、少なくとも酸化物半導体膜107よりも厚く形成することが好み。酸化物半導体膜111が厚いほど、トランジスタのオン電流を高めることができる。また、酸化物半導体膜107は、酸化物半導体膜111の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、酸化物半導体膜111の厚さは、酸化物半導体膜107の厚さに対して、1倍よりも大きく、または2倍以上、または4倍以上、または6倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りではなく、酸化物半導体膜107の厚さを酸化物半導体膜111の厚さ以上としてもよい。この場合、酸化物半導体膜107により多くの酸素を添加することが可能であるため、加熱処理により、酸化物半導体膜111に含まれる酸素欠損量を低減することができる。⁴⁰

【0078】

また、酸化物半導体膜115も酸化物半導体膜107と同様に、酸化物半導体膜111の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、酸化物半導体膜107と同等またはそれ以下の厚さとすればよい。酸化物半導体膜115が厚い

10

20

30

40

50

と、ゲート電極 103 による電界が酸化物半導体膜 111 に届きにくくなる恐れがあるため、酸化物半導体膜 115 は薄く形成することが好ましい。また、酸化物半導体膜 115 に含まれる酸素が一対の電極 113a、113b に拡散し、一対の電極 113a、113b が酸化するのを防ぐため、酸化物半導体膜 115 の膜厚は薄い方が好ましい。例えば、酸化物半導体膜 115 は酸化物半導体膜 111 の厚さよりも薄くすればよい。なおこれに限らず、酸化物半導体膜 115 の厚さはゲート絶縁膜 117 の耐圧を考慮して、トランジスタを駆動させる電圧に応じて適宜設定すればよい。

【0079】

酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 それぞれの組成が異なる場合、界面は、S T E M (S c a n n i n g T r a n s m i s s i o n E l e c t r o n M i c r o s c o p y) を用いて観察することができる場合がある。
。

【0080】

酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損が形成される。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

【0081】

このため、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 は、酸素欠損と共に、水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 において、二次イオン質量分析法 (S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y) により得られる水素濃度を、 5×10^{19} atoms / cm³ 以下、または 1×10^{19} atoms / cm³ 以下、または 5×10^{18} atoms / cm³ 以下、または 1×10^{18} atoms / cm³ 以下、または 5×10^{17} atoms / cm³ 以下、または 1×10^{16} atoms / cm³ 以下とする。この結果、トランジスタ 100 は、しきい値電圧がプラスとなる電気特性（ノーマリーオフ特性ともいう。）を有する。
。

【0082】

なお、酸化物半導体膜 107、111、115 中の不純物濃度は二次イオン質量分析法 (S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y) で測定することができる。

【0083】

また、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 において、第 14 族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 において酸素欠損が増加し、n 型領域が形成されてしまう。このため、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 2×10^{18} atoms / cm³ 以下、好ましくは 2×10^{17} atoms / cm³ 以下とする。この結果、トランジスタ 100 は、しきい値電圧がプラスとなる電気特性（ノーマリーオフ特性ともいう。）を有する。

【0084】

また、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{18} atoms / cm³ 以下、好ましくは 2×10^{16} atoms / cm³ 以下にする。アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 のア
。

10

20

30

40

50

ルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。この結果、トランジスタ100は、しきい値電圧がプラスとなる電気特性（ノーマリーオフ特性ともいう。）を有する。

【0085】

また、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型領域が形成されてしまう。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい。例えば、二次イオン質量分析法により得られる窒素濃度は、 5×10^{-8} atoms/cm³以下にすることが好ましい。

10

【0086】

酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115の不純物を低減することで、酸化物半導体膜のキャリア密度を低減することができる。このため、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、キャリア密度が 1×10^{17} 個/cm³以下、好ましくは 1×10^{15} 個/cm³以下、好ましくは 1×10^{13} 個/cm³以下、好ましくは 8×10^{11} 個/cm³以下、好ましくは 1×10^{11} 個/cm³以下、さらに好ましくは 1×10^{10} 個/cm³未満、 1×10^{-9} 個/cm³以上であることが好ましい。

【0087】

酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115として、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がプラスとなる電気特性（ノーマリーオフ特性ともいう。）になりやすい。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A以下という特性を得ることができる。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。

20

【0088】

酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAC-O-S、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAC-O-Sは最も欠陥準位密度が低い。

30

【0089】

酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば微結晶構造でもよい。微結晶構造の酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば、1nm以上10nm未満のサイズの微結晶を膜中に含む。または、微結晶構造の酸化物半導体膜は、例えば、非晶質相に1nm以上10nm未満の結晶部を有する混相構造である。

40

【0090】

酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば非晶質構造でもよい。非晶質構造の、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物半導体膜は、例えば、完全な非晶質構造であり、結晶部を

50

有さない。

【0091】

なお、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115が、CAAC-O_S、微結晶構造、および非晶質構造の二以上の構造の領域を有する混合膜であってもよい。混合膜として、例えば、非晶質構造の領域と、微結晶構造の領域と、CAAC-O_Sの領域と、を有する単層構造がある。または、混合膜として、例えば、非晶質構造の領域と、微結晶構造の領域と、CAAC-O_Sの領域と、の積層構造がある。

【0092】

なお、酸化物半導体膜107、酸化物半導体膜111、および酸化物半導体膜115は、例えば、単結晶構造を有してもよい。

10

【0093】

酸化物半導体膜111と比較して酸素欠損の生じにくい酸化物半導体膜を酸化物半導体膜111の上下に接して設けることで、酸化物半導体膜111における酸素欠損を低減することができる。また、酸化物半導体膜111は、酸化物半導体膜111を構成する金属元素の一以上を有する酸化物半導体膜107、115と接するため、酸化物半導体膜107と酸化物半導体膜111との界面、酸化物半導体膜111と酸化物半導体膜115との界面における界面準位密度が極めて低い。このため、酸化物半導体膜107または酸化物半導体膜115に酸素を添加した後、加熱処理を行うことで該酸素が酸化物半導体膜107、115から酸化物半導体膜111へ移動するが、このときに界面準位において酸素が捕獲されにくく、酸化物半導体膜107または酸化物半導体膜115に含まれる酸素を効率よく酸化物半導体膜111へ移動させることが可能である。この結果、酸化物半導体膜111に含まれる酸素欠損を低減することが可能である。また、酸化物半導体膜107または酸化物半導体膜115に酸素が添加されるため、酸化物半導体膜107または酸化物半導体膜115の酸素欠損を低減することが可能である。即ち、少なくとも酸化物半導体膜111の局在準位密度を低減することができる。

20

【0094】

また、酸化物半導体膜111が、構成元素の異なる絶縁膜（例えば、酸化シリコン膜を含むゲート絶縁膜）と接する場合、界面準位が形成され、該界面準位はチャネルを形成することができる。このような場合、しきい値電圧の異なる第2のトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、酸化物半導体膜111を構成する金属元素を一種以上含む酸化物半導体膜107および酸化物半導体膜115が酸化物半導体膜111と接するため、酸化物半導体膜107と酸化物半導体膜111の界面、および酸化物半導体膜115と酸化物半導体膜111の界面に界面準位を形成しにくくなる。

30

【0095】

また、酸化物半導体膜107、酸化物半導体膜115は、ゲート絶縁膜105、117の構成元素が酸化物半導体膜111へ混入して、不純物による準位が形成されることを抑制するためのバリア膜としても機能する。

【0096】

例えば、ゲート絶縁膜105、117として、シリコンを含む絶縁膜を用いる場合、該ゲート絶縁膜105、117中のシリコン、またはゲート絶縁膜105、117中に混入されうる炭素が、酸化物半導体膜107または酸化物半導体膜115の中へ界面から数nm程度まで混入することがある。シリコン、炭素等の不純物が酸化物半導体膜111に入ると不純物準位を形成してしまう。また、不純物準位がドナーとなり電子を生成することでn型化ことがある。

40

【0097】

しかしながら、酸化物半導体膜107、酸化物半導体膜115の膜厚が、数nmよりも厚ければ、混入したシリコン、炭素等の不純物が酸化物半導体膜111にまで到達しないため、不純物準位の影響は低減される。

【0098】

50

よって酸化物半導体膜107、115を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。

【0099】

また、ゲート絶縁膜105、117と酸化物半導体膜111との界面にチャネルが形成される場合、該界面で界面散乱が起こり、トランジスタの電界効果移動度が低くなる。しかしながら、酸化物半導体膜111を構成する金属元素を一種以上含む酸化物半導体膜107、115が酸化物半導体膜111に接して設けられるため、酸化物半導体膜111と酸化物半導体膜107、115との界面ではキャリアの散乱が起こりにくく、トランジスタの電界効果移動度を高くすることができる。

【0100】

本実施の形態においては、酸化物半導体膜111の酸素欠損量、さらには酸化物半導体膜111に接する酸化物半導体膜107、酸化物半導体膜115の酸素欠損量を低減することが可能であり、酸化物半導体膜111の局在準位密度を低減することができる。この結果、本実施の形態に示すトランジスタ100は、しきい値電圧の変動が少なく、信頼性が高い。また、本実施の形態に示すトランジスタ100は優れた電気特性を有する。

【0101】

一対の電極113a、113bは、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、マンガン、またはタンクステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タンクステン膜上にチタン膜を積層する二層構造、銅-マグネシウム合金膜上に銅膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造、銅-マグネシウム合金膜と、その銅-マグネシウム合金膜に重ねて銅膜を積層し、さらにその上に銅-マグネシウム合金膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0102】

なお、酸化物半導体膜111において、ゲート電極119と重なり、且つ一対の電極113a、113bの間に挟まれる領域をチャネル形成領域という。また、チャネル形成領域において、キャリアが主に流れる領域をチャネル領域という。ここでは、一対の電極113a、113bの間に設けられる酸化物半導体膜111がチャネル領域である。また、一対の電極113a、113bの間の距離をチャネル長という。

【0103】

また、一対の電極113a、113bとして、タンクステン、チタン、アルミニウム、銅、モリブデン、クロム、またはタンタル単体若しくは合金等の、酸素と結合しやすい導電材料を用いることが好ましい。後のプロセス温度が比較的高くできることなどから、融点の比較的高いタンクステンやチタンを用いることが好ましい。なお、酸素と結合しやすい導電材料には、酸素が拡散しやすい材料も含まれる。この結果、酸化物半導体膜111に含まれる酸素と一対の電極113a、113bに含まれる導電材料とが結合し、酸化物半導体膜111において、酸素欠損領域が形成される。また、酸化物半導体膜111に一対の電極113a、113bを形成する導電材料の構成元素の一部が混入する場合もある。この結果、少なくとも酸化物半導体膜111において、一対の電極113a、113bと接する領域にn型領域（低抵抗領域）が形成される。n型領域（低抵抗領域）は、ソース領域およびドレイン領域として機能する。

【0104】

なお、低抵抗領域に接する一対の電極113a、113bでは、一部酸素の濃度が高い

10

20

30

40

50

領域が形成されうる。また、低抵抗領域に接する一对の電極 113a、113b では、酸化物半導体膜 111 の構成元素が混入することがある。すなわち、酸化物半導体膜 111 の一对の電極 113a、113b に接触する界面近傍には、当該接触した 2 層の混合領域または混合層とも呼ぶことのできる箇所が形成されていることもある。

【0105】

n 型領域（低抵抗領域）は導電性が高いため、酸化物半導体膜 111 と一对の電極 113a、113b との接触抵抗を低減することが可能であり、トランジスタのオン電流を増大させることが可能である。

【0106】

ゲート絶縁膜 117 は、ゲート絶縁膜 105 の材料を適宜用いることができる。

10

【0107】

ゲート電極 119 は、ゲート電極 103 の材料を適宜用いることができる。

【0108】

絶縁膜 121、123 は、ゲート絶縁膜 117 に適用できる材料および形成方法を適宜用いて形成することができる。なお、ここでは、絶縁膜 121、123 の積層構造としたが、単層構造としてもよい。

【0109】

絶縁膜 121 または絶縁膜 123 として、酸化アルミニウム膜を用いることが好ましい。酸化アルミニウムは、水素、水、および酸素のバリア膜として機能するため、絶縁膜 121 または絶縁膜 123 として、酸化アルミニウム膜を用いることで、酸化物半導体膜 111 に含まれる酸素の脱離を抑制すると共に、外部から酸化物半導体膜 111 へ水、水素等が拡散するのを防ぐことが可能である。

20

【0110】

絶縁膜 121 および絶縁膜 123 が酸化物絶縁膜の場合、絶縁膜 121 および絶縁膜 123 の一方または双方は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いてもよい。このようにすることで、絶縁膜に含まれる当該酸素を酸化物半導体膜に移動させ、酸素欠損を低減することが可能となる。

【0111】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜として、昇温脱離ガス分析（以下、TDS 分析とする。）において、酸化物絶縁膜の表面温度が 100 以上 700 以下、または 100 以上 500 以下の範囲における酸素分子の放出量が、 $1 \cdot 0 \times 10^{18}$ 分子 / cm^3 以上である酸化物絶縁膜を用いることが好ましい。

30

【0112】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、酸化物半導体膜 111 に酸素を供給する機能を発揮できる厚さとする。例えば、50 nm 以上 500 nm 以下、または 50 nm 以上 400 nm 以下とすることができます。

【0113】

また、絶縁膜 121 および絶縁膜 123 の一方または双方として、水素含有量が少ない窒化絶縁膜を設けてもよい。当該窒化絶縁膜としては、例えば、膜の表面温度が 100 以上 700 以下、または 100 以上 500 以下の範囲で行われる TDS 分析によって測定される水素分子の放出量が、 $5 \cdot 0 \times 10^{21}$ 分子 / cm^3 未満、または $3 \cdot 0 \times 10^{21}$ 分子 / cm^3 未満、または $1 \cdot 0 \times 10^{21}$ 分子 / cm^3 未満である窒化絶縁膜が好ましい。

40

【0114】

窒化絶縁膜は、外部から水素や水などの不純物の侵入を抑制する機能を発揮できる厚さとする。例えば、50 nm 以上 200 nm 以下、好ましくは 50 nm 以上 150 nm 以下、さらに好ましくは 50 nm 以上 100 nm 以下とすることができます。

【0115】

<半導体装置の作製方法>

次に、半導体装置の作製方法について、図 2 および図 3 を用いて説明する。

50

【0116】

トランジスタを構成する膜（絶縁膜、酸化物半導体膜、金属酸化物膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザー堆積（PLD）法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積（PECVD）法が代表的であるが、熱CVD法でもよい。熱CVD法の例として、MOCVD（有機金属化学気相堆積；Metal Organic Chemical Vapor Deposition）法やALD（原子層成膜）法を使ってもよい。

【0117】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

10

【0118】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行う。例えば、それぞれのスイッチングバルブ（高速バルブともよぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。

20

【0119】

このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

30

【0120】

図2（A）に示すように、基板101上にゲート電極103を形成し、基板101およびゲート電極103上に絶縁膜104を形成し、絶縁膜104上に酸化物半導体膜106を形成する。次に、酸化物半導体膜106に酸素108を添加する。

【0121】

なお、絶縁膜104はのちの加工によりゲート絶縁膜105となる。また、酸化物半導体膜106はのちの加工により酸化物半導体膜107となる。

【0122】

ゲート電極103の形成方法を以下に示す。はじめに、スパッタリング法、化学気相堆積（CVD）法（有機金属化学気相堆積（MOCVD）法、メタル化学気相堆積法、原子層成膜（ALD）法あるいはプラズマ化学気相堆積（PECVD）法を含む。）、蒸着法、パルスレーザー堆積（PLD）法等により導電膜を形成する。次に、該導電膜上にリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜をエッチングして、ゲート電極103を形成する。この後、マスクを除去する。

40

【0123】

また、ALD法を利用する成膜装置により導電膜としてタンゲステン膜を成膜することができる。この場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タンゲステン膜を形成し、その後、WF₆ガスとH₂ガスを同時に導入してタンゲステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

【0124】

50

ここでは、スパッタリング法により、厚さ 20 nm のタンゲステン膜を導電膜として形成する。次に、導電膜上にリソグラフィ工程によりマスクを形成し、該マスクを用いて該導電膜をウエットエッチングして、ゲート電極 103 を形成する。

【 0125 】

絶縁膜 104 は、スパッタリング法、化学気相堆積 (CVD) 法 (有機金属化学気相堆積 (MOCVD) 法、原子層成膜 (ALD) 法あるいはプラズマ化学気相堆積 (PECVD) 法を含む。)、パルスレーザー堆積 (PLD) 法、塗布法、印刷法等を用いて形成することができる。

【 0126 】

絶縁膜 104 として酸化シリコン膜または酸化窒化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体および酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

【 0127 】

また、絶縁膜 104 として酸化ガリウム膜を形成する場合、MOCVD 法を用いて形成することができる。

【 0128 】

また、絶縁膜 104 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体 (ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム (TDMAH)) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の 2 種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス (エチルメチルアミド) ハフニウムなどがある。

【 0129 】

また、絶縁膜 104 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体 (トリメチルアルミニウム (TMA) など) を気化させた原料ガスと、酸化剤として H_2O の 2 種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス (ジメチルアミド) アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス (2, 2, 6, 6 - テトラメチル - 3, 5 - ヘプタンジオナート) などがある。

【 0130 】

また、絶縁膜 104 として、MOCVD 法や ALD 法などの熱 CVD 法を用いて、酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス (O_2 、一酸化二窒素) のラジカルを供給して吸着物と反応させる。

【 0131 】

ここでは、絶縁膜 104 として CVD 法により厚さ 100 nm の酸化窒化シリコン膜を用いる。

【 0132 】

なお、こののち加熱処理を行って、絶縁膜 104 に含まれる水、水素等を脱離させてよい。この結果、のちに形成されるゲート絶縁膜 105 に含まれる水、水素等の濃度を低減することが可能であり、加熱処理によって、酸化物半導体膜 111 への該水、水素等の拡散量を低減することができる。

【 0133 】

酸化物半導体膜 106 は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザープレーショントン法、有機金属化学気相堆積 (MOCVD) 法、原子層成膜 (ALD) 法等を用いて形成することができる。

【 0134 】

スパッタリング法で酸化物半導体膜 106 を形成する場合、プラズマを発生させるため

10

20

30

40

50

の電源装置は、R F 電源装置、A C 電源装置、D C 電源装置等を適宜用いることができる。

【0135】

スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガスおよび酸素の混合ガスを適宜用いる。なお、希ガスおよび酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0136】

また、ターゲットは、形成する酸化物半導体膜106の組成にあわせて、適宜選択すればよい。

【0137】

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150以上750以下、好ましくは150以上450以下、さらに好ましくは200以上350以下として、酸化物半導体膜を成膜することで、CAC-O_S膜を形成することができる。

10

【0138】

また、CAC-O_S膜を成膜するために、以下の条件を適用することが好ましい。

【0139】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

20

【0140】

ALD法を利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを順次繰り返し導入してIn-O層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを同時に導入してGa-O層を形成し、更にその後Zn(CH₃)₂とO₃ガスを同時に導入してZn-O層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成してもよい。なお、O₃ガスに変えてAr等の不活性ガスでバーリングして得られたH₂Oガスを用いてもよいが、Hを含まないO₃ガスを用いる方が好ましい。また、In(CH₃)₃ガスにかえて、In(C₂H₅)₃ガスを用いてもよい。また、Ga(CH₃)₃ガスにかえて、Ga(C₂H₅)₃ガスを用いてもよい。また、Zn(CH₃)₂ガスを用いてもよい。

30

【0141】

ここでは、酸化物半導体膜106として、スパッタリング法により、厚さ10nmのIn-Ga-Zn酸化物膜(In : Ga : Zn = 1 : 3 : 2)を形成する。

【0142】

酸化物半導体膜106に添加する酸素108として、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等のいずれか一以上を用いる。また、酸化物半導体膜106に酸素108を添加する方法としては、イオンドーピング法、イオン注入法等がある。

【0143】

なお、酸素108を添加する方法としてイオン注入法を用いる場合、酸化物半導体膜106に添加する酸素108として、酸素分子イオンを用いると、酸化物半導体膜106へのダメージを低減することが可能である。酸素分子イオンは、酸化物半導体膜106の表面で分離し、酸素原子イオンとなって、酸化物半導体膜106に添加される。酸素分子から酸素原子に分離するためにエネルギーが使用されるため、酸素分子イオンを酸化物半導体膜106に添加した場合における酸素原子イオンあたりのエネルギーは、酸素原子イオンを酸化物半導体膜106に添加した場合と比較して低い。このため、酸素分子イオンを酸化物半導体膜106へ添加することで、酸化物半導体膜106へのダメージを低減できる。

40

【0144】

50

また、酸素分子イオンを用いることで、絶縁膜 104 に注入される酸素原子イオンそれぞれのエネルギーが低減するため、酸素原子イオンが注入される位置が浅い。このため、のちの加熱処理において、酸素原子が移動しやすくなり、のちに形成される酸化物半導体膜 109 に、より多くの酸素を供給することができる。

【0145】

また、酸素分子イオンを注入する場合は、酸素原子イオンを注入する場合と比較して、酸素原子イオンあたりのエネルギーが低い。このため、酸素分子イオンを用いて注入することで、加速電圧を高めることができ、スループットを高めることができる。また、酸素分子イオンを用いて注入することで、酸素原子イオンを用いた場合と比較して、ドーザ量を半分にすることが可能である。この結果、スループットを高めることができる。
10

【0146】

酸化物半導体膜 106 に酸素を添加する場合、酸化物半導体膜 106 に酸素原子イオンの濃度プロファイルのピークが位置するような条件を用いて、酸化物半導体膜 106 に酸素を添加することが好ましい。この結果、のちに形成されるゲート絶縁膜 105 へのダメージを低減することができる。即ち、ゲート絶縁膜 105 の欠陥量を低減することができ、トランジスタの電気特性の変動を抑制することができる。さらには、絶縁膜 104 および酸化物半導体膜 106 界面における酸素原子の添加量が、 $1 \times 10^{21} \text{ atoms / cm}^3$ 未満、または $1 \times 10^{20} \text{ atoms / cm}^3$ 未満、または $1 \times 10^{19} \text{ atoms / cm}^3$ 未満となるように、酸化物半導体膜 106 に酸素を添加することで、のちに形成されるゲート絶縁膜 105 に添加される酸素の量を低減できる。この結果、のちに形成されるゲート絶縁膜 105 へのダメージを低減することができあり、トランジスタの電気特性の変動を抑制することができる。
20

【0147】

また、酸素を有する雰囲気で発生させたプラズマに酸化物半導体膜 106 を曝すプラズマ処理により、酸化物半導体膜 106 に酸素を添加してもよい。酸素を有する雰囲気としては、酸素、オゾン、一酸化二窒素、二酸化窒素等の酸化性気体を有する雰囲気がある。なお、基板 101 側にバイアスを印加した状態で発生したプラズマに酸化物半導体膜 106 を曝すことで、酸化物半導体膜 106 への酸素添加量を増加させることができあり好ましい。このようなプラズマ処理を行う装置の一例として、アッシング装置がある。
30

【0148】

ここでは、加速電圧を 5 keV とし、ドーザ量が $1 \times 10^{16} / \text{cm}^2$ の酸素分子イオンをイオン注入法により酸化物半導体膜 106 に添加する。

【0149】

以上の工程により、図 2 (B) に示す酸素が添加された酸化物半導体膜 106 a を形成することができる。この結果、この後の加熱処理により酸化物半導体膜 109 の酸素欠損量を低減することができる。なお、酸素が添加された酸化物半導体膜 106 a は、酸素が添加される前の酸化物半導体膜 106 と比較して、膜密度が低くなる。

【0150】

次に、図 2 (B) に示すように、酸素が添加された酸化物半導体膜 106 a 上に酸化物半導体膜 109 を形成する。
40

【0151】

酸化物半導体膜 109 は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザープレーショントン法、有機金属化学気相堆積 (MOCVD) 法、原子層成膜 (ALD) 法を用いて形成することができる。

【0152】

酸化物半導体膜 109 を形成する場合、プラズマを発生させるための電源装置は、RF 電源装置、AC 電源装置、DC 電源装置等を適宜用いることができる。

【0153】

スパッタリングガスは、希ガス (代表的にはアルゴン)、酸素、希ガスおよび酸素の混
50

合ガスを適宜用いる。なお、希ガスおよび酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

【0154】

また、ターゲットは、酸化物半導体膜109の組成にあわせて、適宜選択すればよい。

【0155】

なお、酸化物半導体膜109を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を100以上450以下、さらに好ましくは170以上350以下として、加熱しながら酸化物半導体膜109を形成してもよい。

【0156】

ここでは、酸化物半導体膜109としてスパッタリング法により、厚さ30nmのIn¹⁰-Ga-Zn酸化物膜(In : Ga : Zn = 1 : 1 : 1)を形成する。

【0157】

次に、加熱処理を行って、酸素が添加された酸化物半導体膜106aに含まれる酸素の一部を酸化物半導体膜109に移動させ、酸化物半導体膜109の酸素欠損を低減させることができる。酸素欠損が低減された酸化物半導体膜を図2(C)において酸化物半導体膜109aと示す。また、酸素が添加された酸化物半導体膜106aの酸素欠損を低減させることができる。該酸化物半導体膜を図2(C)において酸化物半導体膜106bと示す。また、酸素が添加された酸化物半導体膜106aおよび酸化物半導体膜109に含まれる水素、水等を脱離させることができる。この結果、酸素が添加された酸化物半導体膜106aおよび酸化物半導体膜109に含まれる不純物の含有量を低減することができる。²⁰

【0158】

加熱処理の温度は、酸素が添加された酸化物半導体膜106aから酸化物半導体膜109へ酸素が移動する温度範囲が好ましく、代表的には、250以上基板歪み点未満、好ましくは300以上550以下、更に好ましくは350以上510以下とする。

【0159】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気で加熱した後、酸素雰囲気または乾燥空気(露点が-80以下、好ましくは-100以下、好ましくは-120以下である空気)雰囲気で加熱してもよい。なお、上記乾燥空気の他、不活性ガスおよび酸素に水素、水などが含まれないことが好ましく、代表的には露点が-80以下、好ましくは-100以下であることが好ましい。処理時間は3分から24時間とする。³⁰

【0160】

なお、加熱処理において、電気炉の代わりに、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、G R T A (Gas Rapid Thermal Anneal) 装置、L R T A (Lamp Rapid Thermal Anneal) 装置等のR T A (Rapid Thermal Anneal) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、不活性ガスが用いられる。⁴⁰

【0161】

ここでは、窒素雰囲気において、450で1時間の加熱処理を行った後、酸素雰囲気において、450で1時間の加熱処理を行う。

【0162】

以上の工程により、酸化物半導体膜の酸素欠損を低減することができる。また、局在準位密度が低減された酸化物半導体膜を形成することができる。

【0163】

なお、当該加熱処理は、当該工程で行わず、後の工程で行ってもよい。即ち、後の工程⁵⁰

に行われる別の加熱工程によって、酸素が添加された酸化物半導体膜 106a に含まれる酸素の一部を酸化物半導体膜 109 に移動させてもよい。この結果、加熱工程数を削減することが可能である。

【0164】

次に、酸化物半導体膜 109a 上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて、酸化物半導体膜 106b および酸化物半導体膜 109a のそれぞれ一部をエッティングすることで、図 2 (D) に示すように、酸化物半導体膜 107 および酸化物半導体膜 110 を形成する。この後、マスクを除去する。なお、当該エッティング工程において、絶縁膜 104 の一部をエッティングすることが好ましい。この結果、チャネル幅方向において、酸化物半導体膜 107 および酸化物半導体膜 111 の側面がゲート絶縁膜を介してゲート電極 119 と対向する、s-channel 構造のトランジスタを作製することができる。ここでは、一部がエッティングされた絶縁膜 104 をゲート絶縁膜 105 と示す。

【0165】

ここでは、酸化物半導体膜 109a 上にリソグラフィ工程によりマスクを形成し、該マスクを用いて酸化物半導体膜 106b および酸化物半導体膜 109a をウエットエッティングして、酸化物半導体膜 107 および酸化物半導体膜 110 を形成する。

【0166】

次に、酸化物半導体膜 110 上に一対の電極 113a、113b を形成する。

【0167】

一対の電極 113a、113b の形成方法を以下に示す。スパッタリング法、化学気相堆積 (CVD) 法 (有機金属化学気相堆積 (MOCVD) 法、メタル化学気相堆積法、原子層成膜 (ALD) 法あるいはプラズマ化学気相堆積 (PECVD) 法を含む。)、蒸着法、パルスレーザー堆積 (PLD) 法等で導電膜を形成する。次に、該導電膜上にリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜をエッティングして、一対の電極 113a、113b を形成する。この後、マスクを除去する。

【0168】

なお、チャネル長が極めて短いトランジスタを形成する場合は、少なくとも一対の電極 113a、113b となる導電膜を分断する領域において、電子ビーム露光、液浸露光、EUV 露光などの細線加工に適した方法を用いてレジストマスク加工を行い、エッティング工程によって当該領域をエッティングすればよい。なお、当該レジストマスクとしては、ポジ型レジストを用いれば、露光領域を最小限にすることができる、スループットを向上させることができる。このような方法を用いれば、チャネル長を 100 nm 以下、さらには 30 nm 以下とするトランジスタを形成することができる。または、極めて波長の短い光 (例えば極端紫外光 (EUV: Extreme Ultra-violet)) や、X 線等を用いた露光技術によって微細な加工を行ってもよい。

【0169】

ここでは、厚さ 10 nm のタンゲステン膜をスパッタリング法により導電膜として形成する。次に、該導電膜上にリソグラフィ工程によりマスクを形成し、当該マスクを用いて該導電膜をドライエッティングして、一対の電極 113a、113b を形成する。

【0170】

なお、一対の電極 113a、113b を形成した後、エッティング残渣を除去するため、洗浄処理をすることが好ましい。この洗浄処理を行うことで、一対の電極 113a、113b の短絡を抑制することができる。当該洗浄処理は、TMAH (Tetramethyl ammonium hydroxide) 溶液などのアルカリ性の溶液、希フッ酸、シウ酸、リン酸などの酸性の溶液を用いて行うことができる。なお、洗浄処理により、一部がエッティングされ、凹部を有する酸化物半導体膜 111 が形成される (図 3 (A) 参照)。

【0171】

次に、図 3 (B) に示すように、酸化物半導体膜 111 および一対の電極 113a、113b を用いて、該導電膜をドライエッティングして、一対の電極 113a、113b を形成する。

10

20

30

40

50

13b 上に酸化物半導体膜 115 を形成し、酸化物半導体膜 115 上にゲート絶縁膜 117 を形成し、ゲート絶縁膜 117 上にゲート電極 119 を形成する。

【0172】

酸化物半導体膜 115 、ゲート絶縁膜 117 、およびゲート電極 119 の形成方法を以下に示す。はじめに、酸化物半導体膜 106 と同様の方法を適宜用いて酸化物半導体膜を形成する。次に、絶縁膜 116 と同様の方法を適宜用いて絶縁膜を形成する。次に、導電膜を形成する。次に、該導電膜上にリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて酸化物半導体膜、絶縁膜、および導電膜をエッチングして、酸化物半導体膜 115 、ゲート絶縁膜 117 、およびゲート電極 119 を形成する。この後、マスクを除去する。

10

【0173】

ここでは、スパッタリング法により、厚さ 5 nm の In - Ga - Zn 酸化物膜 (In : Ga : Zn = 1 : 3 : 2) を酸化物半導体膜として形成する。次に、CVD 法により厚さ 10 nm の酸化窒化シリコン膜を絶縁膜として形成する。次に、スパッタリング法により厚さ 20 nm のタンゲステン膜を導電膜として形成する。次に、該導電膜上にリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて酸化物半導体膜、絶縁膜、および導電膜をエッチングして、酸化物半導体膜 115 、ゲート絶縁膜 117 、およびゲート電極 119 を形成する。この後、マスクを除去する。

【0174】

トランジスタ 100 においては、酸素欠損が生じにくい酸化物半導体膜 115 を設けることにより、チャネル幅方向における酸化物半導体膜 111 の側面からの酸素の脱離が抑制され、酸素欠損の生成を抑制することができる。その結果、電気的特性が向上され、信頼性の高いトランジスタを実現できる。

20

【0175】

次に、図 3 (C) に示すように、ゲート絶縁膜 105 、一対の電極 113a 、 113b 、酸化物半導体膜 115 、ゲート絶縁膜 117 およびゲート電極 119 上に、絶縁膜 121 および絶縁膜 123 を順に積層形成する。こののち加熱処理を行うことが好ましい。

【0176】

絶縁膜 121 および絶縁膜 123 は、スパッタリング法、CVD 法等を適宜用いることができる。

30

【0177】

絶縁膜 121 および絶縁膜 123 として化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を形成する場合、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、CVD 法またはスパッタリング法等により形成することができる。また、CVD 法またはスパッタリング法等により酸化絶縁膜を形成した後、イオン注入法、イオンドーピング法、プラズマ処理などを用いて当該酸化絶縁膜に酸素を添加してもよい。

【0178】

加熱処理は、代表的には、150 以上基板歪み点未満、好ましくは 250 以上 500 以下、更に好ましくは 300 以上 450 以下とする。

【0179】

ここでは、絶縁膜 121 として、スパッタリング法により厚さ 40 nm の酸化アルミニウム膜を形成し、絶縁膜 123 として、CVD 法により厚さ 150 nm の酸化窒化シリコン膜を形成する。また、酸素雰囲気で、350 、 1 時間の加熱処理を行う。

40

【0180】

以上の工程により、酸化物半導体膜の局在準位密度が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0181】

<バンド構造>

ここで、バンド構造について説明する。バンド構造は、理解を容易にするためゲート絶

50

縁膜 105、酸化物半導体膜 107、酸化物半導体膜 111、酸化物半導体膜 115 およびゲート絶縁膜 117 の伝導帯下端のエネルギー準位 (Ec) を示す。

【0182】

図4(A)、図4(B)に示すように、酸化物半導体膜 107、酸化物半導体膜 111、酸化物半導体膜 115において、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体膜 107、酸化物半導体膜 111、酸化物半導体膜 115を構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体膜 107、酸化物半導体膜 111、酸化物半導体膜 115は組成が異なる膜の積層体ではあるが、物性的に連続であるということもできる。

【0183】

主成分を共通として積層された酸化物半導体膜は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギー準位が各層の間で連続的に変化するU字型の井戸（U Shape Well）構造）が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層膜の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0184】

なお、図4(A)では、酸化物半導体膜 107 と酸化物半導体膜 115 の伝導帯下端のエネルギー準位 (Ec) が同様である場合について示したが、それぞれが異なっていてもよい。例えば、酸化物半導体膜 107 よりも酸化物半導体膜 115 の伝導帯下端のエネルギー準位 (Ec) が真空準位側である場合、バンド構造の一部は、図4(B)のように示される。

【0185】

図4(A)、図4(B)より、酸化物半導体膜 111 がウェル（井戸）となることで、トランジスタ 100において、チャネルが酸化物半導体膜 111 に形成されることがわかる。なお、酸化物半導体膜 107、酸化物半導体膜 111、および酸化物半導体膜 115 において形成される、伝導帯下端のエネルギー準位が連続的に変化するU字型の井戸構造のチャネルを、埋め込みチャネルということもできる。

【0186】

なお、酸化物半導体膜 107 および酸化物半導体膜 115 と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体膜 107 および酸化物半導体膜 115 があることにより、酸化物半導体膜 111 と当該トラップ準位とを遠ざけることができる。ただし、酸化物半導体膜 107 または酸化物半導体膜 115 の Ec と、酸化物半導体膜 111 の Ec とのエネルギー差が小さい場合、酸化物半導体膜 111 の電子が該エネルギーを越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0187】

したがって、トランジスタのしきい値電圧の変動を低減するには、酸化物半導体膜 107 および酸化物半導体膜 115 の Ec と、酸化物半導体膜 111 の Ec との間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、0.1 eV 以上が好ましく、0.2 eV 以上がより好ましい。

【0188】

なお、酸化物半導体膜 107、酸化物半導体膜 111、酸化物半導体膜 115 には、結晶が含まれることが好ましい。特に c 軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0189】

また、図4(B)に示すようなバンド構造において、酸化物半導体膜 115 を設けず、酸化物半導体膜 111 とゲート絶縁膜 117 の間に In-Ga 酸化物（たとえば、原子数

10

20

30

40

50

比が I n : G a = 7 : 9 3 の I n - G a 酸化物) を設けてもよい。

【 0 1 9 0 】

本実施の形態に示すトランジスタは、酸化物半導体膜 1 1 1 を構成する金属元素を一種以上含んでいる酸化物半導体膜 1 0 7 、 1 1 5 を有しているため、酸化物半導体膜 1 0 7 と酸化物半導体膜 1 1 1 との界面、および酸化物半導体膜 1 1 5 と酸化物半導体膜 1 1 1 との界面に界面準位を低減できる。よって酸化物半導体膜 1 0 7 、 1 1 5 を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動量を低減することができる。

【 0 1 9 1 】

また、ゲート絶縁膜 1 1 7 と酸化物半導体膜 1 1 1 との界面にチャネルが形成される場合、該界面で界面散乱がおこり、トランジスタの電界効果移動度が低下する場合がある。しかしながら、本構成のトランジスタは、酸化物半導体膜 1 1 1 を構成する金属元素を一種以上含む酸化物半導体膜 1 1 5 を有しているため、酸化物半導体膜 1 1 1 と酸化物半導体膜 1 1 5 との界面ではキャリアの散乱が起こりにくい。この結果、トランジスタの電界効果移動度を高くすることができる。

【 0 1 9 2 】

<変形例 1 >

図 1 に示すトランジスタ 1 0 0 に含まれる酸化物半導体膜 1 1 5 およびゲート絶縁膜 1 1 7 の形状の異なるトランジスタについて、図 5 を用いて説明する。

【 0 1 9 3 】

図 5 (A) に示すトランジスタ 1 0 0 a は、酸化物半導体膜 1 1 1 および一対の電極 1 1 3 a 、 1 1 3 b に接する酸化物半導体膜 1 1 5 a と、該酸化物半導体膜 1 1 5 a に接するゲート絶縁膜 1 1 7 a とを有する。また、ゲート絶縁膜 1 1 7 a は、ゲート電極 1 1 9 と接する。

【 0 1 9 4 】

トランジスタ 1 0 0 a に含まれる酸化物半導体膜 1 1 5 a およびゲート絶縁膜 1 1 7 a の端部は、ゲート電極 1 1 9 の端部より外側に位置する。

【 0 1 9 5 】

また、図 5 (B) に示すトランジスタ 1 0 0 b は、酸化物半導体膜 1 1 1 および一対の電極 1 1 3 a 、 1 1 3 b に接する酸化物半導体膜 1 1 5 b と、該酸化物半導体膜 1 1 5 b に接するゲート絶縁膜 1 1 7 b とを有する。また、ゲート絶縁膜 1 1 7 b は、ゲート電極 1 1 9 と接する。

【 0 1 9 6 】

トランジスタ 1 0 0 b に含まれる酸化物半導体膜 1 1 5 b およびゲート絶縁膜 1 1 7 b は分断されず、一対の電極 1 1 3 a 、 1 1 3 b およびゲート絶縁膜 1 0 5 を覆う。

【 0 1 9 7 】

また、図 5 (C) に示すトランジスタ 1 0 0 c は、酸化物半導体膜 1 1 1 および一対の電極 1 1 3 a 、 1 1 3 b に接する酸化物半導体膜 1 1 5 c と、該酸化物半導体膜 1 1 5 c に接するゲート絶縁膜 1 1 7 b とを有する。また、ゲート絶縁膜 1 1 7 b は、ゲート電極 1 1 9 と接する。

【 0 1 9 8 】

トランジスタ 1 0 0 c に含まれる酸化物半導体膜 1 1 5 c の端部はゲート電極 1 1 9 の端部より外側に位置する。また、ゲート絶縁膜 1 1 7 b は分断されず、一対の電極 1 1 3 a 、 1 1 3 b およびゲート絶縁膜 1 0 5 を覆う。

【 0 1 9 9 】

酸化物半導体膜 1 1 5 a 、 1 1 5 b 、 1 1 5 c は、酸化物半導体膜 1 1 5 と同じ材料を適宜用いて形成することができる。ゲート絶縁膜 1 1 7 a 、 1 1 7 b は、ゲート絶縁膜 1 1 7 と同じ材料を適宜用いて形成することができる。

【 0 2 0 0 】

ここで、トランジスタ 1 0 0 a 、 1 0 0 b 、 1 0 0 c の作製方法について説明する。

10

20

30

40

50

【0201】

はじめに、トランジスタ100aの作製方法を説明する。図2(A)乃至図2(D)および図3(A)の工程を経て、基板101上にゲート電極103、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜111、および一対の電極113a、113bを形成する。

【0202】

次に、ゲート絶縁膜105、酸化物半導体膜111、および一対の電極113a、113b上に、酸化物半導体膜115aとなる酸化物半導体膜を形成し、酸化物半導体膜115aとなる酸化物半導体膜上にゲート絶縁膜117aとなる絶縁膜を形成する。次に、ゲート絶縁膜117aとなる絶縁膜上に、導電膜を形成する。次に、導電膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて導電膜をエッチングして、ゲート電極119を形成する。こののち、マスクを除去する。10

【0203】

なお、当該エッチング工程において、一対の電極113a、113bが、ゲート絶縁膜117aとなる絶縁膜で覆われているため、一対の電極113a、113bの表面に電荷が帯電しない。このため、ゲート電極119と一対の電極113a、113bとの間において静電破壊が生じにくく、歩留まりを高めることが可能である。

【0204】

次に、ゲート電極119およびゲート絶縁膜117aとなる絶縁膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて、酸化物半導体膜115aとなる酸化物半導体膜およびゲート絶縁膜117aとなる絶縁膜をエッチングして、酸化物半導体膜115aおよびゲート絶縁膜117aを形成する。20

【0205】

なお、当該エッチング工程において、ゲート電極119が、マスクで覆われているため、ゲート電極119の表面に電荷が帯電しない。このため、酸化物半導体膜115aおよびゲート絶縁膜117aの形成と共に、一対の電極113a、113bが露出されても、ゲート電極119と一対の電極113a、113bとの間において静電破壊が生じにくく、歩留まりを高めることが可能である。

【0206】

こののち、実施の形態1に示すトランジスタ100と同様の工程を経ることで、トランジスタ100aを作製することができる。30

【0207】

また、トランジスタ100bは、図2(A)乃至図2(D)および図3(A)の工程を経て、基板101上にゲート電極103、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜111、および一対の電極113a、113bを形成する。

【0208】

次に、ゲート絶縁膜105、酸化物半導体膜111、および一対の電極113a、113b上に酸化物半導体膜115bを形成し、酸化物半導体膜115b上にゲート絶縁膜117bを形成する。次に、ゲート絶縁膜117b上に、ゲート電極119を形成する。40

【0209】

こののち、実施の形態1に示すトランジスタ100と同様の工程を経ることで、トランジスタ100bを作製することができる。

【0210】

また、トランジスタ100cは、図2(A)乃至図2(D)および図3(A)の工程を経て、基板101上にゲート電極103、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜111、および一対の電極113a、113bを形成する。

【0211】

次に、ゲート絶縁膜105、酸化物半導体膜111、および一対の電極113a、113b上に酸化物半導体膜115cとなる酸化物半導体膜を形成した後、酸化物半導体膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜をエッ50

チングして、酸化物半導体膜 115c を形成する。こののち、マスクを除去する。

【0212】

次に、酸化物半導体膜 115c 上にゲート絶縁膜 117b を形成する。次に、ゲート絶縁膜 117b 上に、ゲート電極 119 を形成する。

【0213】

こののち、実施の形態 1 に示すトランジスタ 100 と同様の工程を経ることで、トランジスタ 100c を作製することができる。

【0214】

<変形例 2 >

図 1 に示すトランジスタ 100 に含まれる一対の電極 113a、113b の形状の異なるトランジスタについて、図 6 を用いて説明する。10

【0215】

図 6 (A) 乃至図 6 (D) は、半導体装置が有するトランジスタ 100d の上面図および断面図である。図 6 (A) はトランジスタ 100d の上面図であり、図 6 (B) は、図 6 (A) の一点鎖線 A - B 間の断面図であり、図 6 (C) は、図 6 (A) の一点鎖線 C - D 間の断面図であり、図 6 (D) は、図 6 (A) の一点鎖線 E - F 間の断面図である。

【0216】

また、図 6 (B) は、トランジスタ 100d のチャネル長方向の断面図であり、図 6 (C) は、トランジスタ 100d のチャネル幅方向の断面図であり、図 6 (D) は、トランジスタ 100d のチャネル幅方向であって、且つ一対の電極および酸化物半導体膜が積層する領域の断面図である。20

【0217】

なお、図 6 (A) では、明瞭化のため、例えば、基板 101、ゲート絶縁膜 105、酸化物半導体膜 107、ゲート絶縁膜 117、絶縁膜 121、絶縁膜 123などを省略している。

【0218】

図 6 に示すトランジスタ 100d は、酸化物半導体膜 107 および酸化物半導体膜 111 の側面と接せず、酸化物半導体膜 111 の上面と接する一対の電極 113c、113d を有する。また、絶縁膜 121 および絶縁膜 123 に設けられた開口部 125a、125b において、一対の電極 113c、113d と接するプラグ 127a、127b を有する。30

【0219】

図 6 (D) に示すように、チャネル幅方向において、酸化物半導体膜 107、111 の側面は一対の電極 113c、113d と接していないため、ゲート電極 119 の電界が一対の電極 113c、113d に遮蔽されない。この結果、酸化物半導体膜 107、111 の側面におけるゲート電極 119 の電界の影響を高めることが可能である。この結果、サブスレッシュホールド係数（以下、S 値という。）が優れ、且つ電界効果移動度の高いトランジスタとなる。なお、S 値は、オン電流を一桁変化させるのに必要なゲート電圧であり、S 値が小さいほど、トランジスタ特性は優れている。

【0220】

次に、図 2 および図 7 を用いてトランジスタ 100d の作製方法について説明する。ここでは、図 6 (A) の一点鎖線 A - B および C - D の断面図を用いて、トランジスタ 100d の作製方法を説明する。40

【0221】

図 2 (A) 乃至図 2 (C) の工程を経て、基板 101 上にゲート電極 103、絶縁膜 104、酸化物半導体膜 106b、酸化物半導体膜 109a を形成する。次に、酸化物半導体膜 109a 上に導電膜 112 を形成する（図 7 (A) 参照。）。

【0222】

導電膜 112 は、実施の形態 1 に示す一対の電極 113a、113b の形成方法を適宜用いることができる。50

【0223】

次に、導電膜112上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて、酸化物半導体膜106b、酸化物半導体膜109a、および導電膜112をエッティングして、酸化物半導体膜107、酸化物半導体膜110、および導電膜113を形成する。なお、当該工程において、絶縁膜104の一部もエッティングされ、ゲート絶縁膜105が形成される(図7(B)参照。)。

【0224】

エッティング工程において、レジストマスクは形状が変形するため、ハードマスクを設けず、レジストマスクのみでエッティングを行うと、酸化物半導体膜107および酸化物半導体膜110の形状が変化してしまい、所望の形状と異なってしまう。電子ビーム露光、液浸露光、EUV露光などの細線加工において、このような問題が顕著に現れる。しかしながら、ここでは、酸化物半導体膜109a上に設けられた導電膜112が、ハードマスクとして機能するため、所望の形状の酸化物半導体膜107および酸化物半導体膜110を得ることができる。

【0225】

次に、導電膜113上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて導電膜113をエッティングして、一対の電極113c、113dを形成する。なお、マスクとして、ポジ型のフォトレジストを用いることで、露光時間を短くすることが可能である。なお、当該工程において、酸化物半導体膜110の一部がエッティングされ、凹部を有してもよい。ここでは、凹部を有する酸化物半導体膜を酸化物半導体膜111と示す(図7(C)参照。)。

【0226】

こののち、図3(B)と同様の工程により、酸化物半導体膜115、ゲート絶縁膜117、およびゲート電極119を形成することで、図6に示すトランジスタ100dを作製することができる。

【0227】

なお、図28に示すように、一対の電極113c、113d上であって、且つトランジスタのチャネル長方向において酸化物半導体膜107および酸化物半導体膜111の側面に接する一対の電極113g、113hを有してもよい。なお、図28において、電極113gは電極113cと接し、電極113hは電極113dと接する。

【0228】

<変形例3>

図1に示すトランジスタ100に含まれる酸化物半導体膜111とは形状の異なる酸化物半導体膜111aを有するトランジスタについて、図8を用いて説明する。

【0229】

図8(A)乃至図8(C)は、半導体装置が有するトランジスタ100eの上面図および断面図である。図8(A)はトランジスタ100eの上面図であり、図8(B)は、図8(A)の一点鎖線A-B間の断面図であり、図8(C)は、図8(A)の一点鎖線C-D間の断面図である。

【0230】

また、図8(B)は、トランジスタ100eのチャネル長方向の断面図であり、図8(C)は、トランジスタ100eのチャネル幅方向の断面図である。

【0231】

なお、図8(A)では、明瞭化のため、例えば、基板101、ゲート絶縁膜105、酸化物半導体膜107、ゲート絶縁膜117、絶縁膜121、絶縁膜123などを省略している。

【0232】

図8(C)に示すように、トランジスタ100eは、チャネル幅方向において、断面形状が略三角形または略台形である酸化物半導体膜111aを有する。なお、ここでの略三角形または略台形とは、酸化物半導体膜111aにおいて、酸化物半導体膜107と接す

10

20

30

40

50

る底面と、酸化物半導体膜 115 と接する側面のなす角度が 0° より大きく 85° 以下、または 30° 以上 80° 以下である形状のことをいう。また、底面と反対側の面において、角を有してもよく、または角丸状でもよい。または、底面と反対側において頂点を有してもよい。

【0233】

チャネル幅方向における断面形状が略矩形の酸化物半導体膜と比較すると、断面形状が略三角形または略台形の酸化物半導体膜 111a の方が、上側の領域における断面積が小さい。このため、ゲート絶縁膜 117 側において、高い電流密度の領域が低減する。この結果、S 値が優れると共に、オン電流が増加する。

【0234】

断面形状が略三角形または略台形の酸化物半導体膜 111 の作製方法を説明する。図 2 (C) に示す酸化物半導体膜 109a 上にリソグラフィ工程を用いてマスクを形成した後、マスクを後退させながら酸化物半導体膜 109a をエッチングすることで、図 8 (C) に示すように、チャネル幅方向において断面形状が略三角形または略台形である酸化物半導体膜を形成することができる。

【0235】

<変形例 4 >

図 1 に示すトランジスタ 100 に含まれるゲート電極の形状の異なるトランジスタについて、図 9 を用いて説明する。

【0236】

図 9 (A) 乃至図 9 (C) は、半導体装置が有するトランジスタ 100j の上面図および断面図である。図 9 (A) はトランジスタ 100j の上面図であり、図 9 (B) は、図 9 (A) の一点鎖線 A - B 間の断面図であり、図 9 (C) は、図 9 (A) の一点鎖線 C - D 間の断面図である。

【0237】

また、図 9 (B) は、トランジスタ 100j のチャネル長方向の断面図であり、図 9 (C) は、トランジスタ 100j のチャネル幅方向の断面図である。

【0238】

なお、図 9 (A) では、明瞭化のため、例えば、基板 101、ゲート絶縁膜 105、酸化物半導体膜 107、ゲート絶縁膜 117、絶縁膜 121、絶縁膜 123 などを省略している。

【0239】

図 9 (A) および図 9 (B) に示すように、トランジスタ 100j は、チャネル長方向において、一対の電極 113a、113b と、ゲート電極 119a とが重ならないことを特徴とする。この結果、一対の電極 113a、113b と、ゲート電極 119a との間の寄生容量を低減することが可能であり、トランジスタのオン電流を増大させることができる。

【0240】

なお、ゲート電極 119a を形成した後、ゲート電極 119a および一対の電極 113a、113b をマスクとして、酸化物半導体膜 111 に不純物を添加して、不純物領域 111e、111f を形成することが好ましい。この結果、トランジスタのオン電流を増大させることが可能である。なお、酸化物半導体膜 111 に添加する不純物としては、水素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ホウ素、窒素、リン、または砒素がある。

【0241】

また、図 32 (A) に示すように、テーパー形状のゲート電極 119b を有してもよい。ゲート電極 119b がテーパー形状となっているため、製造条件によっては、不純物領域 111e、111f も、テーパー形状となる場合がある。なお、図 32 (A) において、不純物領域 111e、111f の端部の一部が、酸化物半導体膜 107 および酸化物半導体膜 111 の界面に位置している。または、製造条件によっては、不純物領域 111e

10

20

30

40

50

、 1 1 1 f の端部が酸化物半導体膜 1 0 7 および酸化物半導体膜 1 1 1 の界面に位置せず、図 3 2 (B) に示すように、酸化物半導体膜 1 1 1 中に位置してもよい。

【 0 2 4 2 】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

【 0 2 4 3 】

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる方法で、酸化物半導体膜に含まれる酸素欠損を低減する方法について、説明する。ここでは、一対の電極 1 1 3 a 、 1 1 3 b 上の酸化物半導体膜に酸素を添加する点が実施の形態 1 と異なる。

10

【 0 2 4 4 】

図 1 0 (A) に示すように、基板 1 0 1 上にゲート電極 1 0 3 を形成し、ゲート電極 1 0 3 上に絶縁膜 1 0 4 を形成する。次に、絶縁膜 1 0 4 上に酸化物半導体膜 1 0 6 を形成し、酸化物半導体膜 1 0 6 上に酸化物半導体膜 1 0 9 を形成する。

【 0 2 4 5 】

次に、酸化物半導体膜 1 0 9 上にリソグラフィ工程によりマスクを形成し、該マスクを用いて絶縁膜 1 0 4 、酸化物半導体膜 1 0 6 、および酸化物半導体膜 1 0 9 のそれぞれ一部をエッチングして、図 1 0 (B) に示すように、ゲート絶縁膜 1 0 5 、酸化物半導体膜 1 0 7 、および酸化物半導体膜 1 1 0 a を形成する。

20

【 0 2 4 6 】

次に、加熱処理を行って、酸化物半導体膜 1 0 9 に含まれる水、水素等を脱離させてもよい。なお、当該加熱処理を行わず、のちの工程で行われる加熱処理において、酸化物半導体膜 1 0 9 に含まれる水、水素等を脱離させてもよい。

【 0 2 4 7 】

次に、酸化物半導体膜 1 1 0 a 上に一対の電極 1 1 3 a 、 1 1 3 b を形成する。なお、一対の電極 1 1 3 a 、 1 1 3 b を形成した後、エッチング残渣を除去するため、洗浄処理をすることが好ましい。この洗浄処理を行うことで、一対の電極 1 1 3 a 、 1 1 3 b の短絡を抑制することができる。洗浄処理により、一部がエッチングされた酸化物半導体膜 1 1 1 b が形成される(図 1 0 (C) 参照。)。

30

【 0 2 4 8 】

次に、図 1 0 (D) に示すように、ゲート絶縁膜 1 0 5 、酸化物半導体膜 1 1 1 b 、および一対の電極 1 1 3 a 、 1 1 3 b 上に酸化物半導体膜 1 1 4 を形成する。次に、酸化物半導体膜 1 1 4 に酸素 1 0 8 を添加する。

【 0 2 4 9 】

酸化物半導体膜 1 1 4 に添加する酸素 1 0 8 として、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等のいずれか一以上を用いる。また、酸化物半導体膜 1 1 4 に酸素 1 0 8 を添加する方法としては、イオンドーピング法、イオン注入法等がある。

【 0 2 5 0 】

酸化物半導体膜 1 1 4 に酸素を添加する場合、酸素原子イオンの濃度プロファイルのピークが酸化物半導体膜 1 1 4 に位置するような条件を用いて、酸化物半導体膜 1 1 4 に酸素を添加することが好ましい。なお、酸化物半導体膜 1 1 4 の膜厚が薄い場合、酸化物半導体膜 1 1 1 b に酸素が添加される場合もあるが、酸化物半導体膜 1 1 4 に酸素原子イオンの濃度プロファイルのピークが位置するような条件を用いることで、酸化物半導体膜 1 1 1 b へのダメージを低減することが可能である。即ち、酸化物半導体膜 1 1 1 b の欠陥量を低減することができ、トランジスタの電気特性の変動を抑制することができる。さらには、絶縁膜 1 0 4 および酸化物半導体膜 1 1 1 b 界面における酸素原子の添加量が、 $1 \times 10^{21} \text{ atoms/cm}^3$ 未満、または $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、または $1 \times 10^{19} \text{ atoms/cm}^3$ 未満となるように、酸化物半導体膜 1 1 4 に酸素を添加することで、後の加熱処理により酸化物半導体膜 1 1 1 b へのダメージを低減することができ、トランジスタの電気特性の変動を抑制することができる。

40

50

【0251】

なお、酸素 108 を添加する方法としてイオン注入法を用いる場合、酸化物半導体膜 114 に添加する酸素 108 として酸素分子イオンを用いることで、酸化物半導体膜 114 へのダメージを低減することが可能である。

【0252】

または、酸素を有する雰囲気で発生させたプラズマに酸化物半導体膜 114 を曝すプラズマ処理により酸化物半導体膜 114 に酸素を添加してもよい。

【0253】

以上の工程により、図 11 (A) に示す酸素が添加された酸化物半導体膜 114a を形成することができる。

10

【0254】

次に、加熱処理を行って、酸素が添加された酸化物半導体膜 114a に含まれる酸素の一部を酸化物半導体膜 111b に移動させ、酸化物半導体膜 111b の酸素欠損を低減させることができる。該酸化物半導体膜を図 11 (B) において酸化物半導体膜 111c と示す。また、酸素が添加された酸化物半導体膜 114a の酸素欠損を低減させることができる。該酸化物半導体膜を図 11 (B) において酸化物半導体膜 114b と示す。

【0255】

以上の工程により、酸化物半導体膜の酸素欠損を低減することができる。また、局在準位密度が低減された酸化物半導体膜を形成することができる。

【0256】

20

こののち、実施の形態 1 と同様に、酸化物半導体膜 114b の一部をエッチングすることで、酸化物半導体膜 115d を形成することができる。また、ゲート絶縁膜 117 およびゲート電極 119 を形成することができる (図 11 (C) 参照。)。また、絶縁膜 121 および絶縁膜 123 を形成することができる。

【0257】

以上の工程により、酸化物半導体膜の局在準位密度が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレステストによる電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0258】

<変形例 1 >

30

実施の形態 2 と異なる方法で酸化物半導体膜 114 に酸素を添加する方法について、図 12 を用いて説明する。

【0259】

実施の形態 2 と同様に、基板 101 上に、ゲート電極 103、ゲート絶縁膜 105、酸化物半導体膜 107、酸化物半導体膜 111b、一対の電極 113a、113b、および酸化物半導体膜 114 を形成する。次に、酸化物半導体膜 114 上に絶縁膜 116 を形成する。次に、絶縁膜 116 を介して酸化物半導体膜 114 に酸素 108 を添加する (図 12 (A) 参照。)

【0260】

または、酸素を有する雰囲気で発生させたプラズマに絶縁膜 116 を曝すプラズマ処理により、絶縁膜 116 を介して酸化物半導体膜 114 に酸素を添加してもよい。

40

【0261】

以上の工程により、図 12 (B) に示す酸素が添加された酸化物半導体膜 114a および酸素が添加された絶縁膜 116a を形成することができる。

【0262】

次に、加熱処理を行って、酸素が添加された酸化物半導体膜 114a および酸素が添加された絶縁膜 116a に含まれる酸素の一部を酸化物半導体膜 111b に移動させ、酸化物半導体膜 111b の酸素欠損を低減させることができる。該酸化物半導体膜を図 12 (C) において酸化物半導体膜 111c と示す。また、酸素が添加された酸化物半導体膜 114a の酸素欠損を低減させることができる。該酸化物半導体膜を図 12 (C) において

50

酸化物半導体膜 114 b と示す。また、酸素が添加された絶縁膜 116 a の欠陥を低減することができる。該絶縁膜を図 12 (C) において絶縁膜 116 b と示す。

【0263】

以上の工程により、酸化物半導体膜の酸素欠損を低減することができる。また、局在準位密度が低減された酸化物半導体膜を形成することができる。

【0264】

こののち、実施の形態 1 と同様に、酸化物半導体膜 114 b の一部をエッティングすることで、酸化物半導体膜 115 a を形成することができる。また、絶縁膜 116 b の一部をエッティングすることで、ゲート絶縁膜 117 を形成することができる。また、ゲート電極 119 を形成することができる。また、絶縁膜 121 および絶縁膜 123 を形成することができる。10

【0265】

以上の工程により、酸化物半導体膜の局在準位密度が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0266】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

【0267】

(実施の形態 3)

20

図 1 に示すトランジスタ 100 と比較して、酸化物半導体膜の積層構造の異なるトランジスタについて、図 13 を用いて説明する。

【0268】

図 13 (A) に示すトランジスタ 100 f は、図 1 (B) に示すトランジスタ 100 と比較して、酸化物半導体膜 115 を有さない点が異なる。すなわち、トランジスタ 100 f は、酸化物半導体膜 111 および一対の電極 113 a、113 b、並びにゲート電極 119 と接するゲート絶縁膜 117 を有することを特徴とする。

【0269】

なお、図 13 (A) に示すトランジスタ 100 f の作製方法において、実施の形態 1 に示す酸化物半導体膜 111 の作製方法を適宜用いることができる。

30

【0270】

図 13 (B) に示すトランジスタ 100 g は、図 1 (B) に示すトランジスタ 100 と比較して、酸化物半導体膜 107 を有さない点が異なる。すなわち、トランジスタ 100 g は、ゲート電極 103 および酸化物半導体膜 111 と接するゲート絶縁膜 105 を有することを特徴とする。

【0271】

なお、図 13 (B) に示すトランジスタ 100 g の作製方法において、実施の形態 2 に示す酸化物半導体膜 111 c の作製方法を適宜用いることができる。

【0272】

図 13 (C) に示すトランジスタ 100 h は、図 1 (B) に示すトランジスタ 100 と比較して、酸化物半導体膜 111 および一対の電極 113 a、113 b の間に酸化物半導体膜 115 e を有する点が異なる。すなわち、トランジスタ 100 h は、酸化物半導体膜 111、一対の電極 113 a、113 b、およびゲート絶縁膜 117 と接する酸化物半導体膜 115 e を有し、該酸化物半導体膜 115 e は酸化物半導体膜 111 および一対の電極 113 a、113 b の間に設けられることを特徴とする。40

【0273】

なお、図 13 (C) に示すトランジスタ 100 h の作製方法において、実施の形態 1 または / および実施の形態 2 に示す酸化物半導体膜 111 の作製方法を適宜用いることができる。

【0274】

50

なお、断面構造としては、様々な構成をとることができる。

【0275】

例えば、トランジスタ100fは、図33(A)に示すように、チャネル長方向において一対の電極113a、113bと重ならないゲート電極119aを有してもよい。この場合、酸化物半導体膜107、酸化物半導体膜111それぞれに、不純物領域111e、111fを有してもよい。

【0276】

また、図33(B)に示すように、トランジスタ100fは、テーパ形状を有するゲート電極119bを有してもよい。この場合、ゲート電極119bと一部重なる不純物領域111e、111fを有してもよい。なお、不純物領域111e、111fの端部が、酸化物半導体膜107および酸化物半導体膜111の界面に位置してもよい。または、酸化物半導体膜111に位置してもよい。10

【0277】

例えば、トランジスタ100gは、図33(C)に示すように、チャネル長方向において一対の電極113a、113bと重ならないゲート電極119aを有してもよい。この場合、酸化物半導体膜111、酸化物半導体膜115aそれぞれに、不純物領域111e、111fを有してもよい。

【0278】

また、図33(D)に示すように、トランジスタ100gは、テーパ形状を有するゲート電極119bを有してもよい。この場合、ゲート電極119bと一部重なる不純物領域111e、111fを有してもよい。なお、不純物領域111e、111fの端部が、酸化物半導体膜107および酸化物半導体膜111の界面に位置してもよい。または、酸化物半導体膜111に位置してもよい。20

【0279】

また、図34(A)に示すように、トランジスタ100hは、一対の電極113a、113bの端部と、ゲート電極119cの端部が、略揃う構成としてもよい。この場合には、不純物領域111e、111fを設けなくともよい。

【0280】

また、図34(B)に示すように、トランジスタ100hは、チャネル長方向において一対の電極113a、113bと重ならないゲート電極119cを有してもよい。この場合、酸化物半導体膜107、酸化物半導体膜111、酸化物半導体膜115bそれぞれに、不純物領域111e、111fを有してもよい。30

【0281】

または、図34(C)に示すように、トランジスタ100hは、テーパ形状を有するゲート電極119bを有してもよい。この場合、ゲート電極119bと一部重なる不純物領域111e、111fを有してもよい。

【0282】

または、図34(D)に示すように、不純物領域111e、111fの端部が酸化物半導体膜111中に位置してもよい。

【0283】

このように、酸化物半導体膜107、酸化物半導体膜111、酸化物半導体膜115などの酸化物半導体膜の有無、配置場所、ゲート電極の形状、不純物領域の有無および形状などによって、様々な構成をとることができる。したがって、本明細書に示す他の図面においても、図32乃至図34に示す構造を適宜適用することができる。40

【0284】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

【0285】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3に示すトランジスタと比較して、ゲ

50

ート電極と一対の電極との位置関係、およびゲート電極の形状の異なるトランジスタの構造および作製方法を図14乃至図16を用いて説明する。

【0286】

図14(A)乃至図14(C)は、半導体装置が有するトランジスタ100iの上面図および断面図である。図14(A)は、トランジスタ100iの上面図であり、図14(B)は、トランジスタ100iにおける図14(A)の一点鎖線A-B間の断面図であり、図14(C)は、トランジスタ100iにおける図14(A)の一点鎖線C-D間の断面図である。なお、図14(A)では、明瞭化のため、基板101、絶縁膜102、ゲート絶縁膜105b、酸化物半導体膜107、酸化物半導体膜115、ゲート絶縁膜117、絶縁膜121、絶縁膜123などを省略している。

10

【0287】

図14に示すトランジスタは、絶縁膜102上にゲート電極103aが形成される。また、絶縁膜102およびゲート電極103a上に、分離されたゲート絶縁膜105bが形成されている。図14(B)に示すように、チャネル長方向において、一対の電極113e、113fは、酸化物半導体膜111の上面の一部と、ゲート絶縁膜105b、酸化物半導体膜107、および酸化物半導体膜111の側面とを覆う。また、図14(C)に示すように、チャネル幅方向において、酸化物半導体膜115は、ゲート絶縁膜105bの上面および側面のそれぞれ一部、酸化物半導体膜107の側面、並びに酸化物半導体膜111の上面および側面を覆う。

【0288】

即ち、図14(B)に示すように、チャネル長方向において、一対の電極113e、113fは、ゲート絶縁膜105b、酸化物半導体膜107、および酸化物半導体膜111と共に、ゲート電極103aの側面を囲むことを特徴とする。

20

【0289】

なお、トランジスタ100iは、ゲート電極103aが分離されていること、およびゲート電極103aがゲート絶縁膜105bに覆われていることから、基板101上に形成された配線129およびゲート電極103aが、絶縁膜102に設けられた開口部131において接続されていることが好ましい(図14(C)参照。)。

【0290】

配線129は、実施の形態1に示すゲート電極103または一対の電極113a、113bと同様の材料を適宜用いることが可能とする。

30

【0291】

また、絶縁膜102として、絶縁膜104とエッティング速度の異なる材料、代表的には、絶縁膜104よりエッティング速度の遅い材料を用いて形成することで、絶縁膜102がエッティングストップ膜として機能する。この結果、分離されたゲート絶縁膜105bを形成することができる。

【0292】

次に、図2、図15および図16を用いてトランジスタ100iの作製方法について説明する。ここでは、図15(A)のA-BおよびC-Dの断面図を用いて、トランジスタ100iの作製方法を説明する。

40

【0293】

図15(A)に示すように、基板101上に配線129を形成する。

【0294】

配線129は、実施の形態1に示す一対の電極113a、113bの作製方法を適宜用いて形成することができる。

【0295】

次に、基板101および配線129上に絶縁膜102を形成する。

【0296】

絶縁膜102は、実施の形態1に示す絶縁膜104の形成方法を適宜用いて形成することができる。

50

【0297】

次に、絶縁膜102に開口部を形成した後、図2(A)乃至図2(C)の工程を経て、絶縁膜102上に、ゲート電極103a、絶縁膜104、酸化物半導体膜106b、酸化物半導体膜109aを形成する。

【0298】

次に、酸化物半導体膜109a上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて、絶縁膜104、酸化物半導体膜106b、および酸化物半導体膜109aをそれぞれエッティングして、絶縁膜105c、酸化物半導体膜107a、および酸化物半導体膜110aを形成する(図15(B)参照。)。

【0299】

なお、絶縁膜102として、絶縁膜104とエッティング速度の異なる材料、代表的には、絶縁膜104よりエッティング速度の遅い材料を用いて形成することで、絶縁膜102がエッティングストップ膜として機能する。この結果、絶縁膜104のエッティング工程において、絶縁膜102のエッティングを防ぐことができる。なお、絶縁膜102として、絶縁膜104とエッティング速度が略同じ材料を用いて形成すると、絶縁膜104のエッティングと共に、絶縁膜102もエッティングされ、絶縁膜105cを形成すると共に、絶縁膜105cに覆われている領域において凸部を有する絶縁膜が形成される。

【0300】

次に、酸化物半導体膜110a上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜107a、酸化物半導体膜110a、および絶縁膜105cのそれぞれ一部をエッティングして、ゲート絶縁膜105b、酸化物半導体膜107b、酸化物半導体膜110bを形成する(図15(C)参照)。ここでは、少なくとも、チャネル幅方向における酸化物半導体膜107a、酸化物半導体膜110a、および絶縁膜105cをエッティングする。この結果、s-channel構造のトランジスタを作製することができる。また、ゲート電極103aをゲート絶縁膜105bが覆うため、のちに形成される一対の電極113e、113fとゲート電極103aの短絡を防ぐことができる。

【0301】

次に、酸化物半導体膜110b上に一対の電極113e、113fを形成する。なお、一対の電極113e、113fを形成した後、エッティング残渣を除去するため、洗浄処理をすることが好ましい。この洗浄処理を行うことで、一対の電極113e、113fの短絡を抑制することができる。洗浄処理により、一部がエッティングされた酸化物半導体膜111dが形成される(図16(A)参照。)。

【0302】

次に、図16(B)に示すように、絶縁膜102、ゲート絶縁膜105b、酸化物半導体膜111b、および一対の電極113e、113f上に酸化物半導体膜115、ゲート絶縁膜117、およびゲート電極119を形成することができる。

【0303】

次に、図16(C)に示すように、絶縁膜121および絶縁膜123を形成することができる。

【0304】

以上の工程により、酸化物半導体膜の局在準位密度が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0305】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

【0306】

(実施の形態5)

本実施の形態では、酸化物半導体膜について説明する。

【0307】

10

20

30

40

50

<酸化物半導体の構造について>

以下では、酸化物半導体の構造について説明する。

【0308】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。

【0309】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

10

【0310】

<CAAC-OS>

まずは、CAAC-OSについて説明する。なお、CAAC-OSを、CANC (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0311】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

20

【0312】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0313】

以下では、TEMによって観察したCAAC-OSについて説明する。図17(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

30

【0314】

図17(A)の領域(1)を拡大したCs補正高分解能TEM像を図17(B)に示す。図17(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0315】

40

図17(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図17(C)は、特徴的な原子配列を、補助線で示したものである。図17(B)および図17(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。

【0316】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図17(D)参照。）。図17(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図17(D)に示す領域5161に相当する。

50

【0317】

また、図18(A)に、試料面と略垂直な方向から観察したCAC-OSの平面のCs補正高分解能TEM像を示す。図18(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図18(B)、図18(C)および図18(D)に示す。図18(B)、図18(C)および図18(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0318】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAC-OSについて説明する。例えば、 $InGaZnO_4$ の結晶を有するCAC-OSに対し、out-of-plane法による構造解析を行うと、図19(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、 $InGaZnO_4$ の結晶の(009)面に帰属されることから、CAC-OSの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。
10

【0319】

なお、CAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。
20

【0320】

一方、CAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の(110)面に帰属される。CAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図19(B)に示すように明瞭なピークは現れない。これに対し、 $InGaZnO_4$ の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図19(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。
30

【0321】

次に、電子回折によって解析したCAC-OSについて説明する。例えば、 $InGaZnO_4$ の結晶を有するCAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図35(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 $InGaZnO_4$ の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図35(B)に示す。図35(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。
40 なお、図35(B)における第1リングは、 $InGaZnO_4$ の結晶の(010)面および(100)面などに起因すると考えられる。また、図35(B)における第2リングは(110)面などに起因すると考えられる。

【0322】

また、CAC-OSは、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、CAC-OSは、不純物濃度の低い酸化物半導体ということもできる。また、CAC-OSは、酸素欠損の少ない酸化物半導体ということもできる。

【0323】

50

酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0324】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

【0325】

また、欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体は、キャリア密度を低くすることができます。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、C A A C - O S を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。一方、C A A C - O S を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

20

【0326】

また、C A A C - O S は欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。したがって、C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0327】

<微結晶酸化物半導体>

次に、微結晶酸化物半導体について説明する。

【0328】

30

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶を有する酸化物半導体を、n c - O S (nanocrystalline Oxide Semiconductor)と呼ぶ。n c - O S は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下ではn c - O S の結晶部をペレットと呼ぶ場合がある。

【0329】

40

n c - O S は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回

50

折を行うと、スポットが観測される。また、n c - O Sに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0330】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O Sを、R A N C（Random Aligned nanocrystals）を有する酸化物半導体、またはN A N C（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0331】

n c - O Sは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O Sは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O Sは、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O Sは、C AAC - O Sと比べて欠陥準位密度が高くなる。

【0332】

<非晶質酸化物半導体>

次に、非晶質酸化物半導体について説明する。

【0333】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0334】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

【0335】

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

【0336】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（completely amorphous structure）と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、AAC - O Sおよびn c - O Sを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

【0337】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、n c - O Sと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（a-like O S : amorphous-like Oxide Semiconductor）と呼ぶ。

【0338】

a - like O Sは、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0339】

鬆を有するため、a - like O Sは、不安定な構造である。以下では、a - like O Sが、AAC - O Sおよびn c - O Sと比べて不安定な構造であることを示すた

10

20

30

40

50

め、電子照射による構造の変化を示す。

【0340】

電子照射を行う試料として、a - l i k e O S (試料Aと表記する。)、n c - O S (試料Bと表記する。)およびC A A C - O S (試料Cと表記する。)を準備する。いずれの試料もIn - Ga - Zn酸化物である。

【0341】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0342】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば¹⁰、InGaZnO₄の結晶の単位格子は、In - O層を3層有し、またGa - Zn - O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下の箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa - b面に対応する。

【0343】

図36は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図36より、a - l i k e O Sは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図36中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、n c - O SおよびC A A C - O Sは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図36中の(2)および(3)で示すように、電子の累積照射量によらず、n c - O SおよびC A A C - O Sの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0344】

このように、a - l i k e O Sは、電子照射によって結晶部の成長が見られる場合がある。一方、n c - O SおよびC A A C - O Sは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a - l i k e O Sは、n c - O SおよびC A A C - O Sと比べて、不安定な構造であることがわかる。

【0345】

また、鬆を有するため、a - l i k e O Sは、n c - O SおよびC A A C - O Sと比べて密度の低い構造である。具体的には、a - l i k e O Sの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、n c - O Sの密度およびC A A C - O Sの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0346】

例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357g/cm³となる。よって、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比]を満たす酸化物半導体において、a - l i k e O Sの密度は5.0g/cm³以上5.9g/cm³未満となる。また、例えば、In : Ga : Zn = 1 : 1 : 1 [原子数比]を満たす酸化物半導体において、n c - O Sの密度およびC A A C - O Sの密度は5.9g/cm³以上6.3g/cm³未満となる。

【0347】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積も

10

20

30

40

50

ることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

【0348】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 $a\text{-like OS}$ 、微結晶酸化物半導体、 CAC-OS のうち、二種以上を有する積層膜であってもよい。

【0349】

<成膜モデル>

以下では、 CAC-OS および nC-OS の成膜モデルの一例について説明する。

10

【0350】

図37(A)は、スパッタリング法により CAC-OS が成膜される様子を示した成膜室内の模式図である。

【0351】

ターゲット5130は、バッキングプレートに接着されている。バッキングプレートを介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグнетロンスパッタリング法と呼ばれる。

【0352】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離d(ターゲット-基板間距離(T-S間距離)ともいう。)は0.01m以上1m以下、好ましくは0.02m以上0.5m以下とする。成膜室内は、ほとんどが成膜ガス(例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス)で満たされ、0.01Pa以上100Pa以下、好ましくは0.1Pa以上10Pa以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン(O^+)やアルゴンの陽イオン(Ar^+)などである。

20

【0353】

ここで、ターゲット5130は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。図38(A)に、一例として、ターゲット5130に含まれる InGaZnO_4 の結晶の構造を示す。なお、図38(A)は、b軸に平行な方向から InGaZnO_4 の結晶を観察した場合の構造である。図38(A)より、近接する二つのGa-Zn-O層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つのGa-Zn-O層の間には斥力が生じる。その結果、 InGaZnO_4 の結晶は、近接する二つのGa-Zn-O層の間に劈開面を有する。

30

【0354】

高密度プラズマ領域で生じたイオン5101は、電界によってターゲット5130側に加速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

40

【0355】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例

50

えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0356】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5100は、幅を1nm以上3nm以下、好ましくは1.2nm以上2.5nm以下とする。ペレット5100は、上述の図36中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させると、図38(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が剥離する。図38(C)に、剥離したペレット5100をc軸に平行な方向から観察した構造を示す。ペレット5100は、二つのGa-Zn-O層と、In-O層と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。
10

【0357】

ペレット5100は、プラズマを通過する際に、側面が負または正に帯電する場合がある。ペレット5100は、例えば、側面に位置する酸素原子が負に帯電する可能性がある。側面が同じ極性の電荷を有することにより、電荷同士の反発が起こり、平板状またはペレット状の形状を維持することが可能となる。なお、CAC-OSが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際に、プラズマ中のインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図36中の(2)と(1)の大きさの違いが、プラズマ中の成長分に相当する。ここで、基板5120が室温程度である場合、基板5120上におけるペレット5100の成長が起こりにくいためnc-OSとなる(図37(B)参照)。室温程度で成膜できることから、基板5120が大面積である場合でもnc-OSの成膜が可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができます。
20
30

【0358】

図37(A)および図37(B)に示すように、例えば、ペレット5100は、プラズマ中を風のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帶びているため、ほかのペレット5100が既に堆積している領域が近づくと、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場(水平磁場ともいう。)が生じている。また、基板5120およびターゲット5130間には、電位差が与えられるため、基板5120からターゲット5130に向かう方向に電流が流れる。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力(ローレンツ力)を受ける。このことは、フレミングの左手の法則によって理解できる。
40

【0359】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に、基板5120の上面を移動するために十分な力を与えるには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以
50

上、より好ましくは5倍以上となる領域を設けるとよい。

【0360】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向から力を受け、様々な方向へ移動することができる。

【0361】

また、図37(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CACOS中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCACOSとなる。なお、基板5120の上面の温度は、例えば、100以上500未満、150以上450未満、または170以上400未満とすればよい。したがって、基板5120が大面積である場合でもCACOSの成膜は可能である。

【0362】

また、ペレット5100は、基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほとんど単結晶となる。ペレット5100がほとんど単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバース化することがない。

【0363】

また、CACOSは、単結晶酸化物半導体が一枚板のようになっているのではなく、ペレット5100(ナノ結晶)の集合体がレンガまたはブロックが積み重なったような配列をしている。また、ペレット5100同士の間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CACOSに縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に用いることに適した構造である。なお、nCOSは、ペレット5100(ナノ結晶)が無秩序に積み重なったような配列となる。

【0364】

ターゲット5130をイオン5101でスパッタした際に、ペレット5100だけではなく、酸化亜鉛などが剥離する場合がある。酸化亜鉛はペレット5100よりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図39に断面模式図を示す。

【0365】

図39(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット5105aの別の側面において、酸化亜鉛とともにターゲットから剥離した複数の粒子5103が、基板5120からの加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

【0366】

そして、図39(B)に示すように、領域5105a1は、ペレット5105aと一体化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

10

20

30

40

50

【0367】

次に、図39(C)に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

【0368】

そして、図39(D)に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105eは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲット5130から剥離した複数の粒子5103が基板5120からの加熱により結晶化し、領域5105d1を形成する。
10

【0369】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることで、基板5120上にCAC-OSが形成される。したがって、CAC-OSは、n c - OSよりも一つ一つのペレットが大きくなる。上述の図36中の(3)と(2)の大きさの違いが、堆積後の成長分に相当する。

【0370】

また、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットは、単結晶構造を有する。例えば、ペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。このとき、微細なトランジスタに用いる酸化物半導体において、チャネル形成領域が一つの大きなペレットに収まる場合がある。即ち、単結晶構造を有する領域をチャネル形成領域として用いることができる。また、ペレットが大きくなることで、単結晶構造を有する領域をトランジスタのチャネル形成領域、ソース領域およびドレイン領域として用いることができる場合がある。
20

【0371】

このように、トランジスタのチャネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0372】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、CAC-OSの成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、CAC-OSは、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板5120の上面(被形成面)の構造が非晶質構造(例えば非晶質酸化シリコン)であっても、CAC-OSを成膜することは可能である。
30

【0373】

また、CAC-OSは、被形成面である基板5120の上面に凹凸がある場合でも、その形状に沿ってペレット5100が配列することがわかる。例えば、基板5120の上面が原子レベルで平坦な場合、ペレット5100はa-b面と平行な平面である平板面を下に向けて並置する。ペレット5100の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層がn段(nは自然数。)積み重なることで、CAC-OSを得ることができる。
40

【0374】

一方、基板5120の上面が凹凸を有する場合でも、CAC-OSは、ペレット5100が凹凸に沿って並置した層がn段(nは自然数。)積み重なった構造となる。基板5120が凹凸を有するため、CAC-OSは、ペレット5100間に隙間が生じやすい場合がある。ただし、この場合でも、ペレット5100間で分子間力が働き、凹凸があつてもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があつても高い結晶性を有するCAC-OSとすることができる。

【0375】

10

20

30

40

50

このようなモデルによって C A A C - O S が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板 5120 上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【 0 3 7 6 】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有する C A A C - O S を得ることができる。

【 0 3 7 7 】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

10

【 0 3 7 8 】

(実施の形態 6)

本実施の形態では、本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

【 0 3 7 9 】

図 20 (A) に半導体装置の断面図を示す。また、図 20 (B) に半導体装置に含まれるメモリセル 760 の回路図を示す。

【 0 3 8 0 】

図 20 (A) および図 20 (B) に示す半導体装置は、下部に基板 700 を用いたトランジスタ 750 を有し、上部に酸化物半導体を用いたトランジスタ 200、および容量素子 230 を有している。

20

【 0 3 8 1 】

基板 700 としては、シリコンや炭化シリコンなどを用いた単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどを用いた化合物半導体基板や、S O I (S i l i c o n o n I n s u l a t o r) 基板などを用いることができる。半導体基板を用いて形成されたトランジスタは、高速動作が容易である。

【 0 3 8 2 】

本実施の形態では、基板 700 として p 型の単結晶シリコン基板を用いる例を示す。トランジスタ 750 は、基板 700 中にチャネルが形成されるトランジスタである。また、トランジスタ 750 は、チャネル形成領域 753、L D D (L i g h t l y D o p e d D r a i n) 領域やエクステンション領域として機能する n 型不純物領域 754、ソース領域またはドレン領域として機能する n 型不純物領域 755、ゲート絶縁膜 752、ゲート電極 751 を有している。なお、n 型不純物領域 755 の不純物濃度は、n 型不純物領域 754 よりも高い。ゲート電極 751 の側面には側壁絶縁膜 756 が設けられており、ゲート電極 751 および側壁絶縁膜 756 をマスクとして用いて、n 型不純物領域 754、n 型不純物領域 755 を自己整合法を用いて形成することができる。

30

【 0 3 8 3 】

また、トランジスタ 750 は、素子分離領域 789 により、基板 700 に形成される他のトランジスタ 750 と分離されている。また、ゲート電極 751、側壁絶縁膜 756 の周囲に、絶縁膜 790 と絶縁膜 791 が形成されている。

40

【 0 3 8 4 】

絶縁膜 791 上に、ゲート電極 103、導電膜 203、および導電膜 204 が形成される。なお、導電膜 203 は、トランジスタ 750 のゲート電極 751 と接続する。

【 0 3 8 5 】

ゲート電極 103、導電膜 203、および導電膜 204 の間に絶縁膜 205 が形成される。絶縁膜 205 は、実施の形態 1 に示すゲート絶縁膜 105 と同様の材料を適宜用いることができる。

【 0 3 8 6 】

絶縁膜 205 上であって、ゲート電極 103、導電膜 203、および導電膜 204 それ

50

それ一部を露出する絶縁膜 206 が形成される。

【0387】

絶縁膜 206 として、水および水素をブロッキングする効果を有する絶縁膜を用いることで、基板 700 および絶縁膜 206 の間に含まれる水および水素が、トランジスタ 200 に含まれる酸化物半導体膜へ拡散することを防ぐことが可能である。絶縁膜 206 としては、酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ハフニウム、酸化タンタルから選ばれた材料を、単層でまたは積層して形成することができる。

【0388】

ゲート電極 103、導電膜 203、導電膜 204、および絶縁膜 206 上にゲート絶縁膜 105 が形成される。トランジスタ 200 に含まれる一対の電極の一方の電極 113h は、ゲート絶縁膜 105 に形成された開口を介して導電膜 204 と電気的に接続されている。

10

【0389】

絶縁膜 791 上に、ゲート電極 103、ゲート絶縁膜 105、一対の電極 113g、113h、ゲート電極 119 を有するトランジスタ 200 が形成される。トランジスタ 200 は、実施の形態 1 乃至実施の形態 5 に示すトランジスタを適宜用いることができる。ここでは、トランジスタ 200 として、図 28 に示すトランジスタを示す。

【0390】

絶縁膜 121 は、トランジスタ 200 および絶縁膜 206 上に形成される。絶縁膜 121 は、実施の形態 1 に示す絶縁膜 121 を適宜用いることができる。

20

【0391】

絶縁膜 121 上に絶縁膜 123 が形成されている。絶縁膜 123 は、実施の形態 1 に示した絶縁膜 123 と同様の材料および方法で形成することができる。また、絶縁膜 123 および絶縁膜 121 に形成された開口にプラグ 127b が形成されている。プラグ 127b は電極 113h と電気的に接続している。

【0392】

絶縁膜 123 およびプラグ 127b 上に、平坦化絶縁膜として絶縁膜 215 が形成されている。絶縁膜 215 としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (LOW-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜 215 を形成してもよい。

30

【0393】

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基 (例えばアルキル基やアリール基) やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0394】

絶縁膜 215 の形成方法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法)、印刷法 (スクリーン印刷、オフセット印刷等) などを用いればよい。絶縁膜 215 の焼成工程と他の熱処理工程を兼ねることで、効率よく半導体装置を作製することが可能となる。

40

【0395】

また、絶縁膜 215 は、実施の形態 1 に示した絶縁膜 123 と同様の材料および方法で形成し、その後、絶縁膜 215 に CMP 处理を施してもよい。

【0396】

また、絶縁膜 215 上にプラグ 216 が形成され、絶縁膜 215 に形成された開口で、プラグ 127b と電気的に接続している。

【0397】

50

ゲート電極 751 は、導電膜 203 と電気的に接続されている。また、トランジスタ 750 が有する n 型不純物領域 755 の一方は、トランジスタ 770 (図 20 (B) 参照。) と電気的に接続され、n 型不純物領域 755 の他方は、配線 SL (図 20 (B) 参照。) と電気的に接続されている。また、電極 113h は、配線 BL (図 20 (B) 参照。) と電気的に接続され、電極 113g はノード FN (図 20 (B) 参照。) と電気的に接続され、ゲート電極 119 は配線 WWL (図 20 (B) 参照。) と電気的に接続され、ゲート電極 103 は配線 BGL (図 20 (B) 参照。) と電気的に接続されている。

【0398】

ここで、トランジスタ 750 のチャネル領域が形成される領域の半導体材料と、トランジスタ 200 のチャネル領域が形成される領域の半導体材料は、異なる禁制帯幅を持つ材料とすることが望ましい。例えば、トランジスタ 200 のチャネル領域が形成される領域の半導体材料に酸化物半導体を用いる場合、トランジスタ 750 のチャネル領域が形成される領域の半導体材料に酸化物半導体以外の半導体材料を用いることが好ましい。例えば、結晶性シリコンなどの、酸化物半導体以外の半導体材料を用いたトランジスタは、酸化物半導体を用いたトランジスタよりも高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い電気特性により長時間の電荷保持を可能とする。

【0399】

例えば、トランジスタのチャネル領域が形成される領域の半導体材料に結晶性シリコンを用いた場合、チャネル領域が形成される領域の半導体材料に酸化物半導体を用いたトランジスタよりも高速動作が可能となる。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0400】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるるのはいうまでもない。また、特段の説明がない限り、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0401】

トランジスタ 200 は、チャネル領域が形成される領域の半導体材料に酸化物半導体を用いたトランジスタである。トランジスタ 200 は、オフ電流が小さいため、この特性を用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置を実現することができるため、消費電力を十分に低減することができる。

【0402】

また、図 20 (A) に示すように、トランジスタ 750 を形成する基板上にトランジスタ 200 および容量素子 230 を形成することができるため、半導体装置の集積度を高めることができる。

【0403】

図 20 (B) にメモリセル 760 の回路図を示す。メモリセル 760 は、トランジスタ 200、トランジスタ 750、容量素子 230、トランジスタ 770 を有する。

【0404】

トランジスタ 200 のチャネルが形成される領域は酸化物半導体膜を有している。したがって、トランジスタ 200 はオフ電流が極めて低い (オフ抵抗が極めて高い) という特性を有する。トランジスタ 200 はデータの書き込みの際にオンとなることから書き込みトランジスタとも呼ばれる。トランジスタ 200 は N 型または P 型のトランジスタであるが、以下では N 型であるとして説明する。

【0405】

トランジスタ 200 は、デュアルゲート構造であり、一方ゲートは配線 WWL に電気的に接続される。配線 WWL は書き込みワード線として機能することができる。また、他方のゲートは配線 BGL に電気的に接続される。なお、他方ゲートは、常に一定の電位に保持される構造であってもよい。

10

20

30

40

50

【0406】

トランジスタ200のソースおよびドレインの一方は配線BLに電気的に接続される。配線BLはビット線として機能することができる。

【0407】

トランジスタ200のソースおよびドレインの他方は容量素子230の一方の電極に電気的に接続される。容量素子230の他方の電極は配線CLに電気的に接続される。また、トランジスタ200のソースおよびドレインの他方はトランジスタ750のゲートに電気的に接続される。

【0408】

なお、配線CLの電位を変動させることにより、トランジスタ750のゲート（ノードFN）の電位が変動する。配線CLは容量線とも呼ばれる。10

【0409】

トランジスタ750はP型のトランジスタである。トランジスタ750のチャネルが形成される領域は酸化物半導体、シリコンなど、様々な材料を用いることができる。トランジスタ750のソースおよびドレインの一方は、トランジスタ770のソースまたはドレインの一方へ接続される。トランジスタ750のソースおよびドレインの他方は配線SLに電気的に接続される。

【0410】

トランジスタ770のソースおよびドレインの他方は配線BLに電気的に接続される。トランジスタ770のゲートは配線RWLに電気的に接続される。トランジスタ770は、データの読み出しの際に、トランジスタ750と配線BLとを導通させるためのもので、選択トランジスタとも呼ばれる。20

【0411】

配線SLはソース線または電源線として機能することができる。配線SLは一定の電位に保持されることが好ましい。ただし、電源の遮断投入の際に電位の変動があっても構わない。

【0412】

図20(B)のメモリセル760において、データはノードFNの電位として保持される。トランジスタ200のオフ抵抗が十分に高ければ、かなりの長期にわたってデータを保持することができる。理論的には、データの保持期間は、ノードFNとその他のノードとの間のすべての容量（容量素子230を含む）と、ノードFNとその他のノードとのすべての抵抗（トランジスタ200のオフ抵抗を含む）とによって決定される。30

【0413】

例えば、容量が 30 fF 、抵抗が 1×10^{22} であれば、時定数は9.5年であるので、10年後には、ノードFNの電位（と基準となる電位との差）は当初の35%程度まで低下している。このように電位が低下した場合でも、データの読み出しを誤らない読み出し方法が求められる。

【0414】

以下、図29を用いて、メモリセル760へのデータの書き込み動作およびメモリセル760からのデータの読み出し動作を説明する。なお、トランジスタ750、トランジスタ770のしきい値は0未満かつ、-VDDより大きいものとする。40

【0415】

<書き込み動作>

データの書き込みは、トランジスタ200をオンとした際に、ビット線である配線BLの電位をデータに応じたものにすることでおこなわれる。基本的にはDRAMへのデータの書き込み方法と同様である。トランジスタ200は、トランジスタ750やトランジスタ770とはしきい値等が異なるので、ここでは、トランジスタ200をオンとするとには、そのゲートの電位（配線WWLの電位）を V_{OS_H} 、トランジスタ200をオフとするとには、そのゲートの電位を V_{OS_L} とする、なお、 $V_{OS_L} = GND$ （ $< VDD$ ）でもよい。

【0416】

ここでは、データ”0”（二値のうちの一）を書き込むときには配線B Lの電位をGND、データ”1”（二値のうちの他）を書き込むときには配線B Lの電位をVDDとする。図29の時間T1で配線WWLの電位が上昇をはじめ、トランジスタ200がオンとなる。その結果、ノードFNの電位は、データに応じたものとなる。例えば、データ”0”を書き込む場合は、GNDに、データ”1”を書き込む場合は、VDDになる。時間T2に配線WWLの電位が低下しはじめ、トランジスタ200がオフとなり、書き込みは終了する。なお、トランジスタ200がオフとなる際に、トランジスタ200のゲート（および配線WWL）とノードFNとの間の容量結合によって、ノードFNの電位が若干降下する。

10

【0417】

なお、書き込みの際、配線B Lと配線S Lの間に電流が流れないようにするために好ましい。例えば、配線B Lと配線S Lの間の電位差をなくしてもよい。すなわち、配線S Lの電位を配線B Lと同様、データに応じて変動させるとよい。

【0418】

より効果的な方法は、配線RWLの電位をトランジスタ770がオフとなるような電位とすることである。ここでは、配線B L、配線S Lの電位はGND以上VDD以下とする。したがって、配線RWLの電位をVDDとすれば、トランジスタ770がオフとなる。なお、本実施の形態では配線S Lの電位は、スタンバイ期間以外は、VDDに維持されるとするが、その他の電位でもよい。

20

【0419】

<保持動作>

データの保持の際には、トランジスタ200をオフとする。図29の時間T3から時間T4が、電源が遮断された状態でのデータを保持している期間（スタンバイ期間）を示す。なお、スタンバイ期間では、すべての配線の電位が同一（ここでは、GND）となる。ここで、ノードFNの電位がGNDより高かった場合には、ノードFNの電位は徐々に低下する。

【0420】

データ”0”が書き込まれていた場合には、ノードFNの電位はGNDに近い値であるので、変動は問題とならない。しかし、データ”1”が書き込まれていた場合には、当初は、VDDに近い値であるが、時間の経過とともに低下する。電位の低下分をVとする。つまり、データ保持期間後のノードFNの電位（トランジスタ750のゲートの電位）は（VDD - V）である。上記の条件では、保持の期間が1年程度であれば、電位の低下は10%程度であるが、10年後だと、上記のように当初の35%まで低下してしまう。すなわち、 $V = 0.65 \times VDD$ 、である。ここでは、データ保持を保証する期間経過後に、ノードFNの電位がもっとも低下する場合には、（VDD - V_{MAX}）になるとする。

30

【0421】

<読み出し動作>

データを読み出す動作は、配線B Lと配線S Lの電位を異なるものとし、その後、トランジスタ770をオンとすることで、トランジスタ750のソースとドレイン間に電流が流れるか否かで判断する。ノードFNの電位により、トランジスタ750の導通状態が異なることで、書き込まれていたデータを判断できる。

40

【0422】

具体的には、配線RWLの電位を適切な値（ここではVDD）としてトランジスタ770をオフとし、また、配線S Lの電位はVDDとする。配線B Lを適切な電位（ここではGND）にプリチャージしたのち、浮遊状態にする。そして、配線CLの電位を適切な値（ここでは、ただし、GND < VDD）とする。

【0423】

この直前まで、データ”0”が書き込まれていた場合には、ノードFNの電位はGND

50

に近い値であるが、配線 C L の電位が G N D から 上昇したことにより、容量素子 2 3 0 を介した容量結合により、電位はほぼ となる。また、データ " 1 " が書き込まれていた場合には、ノード F N の電位はほぼ (V D D - V + - G N D) となる。その後、時間 T 5 に、配線 R W L の電位を適切な値 (ここでは G N D) としてトランジスタ 7 7 0 をオンとする。

【 0 4 2 4 】

ここで、データが正しく読み出されるためには、データ " 0 " が書き込まれていた場合には、トランジスタ 7 5 0 はオンであり、配線 B L の電位が G N D から V D D まで上昇することが求められ、データ " 1 " が書き込まれていた場合には、オフであり、配線 B L の電位が G N D のままであることが求められる。

10

【 0 4 2 5 】

このためには、トランジスタ 7 5 0 のしきい値を V t h とすると、 $V_{t h} < V_{D D} + V_{t h}$ 、 $V_{D D} - V_{t h} - G N D \leq V_{D D} + V_{t h}$ 、という 2 つの不等式を満たすことが求められる。すなわち、 $G N D + V_{t h} \leq G N D + V_{M A X} + V_{t h} \leq V_{D D} + V_{t h}$ である。

【 0 4 2 6 】

例えば、 $V_{D D} = + 1 . 8 [V]$ 、 $G N D = 0 [V]$ 、 $V_{t h} = - 0 . 5 [V]$ 、 $V_{M A X} = 1 . 2 [V]$ とするとき、 $0 . 7 [V] < 1 . 3 [V]$ とすればよい。あるいは、 $V_{D D} = + 0 . 9 [V]$ 、 $G N D = 0 [V]$ 、 $V_{t h} = - 0 . 4 [V]$ 、 $V_{M A X} = 0 . 6 [V]$ とするとき、 $0 . 2 [V] < 0 . 5 [V]$ とすればよい。

20

【 0 4 2 7 】

なお、 は要求される範囲内の任意の値とできるが、 V D D と G N D の平均値 (V D D / 2 、ともいう) 、あるいは、 V D D と G N D の差を N 等分したものと G N D との和 (V D D / N 、ともいう、ただし、 N = 3 、 4 、 5 、 ...) を用いてもよい。前者の例では、 V D D / 2 は 0 . 9 [V] であり、後者の例では、 V D D / 3 は、 0 . 3 [V] である。いずれも要求される数値範囲内にある。

【 0 4 2 8 】

このようにスタンバイ期間において、ノード F N の電位が、当初より 6 0 % 以上低下する場合 (当初の電位の 4 0 % 以下である場合) には、読み出し時に配線 C L の電位を適度に上昇させることにより、ノード F N の電位を上昇させることが好ましい。

30

【 0 4 2 9 】

なお、データ " 1 " のときに当初書き込んだ電位が V D D であるのに、配線 C L に出力される電位は G N D である。このようにデータが反転されて出力されることに注意する必要がある。

【 0 4 3 0 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合 (ただし、電位は固定されていることが望ましい) であっても、長期にわたって記憶内容を保持することが可能である。

40

【 0 4 3 1 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【 0 4 3 2 】

50

以上のように、微細化および高集積化を実現し、かつ高い電気的特性を付与された半導体装置を提供することができる。

【0433】

本実施の形態に示す構成および方法などは、他の実施の形態および実施例に示す構成および方法などと適宜組み合わせて用いることができる。

【0434】

(実施の形態7)

本実施の形態では、本発明の一態様の表示装置の構成例について説明する。

【0435】

<構成例>

図30(A)は、本発明の一態様の表示装置の上面図であり、図30(B)は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図30(C)は、本発明の一態様の表示装置の画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0436】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0437】

アクティブマトリクス型表示装置のプロック図の一例を図30(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、および第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

【0438】

図30(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

【0439】

<液晶表示装置>

また、画素の回路構成の一例を図30(B)に示す。ここでは、VA型液晶表示装置の画素に適用することができる画素回路を示す。

【0440】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【0441】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるように分離されている。一方、データ線とし

10

20

30

40

50

て機能するソース電極またはドレイン電極 714 は、トランジスタ 716 とトランジスタ 717 で共通に用いられている。トランジスタ 716 とトランジスタ 717 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

【0442】

トランジスタ 716 と電気的に接続する第1の画素電極と、トランジスタ 717 と電気的に接続する第2の画素電極の形状について説明する。第1の画素電極と第2の画素電極の形状は、スリットによって分離されている。第1の画素電極はV字型に広がる形状を有し、第2の画素電極は第1の画素電極の外側を囲むように形成される。

【0443】

トランジスタ 716 のゲート電極はゲート配線 712 と接続され、トランジスタ 717 のゲート電極はゲート配線 713 と接続されている。ゲート配線 712 とゲート配線 713 に異なるゲート信号を与えてトランジスタ 716 とトランジスタ 717 の動作タイミングを異ならせ、液晶の配向を制御できる。

10

【0444】

また、容量配線 710 と、誘電体として機能するゲート絶縁膜と、第1の画素電極または第2の画素電極と電気的に接続する容量電極とで保持容量を形成してもよい。

【0445】

マルチドメイン構造は、一画素に第1の液晶素子 718 と第2の液晶素子 719 を備える。第1の液晶素子 718 は第1の画素電極と対向電極とその間の液晶層とで構成され、第2の液晶素子 719 は第2の画素電極と対向電極とその間の液晶層とで構成される。

20

【0446】

なお、図30(B)に示す画素回路は、これに限定されない。例えば、図30(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0447】

<有機EL表示装置>

画素の回路構成の他の一例を図30(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

【0448】

30

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0449】

図30(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の酸化物半導体膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

40

【0450】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0451】

画素 720 は、スイッチング用トランジスタ 721、駆動用トランジスタ 722、発光素子 724 および容量素子 723 を有している。スイッチング用トランジスタ 721 は、ゲート電極が走査線 726 に接続され、第1の電極(ソース電極およびドレイン電極の一方)が信号線 725 に接続され、第2の電極(ソース電極およびドレイン電極の他方)が駆動用トランジスタ 722 のゲート電極に接続されている。駆動用トランジスタ 722 は、ゲート電極が容量素子 723 を介して電源線 727 に接続され、第1の電極が電源線 7

50

27に接続され、第2の電極が発光素子724の第1の電極（画素電極）に接続されている。発光素子724の第2の電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電気的に接続される。

【0452】

スイッチング用トランジスタ721および駆動用トランジスタ722は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示装置を提供することができる。

【0453】

発光素子724の第2の電極（共通電極728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0454】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0455】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧Vthを加えた値以上の電圧をかける。

【0456】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧Vthを加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電極より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0457】

なお、画素回路の構成は、図30(C)に示す画素構成に限定されない。例えば、図30(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【0458】

図30で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0459】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することが出来る。表示素子、表示装置、発光素子または発光装置は、例えば、EL（エレクトロルミネッセンス）素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LE

10

20

30

40

50

Dなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラー・デバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、MIRASOL(登録商標)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。
10 電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)またはSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、
20 RAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0460】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0461】

(実施の形態8)

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図31を用いて説明を行う。

【0462】

図31に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続された表示パネル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などは、設けられない場合もある。

【0463】

本発明の一態様の半導体装置は、例えば、表示パネル8006に用いることができる。

【0464】

上部カバー8001および下部カバー8002は、タッチパネル8004および表示パネル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0465】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル8006に重畳して用いることができる。また、表示パネル8006の対向基板(封止基板)に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル8006の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネルとすることも可能である。

【0466】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

10

20

30

40

50

【 0 4 6 7 】

フレーム 8 0 0 9 は、表示パネル 8 0 0 6 の保護機能の他、プリント基板 8 0 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 9 は、放熱板としての機能を有していてもよい。

【 0 4 6 8 】

プリント基板 8 0 1 0 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 1 1 による電源であってもよい。バッテリー 8 0 1 1 は、商用電源を用いる場合には、省略可能である。

【 0 4 6 9 】

また、表示モジュール 8 0 0 0 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けててもよい。

【 0 4 7 0 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 4 7 1 】**(実施の形態 9)**

本実施の形態では、本発明の一態様に係る半導体装置を用いた電子機器の一例について説明する。

【 0 4 7 2 】

本発明の一態様に係る半導体装置を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパソコンコンピュータ、ワードプロセッサ、DVD (D i g i t a l V e r s a t i l e D i s c) などの記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チーンソー等の工具、煙感知器、透析装置等の医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベーター、エスカレーター、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置等の産業機器が挙げられる。また、燃料を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車 (EV) 、内燃機関と電動機を併せ持ったハイブリッド車 (HEV) 、プラグインハイブリッド車 (PHEV) 、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

【 0 4 7 3 】

図 2 1 (A) は携帯型ゲーム機の一例であり、筐体 9 0 1 、筐体 9 0 2 、表示部 9 0 3 、表示部 9 0 4 、マイクロフォン 9 0 5 、スピーカー 9 0 6 、操作キー 9 0 7 、スタイルス 9 0 8 等を有する。なお、図 2 1 (A) に示した携帯型ゲーム機は、2つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。表示部 9 0 3 、 9 0 4 等に含まれるトランジスタに実施の形態 1 乃至実施の形態 4 のトランジスタを用いることができる。また、図示されないCPU、記憶装置等に実施の形態 1 乃至実施の形態 4 のトランジスタを用いることができる。

【 0 4 7 4 】

10

20

30

40

50

図21(B)は携帯データ端末の一例であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。第1表示部913、第2表示部914等に含まれるトランジスタに実施の形態1乃至実施の形態4のトランジスタを用いることができる。また、図示されないCPU、記憶装置等に実施の形態1乃至実施の形態4のトランジスタを用いることができる。

【0475】

図21(C)はノート型パーソナルコンピュータの一例であり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。表示部922等に含まれるトランジスタに実施の形態1乃至実施の形態4のトランジスタを用いることができる。また、図示されないCPU、記憶装置等に実施の形態1乃至実施の形態4のトランジスタを用いることができる。

【0476】

図21(D)は電気冷凍冷蔵庫の一例であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。図示されないCPU、記憶装置等に実施の形態1乃至実施の形態4のトランジスタを用いることができる。

【0477】

図21(E)はビデオカメラの一例であり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。表示部943等に含まれるトランジスタに実施の形態1乃至実施の形態4のトランジスタを用いることができる。また、図示されないCPU、記憶装置等に実施の形態1乃至実施の形態4のトランジスタを用いることができる。

【0478】

図21(F)は自動車の一例であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。図示されないCPU、記憶装置等に実施の形態1乃至実施の形態4のトランジスタを用いることができる。

【0479】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【実施例1】

【0480】

本実施例では、酸化物半導体膜に酸素イオンを注入した場合の、深さ方向における注入した酸素の濃度を計算し、その結果を示す。なお、本実施例では、酸素イオンが注入された酸化物半導体膜として、図1に示す、ゲート絶縁膜105に接する酸化物半導体膜107を想定している。

【0481】

なお、計算には、TRIM(Transport of Ion in Matter)

10

20

30

40

50

)を用いた。

【0482】

計算に用いた試料は、シリコンウェハ上に、酸化シリコン膜および酸化物半導体膜が順に積層された構造である。

【0483】

酸化シリコン膜は、元素の原子数比が Si : O = 1 : 2 であり、膜厚を 100 nm、密度を 2.2 g / cm³とした。酸化物半導体膜は、元素の原子数比が In : Ga : Zn : O = 1 : 3 : 4 : 10 の I G Z O 膜であり、膜厚を 20 nm、密度を 5.91 g / cm³とした。また、イオン種としては、原子量が 16 の酸素原子イオンを用い、ドーズ量を 1 × 10¹⁶ ions / cm²とした。

10

【0484】

イオン種を注入する際の加速電圧をそれぞれ、2.5 kV、5 kV、7.5 kVとして計算した結果を図 22 に示す。図 22 において、酸化シリコン膜を SiO₂ と示し、酸化物半導体膜を I G Z O (134) と示す。

【0485】

図 22 において、横軸は深さ方向、縦軸は酸素濃度を示す。また、実線は加速電圧を 2.5 kV としたときの計算結果であり、破線は加速電圧を 5 kV としたときの計算結果であり、一点鎖線は加速電圧を 7.5 kV としたときの計算結果である。

【0486】

この結果から、イオン種の加速電圧と酸化物半導体膜の膜厚を制御することで、酸化シリコン膜および酸化物半導体膜の界面における注入された酸素の濃度を制御することができる。

20

【実施例 2】

【0487】

本実施例では、酸化物半導体膜に酸素イオンを注入した場合の、深さ方向における注入した酸素濃度を測定し、その結果を示す。なお、本実施例では、酸素イオンが注入された酸化物半導体膜として、図 1 に示す、ゲート絶縁膜 105 に接する酸化物半導体膜 107 を想定している。

【0488】

<試料の作製方法>

30

本実施例では、本発明の一態様に係るトランジスタに含まれる酸化物半導体膜を含む試料 A 1 および試料 A 2 をそれぞれ作製した。

【0489】

<試料 A 1 >

試料 A 1 は、シリコンウェハ上に、厚さ 100 nm の酸化シリコン膜を形成し、酸化シリコン膜上に、厚さ 20 nm の第 1 の酸化物半導体膜を形成し、第 1 の酸化物半導体膜に酸素イオンを注入した後、第 1 の酸化物半導体膜上に厚さ 50 nm の第 2 の酸化物半導体膜を形成して、作製された。なお、試料 A 1 においては ¹⁸O⁺ の酸素原子イオンを注入した。

【0490】

40

酸化シリコン膜は、スパッタリング法を用いて形成した。

【0491】

第 1 の酸化物半導体膜は、スパッタリングターゲットを In : Ga : Zn = 1 : 3 : 4 (原子数比) のターゲットとし、流量 11 % の酸素をスパッタリングガスとしてスパッタリング装置の反応室内に供給し、反応室内の圧力を 0.7 Pa に制御し、0.5 kW の直流電力を供給したスパッタリング法により形成した。なお、第 1 の酸化物半導体膜を形成する際の基板温度を 200 とした。

【0492】

次に、イオン注入法を用いて、第 1 の酸化物半導体膜に ¹⁸O⁺ の酸素原子イオンを添加した。この時の加速電圧を 5 kV、ドーズ量を 1 × 10¹⁶ ions / cm² とした。

50

【0493】

次に、第1の酸化物半導体膜上に、第2の酸化物半導体膜を形成した。スパッタリングターゲットをIn:Ga:Zn = 1:1:1(原子数比)のIGZOターゲットとし、流量33%の酸素をスパッタリングガスとしてスパッタリング装置の反応室内に供給し、反応室内の圧力を0.7Paに制御し、0.5kWの直流電力を供給したスパッタリング法により形成した。なお、第1の酸化物半導体膜を形成する際の基板温度を300とした。

【0494】

<試料A2>

試料A2は、シリコンウェハ上に、厚さ100nmの酸化シリコン膜を形成し、酸化シリコン膜上に、厚さ20nmの第1の酸化物半導体膜を形成し、第1の酸化物半導体膜に酸素イオンを注入した後、第1の酸化物半導体膜上に厚さ50nmの第2の酸化物半導体膜を形成して、作製された。なお、試料A2においては $^{18}\text{O}_2^+$ の酸素分子イオンを注入した。

【0495】

試料A2は、イオン注入法を用いて、試料A1の酸素原子の代わりに、 $^{18}\text{O}_2^+$ の酸素分子イオンを第1の酸化物半導体膜に添加した。この時の加速電圧を5kV、ドーズ量を 5×10^{15} ions/cm²とした。

【0496】

次に、試料A1および試料A2において、深さ方向における注入した酸素濃度のSIMSを用いて測定した。なお、酸素濃度をシリコンウェハ側から測定した。測定結果を図23に示す。

【0497】

図23において、酸化シリコン膜をSiO₂と示し、第1の酸化物半導体膜をIGZO(134)と示し、第2の酸化物半導体膜をIGZO(111)と示す。また、図23において、横軸は深さ方向、縦軸は $^{18}\text{O}^+$ 濃度を示す。なお、横軸において、酸化シリコン膜と、第1の酸化物半導体膜の界面を0nmとする。また、破線は試料A1の測定結果であり、実線は試料A2の測定結果である。また、酸化シリコン膜中の $^{18}\text{O}^+$ の濃度は、酸化シリコン膜に含まれる ^{18}O の天然存在比(0.2%)から得られた濃度である。

【0498】

図23より、試料A1において、酸化シリコン膜に $^{18}\text{O}^+$ が注入されているが、試料A2において、酸化シリコン膜に注入されている $^{18}\text{O}^+$ の濃度は非常に低い。このことから、酸素原子イオンより酸素分子イオンを用いることで、より浅い領域に酸素原子イオンを注入することが可能である。

【実施例3】**【0499】**

本実施例では、酸化物半導体膜に酸素イオンを注入し、加熱処理した場合の、深さ方向における注入した酸素濃度を測定し、その結果を示す。なお、本実施例では、酸素イオンが注入された酸化物半導体膜として、図1に示す、ゲート絶縁膜105に接する酸化物半導体膜107を想定している。

【0500】

<試料の作製方法>

本実施例では、実施例2で作製した試料A2と、試料A2を加熱処理した試料B1乃至試料B3をそれぞれ作製した。

【0501】

<試料B1>

実施例2に示すように試料A2を形成した後、450℃窒素雰囲気において1時間加熱処理した後、450℃酸素雰囲気において1時間加熱処理した。

【0502】

<試料B2>

10

20

30

40

50

実施例 2 に示すように試料 A 2 を形成した後、500 窒素雰囲気において 1 時間加熱処理した後、500 酸素雰囲気において 1 時間加熱処理した。

【0503】

<試料 B 3 >

実施例 2 に示すように試料 A 2 を形成した後、550 窒素雰囲気において 1 時間加熱処理した後、550 酸素雰囲気において 1 時間加熱処理した。

【0504】

次に、試料 A 2 、および試料 B 1 乃至試料 B 3 において、深さ方向における注入した¹₈O⁺ の濃度を S I M S を用いて測定した。なお、酸素濃度をシリコンウェハ側から測定した。測定結果を図 24 に示す。

10

【0505】

図 24 において、酸化シリコン膜を SiO₂ と示し、第 1 の酸化物半導体膜を I G Z O (134) と示し、第 2 の酸化物半導体膜を I G Z O (111) と示す。また、図 24 において、横軸は深さ方向、縦軸は¹₈O⁺ 濃度を示す。なお、横軸において、酸化シリコン膜と、第 1 の酸化物半導体膜の界面を 0 nm とする。また、破線は試料 A 2 の測定結果であり、細実線は試料 B 1 の測定結果であり、太実線は試料 B 2 の測定結果であり、一点鎖線は試料 B 3 の測定結果である。また、酸化シリコン膜中の¹₈O⁺ の濃度は、酸化シリコン膜に含まれる¹₈O の天然存在比 (0.2%) から得られた濃度である。

【0506】

図 24 より、試料 B 1 乃至試料 B 3 に示すように、第 1 の酸化物半導体膜に注入した¹₈O⁺ は、加熱処理の温度が高くなるにつれ、第 2 の酸化物半導体膜に拡散していることが分かる。

20

【0507】

このことから、第 1 の酸化物半導体膜に酸素を添加した後、第 1 の酸化物半導体膜上に第 2 の酸化物半導体膜を形成し、加熱処理を行うことで、第 1 の酸化物半導体膜に含まれる酸素を第 2 の酸化物半導体膜に拡散させることが可能であることが分かる。

【実施例 4】

【0508】

本実施例では、実施の形態 6 および図 20 に示すメモリセルを作製した後、メモリセルに含まれるトランジスタの電気特性を測定し、その結果を示す。

30

【0509】

<トランジスタの作製方法 >

はじめに、トランジスタの作製工程について説明する。ここでは、代表的に、メモリセルに含まれるトランジスタ 200 の作製方法について説明する。なお、図 20 に示すトランジスタ 200 の構造の詳細を、図 28 を用いて説明する。本実施例では、図 2 、図 3 、図 7 、および図 28 を参照して、トランジスタの作製方法を説明する。

【0510】

図 2 (A) に示すように、基板 101 上に絶縁膜 (図示しない。) を形成し、該絶縁膜上にゲート電極 103 を形成した。次に、絶縁膜およびゲート電極 103 上に絶縁膜 104 を形成し、絶縁膜 104 上に酸化物半導体膜 106 を形成した。次に、酸化物半導体膜 106 に酸素 108 を添加して、図 2 (B) に示すように、酸素が添加された酸化物半導体膜 106a を形成した。

40

【0511】

基板 101 としては、シリコンウェハを用いた。

【0512】

また、塩化水素を含む酸素雰囲気において、950 で基板 101 を加熱して、基板 101 表面に、絶縁膜として厚さ 400 nm の塩素を含む酸化シリコン膜を形成した。

【0513】

また、絶縁膜上に厚さ 50 nm の In - Ga - Zn 酸化窒化物膜をスパッタリング法により形成した後、In - Ga - Zn 酸化窒化物膜上にリソグラフィ工程によりマスクを形

50

成し、In-Ga-Zn酸化窒化物膜を選択的にエッティングして、ゲート電極103を形成した。この後、マスクを除去した。

【0514】

なお、In-Ga-Zn酸化窒化物膜の成膜に用いたスパッタリング条件としては、In:Ga:Zn=1:1:1のIn-Ga-Zn-Oターゲットを用い、スパッタガスとして窒素を圧力40Paのチャンバーに導入し、基板温度を500とし、供給電力を0.5kWとした。

【0515】

絶縁膜104として、プラズマCVD法を用いて、厚さ100nmの酸化窒化シリコン膜を形成した。

10

【0516】

酸化物半導体膜106として、スパッタリング法により、厚さ20nmのIn-Ga-Zn酸化物膜を形成した。このときのスパッタリング条件としては、In:Ga:Zn=1:3:4のターゲットを用い、スパッタガスとして11%の酸素を圧力0.7Paのチャンバーに導入し、基板温度を200とし、供給電力を0.5kWとした。

【0517】

イオン注入法を用い、ドーズ量が 1×10^{16} ions/cm²、加速電圧を5kVとして、酸素108として酸素分子イオンを添加した。

【0518】

次に、図2(B)に示すように、酸素が添加された酸化物半導体膜106a上に酸化物半導体膜109を形成した。

20

【0519】

酸化物半導体膜109として、スパッタリング法により、厚さ20nmのIn-Ga-Zn酸化物膜を形成した。このときのスパッタリング条件としては、In:Ga:Zn=1:1:1のターゲットを用い、スパッタガスとして33%の酸素を圧力0.7Paのチャンバーに導入し、基板温度を300とし、供給電力を0.5kWとした。

【0520】

つぎに、加熱処理を行って、酸化物半導体膜106aに含まれる酸素の一部を酸化物半導体膜109に移動させ、図2(C)に示すように、酸素欠損が低減された酸化物半導体膜106bおよび酸化物半導体膜109aを形成した。

30

【0521】

ここでは、450の窒素雰囲気で1時間加熱処理を行った後、450の酸素雰囲気で1時間加熱処理を行った。

【0522】

次に、図7(A)に示すように、酸化物半導体膜109a上に導電膜112を形成した。

【0523】

ここでは、導電膜112として、スパッタリング法により厚さ50nmのタングステン膜を形成した。

【0524】

次に、導電膜112上にリソグラフィ工程によりマスクを形成した後、絶縁膜104、酸化物半導体膜106a、酸化物半導体膜109a、および導電膜112をエッティングして、図7(B)に示すように、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜110、および導電膜113を形成した。

40

【0525】

次に、ゲート絶縁膜105、酸化物半導体膜107、酸化物半導体膜110、および導電膜113上に、リソグラフィ工程によりマスクを形成した後、ゲート絶縁膜105の一部をエッティングして、図20(B)に示すトランジスタ750のゲート電極751の一部を露出する。次に、図28に示すように、一対の電極113g、113hを形成する。また、導電膜113をエッティングして、一対の電極113c、113dを形成する。この際

50

、酸化物半導体膜 111 が形成される。

【0526】

ここでは、厚さ 70 nm のタンゲステン膜をスパッタリング法により形成した後、タンゲステン膜上にリソグラフィ工程によりマスクを形成し、タンゲステン膜を選択的にエッチングして、一对の電極 113g、113h を形成した。この後、マスクを除去した。

【0527】

次に、一对の電極 113a、113b、および酸化物半導体膜 111 上に、酸化物半導体膜、絶縁膜、および導電膜を積層した後、導電膜上にリソグラフィ工程によりマスクを形成した後、酸化物半導体膜、絶縁膜、および導電膜をエッチングして、図 28 に示すように、酸化物半導体膜 115、ゲート絶縁膜 117、およびゲート電極 119 を形成した。
10

。

【0528】

酸化物半導体膜 115 となる酸化物半導体膜として、スパッタリング法により、厚さ 5 nm の In - Ga - Zn 系酸化物膜を形成した。このときのスパッタリング条件としては、In : Ga : Zn = 1 : 3 : 2 のターゲットを用い、スパッタガスとして 33 % の酸素を圧力 0.4 Pa のチャンバーに導入し、基板温度を 200 とし、供給電力を 0.5 kW とした。

【0529】

ゲート絶縁膜 117 となる絶縁膜として、プラズマ CVD 法により厚さ 20 nm の酸化窒化シリコン膜を形成した。
20

【0530】

ゲート電極 119 となる導電膜として、スパッタリング方法により厚さ 30 nm の窒化チタン膜と、厚さ 135 nm のタンゲステン膜を積層して形成した。

【0531】

次に、絶縁膜 121 を形成した後、加熱処理を行い、絶縁膜 123 を形成した。

【0532】

絶縁膜 121 として、スパッタリングにより厚さ 150 nm の酸化アルミニウム膜を形成した。

【0533】

加熱処理の条件として、450 の酸素雰囲気で 1 時間の加熱を用いた。
30

【0534】

絶縁膜 123 として、プラズマ CVD 法により、厚さ 300 nm の酸化窒化シリコン膜を形成した。

【0535】

次に、絶縁膜 121 および絶縁膜 123 上にリソグラフィ工程によりマスクを形成した後、絶縁膜 121 および絶縁膜 123 のそれぞれ一部をエッチングして、一对の電極 113a、113b の一部を露出した後、図 28 に示すプラグ 127a、127b を形成した。
。

【0536】

ここでは、プラグ 127a、127b として、スパッタリング法により、厚さ 50 nm のチタン膜と、厚さ 200 nm のアルミニウム膜と、厚さ 50 nm のチタン膜を積層して形成した。
40

【0537】

以上の工程により、トランジスタを作製した。なお、トランジスタのチャネル長を 0.8 μm とし、チャネル幅を 0.8 μm とした。

【0538】

<電気特性の測定結果>

次に、トランジスタの電気特性を測定した。はじめに、ストレス試験を行う前の電気特性（以下、初期特性と示す。）を測定した。ここでは、ソース - ドレイン間電圧（以下、ドレイン電圧という。）を 0.1 V、1.8 V とし、ソース - ゲート間電圧（以下、ゲー
50

ト電圧という。)を-3Vから+3Vまで変化させたときのソース-ドレイン間電流(以下、ドレイン電流という。)の変化特性、すなわち $I_d - V_g$ 特性を測定した。この結果を図25(A)に示す。

【0539】

次に、トランジスタのストレス試験を行った。ここでは、実施の形態6および図20に示すメモリセル760において、BTストレス試験を行った。

【0540】

ここで、BTストレス試験の一例であるゲートBTストレス試験の測定方法について説明する。はじめに、基板温度を任意の温度(以下、ストレス温度という。)に一定に維持し、トランジスタの初期特性における $I_d - V_g$ 特性を測定する。

10

【0541】

次に、基板温度をストレス温度に維持したまま、トランジスタのソース電極およびドレイン電極として機能する一対の電極を同電位とし、当該一対の電極とは異なる電位をゲート電極に一定時間(以下、ストレス時間という。)印加する。次に、基板温度をストレス温度に維持したまま、トランジスタの $I_d - V_g$ 特性を測定する。この結果、ゲートBTストレス試験前後の $I_d - V_g$ 特性における、しきい値電圧およびシフト値の差を、変動量として得ることができる。

【0542】

さらには、トランジスタのソース電極およびゲート電極として機能する一対の電極を同電位とし、当該電極とは異なる電位をドレイン電極に一定時間印加するストレス試験をドレインBTストレス試験という。

20

【0543】

ここでは、データ"1"またはデータ"0"保持動作に相当するストレス試験を行った。なお、データ"1"またはデータ"0"の書き込み動作と、データ"1"またはデータ"0"保持動作それぞれの動作において、図20(B)の配線に印加される電圧を表1に示す。

【0544】

【表1】

電圧	書き込み		保持	
	データ"1"	データ"0"	データ"1"	データ"0"
WWL(V)	+3.3	+3.3	0	0
BL(V)	+1.8	0	0	0
FN(V)	0または+1.8		+1.8	0
BGL(V)		-5		

30

【0545】

なお、メモリセル760においては、書き込み動作より保持動作の方が、トランジスタ200が受けるストレスが大きいため、ここでは保持動作に相当するストレス試験を行った。

40

【0546】

表1に示すように、図20に示すトランジスタ200は、データ"1"の保持動作の場合、配線BGLが接続するゲート電極103に負の電圧が印加される。この状態のストレス試験を以下、-BGBTと示す。さらに、ノードFNに接続する電極113gに正の電圧が印加される。この状態のストレス試験を以下+DBTと示す。

【0547】

また、データ"0"の保持動作の場合、配線BGLが接続するゲート電極103に負の電圧が印加される。この状態のストレス試験を以下、-BGBTと示す。

50

【0548】

データ”1”の保持動作を想定したストレス試験において、図20に示すトランジスタ200のゲート電極119の電圧(V_g)を0V、電極113gの電圧(V_d)を+1.8V、電極113hの電圧(V_s)を0V、ゲート電極103の電圧(V_{bg})を-5Vとし、基板温度を85 $^{\circ}\text{C}$ 、ストレス時間を1時間として、-BGBTおよび+DBTのストレス試験を行った。このうち、トランジスタの $I_d - V_g$ 特性を測定した。初期特性およびストレス試験後の $I_d - V_g$ 特性を図25(B)に示す。

【0549】

データ”0”の保持動作を想定したストレス試験において、図20に示すトランジスタ200のゲート電極119の電圧(V_g)を0V、電極113gの電圧(V_d)を0V、電極113hの電圧(V_s)を0V、ゲート電極103の電圧(V_{bg})を-5Vとし、基板温度を85 $^{\circ}\text{C}$ 、ストレス時間を1時間として、-BGBTのストレス試験を行った。このうち、トランジスタの $I_d - V_g$ 特性を測定した。初期特性およびストレス試験後の $I_d - V_g$ 特性を図25(C)に示す。10

【0550】

また、データ”1”の保持動作を想定したストレス試験、およびデータ”0”の保持動作を想定したストレス試験それぞれにおける、しきい値電圧の変動量(ΔV_{th})およびシフト値(ΔV_{shift})の変動量を図26に示す。

【0551】

なお、本明細書におけるしきい値電圧およびシフト値について説明する。しきい値電圧(V_{th})は、ゲート電圧(V_g [V])を横軸、ドレイン電流の平方根($I_d^{1/2}$ [A $^{1/2}$])を縦軸としてプロットした $I_d - V_g$ 曲線において、曲線上の傾きが最大である点における接線と、 $I_d^{1/2} = 0$ の直線(すなわち V_g 軸)との交点におけるゲート電圧と定義する。なお、ここでは、ドレイン電圧 V_d を+1.8Vとして、しきい値電圧を算出する。20

【0552】

また、本明細書におけるシフト値(ΔV_{shift})は、ゲート電圧(V_g [V])を横軸、ドレイン電流(I_d [A])の対数を縦軸としてプロットした $I_d - V_g$ 曲線において、曲線上の傾きが最大である点における接線と、 $I_d = 1.0 \times 10^{-1/2}$ [A]の直線との交点におけるゲート電圧と定義する。なお、ここではドレイン電圧 V_d を+1.8Vとして、シフト値を算出する。30

【0553】

また、図25において、横軸は、ゲート電圧を表し、縦軸はドレイン電流を表す。また、図25(A)において、トランジスタ数を25とした。また、図25(B)および図25(C)において、一つのトランジスタにおいて、初期特性を破線で示し、ストレス試験後の $I_d - V_g$ 特性を実線で示す。

【0554】

図25(A)より、ノーマリオフ特性を有する電気特性が得られたことが分かった。また、図25(B)および図25(C)、並びに図26より、ストレス試験後におけるしきい値電圧の変動量およびシフト値の変動量がそれぞれ、小さいことが分かった。40

【実施例5】**【0555】**

本実施例では、酸化物半導体膜に酸素イオンを注入した場合の、深さ方向における注入した酸素濃度を計算し、その結果を示す。なお、本実施例では、酸素イオンが注入された酸化物半導体膜として、図1に示す、ゲート絶縁膜117に接する酸化物半導体膜115を想定している。

【0556】

なお、計算には、TRIMを用いた。

【0557】

計算に用いた試料は、シリコンウェハ上に、酸化シリコン膜、第1の酸化物半導体膜、

第2の酸化物半導体膜、および第3の酸化物半導体膜が順に積層された構造である。

【0558】

酸化シリコン膜は、元素の原子数比が Si : O = 1 : 2 であり、膜厚を 100 nm、密度を 2.2 g / cm³とした。第1の酸化物半導体膜は、元素の原子数比が In : Ga : Zn : O = 1 : 3 : 4 : 10 の IGZO 膜であり、膜厚を 20 nm、密度を 5.91 g / cm³とした。第2の酸化物半導体膜は、元素の原子数比が In : Ga : Zn : O = 1 : 1 : 1 : 4 の IGZO 膜であり、膜厚を 15 nm、密度を 6.24 g / cm³とした。第3の酸化物半導体膜は、元素の原子数比が In : Ga : Zn : O = 1 : 3 : 2 : 8 の IGZO 膜であり、膜厚を 5 nm、密度を 5.71 g / cm³とした。また、イオン種としては、原子量が 16 の酸素原子イオンを用い、ドーズ量を 1×10^{16} ions / cm² とした。10

【0559】

イオン種を注入する際の加速電圧をそれぞれ、2.5 kV、5 kV、7.5 kV、10 kV、15 kV として計算した結果を図27に示す。図27において、酸化シリコン膜を SiO₂ と示し、第1の酸化物半導体膜を IGZO (134) と示し、第2の酸化物半導体膜を IGZO (111) と示し、第3の酸化物半導体膜を IGZO (132) と示す。

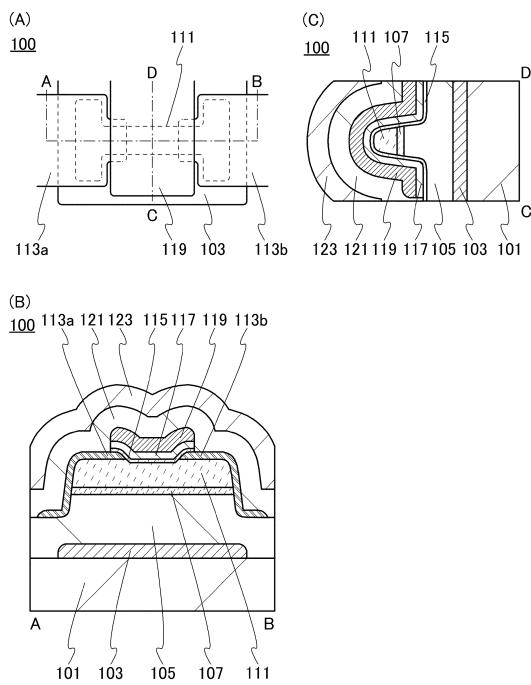
【0560】

図27において、横軸は深さ方向、縦軸は酸素濃度を示す。また、細実線は加速電圧を 2.5 kV としたときの計算結果であり、細破線は加速電圧を 5 kV としたときの計算結果であり、細一点鎖線は加速電圧を 7.5 kV としたときの計算結果であり、太実線は加速電圧を 10 kV としたときの計算結果であり、太破線は加速電圧を 15 kV としたときの計算結果である。20

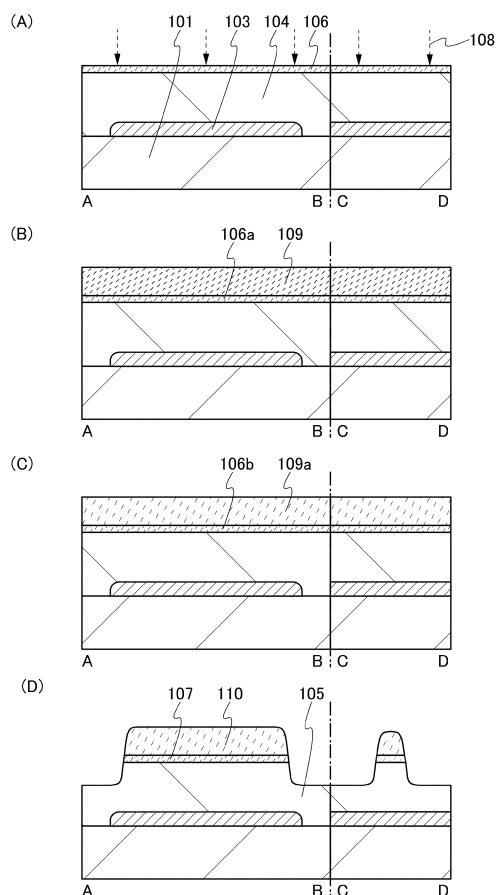
【0561】

この結果から、イオン種の加速電圧と酸化物半導体膜の膜厚を制御することで、酸化シリコン膜および酸化物半導体膜の界面における注入された酸素の濃度を制御することができる。また、実施例1乃至実施例4に示すように、酸化シリコン膜および酸化物半導体膜の界面における注入された酸素の濃度を制御することで、しきい値電圧の変動量およびシフト値の変動量の少ないトランジスタを作製することができる。

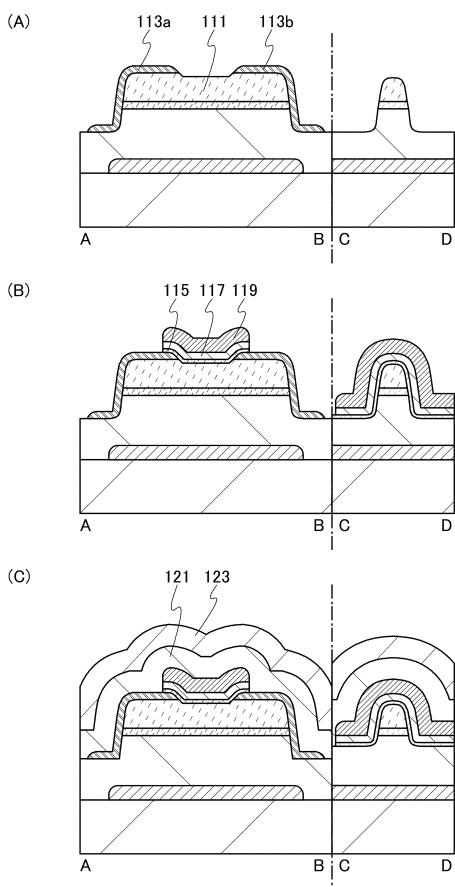
【図1】



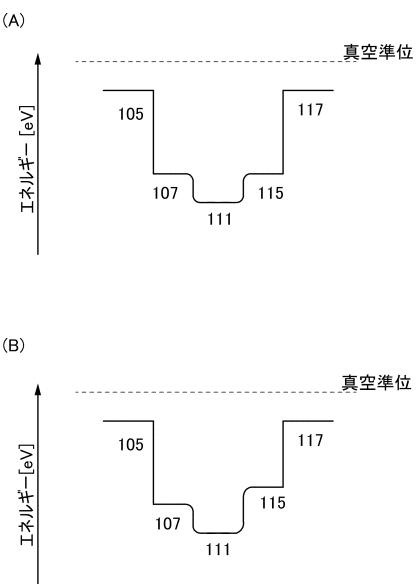
【図2】



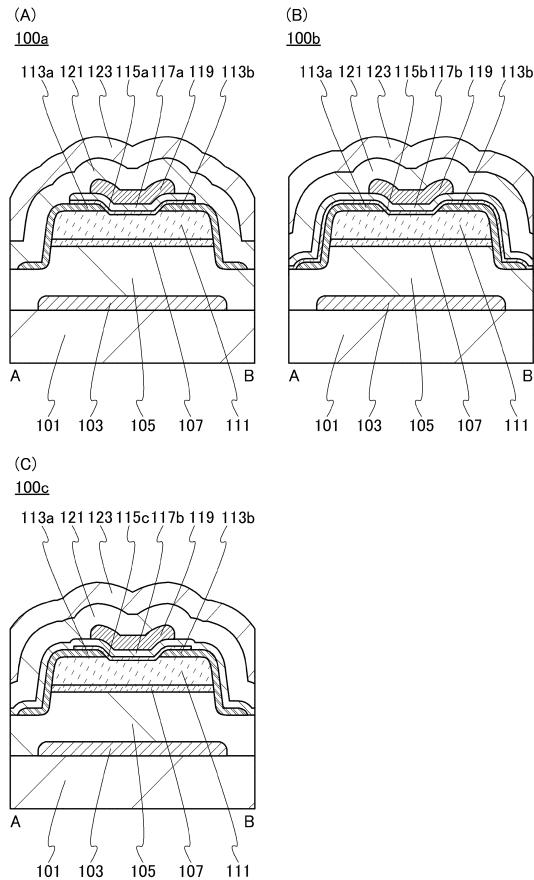
【図3】



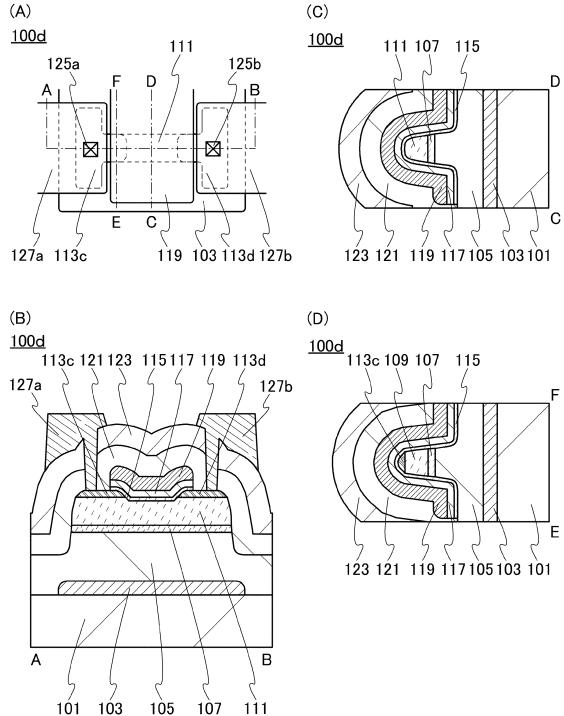
【図4】



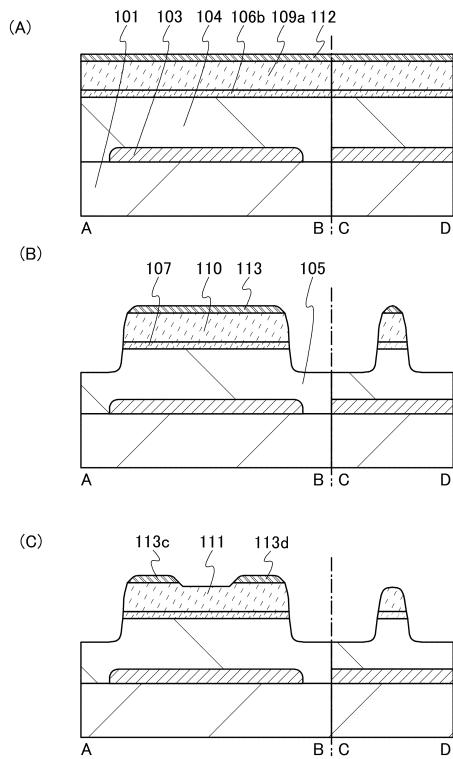
【図5】



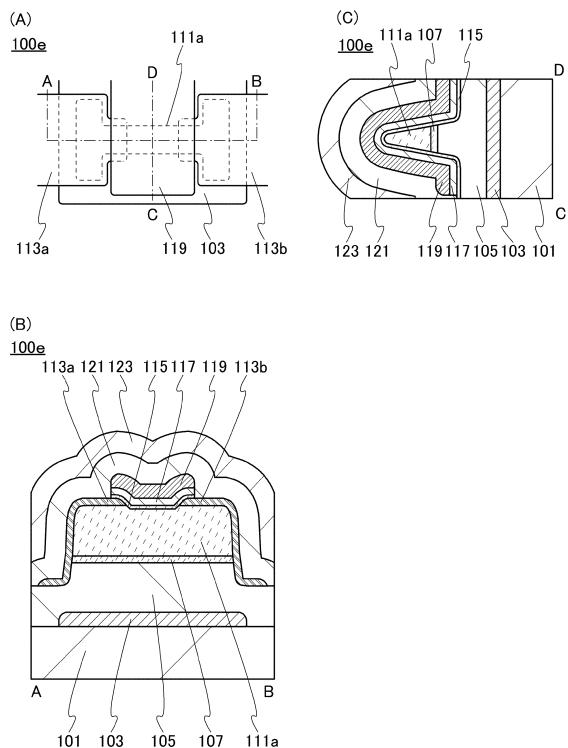
【図6】



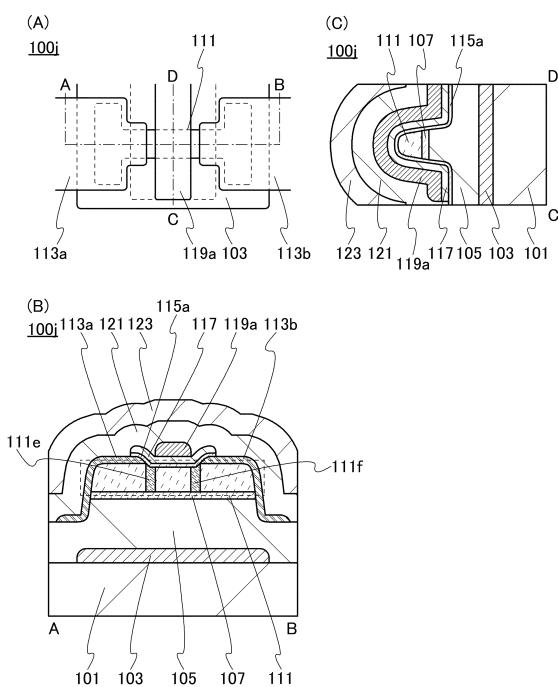
【図7】



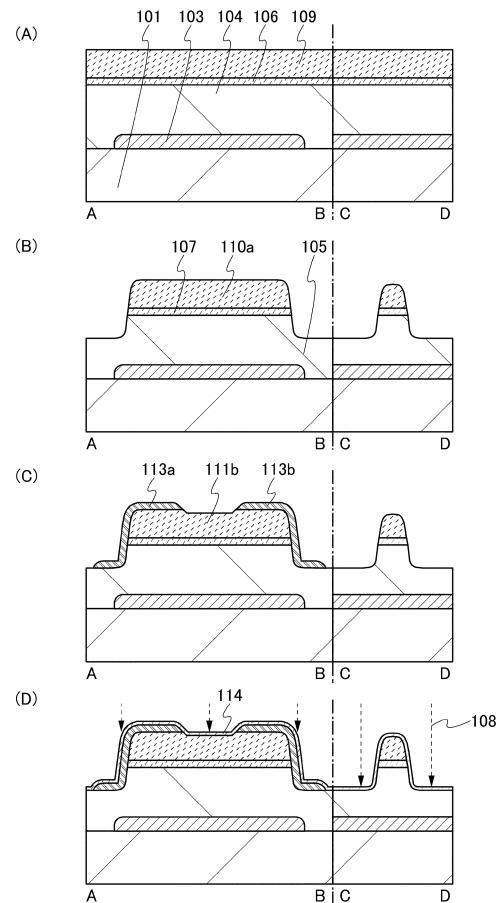
【図8】



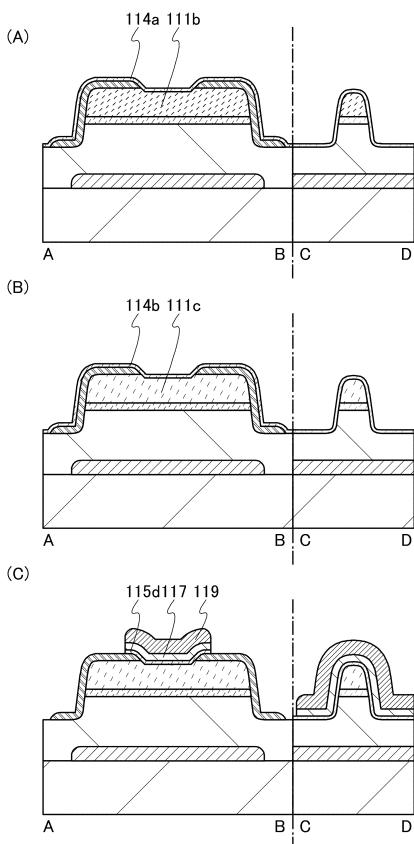
【図9】



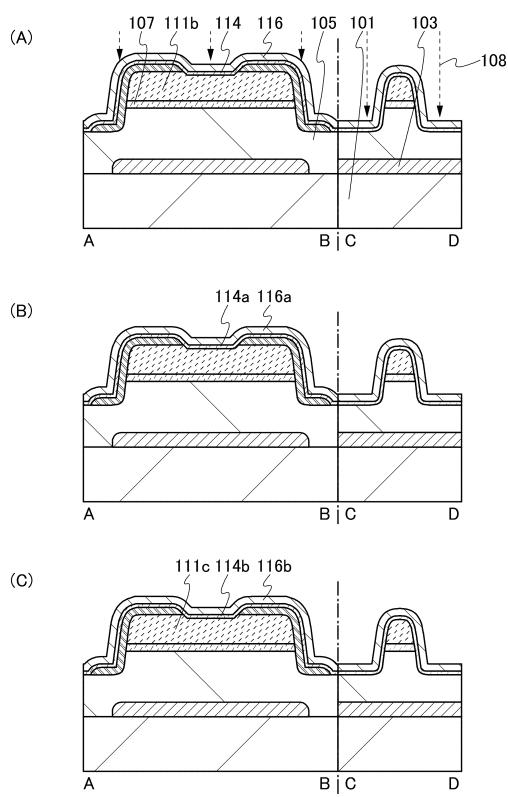
【図10】



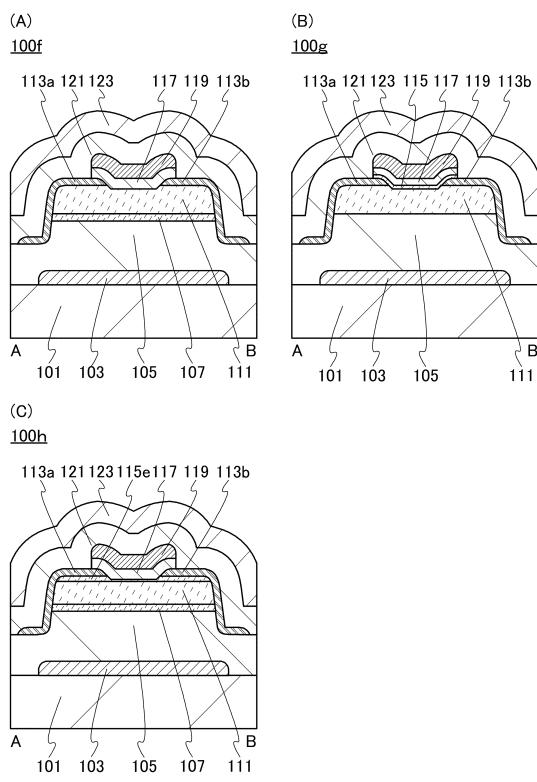
【図11】



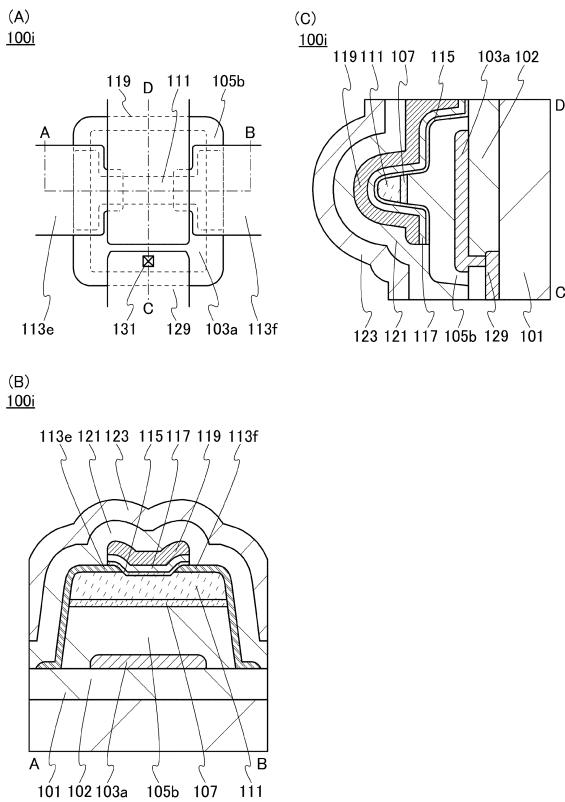
【図12】



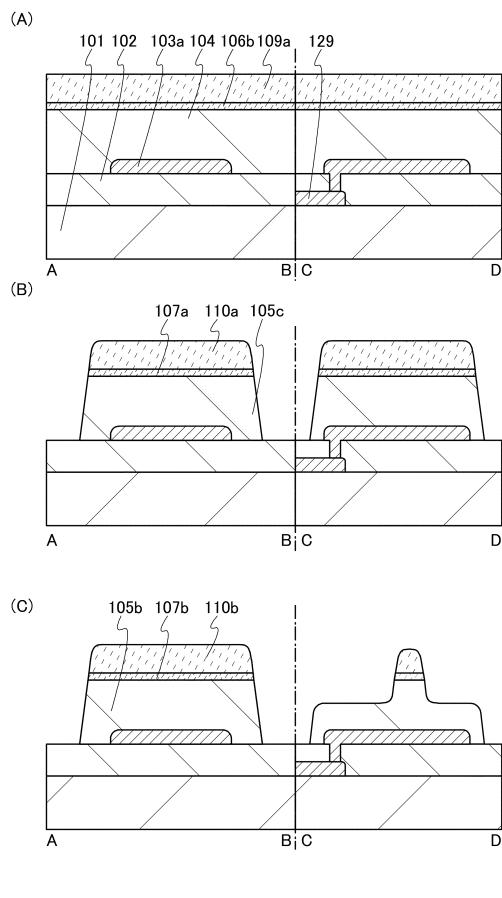
【図13】



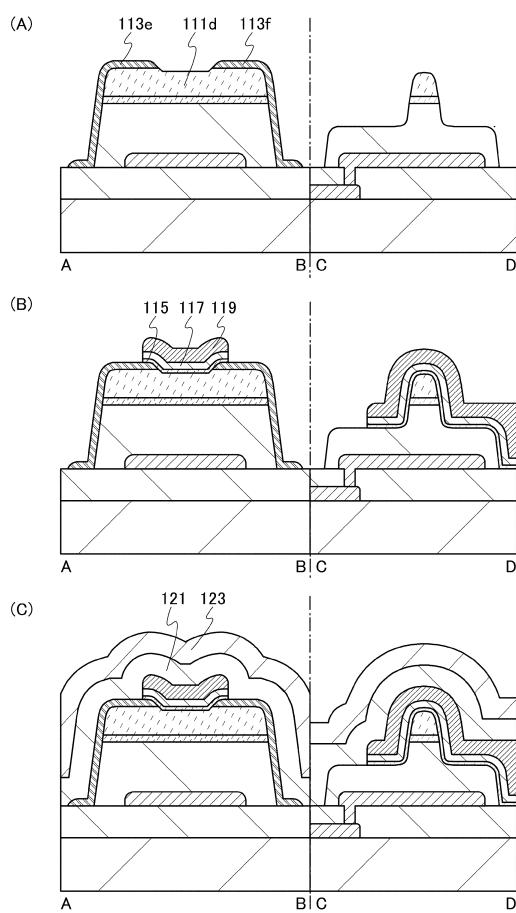
【図14】



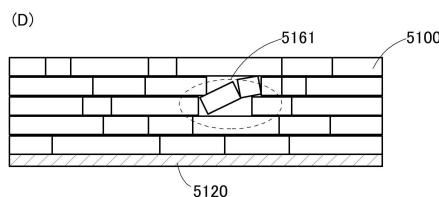
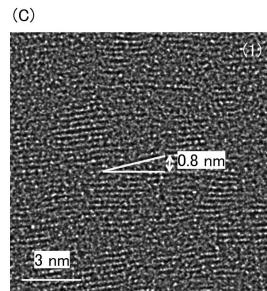
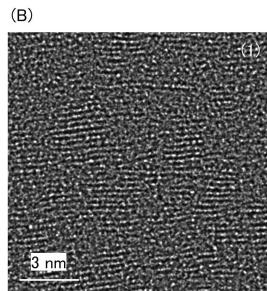
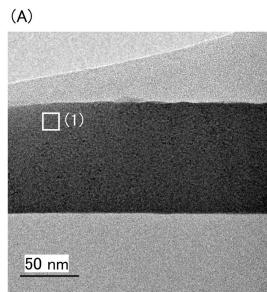
【図15】



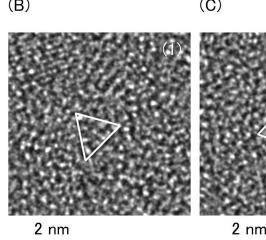
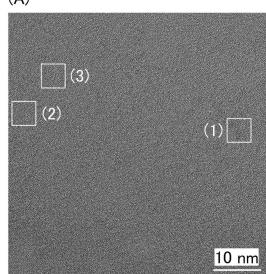
【図16】



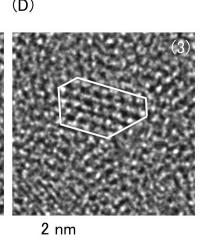
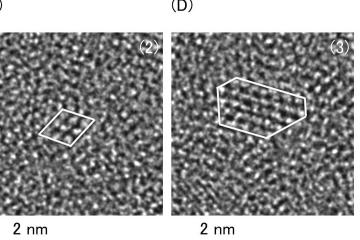
【図17】



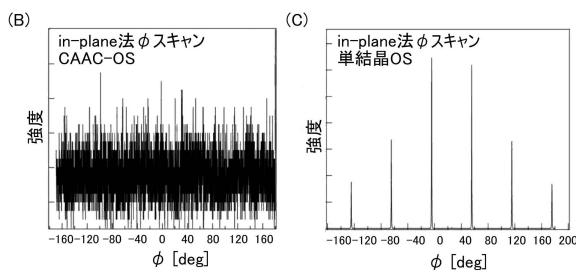
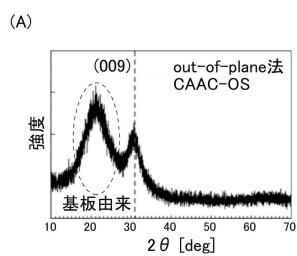
【図18】



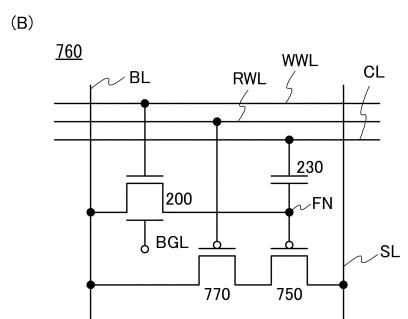
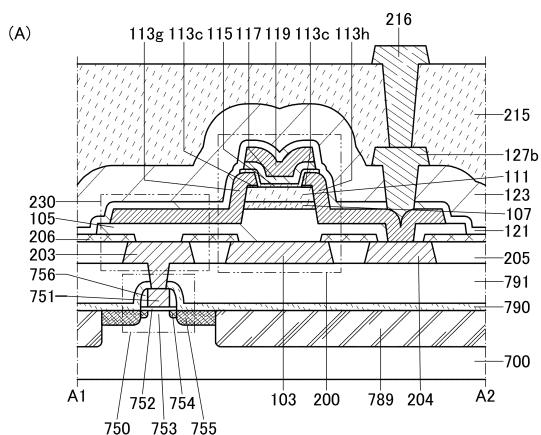
(C)



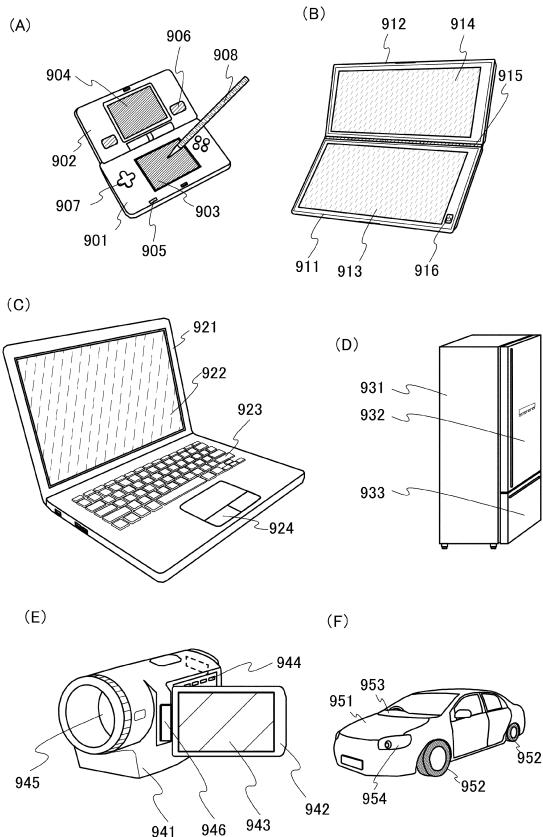
【図19】



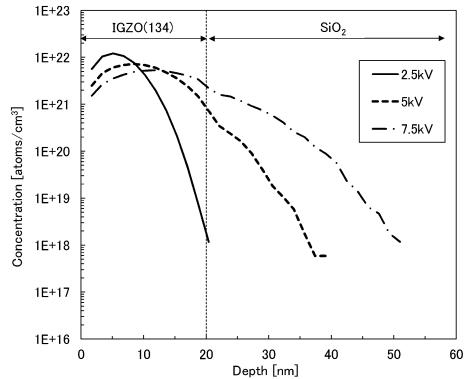
【図20】



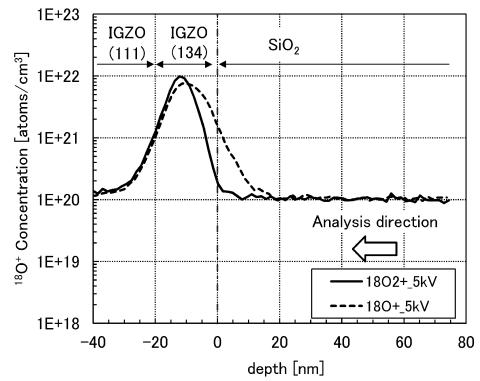
【図21】



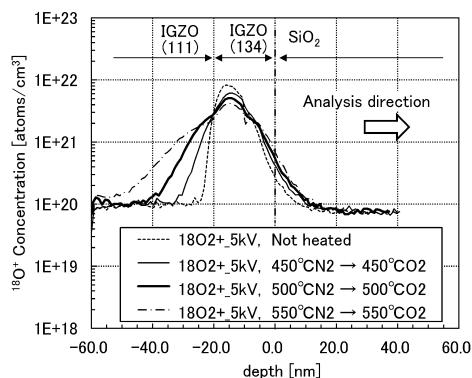
【図22】



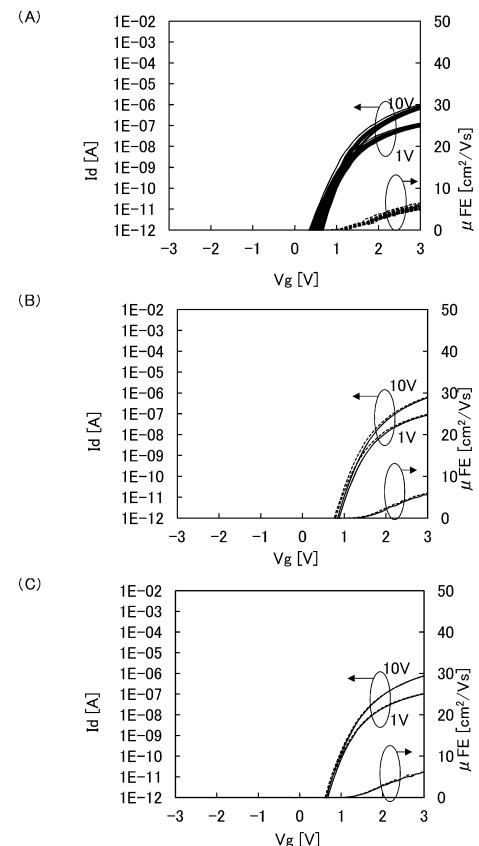
【図23】



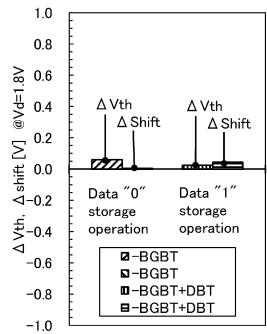
【図24】



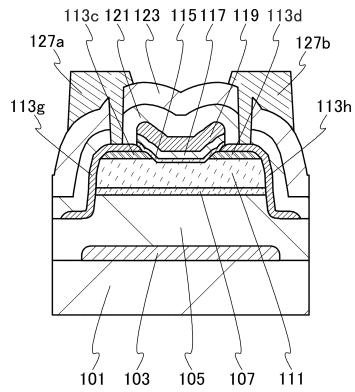
【図25】



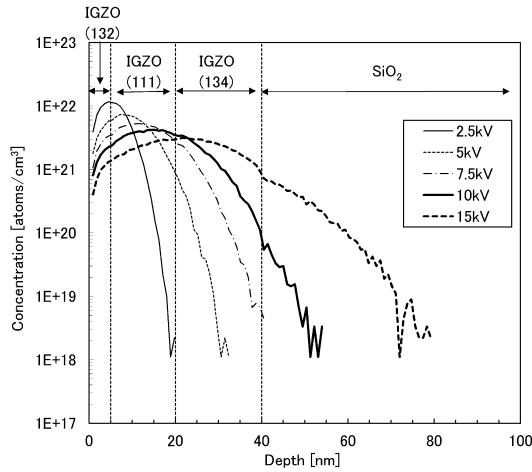
【図26】



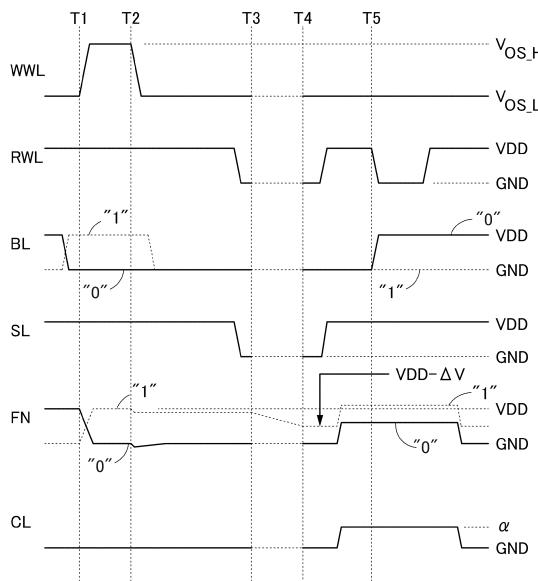
【図28】



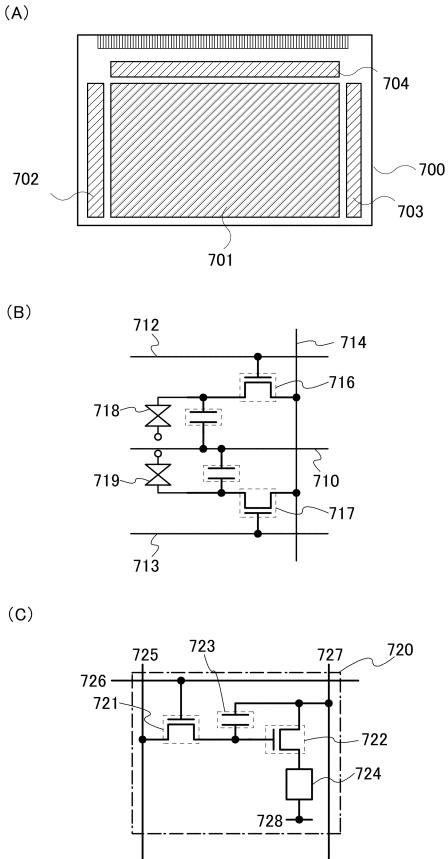
【図27】



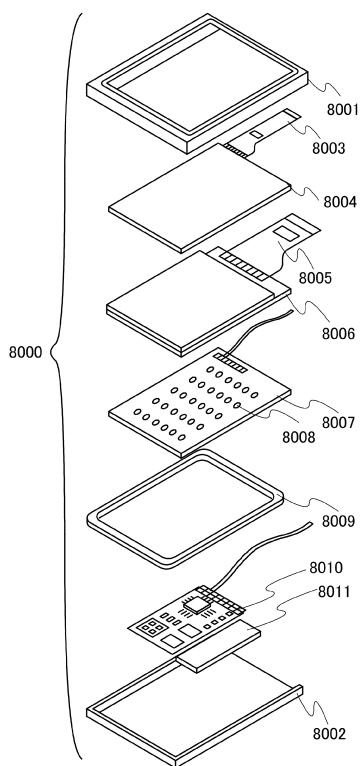
【図29】



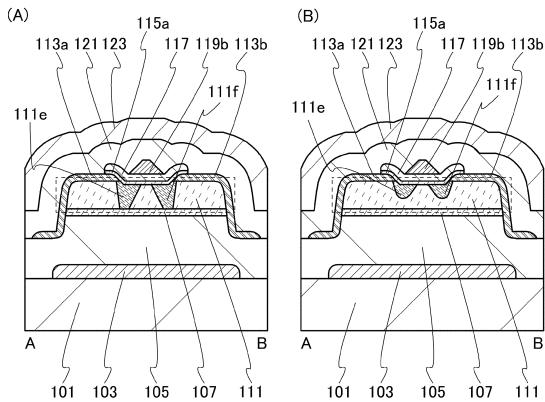
【図30】



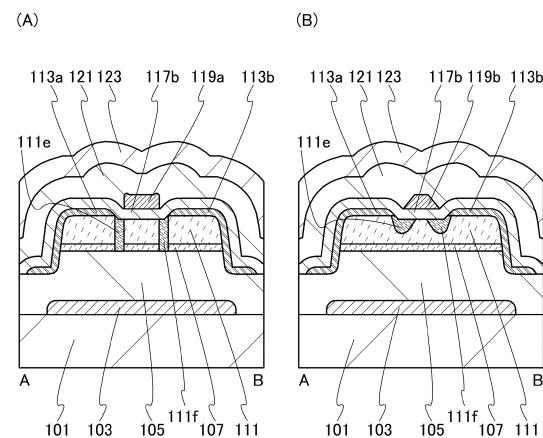
【図31】



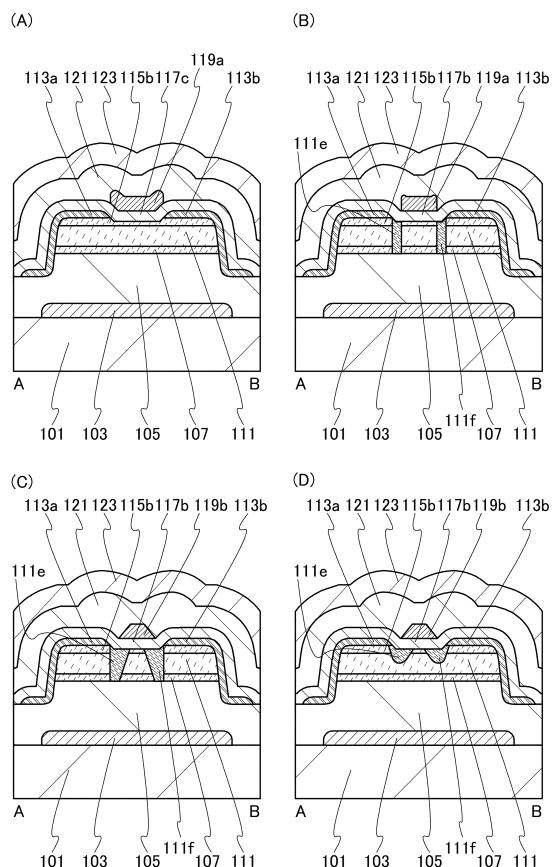
【図32】



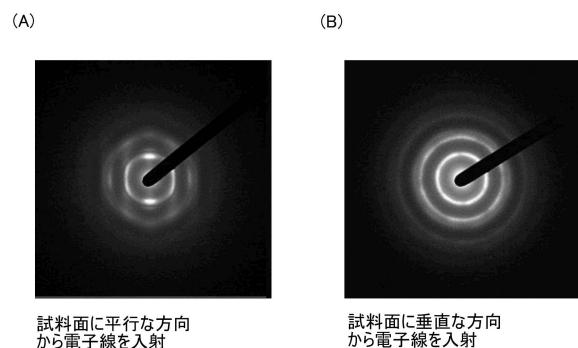
【図33】



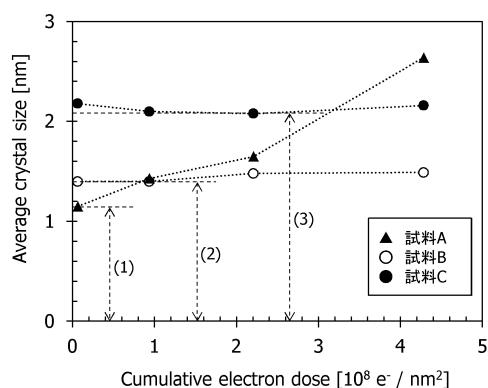
【図34】



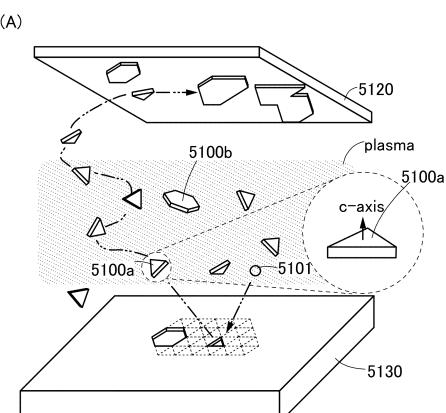
【図35】



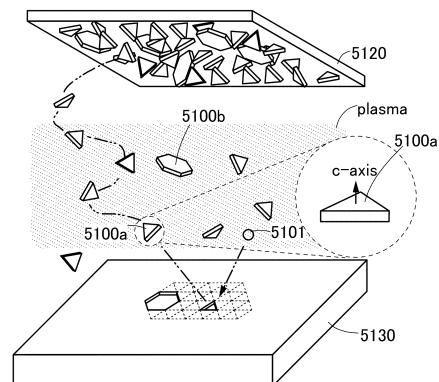
【図36】



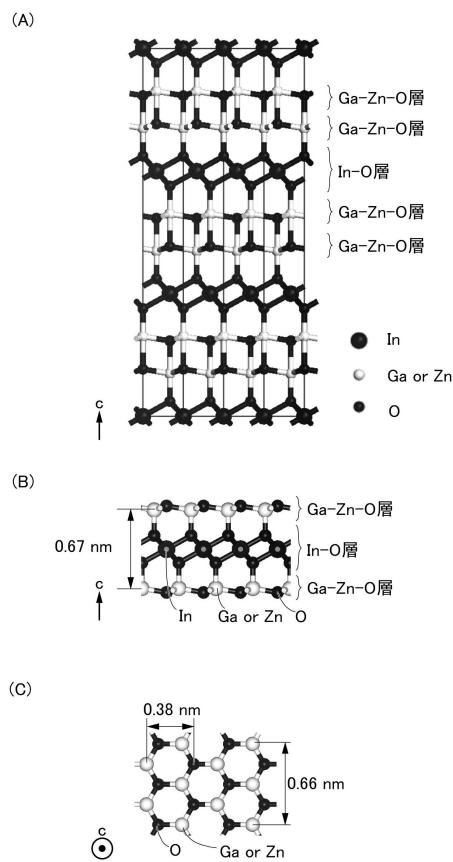
【図37】



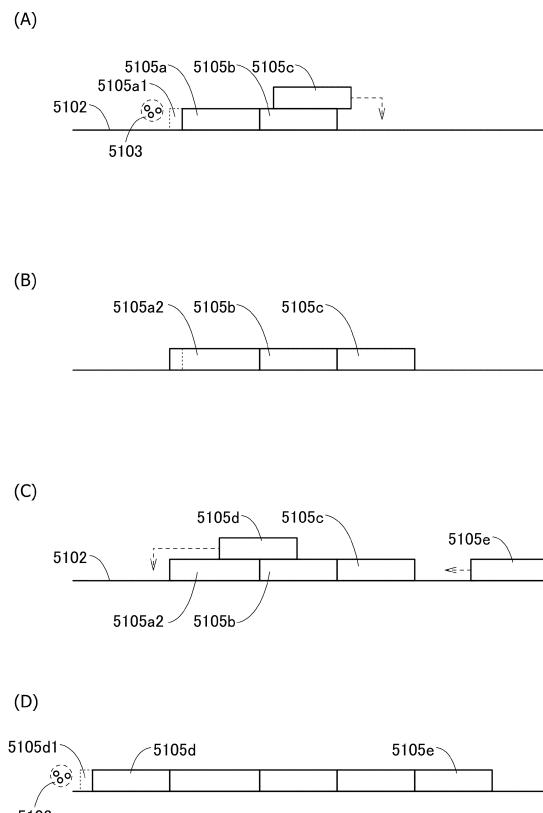
(B)



【図38】



【図39】



フロントページの続き

		F I		
H 0 1 L	21/8242	(2006.01)	H 0 1 L	21/28 3 0 1 B
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/108 3 2 1
G 0 2 F	1/1368	(2006.01)	G 0 2 F	1/1368
H 0 5 B	33/08	(2006.01)	H 0 5 B	33/08
H 0 1 L	51/50	(2006.01)	H 0 5 B	33/14 A
H 0 5 B	33/10	(2006.01)	H 0 5 B	33/10
			H 0 1 L	29/78 6 1 7 N
			H 0 1 L	29/78 6 1 8 G

(72)発明者 坂倉 真之
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 佐藤 裕平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 山根 靖正
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

(56)参考文献 特開2013-021315(JP, A)
米国特許出願公開第2012/0319183(US, A1)
特開2011-228695(JP, A)
米国特許出願公開第2011/0240990(US, A1)
特開2009-224404(JP, A)
特開2013-236066(JP, A)
米国特許出願公開第2013/0270562(US, A1)
特開2013-038399(JP, A)
米国特許出願公開第2013/0009219(US, A1)
特開2011-243971(JP, A)
米国特許出願公開第2011/0263082(US, A1)

(58)調査した分野(Int.Cl., DB名)

H 01L 29/786
H 01L 21/336