

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成23年6月2日(2011.6.2)

【公開番号】特開2010-20648(P2010-20648A)

【公開日】平成22年1月28日(2010.1.28)

【年通号数】公開・登録公報2010-004

【出願番号】特願2008-182099(P2008-182099)

【国際特許分類】

G 0 6 F 12/16 (2006.01)

【 F I 】

G 0 6 F 12/16 3 2 0 H

【手続補正書】

【提出日】平成23年4月13日(2011.4.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

互いに独立したストレージ手段を構成する複数の半導体不揮発性メモリを含む記憶部と、ホストの制御下で上記複数の半導体不揮発性メモリのそれぞれに対してアクセスを行うコントローラ部とがパッケージ内若しくは実装基板上に搭載された記憶装置であって、

上記記憶部は、

上記ホストとの間で入出力される記憶データを分担して受け持つ 2 以上の第 1 半導体不揮発性メモリと、

上記記憶データに対応した水平パリティビットを受け持つように構成された、上記 2 以上の半導体不揮発性メモリとは別の第 2 半導体不揮発性メモリと、を含み、

上記記憶データに対応した垂直パリティビットは上記複数の半導体不揮発性メモリのいずれかに格納されるように構成されてなり、

上記コントローラ部は、

上記記憶データを上記第 1 半導体不揮発性メモリのいずれか 2 つ以上に分散して格納する制御を行うとともに、

上記水平パリティビットを生成し上記第 2 半導体不揮発性メモリに格納する第 1 パリティ生成器と、

上記垂直パリティビットを生成し上記複数の半導体不揮発性メモリのいずれかに格納する第 2 パリティ生成器と、

上記水平パリティビットを用いる水平方向誤りビット特定部と、

上記垂直パリティビットを用いる垂直方向誤りビット特定部と、

上記水平方向及び垂直方向誤りビット特定部からの信号により上記記憶データの誤りビット訂正を行うビット訂正部とを有する、

記憶装置。

【請求項 2】

請求項 1 において、

上記記憶データを分担して受け持つ上記 2 以上の第 1 半導体不揮発性メモリと上記水平パリティビットを受け持つ上記第 2 半導体不揮発性メモリは、上記分担する記憶データと上記水平パリティビットとを R A I D 5 又は R A I D 6 に従って分散記録する、

記憶装置。

【請求項 3】

請求項 2 において、

上記半導体不揮発性メモリのそれぞれは、データ領域とそれに対応した管理領域を有し

、
上記管理領域は、それに対応したデータ領域に対するメモリアクセスの無効が記録され、上記メモリアクセスの無効が記録されないデータ領域及び管理領域において、かかるデータ領域に上記記憶データ若しくは水平パリティビットがそれぞれ分担して記憶され、管理領域に上記垂直パリティビットが記憶される、
記憶装置。

【請求項 4】

請求項 1 において、

上記記憶部は、さらに上記記憶データに対応した垂直パリティビットが格納されるように構成された上記第 1 及び第 2 の半導体不揮発性メモリとは別の第 3 半導体不揮発性メモリを含む構成の

記憶装置。

【請求項 5】

請求項 1 乃至 3 のいずれかにおいて、

上記半導体不揮発性メモリのそれぞれは、NAND 型フラッシュメモリチップで構成される、

記憶装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

上記記憶部及びコントローラ部は、ハードディスクドライブ装置に対応された外型サイズ及びコネクタピンを備えたパッケージに搭載され、ハードディスクドライブ装置との互換性記憶装置として上記ホストに接続可能に構成された

記憶装置。

【請求項 7】

互いに独立したストレージ手段を構成する複数の半導体不揮発性記憶媒体によって構成される記憶部と、ホストの制御下で上記記憶部に対するアクセスを行うコントローラ部とがパッケージ内若しくは実装基板上に搭載された記憶装置であって、

上記記憶部は、上記ホストとの間で入出力される記憶データが格納される 2 以上の第 1 半導体不揮発性記憶媒体と、上記第 1 半導体不揮発性記憶媒体とは別の第 2 半導体不揮発性記憶媒体と、を含み、

上記コントローラ部は、

上記ホストから転送される記憶データを上記第 1 半導体不揮発性記憶媒体のいずれか 2 つ以上のそれぞれのデータ領域に分散して格納する制御を行うとともに、

上記ホストから転送される記憶データに対応する水平パリティビットを生成し上記第 2 半導体不揮発性記憶媒体のデータ領域に格納する第 1 パリティ生成手段と、

上記ホストから転送される記憶データに対応する垂直パリティビットを生成し上記複数の半導体不揮発性記憶媒体のいずれかに格納する第 2 パリティ生成手段と、

上記水平パリティビットを用いる水平方向誤りビット特定手段と、

上記垂直パリティビットを用いる垂直方向誤りビット特定手段と、

上記水平方向及び垂直方向誤りビット特定手段それぞれからの信号により上記記憶データの誤りビット訂正を行うビット訂正手段とを備えてなる

記憶装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

上記コントローラ部は、さらに ATA 又は SCSI に対応したインターフェース回路およびコネクタを含み、ハードディスクドライブ装置互換性記憶装置として上記ホストに接続可能に構成されてなる

記憶装置。