

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

H01L 29/786 (2006.01)

H01L 29/41 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

[21] 申请号 200610149433.9

[43] 公开日 2007 年 10 月 31 日

[11] 公开号 CN 101064345A

[22] 申请日 2006.11.20

[21] 申请号 200610149433.9

[30] 优先权

[32] 2006. 4. 27 [33] KR [31] 38334/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴宰徽 朴永洙 车映官

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

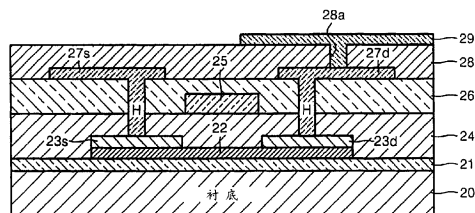
权利要求书 2 页 说明书 6 页 附图 9 页

[54] 发明名称

薄膜晶体管及其制造方法

[57] 摘要

本发明提供了一种薄膜晶体管 (TFT) 及其制造方法。该 TFT 包括: 衬底; 沟道, 形成于该衬底上; 源欧姆层和漏欧姆层, 形成于该沟道的两端上; 栅绝缘体, 覆盖该源欧姆层和漏欧姆层以及该沟道; 栅, 形成于该栅绝缘体上; ILD (层间电介质) 层, 覆盖该栅; 源电极和漏电极, 通过形成于该 ILD 层以及该栅绝缘体内的接触孔而接触该源欧姆层和漏欧姆层; 以及钝化层, 覆盖该源电极和漏电极。



1. 一种薄膜晶体管，包括：  
衬底；  
沟道，形成于该衬底上；  
源欧姆层和漏欧姆层，形成于该沟道的两端上；  
栅绝缘体，覆盖该源欧姆层和漏欧姆层以及该沟道；  
栅，形成于该栅绝缘体上；  
层间电介质层，覆盖该栅；  
源电极和漏电极，通过形成于该层间电介质层以及该栅绝缘体内的接触孔而接触该源欧姆层和漏欧姆层；以及  
钝化层，覆盖该源电极和漏电极。
2. 权利要求 1 所述的薄膜晶体管，其中氧化物层形成于该沟道的表面上。
3. 权利要求 2 所述的薄膜晶体管，其中接触该源欧姆层和漏欧姆层的该沟道的两个端部比该沟道的中心部分厚。
4. 权利要求 1 所述的薄膜晶体管，其中接触该源欧姆层和漏欧姆层的该沟道的两个端部比该沟道的中心部分厚。
5. 一种薄膜晶体管制造方法，包括：  
依次在衬底上形成硅沟道材料层和硅欧姆材料层；  
图案化该硅沟道材料层和该硅欧姆材料层以形成硅沟道以及接触该硅沟道的两端的源欧姆层和漏欧姆层；  
形成覆盖该源欧姆层和漏欧姆层的栅绝缘体；  
在该栅绝缘体上形成与该硅沟道相对应的栅；  
在该栅绝缘体上形成层间电介质层以覆盖该栅；  
形成贯穿该源欧姆层和漏欧姆层上的该层间电介质层和栅绝缘体的接触孔；  
形成通过该层间电介质层上的接触孔分别接触该源欧姆层和漏欧姆层的源电极和漏电极；以及  
形成覆盖该层间电介质层上的该源电极和漏电极的钝化层。
6. 权利要求 5 所述的方法，其中该硅沟道材料层和该硅欧姆材料层的

图案化包括:

在该硅欧姆材料层上形成光敏抗蚀剂掩模,该光敏抗蚀剂掩模包括对应于该源欧姆层和漏欧姆层的第一部分以及置于该源欧姆层和漏欧姆层之间的第二部分,其中该第二部分比该第一部分薄;

除去未被该光敏抗蚀剂掩模覆盖的该硅欧姆材料层的部分以及该硅沟道材料层的部分;

灰化该光敏抗蚀剂掩模的整个表面,被灰化的厚度至少对应于该光敏抗蚀剂掩模的第二部分,从而除去该光敏抗蚀剂掩模的第二部分;

除去未被该光敏抗蚀剂掩模的第一部分覆盖的该硅欧姆材料层的一部分;以及

除去该光敏抗蚀剂掩模。

7. 权利要求 6 所述的方法,其中通过使用狭缝掩模和半色调掩模之一的光刻方法形成包括该第一部分和第二部分的该光敏抗蚀剂掩模。

8. 权利要求 7 所述的方法,在形成该硅沟道以及接触该硅沟道两端的该源欧姆层和漏欧姆层之前,进一步包括使用固相结晶使该硅沟道材料层多晶化。

9. 权利要求 8 所述的方法,其中使用快速热退火执行该固相结晶。

10. 权利要求 5 所述的方法,在形成该硅沟道以及接触该硅沟道两端的该源欧姆层和漏欧姆层之前,进一步包括使用固相结晶使该硅沟道材料层多晶化。

11. 权利要求 10 所述的方法,其中使用快速热退火执行该固相结晶。

12. 权利要求 11 所述的方法,在形成了该源欧姆层和漏欧姆层之后,进一步包括使用热氧化在该硅沟道的表面上形成氧化物层。

13. 权利要求 10 所述的方法,在形成了该源欧姆层和漏欧姆层之后,进一步包括使用热氧化在该硅沟道的表面上形成氧化物层。

14. 权利要求 5 所述的方法,在形成了该源欧姆层和漏欧姆层之后,进一步包括使用热氧化在该硅沟道的表面上形成氧化物层。

## 薄膜晶体管及其制造方法

### 技术领域

本发明涉及薄膜晶体管 (TFT)，具体地涉及 TFT 以及可以有效地降低制备工艺中出现的缺陷的该 TFT 的制造方法。

### 背景技术

使用有机发光二极管 (OLED) 的有源矩阵 (AM) 型显示器基本上包括开关晶体管和驱动晶体管。众所周知，开关晶体管需要低截止漏电流特性，而驱动晶体管需要高迁移率特性。

已经进行了各种研究以降低具有高迁移率的多晶硅 TFT 内的截止电流。降低截止电流的一个通常方法是使用轻掺杂漏区 (LDD) 或偏移 (off-set) 结构。

OLED 中采用的 TFT 包括多晶硅沟道和具有附加欧姆层的源区和漏区，并具有顶栅结构，如图 1 所示。图 1 为驱动 OLED 显示器的驱动晶体管以及连接到该驱动晶体管的 OLED 的一部分的剖面视图。

参考图 1，缓冲层 11 形成于衬底 10 上，沟道 12 由多晶硅形成于缓冲层 11 上呈岛状。源欧姆层 13s 和漏欧姆层 13d 由掺杂硅层形成于沟道 12 的两端上，源电极 14s 和漏电极 14d 由金属材料形成于源欧姆层 13s 和漏欧姆层 13d 上。栅绝缘体 15 形成于所得到的堆叠结构上，栅 16 形成于栅绝缘体 15 上介于源电极 14s 和漏电极 14d 之间。钝化层 17 由绝缘材料形成以覆盖栅 16，为 OLED 的元件的电极 18 形成于钝化层 17 上以电连接到漏电极 14d。

用于该 OLED 的传统晶体管的结构缺点为，源欧姆层 13s 和漏欧姆层 13d 分别与源电极 14s 和漏电极 14d 形成了堆叠结构。该堆叠结构的台阶覆盖率差，且形成于该堆叠结构上的栅绝缘体 15 可能破裂。通过具有足够厚度的栅绝缘体 15 可以解决该台阶覆盖率差的问题。然而，这种情况下，栅绝缘体 15 厚度增加可能导致该传统 TFT 的特性的恶化。此外，蚀刻剂在栅 16 的图案化期间可能通过栅绝缘体 15 的破裂部分渗入位于源欧姆层 13s 和漏欧姆层 13d 上的源电极 14s 和漏电极 14d，并损伤该源电极 14s 和漏电极

14d。如果在清洗沟道 12 的表面时，清洗溶液溶解了形成源电极 14s 和漏电极 14d 的材料，则该源电极 14s 和漏电极 14d 可能被该清洗溶液污染。结果，沟道 12 的界面变得更差。

#### 发明内容

本发明提供了一种 TFT 及该 TFT 的制造方法，该方法可以防止形成于欧姆层上的金属电极被污染。

本发明还提供了一种 TFT 及该 TFT 的制造方法，该方法可以减轻由于栅绝缘体上的堆叠结构引起的台阶覆盖率的恶化。

本发明还提供了一种 TFT 及该 TFT 的制造方法，其中该 TFT 包括具有改善的界面特性的堆叠结构。

根据本发明的一个方面，提供了一种薄膜晶体管 (TFT)，其包括：衬底；沟道，形成于该衬底上；源欧姆层和漏欧姆层，形成于该沟道的两端上；栅绝缘体，覆盖该源欧姆层和漏欧姆层以及该沟道；栅，形成于该栅绝缘体上；ILD (层间电介质) 层，覆盖该栅；源电极和漏电极，通过形成于该 ILD 层以及该栅绝缘体内的接触孔而接触该源欧姆层和漏欧姆层；以及，钝化层，覆盖该源电极和漏电极。

氧化物层可形成于该沟道的表面上。

接触源欧姆层和漏欧姆层的该沟道的两个端部比该沟道的中心部分厚。

根据本发明的另一个方面，提供了一种制造 TFT 的方法，其包括：依次在衬底上形成硅沟道材料层和硅欧姆材料层；图案化该硅沟道材料层和该硅欧姆材料层以形成硅沟道以及接触该硅沟道两端的源欧姆层和漏欧姆层；形成覆盖该源欧姆层和漏欧姆层的栅绝缘体；在该栅绝缘体上形成与该硅沟道相对应的栅；在该栅绝缘体上形成 ILD 层以覆盖该栅；形成贯穿该源欧姆层和漏欧姆层上的 ILD 层和栅绝缘体的接触孔；形成通过该 ILD 层上的接触孔分别接触源欧姆层和漏欧姆层的源电极和漏电极；以及，形成覆盖该 ILD 层上的源电极和漏电极的钝化层。

该硅沟道材料层和该硅欧姆材料层的图案化可包括：在该硅欧姆材料层上形成光敏抗蚀剂掩模，该光敏抗蚀剂掩模包括对应于该源欧姆层和漏欧姆层的第一部分以及置于该源欧姆层和漏欧姆层之间的第二部分，其中该第二部分比该第一部分薄；除去未被该光敏抗蚀剂掩模覆盖的该硅欧姆材料层的

部分以及该硅沟道材料层的一部分；灰化该光敏抗蚀剂掩模的整个表面，被灰化的厚度至少对应于该光敏抗蚀剂掩模的第二部分，从而除去该光敏抗蚀剂掩模的第二部分；除去未被该光敏抗蚀剂掩模的第一部分覆盖的该硅欧姆材料层的一部分；以及，除去该光敏抗蚀剂掩模。

可以通过使用狭缝掩模或半色调掩模的光刻方法形成包括该第一和第二部分的该光敏抗蚀剂掩模。

在形成该硅沟道以及接触该硅沟道两端的该源欧姆层和漏欧姆层之前，该方法可进一步包括使用 SPC（固相结晶）使该硅沟道材料层多晶化。可以使用 RTA（快速热退火）执行该 SPC。

在形成了该源欧姆层和漏欧姆层之后，该方法可进一步包括使用热氧化在该硅沟道的表面上形成氧化物层。

#### 附图说明

通过参考附图详细地描述本发明的示范性实施方案，本发明的上述和其他特征和优点将变得更加显而易见。附图中：

图 1 为传统顶栅型 TFT 的示意性剖面视图；

图 2 为根据本发明一个实施方案的 TFT 的示意性剖面视图；

图 3 为根据本发明另一个实施方案的 TFT 的一部分的示意性剖面视图；

图 4A 至 4P 为示出了根据本发明一个实施方案的 TFT 制造方法的剖面视图。

#### 具体实施方式

以下，将参考附图更全面地描述本发明，其中在附图中示出了本发明的示范性实施方案。

图 2 为根据本发明一个实施方案的 OLED 中采用的多晶硅 TFT 的示意性剖面视图。参考图 2，缓冲层 21 形成于衬底 20 上，沟道 22 由多晶硅形成于缓冲层 21 上呈岛状。众所周知，缓冲层 21 可具有单一氧化硅层结构或者氧化硅层和氮氧化硅层的双层结构。

源欧姆层 23s 和漏欧姆层 23d 由掺杂硅层形成于沟道 22 的两端上。源欧姆层 23s 和漏欧姆层 23d 被沟道 22 图案化，由此该源欧姆层 23s 和漏欧姆层 23d 的外边缘而非彼此面对的内边缘与该沟道 22 的外边缘一致。

栅绝缘体 24 和栅 25 依次形成于源欧姆层 23s 和漏欧姆层 23d 上。栅 25 置于该源欧姆层 23s 和漏欧姆层 23d 之间。层间电介质 (ILD) 层 26 形成于栅 25 上, 源电极 27s 和漏电极 27d 形成于该 ILD 层 26 上。源电极 27s 和漏电极 27d 通过贯穿 ILD 层 26 和栅绝缘体 24 的接触孔 H 分别接触该源欧姆层 23s 和漏欧姆层 23d。

钝化层 28 形成于该 ILD 层 26 上以覆盖该源电极 27s 和漏电极 27d。为该 OLED 的元件的电极 29 形成于钝化层 28 上, 从而通过形成于该钝化层 28 内的通路孔 28a 接触漏电极 27d。

具有上述结构的本发明 TFT 的特征在于, 由硅层形成的源欧姆层 23s 和漏欧姆层 23d 与在源欧姆层 23s 和漏欧姆层 23d、栅绝缘体 24 以及 ILD 层 26 上的源电极 27s 和漏电极 27d 分离。因此栅绝缘体 24 下方的堆叠结构变薄。结果, 栅绝缘体 24 的台阶覆盖率得以改善。

图 3 为根据本发明另一个实施方案的 TFT 的一部分的剖面视图。参考图 3, 使用热氧化在沟道 22 的表面上形成氧化硅层 22a。沟道 22 的中心部分比位于源欧姆层 23s 和漏欧姆层 23d 下方的沟道 22 的部分薄。在形成和图案化该源欧姆层 23s 和漏欧姆层 23d 时, 未被该源欧姆层 23s 和漏欧姆层 23d 覆盖的沟道 22 的表面的中心部分被蚀刻。此外, 沟道 22 的中心部分的表面被蚀刻以彻底除去残留在沟道 22 表面上的硅欧姆材料, 从而防止源欧姆层 23s 和漏欧姆层 23d 之间的短路。在图案化该源欧姆层 23s 和漏欧姆层 23d 时, 采用附加的蚀刻工艺形成沟道 22 的这种过蚀刻部分。沟道 22 的过蚀刻部分可以被选择性地应用。使用热氧化形成于沟道 22 表面上的氧化硅层 22a 有助于改善界面特性, 例如减少栅绝缘体 24 和沟道 22 之间的界面陷阱密度。可以选择性地形成和应用该氧化硅层 22a。

现在将参考图 4A 至 4P 详细地描述根据本发明一个实施方案的 TFT 制造方法。

如图 4A 所示, 在由塑料或玻璃形成的衬底 20 上依次沉积厚度为 100nm 至 500nm 的氧化硅 ( $\text{SiO}_2$ )、厚度为 100nm 至 200nm 的非晶氧化物 (a-Si)、以及厚度为 50nm 至 100nm 的 n+掺杂非晶硅, 以获得缓冲层 21、硅沟道材料层 22', 以及欧姆材料层 23。使用等离子体增强化学气相沉积 (PECVD) 进行该沉积。之后, 使用快速热退火 (RTA) 进行固相结晶 (SPC), 从而使该沟道材料层 22' 和欧姆材料层 23 多晶化。在此, 在 700°C 至 750°C 的温度下执行该 RTA 约 5 分钟至 20 分钟。

如图 4B 所示, 光敏抗蚀剂掩模 30 形成于欧姆材料层 23 上。光敏抗蚀剂掩模 30 包括: 厚的第一部分 31, 对应于置于上述 TFT 的沟道 22 的两端上的源欧姆层 23s 和漏欧姆层 23d; 以及薄的第二部分 32, 置于该第一部分 31 之间。使用呈现局部不同曝光量的狭缝掩模或半色调掩模曝光光敏抗蚀剂或者通过不同的曝光技术, 可以获得具有厚度不同的第一部分 31 和第二部分 32 的光敏抗蚀剂掩模 30。使用这种狭缝掩模或半色调掩模根据曝光量差异制造固相光敏抗蚀剂掩模的技术在本领域是公知的, 因此在此不再赘述。

如图 4C 所示, 未被光敏抗蚀剂掩模 30 覆盖的欧姆材料层 23 和沟道材料层 22' 的部分被蚀刻。因此, 由于图案化该欧姆材料层 23 下方的沟道材料层 22' 而形成了硅沟道 22, 欧姆材料层 23 以半成品状态残留于硅沟道 22 上并具有和硅沟道 22 相同的图案。

如图 4D 所示, 光敏抗蚀剂掩模 30 在氧气和等离子体气氛中被灰化, 从而除去光敏抗蚀剂掩模 30 的第二部分 32 并留下第一部分 31。这里, 第一部分 31 也被灰化, 因此在第二部分 32 被除去时变得更薄。

如图 4E 所示, 使用蚀刻剂将未被光敏抗蚀剂掩模 30 的第一部分 31 覆盖的硅沟道 22 表面蚀刻至薄的厚度, 以彻底除去残留在硅沟道 22 暴露表面上的欧姆材料层 23 的残余物。光敏抗蚀剂 30 被剥离, 随后使用氟化氢 (HF) 清洁。

如图 4F 所示, 在 700°C 至 750°C 高温下氧气气氛中执行热氧化, 从而在硅沟道 22 表面上形成氧化物层 22a。这里, 氧化物层 22a 形成于硅沟道 22 的表面以及源欧姆层 23s 和漏欧姆层 23d 的表面上。

如图 4G 所示, 使用 PECVD 在所得的堆叠结构上形成由  $\text{SiO}_2$  形成的厚度为 50 至 100nm 的栅绝缘体 24。

如图 4H 所示, 栅 25 形成于栅绝缘体 24 上。栅材料层被沉积和图案化以形成栅 25。使用溅射方法进行该栅层的沉积, 使用普通光刻方法进行该栅材料层的图案化。栅 25 具有单一金属层结构或多金属层结构, 例如 Mo 的单一层结构或者 Al 和 Mo、AlNd 和 Mo、或者 Mo、Al 和 Mo 的多层结构。栅 25 的这种结构是公知的, 并不限制本发明的范围。

如图 4I 所示, ILD 层 26 形成于栅绝缘体 24 上以覆盖栅 25。ILD 层 26 为使用 PECVD 形成的  $\text{SiO}_2$  层。

如图 4J 所示, 接触孔 H 形成为穿透 ILD 层 26 和栅绝缘体 24, 从而到达源欧姆层 23s 和漏欧姆层 23d 的表面。



如图 4K 所示, 电极材料层 27 形成于 ILD 层 26 上。这里, 电极材料层 27 填充接触孔 H, 从而电连接到源欧姆层 23s 和漏欧姆层 23d。电极材料层 27 可由公知的材料形成, 例如, 和形成栅 25 的材料相同的材料。

如图 4L 所示, 电极材料层 27 被图案化, 从而得到连接到源欧姆层 23s 的源电极 27s 和连接到漏欧姆层 23d 的漏电极 27d。

如图 4M 所示, 形成钝化层 28 以覆盖源电极 27s 和漏电极 27d。钝化层 28 可以是使用 PECVD 形成的  $\text{SiN}_x$  层。

如图 4N 所示, 使用普通图案化方法在钝化层 28 内形成通路孔 28a, 从而到达漏电极 27d。

如图 4O 所示, 如果钝化层 28 的表面不平整并因此将被平整化, 则平整层 30 被另外形成。通路孔 30a 形成于平整层 30 内, 从而到达钝化层 28 的通路孔 28a。这里, 钝化层 28 的通路孔 28a 以及平整层 30 的通路孔 30a 可同时形成。

如图 4P 所示, 形成作为 OLED 的元件的电极, 例如阳极 29。对于 OLED 的情形, 阳极 29 由透明导电材料形成, 例如氧化铟锡 (ITO) 或氧化锌锡 (IZO)。

之后可执行用于制造 OLED 显示器的另外工艺以获得期望的显示器。

如前所述, 根据本发明, 可以获得适用于 OLED 显示器的顶栅型 TFT。传统顶栅型 TFT 在清洗界面时受到形成源电极和漏电极的金属的污染, 因此沟道和栅之间的界面特性非常可能变差。然而, 在本发明中, 当沟道被清洗时, 源层和漏层尚未由金属形成。因此, 可以防止本发明的顶栅型 TFT 受到该金属材料的污染。

此外, 欧姆层可以与电极分离。因此, 不会出现差的台阶覆盖率。结果, 栅绝缘体不会破裂。即使该栅绝缘体破裂, 金属电极并不形成于该栅绝缘体的下方。因此, 蚀刻剂不会渗入电极。结果, 电极不会被该蚀刻剂溶解。

此外, 该沟道可以被氧化以减小界面陷阱密度, 从而将该 TFT 的特性维持在高质量状态。根据本发明的制造顶栅型 TFT 的方法适用于制造 OLED 显示器。

尽管已经参考本发明的示范性实施方案具体地示出和描述了本发明, 但是本领域技术人员将会理解, 在不离开由权利要求界定的本发明的精神和范围的情况下, 可以对本发明进行各种形式和细节上的改变。

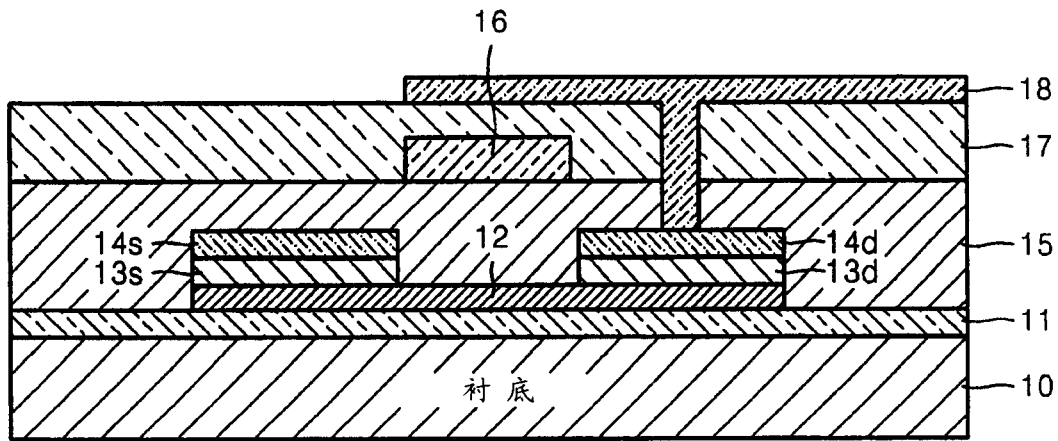


图 1

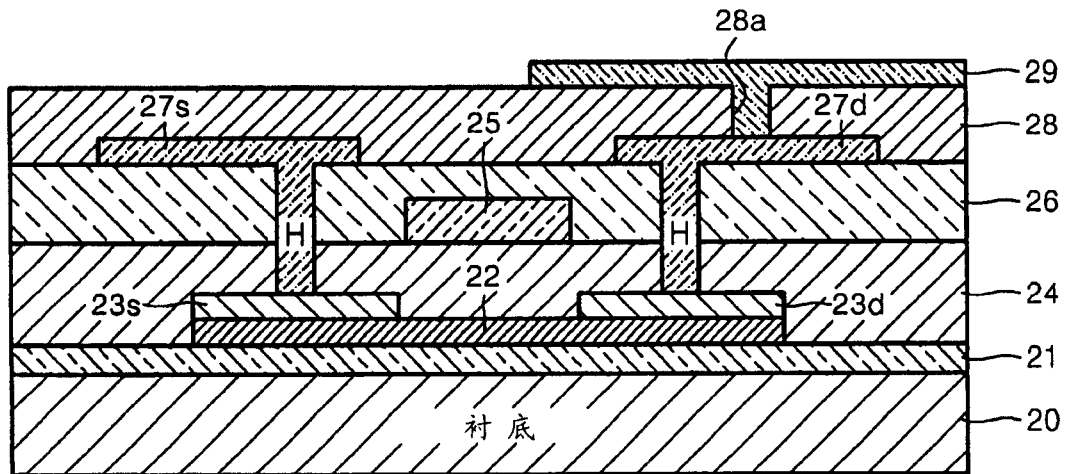


图 2

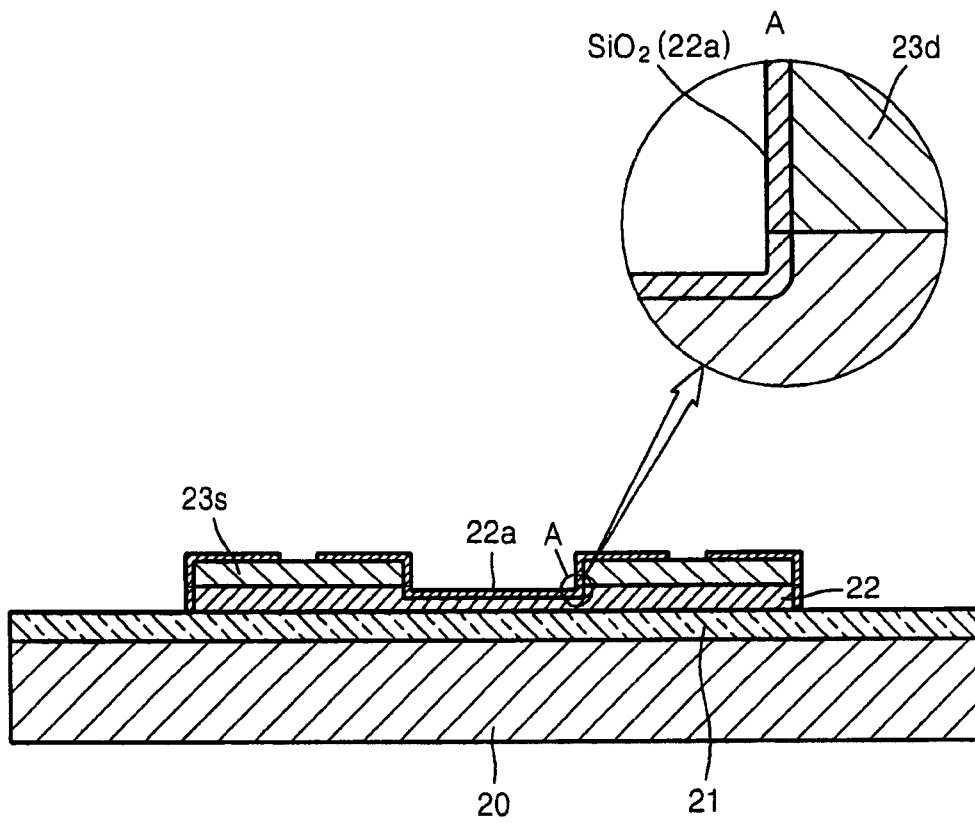


图 3

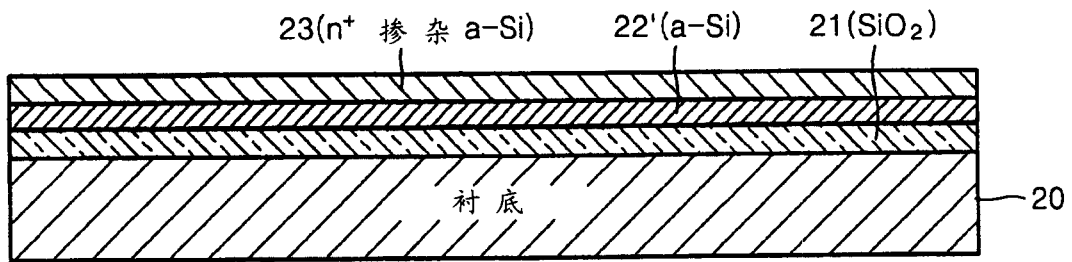


图 4A

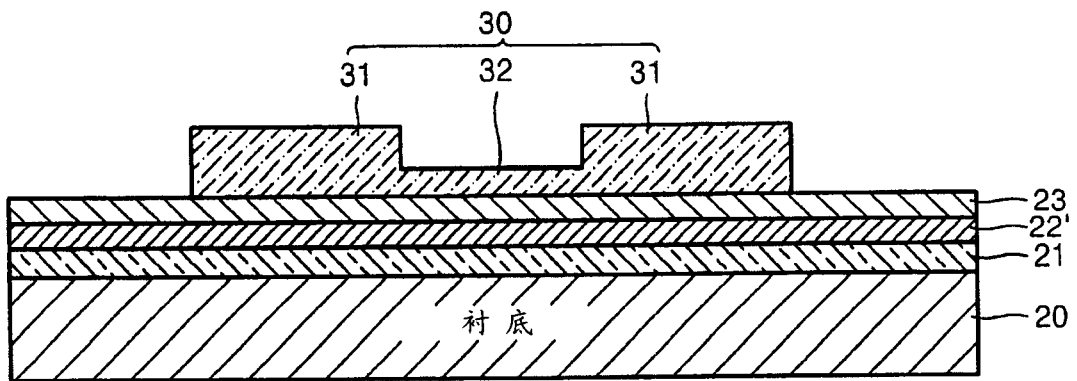


图 4B

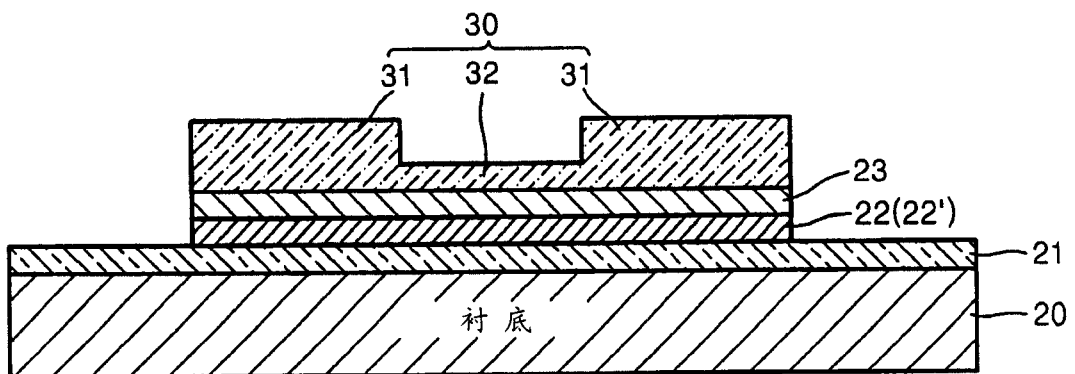


图 4C

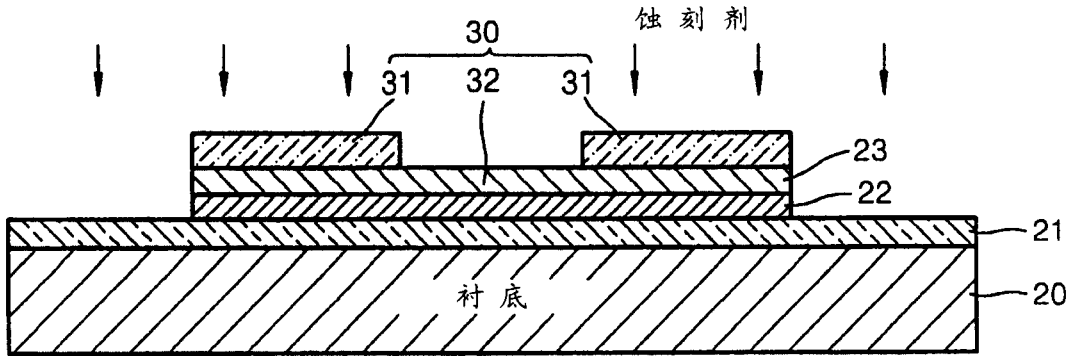


图 4D

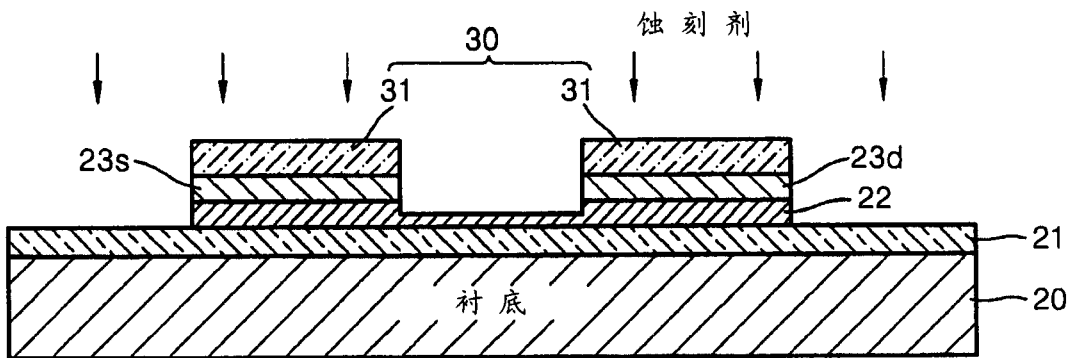


图 4E

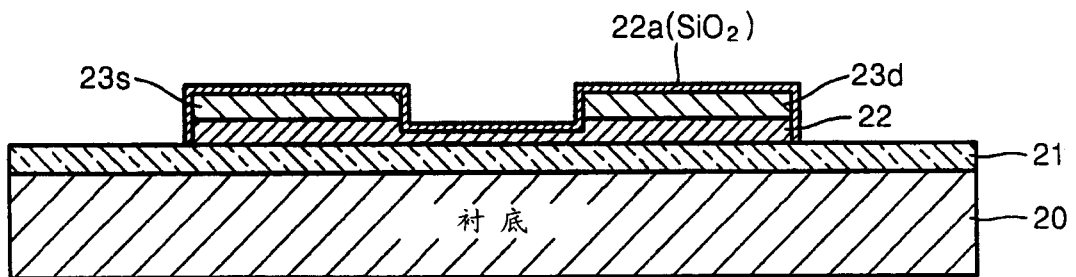


图 4F

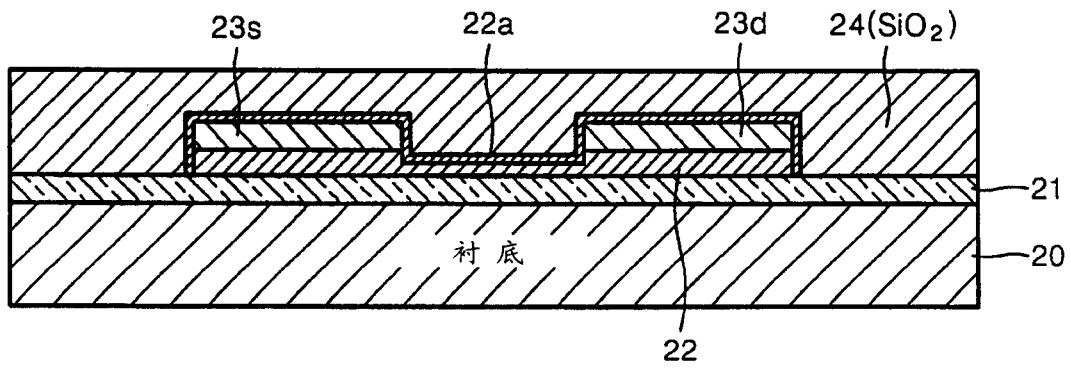


图 4G

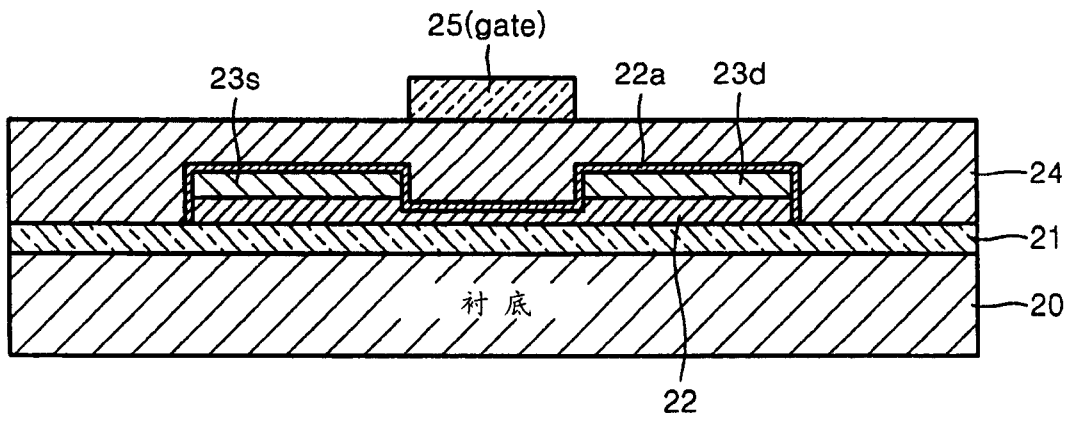


图 4H

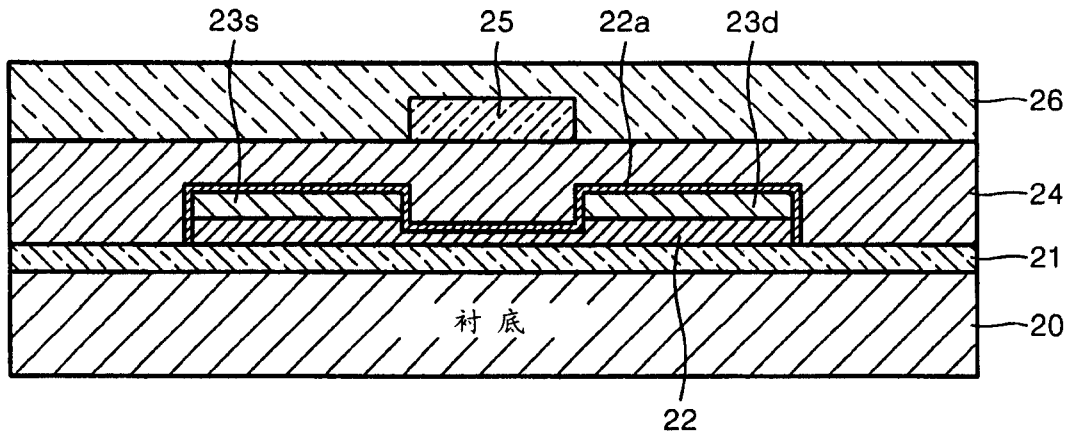


图 4I

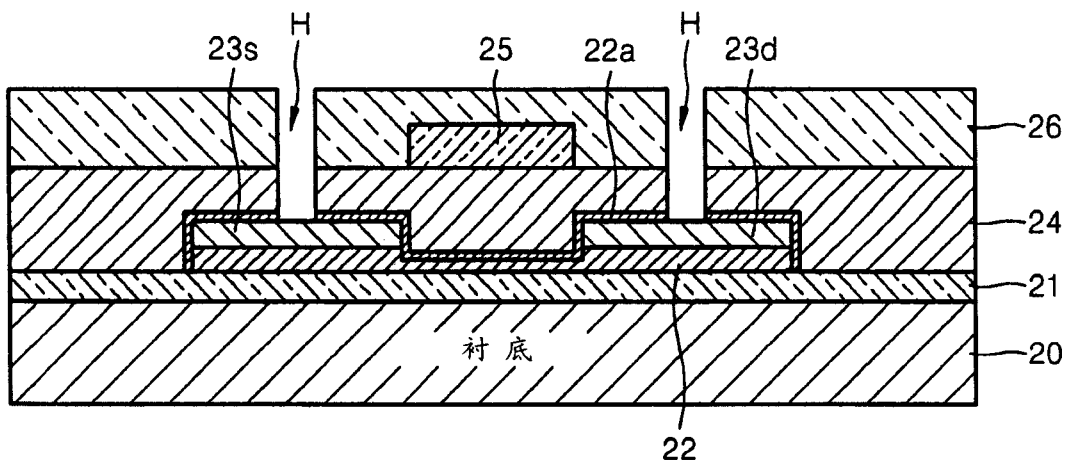


图 4J

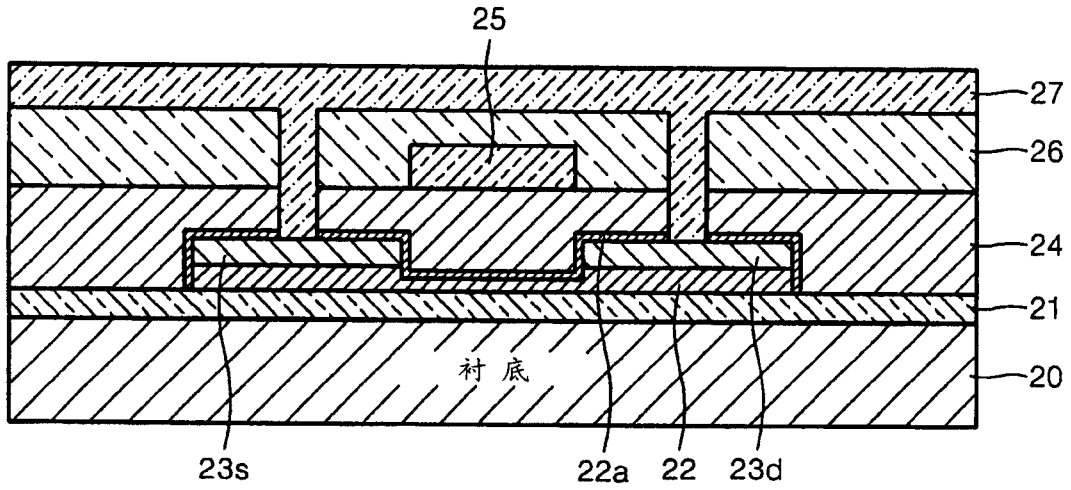


图 4K

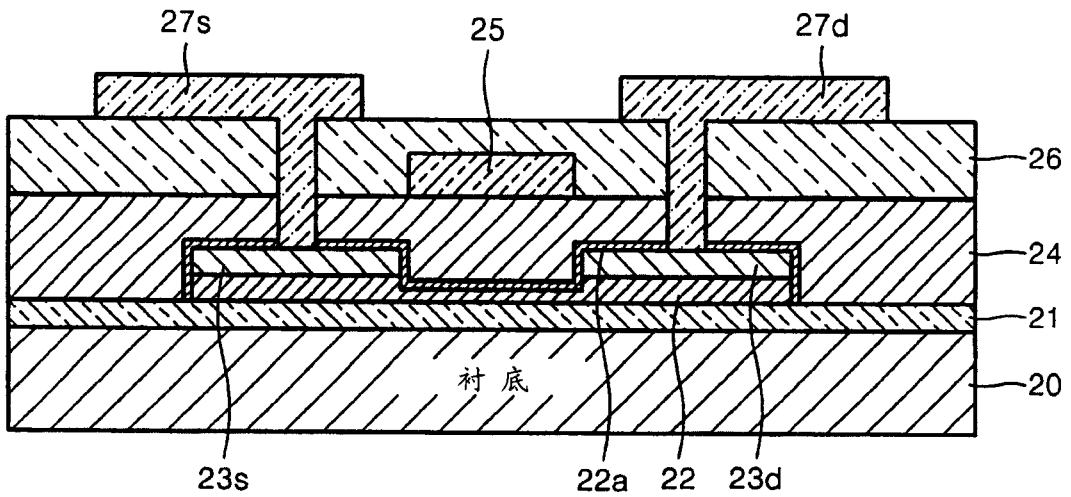


图 4L



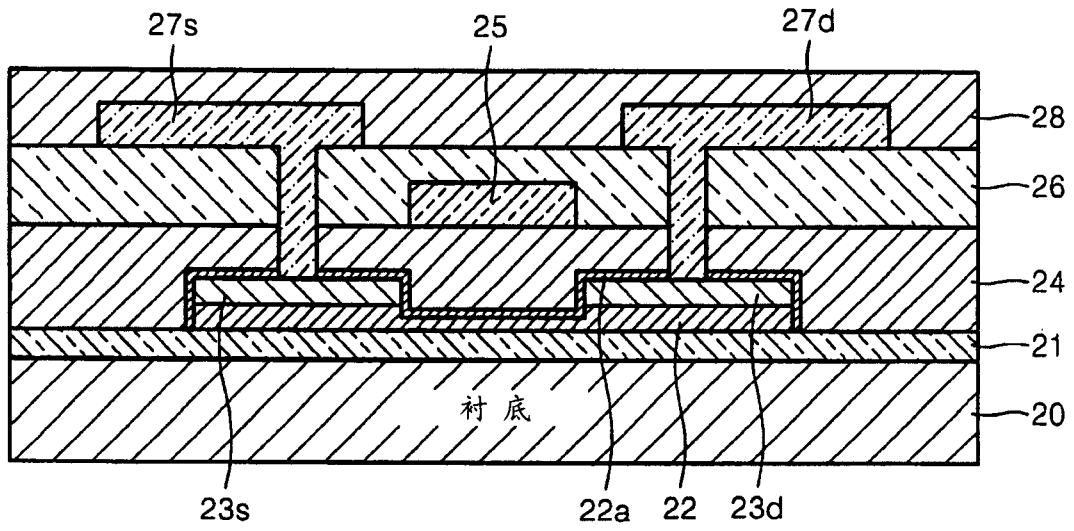


图 4M

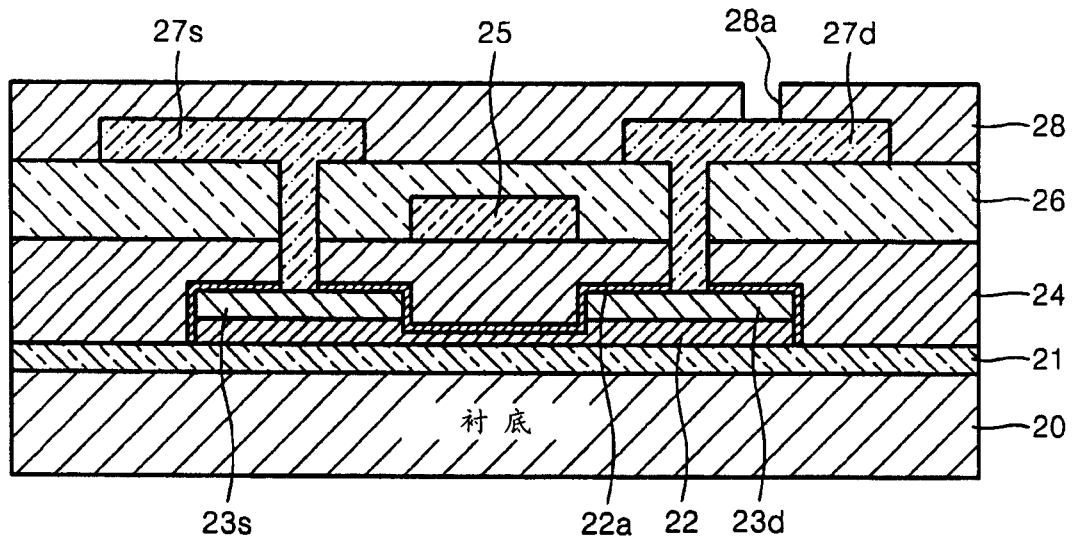


图 4N

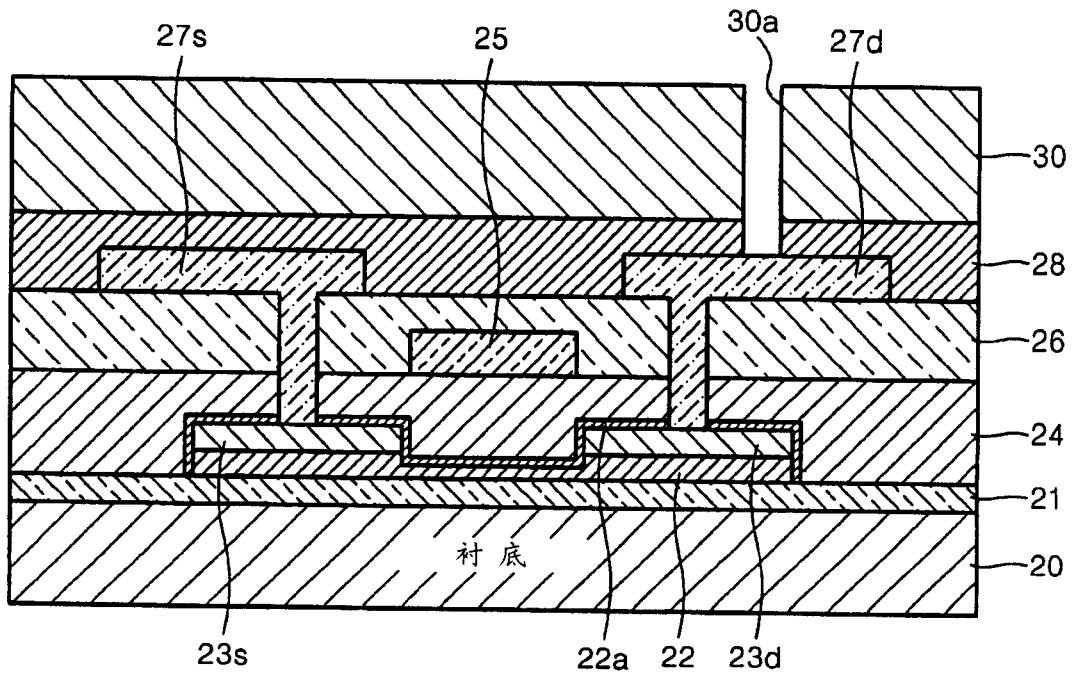


图 40

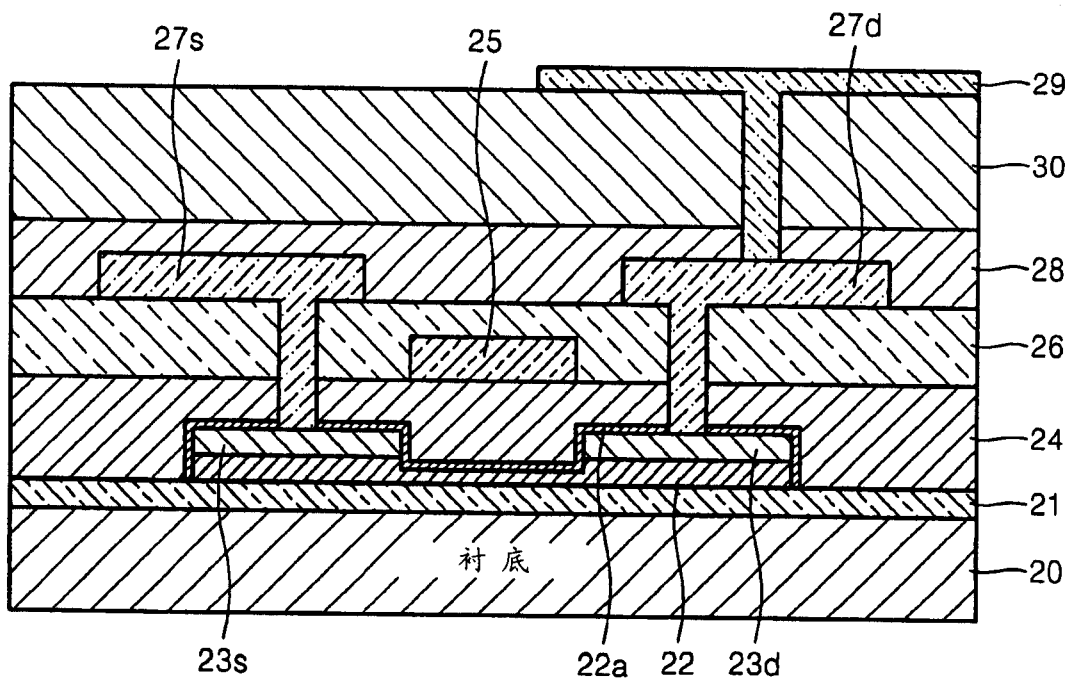


图 4P