

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4985208号
(P4985208)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl. F 1
HO2M 7/10 (2006.01) HO2M 7/10 B

請求項の数 16 (全 23 頁)

<p>(21) 出願番号 特願2007-210273 (P2007-210273) (22) 出願日 平成19年8月10日 (2007.8.10) (65) 公開番号 特開2009-44933 (P2009-44933A) (43) 公開日 平成21年2月26日 (2009.2.26) 審査請求日 平成21年9月4日 (2009.9.4)</p>	<p>(73) 特許権者 000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地 (74) 代理人 110000578 名古屋国際特許業務法人 (72) 発明者 柴田 貴行 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内 審査官 塩治 雅也</p>
--	---

最終頁に続く

(54) 【発明の名称】 倍電圧整流回路

(57) 【特許請求の範囲】

【請求項1】

一対の入力端子から入力された交流信号を整流して直流電力に変換し、該変換後の直流電力を一対の出力端子から出力するよう構成された倍電圧整流回路であって、

前記一対の入力端子の一方である第1入力端子と前記一対の出力端子の一方である第1出力端子との間に接続された第1の整流素子と、

前記第1入力端子と前記一対の出力端子の他方である第2出力端子との間に、前記第1入力端子からみて前記第1の整流素子の接続方向とは逆方向に接続された第2の整流素子と、

を備え、前記一対の入力端子の他方である第2入力端子は前記第1出力端子と電氣的に接続されており、

前記第1の整流素子から前記第1出力端子及び前記第2入力端子へ至る通電経路上に、所定の共振周波数 f_1 でインピーダンスが最大値をとるような共振特性を持つ共振回路が接続されており、前記第1の整流素子は、前記共振回路を介して前記第2入力端子及び前記第1出力端子に接続されている

ことを特徴とする倍電圧整流回路。

【請求項2】

請求項1記載の倍電圧整流回路であって、

前記共振回路は、前記共振周波数 f_1 が、前記交流信号の基本波周波数 f_0 からその2倍の周波数 $2f_0$ までの範囲内における所定の周波数と等しくなるように構成されている

10

20

ことを特徴とする倍電圧整流回路。

【請求項 3】

請求項 2 記載の倍電圧整流回路であって、

前記共振回路は、前記共振周波数 f_1 が前記交流信号の基本波周波数 f_0 と等しくなるように構成されている

ことを特徴とする倍電圧整流回路。

【請求項 4】

請求項 2 記載の倍電圧整流回路であって、

前記共振回路は、前記共振周波数 f_1 が前記交流信号の基本波周波数 f_0 の 2 倍の周波数 $2f_0$ と等しくなるように構成されている

ことを特徴とする倍電圧整流回路。

【請求項 5】

請求項 2 記載の倍電圧整流回路であって、

前記共振回路は、前記共振周波数 f_1 が前記交流信号の基本波周波数 f_0 の 2 倍の周波数 $(2) \cdot f_0$ と等しくなるように構成されている

ことを特徴とする倍電圧整流回路。

【請求項 6】

請求項 1 ~ 5 いずれかに記載の倍電圧整流回路であって、

前記共振回路は、コンデンサ及びインダクタが並列接続されてなる LC 並列共振回路である

ことを特徴とする倍電圧整流回路。

【請求項 7】

請求項 1 ~ 5 いずれかに記載の倍電圧整流回路であって、

前記共振回路は、線路長が前記共振周波数 f_1 に対応した波長の $1/4$ の長さの伝送線路により構成されている

ことを特徴とする倍電圧整流回路。

【請求項 8】

一対の入力端子から入力された交流信号を整流して直流電力に変換し、該変換後の直流電力を一対の出力端子から出力するよう構成された倍電圧整流回路であって、

前記一対の入力端子の一方である第 1 入力端子と前記一対の出力端子の一方である第 1 出力端子との間に接続された第 1 の整流素子と、

前記第 1 入力端子と前記一対の出力端子の他方である第 2 出力端子との間に、前記第 1 入力端子からみて前記第 1 の整流素子の接続方向とは逆方向に接続された第 2 の整流素子と、

を備え、前記一対の入力端子の他方である第 2 入力端子は前記第 1 出力端子と電氣的に接続されており、

前記第 1 の整流素子から前記第 1 出力端子及び前記第 2 入力端子へ至る通電経路上に、所定の共振周波数 f_1 でインピーダンスが最大値をとるような共振特性を持つ第 1 の共振回路と、前記共振周波数 f_1 とは異なる共振周波数 f_2 でインピーダンスが最大値をとるような共振特性を持つ第 2 の共振回路とが、直列接続されている

ことを特徴とする倍電圧整流回路。

【請求項 9】

請求項 8 記載の倍電圧整流回路であって、

前記第 1 の共振回路は、前記共振周波数 f_1 が前記交流信号の基本波周波数 f_0 と等しくなるように構成されており、

前記第 2 の共振回路は、前記共振周波数 f_2 が前記交流信号の基本波周波数 f_0 の 2 倍の周波数 $2f_0$ と等しくなるように構成されている

ことを特徴とする倍電圧整流回路。

【請求項 10】

請求項 8 又は 9 記載の倍電圧整流回路であって、

10

20

30

40

50

前記第 1 の共振回路及び前記第 2 の共振回路の少なくとも一方は、コンデンサ及びインダクタが並列接続されてなる LC 並列共振回路である

ことを特徴とする倍電圧整流回路。

【請求項 1 1】

請求項 8 又は 9 記載の倍電圧整流回路であって、

前記第 1 の共振回路及び前記第 2 の共振回路の少なくとも一方は、線路長が当該共振回路の共振周波数に対応した波長の 1 / 4 の長さの伝送線路により構成されている

ことを特徴とする倍電圧整流回路。

【請求項 1 2】

請求項 1 ~ 1 1 いずれかに記載の倍電圧整流回路であって、

当該倍電圧整流回路は、同一の半導体基板上に形成されている

ことを特徴とする倍電圧整流回路。

10

【請求項 1 3】

請求項 6 又は 1 0 記載の倍電圧整流回路であって、

当該倍電圧整流回路は、同一の半導体基板上に形成されており、

前記インダクタは、前記半導体基板上に渦巻き状に形成されたスパイラルインダクタである

ことを特徴とする倍電圧整流回路。

【請求項 1 4】

請求項 6 又は 1 0 記載の倍電圧整流回路であって、

当該倍電圧整流回路は、パッケージに覆われた同一の半導体基板上に形成され、

前記半導体基板上には、前記第 1 の整流素子のうち前記インダクタが接続される側に電氣的に接続された基板側電極パッドが形成され、

前記パッケージには、前記第 1 出力端子としての機能を有するパッケージ側電極パッドが形成され、

前記インダクタは、前記基板側電極パッドと前記パッケージ側電極パッドとを電氣的に接続するワイヤボンディングにより構成されている

ことを特徴とする倍電圧整流回路。

20

【請求項 1 5】

請求項 1 ~ 1 4 いずれかに記載の倍電圧整流回路であって、

前記第 1 の整流素子及び前記第 2 の整流素子は、ベースとコレクタが電氣的に接続されたバイポーラトランジスタである

ことを特徴とする倍電圧整流回路。

30

【請求項 1 6】

絶縁基板上に、互いに電氣的に絶縁された複数の半導体基板が形成されており、

前記複数の半導体基板のそれぞれには、請求項 1 ~ 1 5 いずれかに記載の倍電圧整流回路が形成されており、

前記各半導体基板上に形成された前記各倍電圧整流回路の前記出力端子がそれぞれ直列接続されてなる

ことを特徴とする倍電圧整流回路。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、入力された交流信号を整流して直流電力に変換し出力する倍電圧整流回路に関する。

【背景技術】

【0 0 0 2】

従来より、交流信号から直流を供給する整流回路として、入力される交流信号の約 2 倍の直流電圧（直流電力）を出力する倍電圧整流回路が知られている（例えば、特許文献 1 参照。）。

50

【 0 0 0 3 】

倍電圧整流回路は、周波数の比較的低い交流電源を直流に変換する用途から、周波数の高い交流信号（例えば数百MHz～数GHz）を直流電力に変換する用途まで、その用途は多岐にわたっている。後者の用途の具体例としては、マイクロ波を受信してその受信信号を整流し、直流電力を取り出すよう構成された、いわゆるレクテナが挙げられる（例えば、特許文献2参照。）。

【 0 0 0 4 】

レクテナは、主としてマイクロ波を受信するアンテナと、このアンテナにて受信されたマイクロ波（交流信号）を整流して直流電力に変換する整流回路とにより構成されている。そして、整流回路として倍電圧整流回路を用いれば、より高い電圧の直流出力を得ることができ

10

【 0 0 0 5 】

図14に、従来 of 倍電圧整流回路の一例を示す。図14に示すように、倍電圧整流回路100は、信号源2（例えばマイクロ波を受信する受信アンテナ）から入力される交流信号を直流電力に変換して負荷抵抗4へ出力するものであり、信号源2側とのインピーダンスマッチングをとるための入力整合回路101と、DC（直流）カット用の入力コンデンサC1と、ダイオードD1及びダイオードD2からなる整流部と、出力インダクタL1及び出力コンデンサC2からなる出力フィルタとを備えている。

【 0 0 0 6 】

より具体的には、第1入力端子11及び第2入力端子12からなる一対の入力端子を備え、信号源2からの交流信号（以下「RF信号」ともいう）は、この入力端子を介して当該倍電圧整流回路100へ入力される。なお、第2入力端子12はグランドに接地されている。また、第1出力端子14及び第2出力端子13からなる一対の出力端子を備え、当該倍電圧整流回路100にて変換された直流電力は、この出力端子を介して負荷抵抗4へ出力される。なお、第1出力端子14はグランドに接地されている。

20

【 0 0 0 7 】

整流部を構成する2つのダイオード（ダイオードD1、ダイオードD2）のうち、ダイオードD1は、アノードがグランドに接地され、カソードが入力コンデンサC1の一端に接続されている。入力コンデンサC1の他端は、入力整合回路101を介して第1入力端子11に接続されている。一方、ダイオードD2は、アノードが入力コンデンサC1の一端に接続（つまりダイオードD1のカソードに接続）され、カソードが出力フィルタを構成する出力インダクタL1の一端に接続されている。出力インダクタL1の他端は、第2出力端子13に接続されている。また、第2出力端子13と第1出力端子14との間には、出力フィルタを構成する出力コンデンサC2が接続されている。

30

【 0 0 0 8 】

このように構成された倍電圧整流回路100では、信号源2から入力端子を介して入力されたRF信号が、入力整合回路101と入力コンデンサC1を経て、各ダイオードD1、D2により整流される。そして、出力インダクタL1及び出力コンデンサC2からなる出力フィルタにより直流に平滑化（直流に変換）される。これにより、出力端子側（各出力端子13、14間）には、入力されたRF信号の電圧の約2倍の直流電圧が発生する。なお、2つのダイオードD1、D2からなる倍電圧整流回路100において、入力電圧の2倍の直流電圧が得られる原理については、従来からよく知られているため、ここではその説明を省略する。

40

【 0 0 0 9 】

出力インダクタL1及び出力コンデンサC2からなる出力フィルタは、出力端子側にRF信号成分が流れないようにするためのフィルタとしての機能のほか、上述のように、整流されたRF信号を平滑化する機能をも有する。また、入力整合回路101は、インピーダンスマッチングの機能を有すると共に、当該倍電圧整流回路100内（特にダイオードD1、D2）で発生した高調波が信号源2側に戻るのを防ぐためのフィルタとしての機能をも有している。

50

【 0 0 1 0 】

ところで、レクテナにおいて受信した交流信号をいかに効率良く直流電力に変換できるか、即ち交流信号（RF信号）から直流（DC）への変換効率（以下「RF/DC変換効率」という）をいかに向上できるかということは、レクテナの性能を決める主要な要素であり、当然ながら、RF/DC変換効率が少しでも高いことが望まれる。

【 0 0 1 1 】

そのため、従来より、RF/DC変換効率を向上させるべく、種々の倍電圧整流回路が提案されており、上述した特許文献2においても、RF/DC変換効率を向上させるための技術が提案されている。

【特許文献1】特表2005-520428号公報

【特許文献2】特開平5-335811号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかし、倍電圧整流回路の変換効率を向上させるための技術が種々提案されているとはいえ、レクテナの用途によっては、まだまだ実用化に足りる程度の十分な変換効率にまでは至っていないものもある。また、実用化に足りるかどうかに関係なく、変換効率は少しでも高い方が好ましい。

【 0 0 1 3 】

図14に示した倍電圧整流回路100のRF/DC変換効率を低下させる要因としては、例えば、整流素子であるダイオードD1、D2による損失、回路インピーダンスの不整合による損失、入・出力フィルタによる損失などが挙げられる。

【 0 0 1 4 】

そのため、こういった損失をできる限り抑えて、RF/DC変換効率をさらに向上させることが望まれている。

本発明は上記課題に鑑みなされたものであり、倍電圧整流回路のRF/DC変換効率を向上させることを目的とする。

【課題を解決するための手段】

【 0 0 1 5 】

上記課題を解決するためになされた請求項1記載の発明は、一对の入力端子から入力された交流信号を整流して直流電力に変換し、該変換後の直流電力を一对の出力端子から出力するよう構成された倍電圧整流回路であって、第1の整流素子及び第2の整流素子を備える。

【 0 0 1 6 】

このうち第1の整流素子は、一对の入力端子の一方である第1入力端子と一对の出力端子の一方である第1出力端子との間に接続され、第2の整流素子は、第1入力端子と一对の出力端子の他方である第2出力端子との間に、第1入力端子からみて第1の整流素子の接続方向とは逆方向に接続されている。また、一对の入力端子の他方である第2入力端子は第1出力端子と電氣的に接続されている。

【 0 0 1 7 】

そして、本発明（請求項1）では、第1の整流素子から第1出力端子及び第2入力端子へ至る通電経路上に、所定の共振周波数 f_1 でインピーダンスが最大値をとるような共振特性を持つ共振回路が接続されており、第1の整流素子は、共振回路を介して第2入力端子及び第1出力端子に接続されている。

【 0 0 1 8 】

上記のように構成された倍電圧整流回路では、共振回路が、共振周波数 f_1 でインピーダンスが最大となるような共振特性をもっているため、入力される交流信号における、共振周波数 f_1 の周波数成分やその近傍の周波数成分に対しては、第1の整流素子と共振回路との接続点から共振回路側をみたインピーダンスが大きくなる。これにより、その接続点における電圧が大きく変化（振動）し、延いては、第1の整流素子にかかる電圧が大き

10

20

30

40

50

くなる。

【0019】

一般に、整流素子によって交流信号を整流する際に、整流素子における損失を少なくするためには、整流素子にかかる電圧が大きい方がよく、整流素子にかかる電圧が大きいほどRF/DC変換効率が高くなることが知られている。

【0020】

そのため、本発明（請求項1）の倍電圧整流回路によれば、第1の整流素子から第1出力端子及び第2入力端子へ至る通電経路上に共振回路を設けたことにより、共振回路を設けない場合に比べて第1の整流素子にかかる電圧が大きくなるため、第1の整流素子による損失が低減され、倍電圧整流回路全体のRF/DC変換効率が向上する。

10

【0021】

なお、ここでいう整流素子とは、単独の1つの素子・部品に限らず、複数の素子・部品からなるものも含む。また、ここでいう共振回路とは、複数の素子・部品が組み合わさってなるものに限らず、1つの素子・部品のみからなるものをも含む。つまり、所望の共振特性を有する素子・部品・回路等はいずれも、その具体的構成に拘わらず本発明の「共振回路」に含まれるものとする。

【0022】

共振回路の共振周波数 f_1 は、入力される交流信号に含まれる周波数成分或いは当該倍電圧整流回路内で発生する信号（例えば高調波等）の周波数成分に対して上記接続点から共振回路側をみたインピーダンスが大きい値となるように適宜決めればよいが、例えば請求項2に記載のように、共振周波数 f_1 を、交流信号の基本波周波数 f_0 からその2倍の周波数 $2f_0$ までの範囲内における所定の周波数と等しくなるようにするとよい。

20

【0023】

共振周波数 f_1 が上記周波数範囲（ $f_0 \sim 2f_0$ ）における所定の周波数と等しくなるように共振回路を構成すれば、上記接続点から共振回路側をみたインピーダンスがその共振周波数の成分に対して最大になる。そのため、基本波成分や2次高調波成分に対しても、ある程度の大きさのインピーダンス値が得られ、第1の整流素子にかかる電圧のうち基本波成分や2次高調波成分が大きくなる。そのため、RF/DC変換効率を確実に向上させることができる。

【0024】

上記周波数範囲（ $f_0 \sim 2f_0$ ）のうち具体的にどの周波数を共振周波数 f_1 とするかは適宜決めることができるが、例えば請求項3に記載のように、共振周波数 f_1 を交流信号の基本波周波数 f_0 と等しくなるようにしてもよい。

30

【0025】

共振周波数 f_1 が交流信号の基本波周波数 f_0 と等しくなるように共振回路を構成すれば、上記接続点から共振回路側をみたインピーダンスが基本波成分に対して最大になり、第1の整流素子にかかる電圧のうち少なくとも基本波周波数及びその近傍の周波数の成分が大きくなる。そのため、RF/DC変換効率の向上効果を確実に得ることができる。

【0026】

また例えば、請求項4に記載のように、共振周波数 f_1 が交流信号の基本波周波数 f_0 の2倍の周波数 $2f_0$ と等しくなるよう、共振回路を構成してもよい。

40

このように構成すれば、2次高調波成分に対して上記接続点から共振回路側をみたインピーダンスが最大になり、2次高調波成分についても低損失で直流電力に変換されるため、RF/DC変換効率を確実に向上させることができる。

【0027】

また例えば、請求項5に記載のように、共振周波数 f_1 が交流信号の基本波周波数 f_0 の2倍の周波数（ 2 ） $\cdot f_0$ と等しくなるよう、共振回路を構成してもよい。

このように構成された倍電圧整流回路では、上記接続点から共振回路側をみたインピーダンスが最大となるのは、基本波周波数 f_0 の2倍の周波数、即ち、基本波周波数 f_0 と2次高調波周波数 $2f_0$ との間の周波数である。そのため、基本波周波数 f_0 及び2次

50

高調波成分 (2) ・ f_0 のいずれに対しても、インピーダンスが最大になるわけではない。

【 0 0 2 8 】

しかし、基本波成分及び2次高調波成分ともに、ある程度の大きさのインピーダンス値は得られる。しかも、基本波周波数 f_0 の 2 倍の周波数 (対数軸で周波数をみたときに基本波周波数 f_0 と2次高調波周波数 $2 f_0$ の中間の値) を共振周波数 f_1 としているため、基本波成分及び2次高調波成分の双方に対して、バランス良く、ある程度の大きいインピーダンス値を得ることができる。そのため、両周波数成分をトータル的にみれば、結果として、倍電圧整流回路全体としての R F / D C 変換効率は、請求項 3 又は 4 の場合と同等、或いはそれ以上に向上させることが可能となる。

10

【 0 0 2 9 】

ここで、共振回路の具体的構成は種々考えられ、例えば請求項 6 記載のように、コンデンサ及びインダクタが並列接続されてなる LC 並列共振回路として構成してもよいし、また例えば、請求項 7 記載のように、線路長が共振周波数 f_1 に対応した波長の $1 / 4$ の長さの伝送線路により構成してもよい。

【 0 0 3 0 】

なお、周知の如く、交流信号は周波数が高いほど波長が短くなるため、請求項 7 記載のように共振回路として伝送線路を用いる場合は、交流信号の周波数が高いほど、伝送線路の線路長を短くすることができで効果的である。

【 0 0 3 1 】

次に、請求項 8 記載の発明は、一对の入力端子から入力された交流信号を整流して直流電力に変換し、該変換後の直流電力を一对の出力端子から出力するよう構成された倍電圧整流回路であって、請求項 1 記載の倍電圧整流回路と同様、一对の入力端子の一方である第 1 入力端子と一对の出力端子の一方である第 1 出力端子との間に接続された第 1 の整流素子と、第 1 入力端子と一对の出力端子の他方である第 2 出力端子との間に、第 1 入力端子からみて第 1 の整流素子の接続方向とは逆方向に接続された第 2 の整流素子とを備えている。また、一对の入力端子の他方である第 2 入力端子は第 1 出力端子と電氣的に接続されている。

20

【 0 0 3 2 】

そして、本発明 (請求項 8) では、第 1 の整流素子から第 1 出力端子及び第 2 入力端子へ至る通電経路上に、所定の共振周波数 f_1 でインピーダンスが最大値をとるような共振特性を持つ第 1 の共振回路と、共振周波数 f_1 とは異なる共振周波数 f_2 でインピーダンスが最大値をとるような共振特性を持つ第 2 の共振回路とが、直列接続されている。

30

【 0 0 3 3 】

このように構成された倍電圧整流回路によれば、入力される交流信号における、共振周波数 f_1 の周波数成分やその近傍の周波数成分、及び、共振周波数 f_2 の周波数成分やその近傍の周波数成分に対して、第 1 の整流素子と共振回路との接続点から共振回路側をみたインピーダンスが大きくなる。そのため、これら各周波数成分に対しては、上記接続点における電圧が大きく変化 (振動) し、第 1 の整流素子にかかる電圧が大きくなる。

【 0 0 3 4 】

そのため、請求項 1 記載の倍電圧整流回路と同等、或いはそれ以上に、倍電圧整流回路全体の R F / D C 変換効率が向上する。

40

この場合 (請求項 8) の各共振回路の共振周波数は、例えば請求項 9 記載のように、第 1 の共振回路における共振周波数 f_1 は、交流信号の基本波周波数 f_0 と等しくなるようにし、第 2 の共振回路における共振周波数 f_2 は、交流信号の基本波周波数 f_0 の 2 倍の周波数 $2 f_0$ (つまり 2 次高調波の周波数) と等しくなるようにすることができる。

【 0 0 3 5 】

各共振回路の共振周波数 f_1 , f_2 をそれぞれ上記のように設定すれば、基本波成分に対しては第 1 の共振回路がハイインピーダンスとなり、2次高調波成分に対しては第 2 の共振回路がハイインピーダンスとなるため、基本波成分及び2次高調波成分の双方に対し

50

て、第1の整流素子による整流損失をより低く抑えることができる。そのため、RF/DC変換効率を確実に向上させることが可能となる。

【0036】

請求項8又は9記載の倍電圧整流回路においても、各共振回路は、上述した請求項6又は7と同様に構成することができる。

即ち、例えば請求項10記載のように、第1の共振回路及び第2の共振回路の少なくとも一方を、コンデンサ及びインダクタが並列接続されてなるLC並列共振回路として構成することができる。

【0037】

また例えば、請求項11記載のように、第1の共振回路及び第2の共振回路の少なくとも一方を、線路長が当該共振回路の共振周波数に対応した波長の1/4の長さの伝送線路により構成することができる。つまり、第1の共振回路を伝送線路で構成する場合は、共振周波数 f_1 に対応した波長の1/4の長さの伝送線路にて構成すればよい。第2の共振回路を伝送線路で構成する場合は、共振周波数 f_2 に対応した波長の1/4の長さの伝送線路にて構成すればよい。

10

【0038】

ここで、請求項1~11いずれかに記載の倍電圧整流回路は、例えば請求項12に記載のように、同一の半導体基板上に形成するようにしてもよい。このように構成すれば、倍電圧整流回路の小型化が可能となる。

【0039】

また、倍電圧整流回路を同一の半導体基板上に形成する場合において、特に、上記請求項6又は10に記載のように、共振回路がLC並列共振回路にて構成されている場合は、LC並列共振回路を構成するインダクタを例えば請求項13又は請求項14に記載のように構成することができる。

20

【0040】

即ち、請求項13に記載の倍電圧整流回路は、LC並列共振回路を構成するインダクタが、半導体基板上に渦巻き状に形成されたスパイラルインダクタにて構成されている。

このように、LC並列共振回路を構成するインダクタを、半導体基板上においてスパイラルインダクタとして形成することにより、半導体基板上に形成されてなる倍電圧整流回路全体をより小型化することが可能となる。

30

【0041】

また、請求項14に記載の倍電圧整流回路は、パッケージに覆われた同一の半導体基板上に形成され、この半導体基板上には、第1の整流素子のうちインダクタが接続される側に電氣的に接続された基板側電極パッドが形成され、パッケージには、第1出力端子としての機能を有するパッケージ側電極パッドが形成されている。そして、LC並列共振回路を構成するインダクタは、基板側電極パッドとパッケージ側電極パッドとを電氣的に接続するワイヤボンディングにより構成されている。

【0042】

半導体基板上に形成された回路において、半導体基板上の電極パッドとこれを覆うパッケージの電極パッドとを電氣的に接続するためにワイヤボンディングを用いることは、従来からよく行われている周知技術である。但しこのワイヤボンディングは、特に高周波領域においてはインダクタとしてもふるまうため、回路の高周波特性に対して悪影響を及ぼすおそれがある。そのため、通常は、ワイヤボンディングの長さをできる限り短くしたり、或いは、ワイヤボンディング以外の他の方法（例えばフリップチップ接合など）を用いたりするなどして、回路特性への悪影響を抑制するようにしている。

40

【0043】

これに対し、請求項14記載の倍電圧整流回路では、ワイヤボンディングが有するインダクタとしての作用・特性をむしろ積極的に利用し、LC並列共振回路を構成するインダクタとして代用するのである。これにより、半導体基板上に形成された回路とパッケージとを接続するために通常使用されるワイヤボンディングとは別に、LC並列共振回路用の

50

インダクタを形成する必要がなくなるため、半導体基板の面積をより削減（つまり半導体基板をより小型化）することが可能となる。

【 0 0 4 4 】

また、第 1 の整流素子及び第 2 の整流素子としては、例えばダイオードを用いるなど、整流機能を有する素子・部品・回路である限り適宜用いることができるが、例えば請求項 15 記載のように、ベースとコレクタが電氣的に接続されたバイポーラトランジスタを用いてもよい。

【 0 0 4 5 】

つまり、バイポーラトランジスタをダイオード接続（ベースとコレクタを接続）することにより、バイポーラトランジスタをダイオードとして機能させ、これを第 1、第 2 の整流素子として用いるのである。このように、整流素子としてバイポーラトランジスタを用いることにより、ダイオードを用いる場合に比べてより大きな電力を整流する（より大きな直流電力を得る）ことが可能となる。

【 0 0 4 6 】

次に、請求項 16 記載の倍電圧整流回路は、絶縁基板上に、互いに電氣的に絶縁された複数の半導体基板が形成されており、複数の半導体基板のそれぞれには、請求項 1 ~ 15 いずれかに記載の倍電圧整流回路が形成されている。そして、各半導体基板上に形成された各倍電圧整流回路の出力端子がそれぞれ直列接続されている。つまり、複数の倍電圧整流回路（請求項 1 ~ 15 いずれか）の出力端子を直列接続することで、全体として、各倍電圧整流回路の出力電圧の総和に相当する電圧が得られる 1 つの倍電圧整流回路を構成するのである。そのため、より高い電圧の直流出力を得ることができる。

【 発明を実施するための最良の形態 】

【 0 0 4 7 】

以下に、本発明の好適な実施形態を図面に基づいて説明する。

[第 1 実施形態]

図 1 に、本実施形態の倍電圧整流回路 1 の回路図を示す。図 1 に示す如く、本実施形態の倍電圧整流回路 1 は、図 14 で説明した従来の倍電圧整流回路 100 と比較して、ダイオード D1 のアノードとグランドとの間に LC 並列共振回路 5 が接続されている点、及び入力整合回路 3 の構成が異なっており、それ以外の構成は、従来の倍電圧整流回路 100 と同じである。そのため、本実施形態の倍電圧整流回路 1 に関する以下の説明においては、従来の倍電圧整流回路 100 と同じ部分についてはその説明を省略し、従来の倍電圧整流回路 100 と異なる点、即ち LC 並列共振回路 5 の構成とその作用・効果、及び、入力整合回路 3 について説明する。

【 0 0 4 8 】

上述の如く、本実施形態の倍電圧整流回路 1 は、ダイオード D1 のアノードとグランドとの間（ダイオード D1 から第 1 出力端子 14 及び第 2 入力端子 12 に至る通電経路上）に、コンデンサ C11 とインダクタ L11 とが並列接続されてなる LC 並列共振回路 5 が接続されている。なお、ダイオード D1 は本発明の第 1 の整流素子に相当するものであり、ダイオード D2 は本発明の第 2 の整流素子に相当するものである。

【 0 0 4 9 】

本実施形態では、信号源 2 から入力される RF 信号（交流信号）の基本波成分の周波数（基本波周波数） f_0 は、約 2.45 GHz である。また、負荷抵抗 4 の抵抗値は 100 Ω である。そして、LC 並列共振回路 5 は、共振周波数 f_1 が、基本波周波数 f_0 の 2 倍の周波数（ $2 \cdot f_0$ ）となるように設定されている。

【 0 0 5 0 】

図 2 に、LC 並列共振回路 5 のインピーダンス（ Z_{res} ）の周波数特性を示す。図 2 において、横軸は入力信号の周波数、縦軸はインピーダンス（ Z_{res} ）の絶対値である。

【 0 0 5 1 】

図 2 に示す如く、LC 並列共振回路 5 は、共振周波数 f_1 が基本波周波数 f_0 （ $= 2 \cdot$

10

20

30

40

50

45 GHz)の2倍である約3.4 GHzとなるよう構成されており、この共振周波数 $f_1 (= 3.4 \text{ GHz})$ のときにインピーダンスが最大値(図中 $m_3 : 665.63$)をとる。このように、基本波周波数 f_0 の2倍の周波数を共振周波数 f_1 としているのは、基本波周波数 f_0 および2次高調波の周波数 $2f_0$ のいずれにおいても、ある程度の大きなインピーダンス値をとれるようにするためである。

【0052】

即ち、例えば共振周波数 f_1 を基本波周波数 f_0 と等しくなるよう設定した場合、LC並列共振回路5のインピーダンスは、基本波周波数 f_0 に対しては最大値をとることになるが、2次高調波周波数 $2f_0$ に対しては非常に小さい値となる。逆に、共振周波数 f_1 を2次高調波周波数 $2f_0$ と等しくなるよう設定した場合、LC並列共振回路5のインピーダンスは、2次高調波周波数 $2f_0$ に対しては最大値をとることになるが、基本波周波数 f_0 に対しては非常に小さい値となる。そこで、本実施形態では、共振周波数 f_1 を基本波周波数 f_0 の2倍に設定することで、基本波周波数 f_0 及び2次高調波周波数 $2f_0$ の双方に対してバランス良く、ある程度の高いインピーダンス値を得ることができるようになっているのである。

10

【0053】

次に、本実施形態の倍電圧整流回路1について、特にLC並列共振回路5を接続したことにより生じる作用を、図3～図5を用いて、従来の倍電圧整流回路100と比較しつつ説明する。

【0054】

図3は、従来の倍電圧整流回路100における電圧の変化を示すグラフであり、(a)は回路中の各部の電圧変化を示し、(b)は各ダイオードD1、D2にかかる電圧の変化を示すものである。なお、図3(a)において、 V_{dob} は、ダイオードD2のカソードと出力インダクタL1との接続点の電圧、 V_{doa} は、ダイオードD1のアノード側の電圧(つまりグラウンド電位)、 V_{din} は、ダイオードD1のカソードとダイオードD2のアノードとの接続点の電圧、 V_{in} は、第1入力端子11の電圧(つまりRF信号の電圧)、 V_{out} は、第2出力端子13の電圧(つまり当該倍電圧整流回路1から出力される直流電圧)を、それぞれ示す。

20

【0055】

また、図4は、本実施形態の倍電圧整流回路1における各部の電圧変化(同図(a))および、各ダイオードD1、D2にかかる電圧の変化(同図(b))を示すグラフである。なお、 V_{doa} は、図3(a)(従来の倍電圧整流回路100)ではグラウンド電位立ったのに対し、本実施形態では、ダイオードD1のアノードとLC並列共振回路5との接続点の電圧である。また、図3、図4の各グラフはいずれも、200mWの電力のRF信号が入力された場合のデータを示すものである。

30

【0056】

上述したように、本実施形態の倍電圧整流回路1においては、LC並列共振回路5の共振周波数 f_1 が基本波周波数 f_0 の2倍に設定されているため、ダイオードD1からLC並列共振回路5側をみたインピーダンスが、基本波周波数 f_0 及び2次高調波周波数 $2f_0$ の双方に対して高い値となる。

40

【0057】

そのため、図3(a)と図4(a)を比較して明らかなように、本実施形態では、ダイオードD1のアノード側の電圧 V_{doa} が大きく変化(振動)する。その結果、図3(b)と図4(b)を比較して明らかなように、ダイオードD1に係る電圧($V_{din} - V_{doa}$)も大きく変化するようになる。つまり、従来の倍電圧整流回路100に比べて、本実施形態の倍電圧整流回路1の方が、ダイオードD1にかかる電圧が大きくなる。

【0058】

一般に、整流素子において整流する際に、整流素子における損失を少なくするためには、整流素子にかかる電圧が大きい方がよく、整流効率が高くなることが知られている。そのため、本実施形態の倍電圧整流回路1は、従来と比較して、ダイオードD1にかかる電

50

圧が大きいため、ダイオード D 1 による損失が低減され、延いては、倍電圧整流回路 1 全体の R F / D C 変換効率が向上する。因みに、図 3 に示した従来例における R F / D C 変換効率は約 2 4 % であったのに対し、図 4 に示した本実施形態における R F / D C 変換効率は約 3 2 % であった。

【 0 0 5 9 】

また、本実施形態の倍電圧整流回路 1 は、L C 並列共振回路 5 を設けたことにより、入力整合回路 3 と入力コンデンサ C 1 との接続点（以下「整流回路入力点」ともいう）から入力コンデンサ C 1 側をみたインピーダンスが、従来の倍電圧整流回路 1 0 0 に比べて 5 0 （即ちマッチング目標値）により近く、整流回路入力点における反射係数も従来に比べてより小さくなる。

10

【 0 0 6 0 】

図 5 に、本実施形態の倍電圧整流回路 1 における整流回路入力点から入力コンデンサ C 1 側をみた反射係数及びインピーダンス特性を示す。なお、図 5 (a) は反射係数の周波数特性を示すグラフであり、図 5 (b) はスミスチャートである。

【 0 0 6 1 】

図 5 (a) に示すように、反射係数 (S 1 1) は、従来の倍電圧整流回路 1 0 0 に対し、L C 並列共振回路 5 を有する本実施形態の倍電圧整流回路 1 の方が小さくなっている。このことは、図 5 (b) のスミスチャートからも同様に読み取れる。

【 0 0 6 2 】

また、図 5 (b) には、本実施形態 (L C 並列共振回路あり) 及び従来 (L C 並列共振回路なし) のそれぞれについて、R F 信号の基本波周波数 f_0 近傍の周波数 (本図では 2 . 5 G H z) に対応した値にマーカー m 1 , m 2 が示されていると共に、その周波数における反射係数及びインピーダンスの具体的な数値が示されている。なお、m 1 は本実施形態の場合を示し、m 2 は従来の場合を示している。

20

【 0 0 6 3 】

本図から明らかのように、m 2 (従来) に対して m 1 (本実施形態) の方が、スミスチャート上においてその中心点に近い。これは即ち、本実施形態の方がマッチングさせるための調整量が少なく済むことを意味している。そのため、本実施形態の倍電圧整流回路 1 における入力整合回路 3 は、従来の倍電圧整流回路 1 0 0 における入力整合回路 1 0 1 と比較して、整合量を減らすことができ、入力整合回路 3 の簡略化を図ることが可能となる。

30

【 0 0 6 4 】

ところで、図 1 に示した本実施形態の倍電圧整流回路 1 は、より具体的には、図 6 に示すように、同一の半導体基板上に形成されている。図 6 は、本実施形態の倍電圧整流回路 1 が半導体基板としてのシリコン基板上に形成されている状態を示す斜視図である。

【 0 0 6 5 】

図 6 に示すように、倍電圧整流回路 1 が形成されたシリコン基板 1 6 上には、R F 信号が入力される第 1 入力端子 1 1 に相当する R F 入力パッド 2 1 と、変換後の直流電力が出力される第 2 出力端子に相当する D C 出力パッド 2 2 と、第 2 入力端子及び第 1 出力端子の双方に相当する複数のグランドパッド 2 3 が形成されている。各グランドパッド 2 3 は、グランドパターン 1 8 を介して直流的に同電位となるよう電氣的に接続されている。

40

【 0 0 6 6 】

そして、入力整合回路 3、入力コンデンサ C 1、ダイオード部 D D (ダイオード D 1 , D 2 からなる)、L C 並列共振回路 5 を構成するコンデンサ C 1 1 とインダクタ L 1 1、出力インダクタ L 1、及び出力コンデンサ C 2 が、図 1 の回路図に従ってそれぞれ電氣的に接続されている。

【 0 0 6 7 】

また、本実施形態では、入力整合回路 3 が具体的にはインダクタにて構成されている。そして、この入力整合回路 3 としてのインダクタと、出力インダクタ L 1 と、L C 並列共振回路 5 を構成するインダクタ L 1 1 は、いずれも、シリコン基板 1 6 上に渦巻き状に形

50

成されたスパイラルインダクタである。

【0068】

以上説明した本実施形態の倍電圧整流回路1では、ダイオードD1のアノードとグランドとの間に、共振周波数 f_1 がRF信号の基本波周波数 f_0 の2倍となるように設定されたLC並列共振回路5が接続されている。これにより、このLC並列共振回路5を設けない従来の倍電圧整流回路100に比べ、ダイオードD1に大きな電圧がかかるようになる。そのため、ダイオードD1による損失が低減され、倍電圧整流回路1全体のRF/DC変換効率が向上する。

【0069】

なお、共振周波数 f_1 をRF信号の基本波周波数 f_0 の2倍となるようにしていることで、ダイオードD1からLC並列共振回路5側をみたインピーダンスは、基本波成分及び2次高調波成分の双方に対してある程度の大きい値をとる。そのため、両周波数成分をトータル的にみれば、結果として、倍電圧整流回路1全体としてのRF/DC変換効率を向上させることが可能となるのである。

【0070】

また、LC並列共振回路5を設けたことにより、図5を用いて説明したように、整流回路入力点から入力コンデンサC1側を見たインピーダンスが、マッチング条件である50により近づいている。そのため、入力整合回路3における整合量を低減させることができ、入力整合回路3の構成を簡素化することも可能となる。

【0071】

更に、本実施形態では、倍電圧整流回路1全体を同一の半導体基板（シリコン基板16）上に形成している。そして、LC並列共振回路5を構成するインダクタL11をはじめ、入力整合回路3を構成するインダクタ及び出力インダクタL1のいずれも、スパイラルインダクタとして形成している。そのため、倍電圧整流回路1全体をより小型化することが可能となる。

【0072】

[第2実施形態]

図7に、本実施形態の倍電圧整流回路40の回路図を示す。本実施形態の倍電圧整流回路40は、図1に示した第1実施形態の倍電圧整流回路1と比較して、ダイオードD1のアノードとグランドとの間に接続する回路が異なっており、その他の部分については第1実施形態の倍電圧整流回路1と基本的に同じ構成である。そのため、本実施形態の倍電圧整流回路40に関する以下の説明においては、第1実施形態の倍電圧整流回路1と同じ部分についてはその説明を省略し、第1実施形態の倍電圧整流回路1と異なる点、即ちダイオードD1のアノード側に接続される回路の構成とその作用・効果について説明する。

【0073】

図7に示す如く、本実施形態の倍電圧整流回路40は、ダイオードD1のアノードとグランドとの間に、2つのLC並列共振回路41、42が直列接続されている。具体的には、コンデンサC12とインダクタL12が並列接続されてなる第1LC並列共振回路41と、コンデンサC22とインダクタL22が並列接続されてなる第2LC並列共振回路42とが互いに直列接続され、このうち第1LC並列共振回路41がダイオードD1のアノードに接続され、第2LC並列共振回路42がグランドに接続されている。

【0074】

そして、第1LC並列共振回路41の共振周波数 f_1 は、RF信号の基本波周波数 f_0 と等しくなるように設定されており、第2LC並列共振回路42の共振周波数 f_2 は、RF信号の基本波周波数 f_0 の2倍の周波数 $2f_0$ （つまり2次高調波の周波数）と等しくなるように設定されている。

【0075】

そのため、ダイオードD1のアノードから第1LC並列共振回路41側をみたインピーダンスは、基本波周波数 f_0 の成分に対しては第1LC並列共振回路41がハイインピーダンスとなり、2次高調波の周波数 $2f_0$ の成分に対しては第2LC並列共振回路がハイ

10

20

30

40

50

インピーダンスとなるため、基本波成分及び2次高調波成分の双方に対して、ダイオードD1にかかる電圧が大きくなり、このダイオードD1による整流損失をより低く抑えることができる。

【0076】

従って、本実施形態の倍電圧整流回路40によっても、第1実施形態の倍電圧整流回路1と同様の効果が得られる。

[第3実施形態]

図8に、本実施形態の倍電圧整流回路50の回路図を示す。本実施形態の倍電圧整流回路50も、図1に示した第1実施形態の倍電圧整流回路1と比較して、ダイオードD1のアノードとグランドとの間に接続する回路が異なっており、その他の部分については第1実施形態の倍電圧整流回路1と基本的に同じ構成である。そのため、本実施形態の倍電圧整流回路50に関する以下の説明においては、第1実施形態の倍電圧整流回路1と同じ部分についてはその説明を省略し、第1実施形態の倍電圧整流回路1と異なる点、即ちダイオードD1のアノード側に接続される回路の構成とその作用・効果について説明する。

【0077】

図8に示す如く、本実施形態の倍電圧整流回路50は、ダイオードD1のアノードとグランドとの間に、伝送線路51が接続されている。そして、この伝送線路51の長さは、RF信号の基本波周波数 f_0 の2倍の周波数に対応した波長の $1/4$ の長さである。

【0078】

つまり、この伝送線路51は、ダイオードD1のアノードから当該伝送線路51側をみたインピーダンスが基本波周波数 f_0 の2倍の周波数に対してハイインピーダンスとなるような共振特性を持つものである。

【0079】

そのため、この伝送線路51は、第1実施形態の倍電圧整流回路1におけるLC並列共振回路5と同じ共振特性を有し、同様の作用を奏する。従って、本実施形態の倍電圧整流回路50によっても、第1実施形態と同様の効果が得られる。

【0080】

なお、図9に、本実施形態の倍電圧整流回路50が半導体基板としてのシリコン基板上に形成されている状態を示す。図9に示した倍電圧整流回路50は、図6に示した第1実施形態の倍電圧整流回路1と比較して、図6においてインダクタL11(スパイラルインダクタ)が形成されていた部分に伝送線路51が形成されている点が異なっており、それ以外の部分は図6と同じである。

【0081】

図9に示した伝送線路51の線路長は、上述したように、RF信号の基本波周波数 f_0 の2倍の周波数に対応した波長の $1/4$ の長さである。

なお、本実施形態のように伝送線路51を用いて共振特性を実現する場合は、RF信号の周波数(基本波周波数 f_0)が高いほど、伝送線路51の線路長を短くすることができ、シリコン基板16を小さくすることができる(即ち、倍電圧整流回路50を小型化できる)ため、より効果的である。

【0082】

[第4実施形態]

図10に、本実施形態の倍電圧整流回路30の回路図を示す。本実施形態の倍電圧整流回路30は、図1に示した第1実施形態の倍電圧整流回路1と比較して、ダイオードD1の代わりにバイポーラトランジスタTr1が接続され、ダイオードD2の代わりにバイポーラトランジスタTr2が接続されている点が異なっており、その他の部分については第1実施形態の倍電圧整流回路1と基本的に同じ構成である。そのため、本実施形態の倍電圧整流回路30に関する以下の説明においては、第1実施形態の倍電圧整流回路1と同じ部分についてはその説明を省略し、第1実施形態の倍電圧整流回路1と異なる点、即ちダイオードD1, D2に代えてバイポーラトランジスタTr1, Tr2が接続されていることとその作用・効果について説明する。

【0083】

図10に示す如く、本実施形態のバイポーラトランジスタ Tr_1 、 Tr_2 はいずれも、NPN型のバイポーラトランジスタ（高周波トランジスタ）であり、ベースとコレクタが電氣的に直結された、いわゆるダイオード接続にされている。これにより、各バイポーラトランジスタ Tr_1 、 Tr_2 は、コレクタからエミッタへ向かう方向を順方向とするダイオードとして機能する。

【0084】

このように構成された各バイポーラトランジスタ Tr_1 、 Tr_2 のうち、バイポーラトランジスタ Tr_1 は、コレクタがLC並列共振回路5に接続され、エミッタが入力コンデンサC1の一端に接続されている。一方、バイポーラトランジスタ Tr_2 は、コレクタが

10

【0085】

このように構成された倍電圧整流回路30においては、整流素子として、ダイオードに代えてバイポーラトランジスタを用いている。そのため、RF/DC変換効率については第1実施形態と同様の効果を得ることができる。

【0086】

更に、本実施形態の倍電圧整流回路30では、整流素子としてダイオードを用いた第1実施形態の倍電圧整流回路1に比べ、より大きい電流を整流することができる。そのため、より大きな直流電力を得ることが可能となる。

20

【0087】

[第5実施形態]

図11に、本実施形態の倍電圧整流回路70の回路図を示す。図11に示す如く、本実施形態の倍電圧整流回路70は、図10で説明した第4実施形態の倍電圧整流回路30を2つ備えている。そして、各倍電圧整流回路30（30a、30b）の出力端子のうち、一方の倍電圧整流回路30aにおける第1出力端子14と、他方の倍電圧整流回路30bにおける第2出力端子13とが、導体71により電氣的に接続されている。

【0088】

ここで、このように複数の倍電圧整流回路30a、30bを直列接続してなる倍電圧整流回路70を、同一の半導体基板上に形成しようとする、通常は、整流素子（ここではバイポーラトランジスタ Tr_1 、 Tr_2 ）の基板電位が同一となるため、実質的に不可能である。

30

【0089】

そこで本実施形態では、絶縁基板上に半導体回路を形成するプロセスを用い、複数の倍電圧整流回路30a、30b同士は絶縁物で電氣的に絶縁することにより、各倍電圧整流回路30a、30b同士の直列接続を実現している。

【0090】

即ち、図12に示すように、絶縁基板72上に、本実施形態の倍電圧整流回路70を構成する2つの倍電圧整流回路30a、30bのうち一方の倍電圧整流回路30aが形成されたシリコン基板70aと、他方の倍電圧整流回路30bが形成されたシリコン基板70bとを形成する。各シリコン基板70a、70bの相互間は絶縁物73により電氣的に絶縁する。

40

【0091】

このように構成された本実施形態の倍電圧整流回路70によれば、図10に示した倍電圧整流回路30を複数用意すると共にこれらの出力端子を直列接続することで、倍電圧整流回路70全体として、これを構成する各倍電圧整流回路30a、30bの出力電圧の総和に相当する電圧が得られる。そのため、より高い電圧の直流出力を得ることができる。

【0092】

しかも、図12に示したように、同一の絶縁基板72上に、絶縁物73により互いに電

50

氣的に絶縁された複数のシリコン基板 70 a, 70 b を形成し、各シリコン基板 70 a, 70 b 上にそれぞれ倍電圧整流回路 30 a, 30 b を形成している。つまり、全体として 1 つの基板上に本実施形態の倍電圧整流回路 70 が形成されている。そのため、本実施形態の倍電圧整流回路 70 を小型化することが可能となる。

【0093】

[変形例]

以上、本発明の実施形態について説明したが、本発明の実施の形態は、上記実施形態に何ら限定されるものではなく、本発明の技術的範囲に属する限り種々の形態を採り得ることはいうまでもない。

【0094】

例えば、第 1 実施形態、第 4 実施形態、および第 5 実施形態では、いずれも、LC 並列共振回路 5 の共振周波数 f_1 を基本波周波数 f_0 の 2 倍とし、第 3 実施形態でも、伝送線路 51 の線路長が共振周波数 f_1 (基本波周波数 f_0 の 2 倍) に対応した波長の $1/4$ の長さとなるようにしたが、共振周波数 f_1 はこれに限定されるわけではなく、入力される RF 信号に含まれる周波数成分や倍電圧整流回路内で発生する高調波成分に対して所定のインピーダンス値をとり、延いては RF/DC 変換効率の向上が実現できる限り、任意の周波数に設定することができる。

【0095】

例えば、基本波周波数 f_0 からその 2 倍の周波数 $2f_0$ までの範囲内における所定の周波数に設定してもよい。その場合、より具体的には、例えば、基本波周波数 f_0 と同じ (又はほぼ同じ) 共振周波数としてもよいし、基本波周波数 f_0 の 2 倍の周波数 (2 次高調波相当) と同じ (又はほぼ同じ) 共振周波数としてもよい。前者の場合、少なくとも基本波周波数に対しては上記各実施形態と同様の効果 (ダイオード D1 による損失低減) が得られ、後者の場合、少なくとも 2 次高調波に対しては上記各実施形態と同様の効果が得られる。

【0096】

また、上記実施形態では、LC 並列共振回路 5 (41, 42) を構成するインダクタ L11 の具体例としてスパイラルインダクタを例示したが (図 6 参照)、これに代えて、図 13 に示すようにワイヤボンディング 62 を用いるようにしてもよい。

【0097】

図 13 に示す倍電圧整流回路 60 は、図 6 に示した第 1 実施形態の倍電圧整流回路 1 と比較して、LC 並列共振回路 5 を構成するインダクタ L11 がシリコン基板 16 上に形成されていない。但し、シリコン基板 16 上には、ダイオード D1 のアノードと電氣的に接続された (即ち、LC 並列共振回路 5 を構成するコンデンサ C11 の一端と電氣的に接続された) 基板側グランドパッド 61 (本発明の基板側電極パッドに相当) が形成されている。

【0098】

また、倍電圧整流回路 60 が形成されたシリコン基板 16 は、図示しないパッケージにより被覆されている。そして、このパッケージには、シリコン基板 16 上の各電極パッドと当該パッケージ外部とを電氣的に接続可能とするための複数の電極パッドを備えており、このうち 1 つが、図 13 に示したパッケージ側グランドパッド 63 (本発明のパッケージ側電極パッドに相当) である。

【0099】

そして、基板側グランドパッド 61 とパッケージ側グランドパッド 63 とは、ワイヤボンディング 62 により接続されている。ワイヤボンディングは、一般に、高周波領域においてはインダクタとしてもふるまう。そこで、図 13 の倍電圧整流回路 60 では、ワイヤボンディング 62 によるインダクタとしてのふるまいを積極的に利用し、LC 並列共振回路 5 を構成するインダクタ L11 として代用 (兼用) している。このようにすることで、シリコン基板 16 上に LC 並列共振回路 5 用のインダクタ L11 を形成する必要がなくなるため、シリコン基板 16 の面積をより削減でき、延いては倍電圧整流回路 60 のさらな

10

20

30

40

50

る小型化が可能となる。

【0100】

また、第5実施形態では、2つの倍電圧整流回路30a, 30b(いずれも第4実施形態の倍電圧整流回路30)を1つの絶縁基板72上に形成し、これらの出力を直列接続してなる倍電圧整流回路70を示したが、直列接続する倍電圧整流回路30の数は3つ以上であってもよい。また、直列接続する個々の倍電圧整流回路は、第1実施形態の倍電圧整流回路1(図1参照)でもよいし、第2実施形態の倍電圧整流回路40(図7参照)でもよいし、第3実施形態の倍電圧整流回路50(図8参照)でもよい。

【0101】

更に、第5実施形態で説明した倍電圧整流回路70において、直列接続される各倍電圧整流回路30a, 30bを構成するバイポーラトランジスタTr1, Tr2は、ダイオードで代用してもよい。

10

【0102】

更にまた、第2実施形態や第3実施形態においても、第4実施形態のように、整流素子として、ダイオードD1, D2に代えてバイポーラトランジスタTr1, Tr2を用いてもよい。なお、整流素子としては、上述したようなダイオード又はバイポーラトランジスタに限らず、所望の整流機能を有する限り、あらゆる回路・素子を用いることができる。

【0103】

ちなみに、大電力化のための方法としては、バイポーラトランジスタを用いること以外にも、例えば、ダイオードそのものの大電力化を図る方法、或いは、ダイオードを直列又は並列に複数接続することで大電力化を図る方法もあり、こういった方法を採用することもできる。ただ、前者の場合はダイオードのコストアップを招き、後者の場合はダイオードの接続数が増えるに従って効率が悪くなる。そのため、好ましくは、上記第4実施形態のようにバイポーラトランジスタを用いることで大電力化を図るとよい。

20

【0104】

また、第2実施形態、第4実施形態、第5実施形態においても、LC並列共振回路5の代わりに、第3実施形態と同じように伝送線路を用いても良い。その場合、特に第2実施形態においては、2つのLC並列共振回路41, 42のうち両方とも伝送線路で構成してもよいし、一方はLC並列共振回路として他方を伝送線路で構成するようにしてもよい。

【0105】

更に、上記各実施形態の整流素子はそれぞれ、接続方向(順方向又は逆方向)を入れ替えてもよい。即ち、例えば第1実施形態の倍電圧整流回路1において、ダイオードD1及びダイオードD2の接続方向を共に逆にしてもよい。

30

【図面の簡単な説明】

【0106】

【図1】第1実施形態の倍電圧整流回路の回路図である。

【図2】第1実施形態の倍電圧整流回路を構成するLC並列共振回路のインピーダンス特性を示すグラフである。

【図3】従来の倍電圧整流回路における電圧の変化を示すグラフであり、(a)は回路中の各部の電圧変化を示し、(b)は各ダイオードD1, D2にかかる電圧の変化を示す。

40

【図4】第1実施形態の倍電圧整流回路における電圧の変化を示すグラフであり、(a)は回路中の各部の電圧変化を示し、(b)は各ダイオードD1, D2にかかる電圧の変化を示す。

【図5】第1実施形態の倍電圧整流回路における入力コンデンサの入力側(整流回路入力点)から入力コンデンサ側をみた反射係数及びインピーダンス特性を示す図であり、(a)は反射係数の周波数特性を示すグラフ、(b)はスミスチャートである。

【図6】第1実施形態の倍電圧整流回路が半導体基板上に形成されている状態を示す斜視図である。

【図7】第2実施形態の倍電圧整流回路の回路図である。

【図8】第3実施形態の倍電圧整流回路の回路図である。

50

【図9】第3実施形態の倍電圧整流回路が半導体基板上に形成されている状態を示す斜視図である。

【図10】第4実施形態の倍電圧整流回路の回路図である。

【図11】第5実施形態の倍電圧整流回路の回路図である。

【図12】第5実施形態の倍電圧整流回路が絶縁基板上に形成されている状態を示す模式図である。

【図13】半導体基板上に形成された第1実施形態の倍電圧整流回路の変形例を示す斜視図である。

【図14】従来の倍電圧整流回路の回路図である。

【符号の説明】

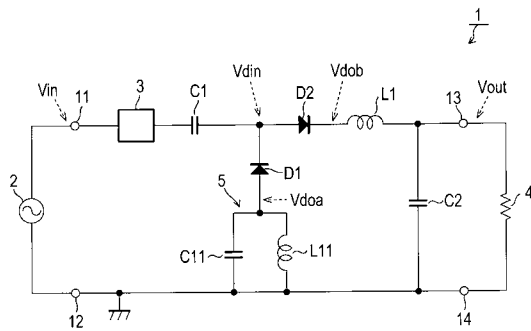
【0107】

1, 30, 30a, 30b, 40, 50, 60, 70, 100 ... 倍電圧整流回路、2 ... 信号源、3, 101 ... 入力整合回路、4 ... 負荷抵抗、5 ... LC並列共振回路、11 ... 第1入力端子、12 ... 第2入力端子、13 ... 第2出力端子、14 ... 第1出力端子、16, 70a, 70b ... シリコン基板、18 ... グランドパターン、21 ... RF入力パッド、22 ... DC出力パッド、23 ... グランドパッド、41 ... 第1LC並列共振回路、42 ... 第2LC並列共振回路、51 ... 伝送線路、61 ... 基板側グランドパッド、62 ... ワイヤボンディング、63 ... パッケージ側グランドパッド、71 ... 導体、72 ... 絶縁基板、73 ... 絶縁物、C1 ... 入力コンデンサ、C11, C12, C22 ... コンデンサ、C2 ... 出力コンデンサ、D1, D2 ... ダイオード、DD ... ダイオード部、L1 ... 出力インダクタ、L11, L12, L22 ... インダクタ、Tr1, Tr2 ... パイポーラトランジスタ

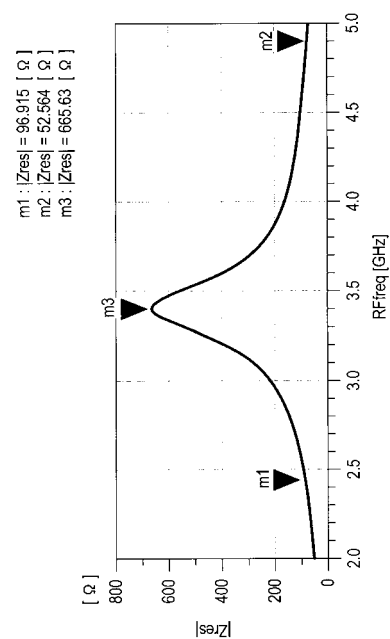
10

20

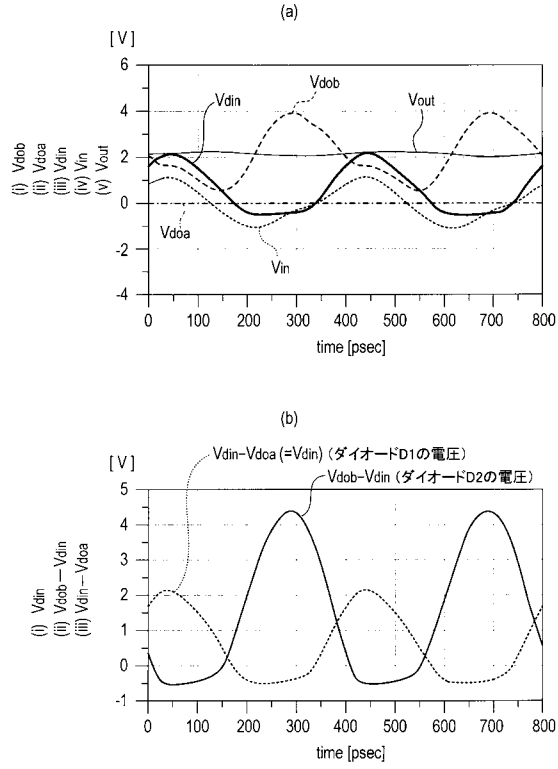
【図1】



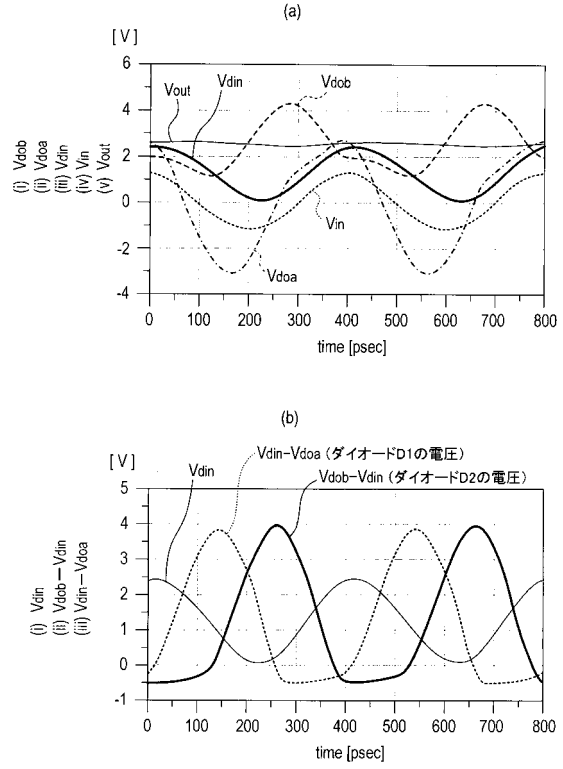
【図2】



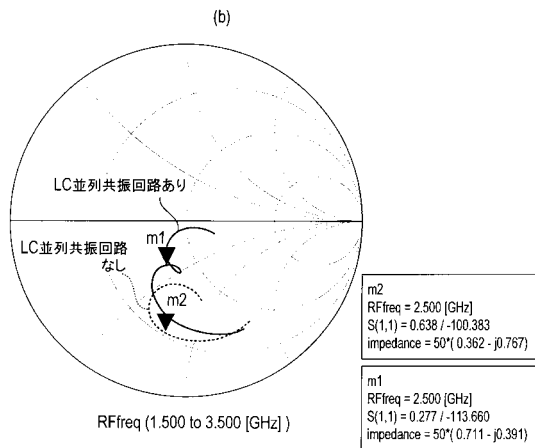
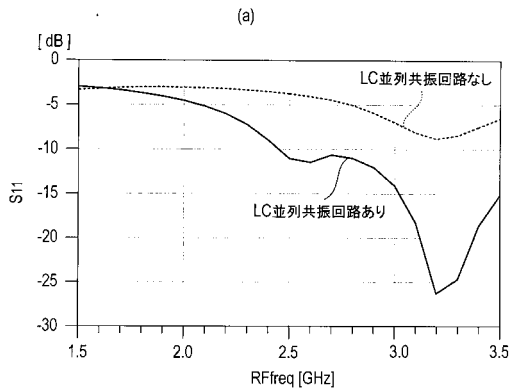
【 図 3 】



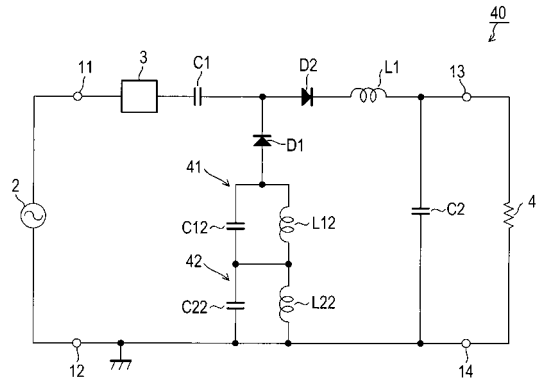
【 図 4 】



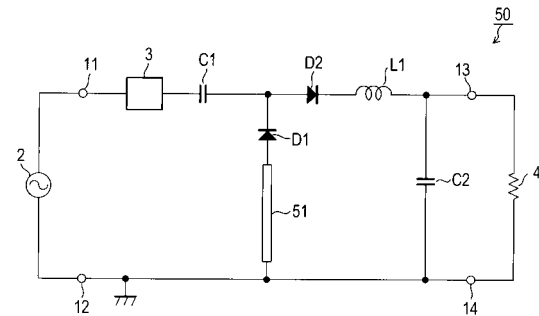
【 図 5 】



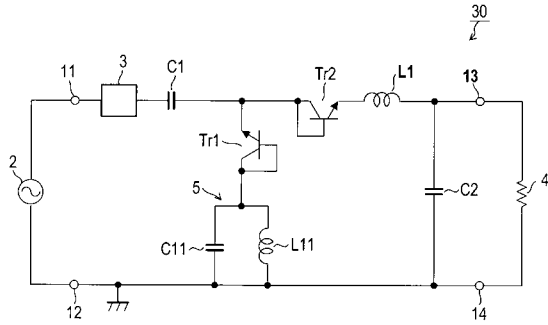
【 図 7 】



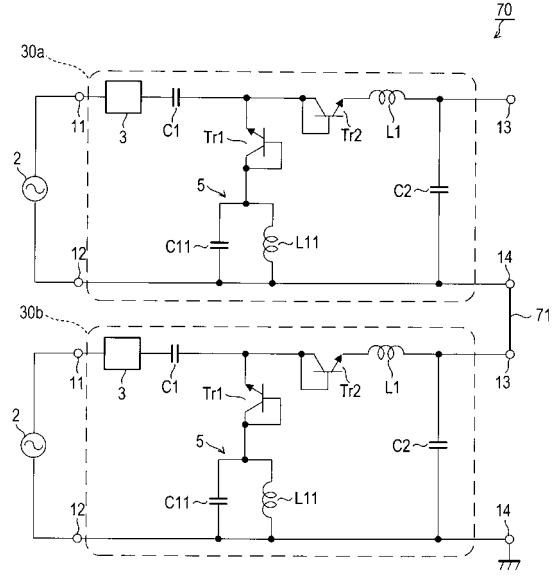
【 図 8 】



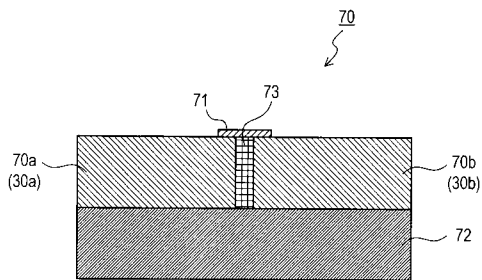
【図10】



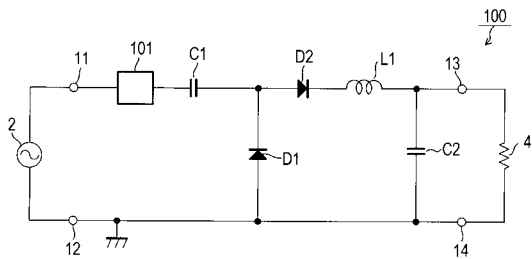
【図11】



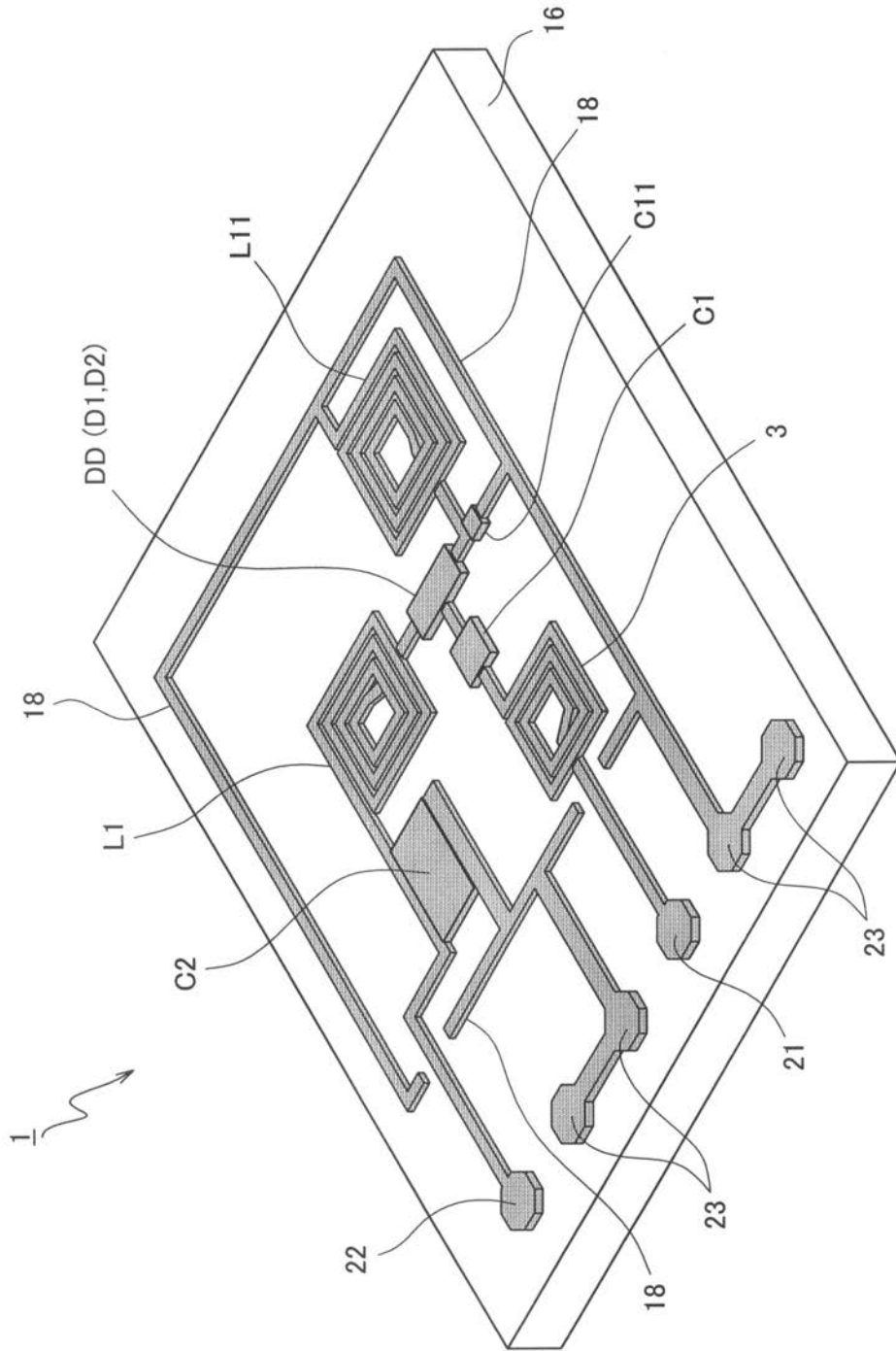
【図12】



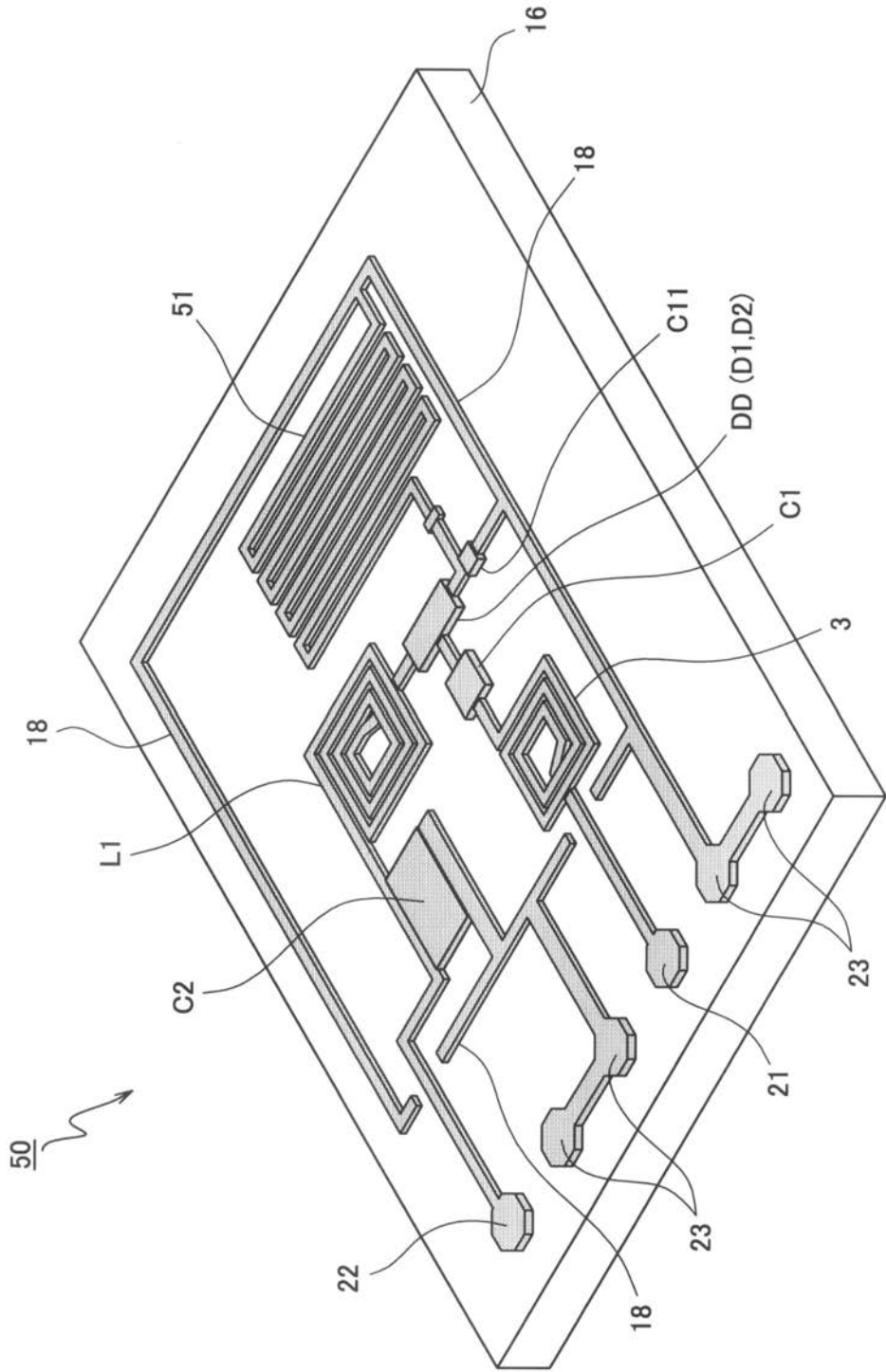
【図14】



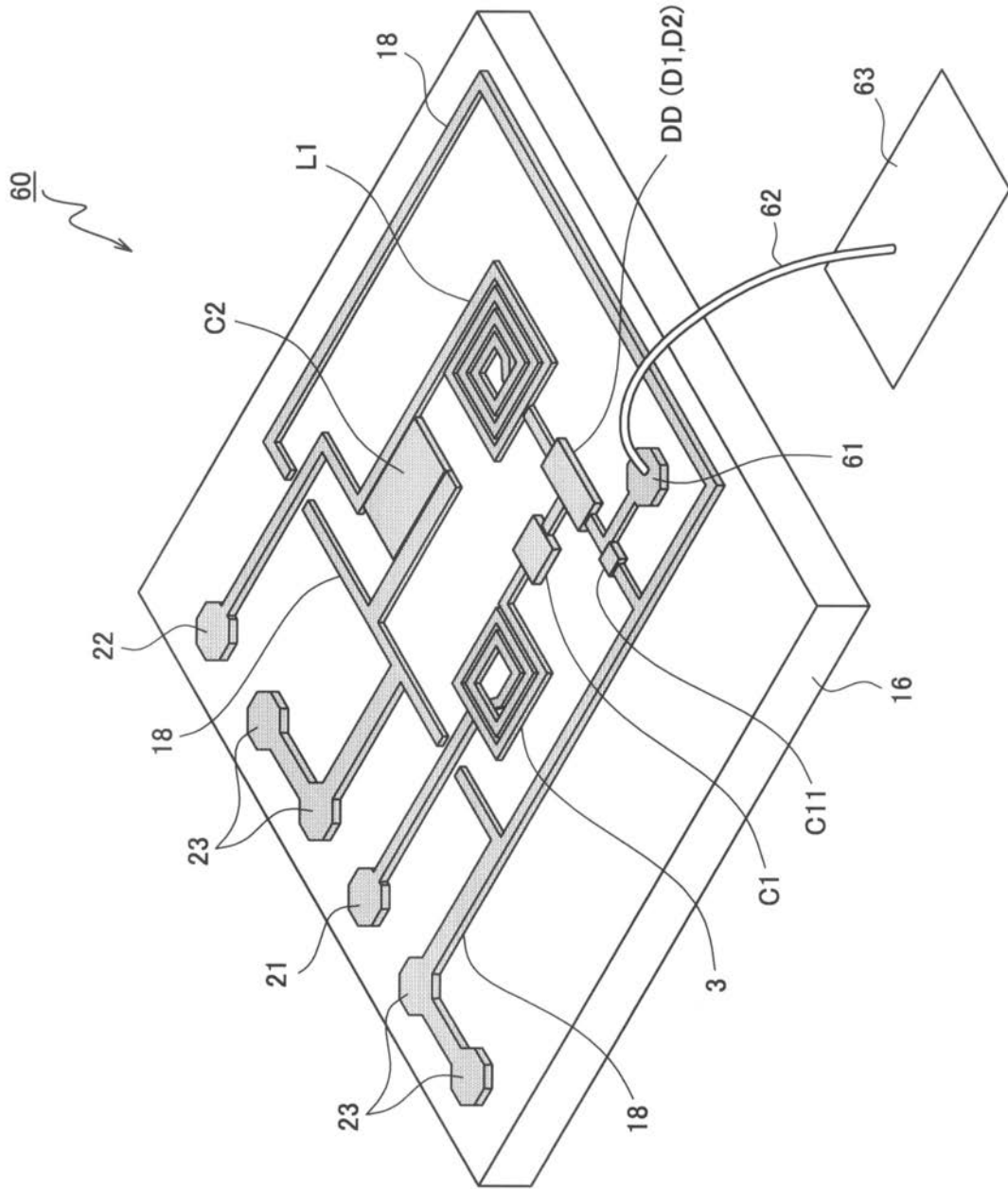
【図6】



【図9】



【 図 1 3 】



フロントページの続き

(56)参考文献 実開平03 - 091082 (JP, U)
特開2001 - 165973 (JP, A)
特開平07 - 183471 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 7/10