



(12)发明专利

(10)授权公告号 CN 109727989 B

(45)授权公告日 2020.07.07

(21)申请号 201811634502.4

H01L 27/11526(2017.01)

(22)申请日 2018.12.29

H01L 27/11578(2017.01)

H01L 27/11573(2017.01)

(65)同一申请的已公布的文献号

申请公布号 CN 109727989 A

(56)对比文件

CN 107658317 A, 2018.02.02, 说明书第0077-0093段、附图4A-5C.

US 9530790 B1, 2016.12.27, 全文.

CN 107658315 A, 2018.02.02, 全文.

(43)申请公布日 2019.05.07

(73)专利权人 长江存储科技有限责任公司

地址 430205 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

审查员 张海洋

(72)发明人 胡斌 肖莉红

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 徐伟

(51)Int.Cl.

H01L 27/11551(2017.01)

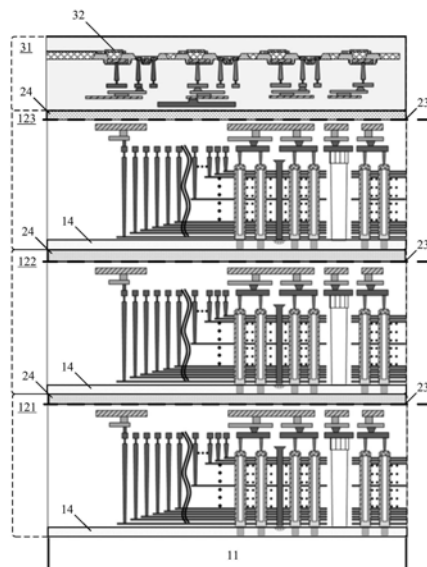
权利要求书2页 说明书9页 附图8页

(54)发明名称

一种三维存储器及其制造方法

(57)摘要

本发明公开了一种三维存储器及其制造方法。上述三维存储器,包括:衬底、形成在上述衬底上的至少一个阵列层,以及外围器件层;上述至少一个阵列层沿上述三维存储器的高度方向堆叠,每一个上述阵列层包括:阵列单元层和位于上述阵列单元层上的介质层,其中,上述介质层与上述阵列单元层通过两者之间的粘结面粘结;上述外围器件层形成在位于最顶部的阵列层的介质层上。本发明能够提升上述三维存储器的器件性能,并节省晶圆面积。



1. 一种三维存储器,其特征在于,包括衬底、形成在所述衬底上的至少一个阵列层以及外围器件层;

所述至少一个阵列层沿所述三维存储器的高度方向堆叠,每一个所述阵列层包括阵列单元层和位于所述阵列单元层上的介质层,其中,所述介质层与所述阵列单元层通过两者之间的粘结面粘结,所述阵列单元层包括阵列存储层和阵列互联层;

所述外围器件层形成在位于最顶部的阵列层的介质层上。

2. 如权利要求1所述的三维存储器,其特征在于,所述介质层为单晶硅材质。

3. 如权利要求2所述的三维存储器,其特征在于,所述介质层为注氢层。

4. 如权利要求1所述的三维存储器,其特征在于,所述介质层为多孔氧化硅层。

5. 一种三维存储器的制造方法,其特征在于,包括:

提供第一衬底;

在所述第一衬底上形成至少一个阵列层,所述至少一个阵列层沿所述三维存储器的高度方向堆叠,每一个所述阵列层包括阵列单元层和位于所述阵列单元层上的介质层,其中,所述介质层与所述阵列单元层通过两者之间的粘结面粘结,所述阵列单元层包括阵列存储层和阵列互联层;以及

在位于最顶部的阵列层的介质层上形成外围器件层。

6. 如权利要求5所述的制造方法,其特征在于,形成至少一个阵列层进一步包括:

在所述第一衬底上形成第一阵列单元层;

提供第二晶圆,所述第二晶圆的上部为介质层;

粘结第二晶圆上部的介质层与所述第一阵列单元层;

以第二晶圆上部的介质层在所述第二晶圆中的交界面为切割界面切割所述第二晶圆,使第二晶圆上部的介质层从所述第二晶圆中剥离,以在所述第一衬底上形成最底部的阵列层。

7. 如权利要求6所述的制造方法,其特征在于,形成至少一个阵列层还包括:

在所述最底部的阵列层上形成一个或多个阵列层;

形成所述一个或多个阵列层中的每一个进一步包括:

在下方的阵列层的介质层表面形成阵列单元层;

提供第三晶圆,所述第三晶圆的上部为介质层;

粘结第三晶圆上部的介质层与该阵列单元层;

以第三晶圆上部的介质层在所述第三晶圆中的交界面为切割界面切割所述第三晶圆,使第三晶圆上部的介质层从所述第三晶圆中剥离。

8. 如权利要求6所述的制造方法,其特征在于,提供所述第二晶圆进一步包括:

提供第二衬底,所述第二衬底为单晶硅材质;

在所述第二衬底上部形成所述介质层,所述介质层为单晶硅材质。

9. 如权利要求8所述的制造方法,其特征在于,在所述第二衬底上部形成所述介质层进一步包括:

在所述第二衬底的表面进行注氢处理以形成注氢层,所述介质层为所述注氢层。

10. 如权利要求8所述的制造方法,其特征在于,在所述第二衬底上部形成所述介质层进一步包括:

在所述第二衬底的表面进行多孔氧化处理以形成多孔氧化硅层,所述介质层为所述多孔氧化硅层。

一种三维存储器及其制造方法

技术领域

[0001] 本发明涉及一种存储器及其制造方法,尤其涉及一种三维存储器,以及一种三维存储器的制造方法。

背景技术

[0002] 随着对高度集成电子装置的持续重视,对以更高的速度和更低的功率运行并具有增大的器件密度的半导体存储器件存在持续的需求。为达到这一目的,已经发展了具有更小尺寸的器件和具有以水平和垂直阵列布置的晶体管单元的多层器件。三维存储器是业界所研发的一种新兴的闪存类型,通过垂直堆叠多层数据存储单元来解决二维或者平面闪存带来的限制,其具备卓越的精度,支持在更小的空间内容纳更高的存储容量,可打造出存储容量比同类闪存技术高达数倍的存储设备,进而有效降低成本和能耗,能全面满足众多消费类移动设备和要求最严苛的企业部署的需求。

[0003] 现有的三维存储器的制造方法是在同一个晶圆上形成CMOS层和阵列层,其具体可以是如图1A所示地先在晶圆的硅衬底上形成CMOS层,再在CMOS层上方沉积形成阵列层,并通过阵列触点(Through Array Contact,TAC)和/或通过硅通孔(Through Silicon Via,TSV)实现CMOS层和阵列层的电连接;或是如图1B所示地先在晶圆的衬底上形成阵列层,再在阵列层上方沉积形成CMOS层,并通过硅通孔TSV实现CMOS层和阵列层的电连接。

[0004] 这种在同一个晶圆上先后形成纵向的CMOS层和阵列层的制造方法,需要采用逐层沉积的方式来形成CMOS层和/或阵列层。逐层沉积的方式只能产生多晶硅,而多晶硅材质存在导电性较差和缺陷密度较高的缺陷,从而难以满足器件性能的要求。

[0005] 而采用在同一个晶圆上横向地同时形成CMOS层和阵列层的方案,则会导致浪费晶圆面积的问题。

[0006] 因此,以现有技术制造的三维存储器存在器件性能较差和浪费晶圆面积的缺陷。本领域亟需一种三维存储器及其制造方法,从而克服现有技术存在的上述问题。

发明内容

[0007] 以下给出一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是所有构想到的方面的详尽综览,并且既非旨在指出所有方面的关键性或决定性要素亦非试图界定任何或所有方面的范围。其唯一的目的是要以简化形式给出一个或多个方面的一些概念以为稍后给出的更加详细的描述之序。

[0008] 为了克服现有技术存在的上述问题,本发明提供了一种三维存储器,以及一种三维存储器的制造方法,从而提升上述三维存储器的器件性能,并节省晶圆面积。

[0009] 本发明提供的上述三维存储器,包括:衬底、形成在上述衬底上的至少一个阵列层,以及外围器件层;

[0010] 上述至少一个阵列层沿上述三维存储器的高度方向堆叠,每一个上述阵列层包括:阵列单元层和位于上述阵列单元层上的介质层,其中,上述介质层与上述阵列单元层通

过两者之间的粘结面粘结；

[0011] 上述外围器件层形成在位于最顶部的阵列层的介质层上。

[0012] 优选地，在本发明提供的上述三维存储器中，上述介质层可以为单晶硅材质。

[0013] 优选地，在本发明提供的上述三维存储器中，上述介质层还可以为在上述单晶硅材质上形成的注氢层。

[0014] 可选地，在本发明提供的上述三维存储器中，上述介质层也可以为在上述单晶硅材质上形成的多孔氧化硅层。

[0015] 根据本发明的另一方面，本发明还提供了一种三维存储器的制造方法。

[0016] 本发明提供的上述三维存储器的制造方法，包括步骤：

[0017] 提供第一衬底；

[0018] 在上述第一衬底上形成至少一个阵列层，上述至少一个阵列层沿上述三维存储器的高度方向堆叠，每一个上述阵列层包括：阵列单元层和位于上述阵列单元层上的介质层，其中，上述介质层与上述阵列单元层通过两者之间的粘结面粘结；以及

[0019] 在位于最顶部的阵列层的介质层上形成外围器件层。

[0020] 优选地，在本发明提供的上述三维存储器的制造方法中，形成至少一个阵列层可以进一步包括步骤：

[0021] 在上述第一衬底上形成第一阵列单元层；

[0022] 提供第二晶圆，上述第二晶圆的上部为介质层；

[0023] 粘结第二晶圆上部的介质层与上述第一阵列单元层；

[0024] 以第二晶圆上部的介质层在上述第二晶圆中的交界面为切割界面切割上述第二晶圆，使第二晶圆上部的介质层从上述第二晶圆中剥离，以在上述第一衬底上形成最底部的阵列层。

[0025] 优选地，在本发明提供的上述三维存储器的制造方法中，形成至少一个阵列层还可以包括：

[0026] 在上述最底部的阵列层上形成一个或多个阵列层；

[0027] 形成上述一个或多个阵列层中的每一个进一步包括：

[0028] 在下方的阵列层的介质层表面形成阵列单元层；

[0029] 提供第三晶圆，上述第三晶圆的上部为介质层；

[0030] 粘结第三晶圆上部的介质层与该阵列单元层；

[0031] 以第三晶圆上部的介质层在上述第三晶圆中的交界面为切割界面切割上述第三晶圆，使第三晶圆上部的介质层从上述第三晶圆中剥离。

[0032] 可选地，在本发明提供的上述三维存储器的制造方法中，提供上述第二晶圆可以进一步包括：

[0033] 提供第二衬底，上述第二衬底为单晶硅材质；

[0034] 在上述第二衬底上部形成上述介质层，上述介质层为单晶硅材质。

[0035] 优选地，在本发明提供的上述三维存储器的制造方法中，在上述第二衬底上部形成上述介质层可以进一步包括：

[0036] 在上述第二衬底的表面进行注氢处理以形成注氢层，上述介质层为上述注氢层。

[0037] 可选地，在本发明提供的上述三维存储器的制造方法中，在上述第二衬底上部形

成上述介质层也可以进一步包括：

[0038] 在上述第二衬底的表面进行多孔氧化处理以形成多孔氧化硅层，上述介质层为上述多孔氧化硅层。

附图说明

[0039] 在结合以下附图阅读本公开的实施例的详细描述之后，能够更好地理解本发明的上述特征和优点。在附图中，各组件不一定是按比例绘制，并且具有类似的相关特性或特征的组件可能具有相同或相近的附图标记。

[0040] 图1A示出了现有的三维存储器的结构示意图。

[0041] 图1B示出了现有的三维存储器的结构示意图。

[0042] 图2示出了本发明的一个实施例提供的制造三维存储器的流程示意图。

[0043] 图3A示出了本发明的一个实施例提供的在第一衬底上形成第一阵列单元层的结构示意图。

[0044] 图3B示出了本发明的一个实施例提供的对第二衬底进行注氢处理的示意图。

[0045] 图3C示出了本发明的一个实施例提供的第二晶圆的结构示意图。

[0046] 图3D示出了本发明的一个实施例提供的粘结介质层与阵列单元层的示意图。

[0047] 图3E示出了本发明的另一个实施例提供的粘结介质层与阵列单元层的示意图。

[0048] 图3F示出了本发明的一个实施例提供的切割第二晶圆的示意图。

[0049] 图3G示出了本发明的一个实施例提供的最底部的阵列层的结构示意图。

[0050] 图3H示出了本发明的一个实施例提供的三层阵列层堆叠的结构示意图。

[0051] 图3I示出了本发明的一个实施例提供的三维存储器的结构示意图。

[0052] 图4示出了本发明的一个实施例提供的阵列单元层的阱区的结构示意图。

[0053] 图5示出了本发明的一个实施例提供的形成最底部的阵列层的流程示意图。

[0054] 图6示出了本发明的一个实施例提供的进一步形成阵列层的流程示意图。

[0055] 附图标记

[0056] 1 阵列层；

[0057] 2 CMOS层；

[0058] 3 硅衬底；

[0059] 11 第一衬底；

[0060] 121 最底部的阵列层；

[0061] 122 第二阵列层；

[0062] 123 第三阵列层；

[0063] 131 第一阵列单元层；

[0064] 132 第二阵列单元层；

[0065] 133 第三阵列单元层；

[0066] 14 阱区；

[0067] 141 介电氧化硅；

[0068] 142 高压P阱；

[0069] 143 高压N阱；

[0070]	144	深N阱；
[0071]	145	外延结晶硅衬底；
[0072]	20	第二晶圆；
[0073]	21	第二衬底；
[0074]	22	切割界面；
[0075]	23	粘结面；
[0076]	24	介质层；
[0077]	31	外围器件层；
[0078]	32	CMOS晶体管；
[0079]	201-204	制造三维存储器的步骤；
[0080]	2021-2024	形成最底部的阵列层的步骤；
[0081]	2031-2034	形成一个或多个阵列层的步骤。

具体实施方式

[0082] 以下由特定的具体实施例说明本发明的实施方式，本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点及功效。虽然本发明的描述将结合优选实施例一起介绍，但这并不代表此发明的特征仅限于该实施方式。恰恰相反，结合实施方式作发明介绍的目的是为了覆盖基于本发明的权利要求而有可能延伸出的其它选择或改造。为了提供对本发明的深度了解，以下描述中将包含许多具体的细节。本发明也可以不使用这些细节实施。此外，为了避免混乱或模糊本发明的重点，有些具体细节将在描述中被省略。

[0083] 在本发明的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

[0084] 另外，在以下的说明中所使用的“上”、“下”、“左”、“右”、“顶”、“底”、“水平”、“垂直”应被理解为该段以及相关附图中所绘示的方位。此相对性的用语仅是为了方便说明之用，其并不代表其所叙述的装置需以特定方位来制造或运作，因此不应理解为对本发明的限制。

[0085] 能理解的是，虽然在此可使用用语“第一”、“第二”、“第三”等来叙述各种组件、区域、层和/或部分，这些组件、区域、层和/或部分不应被这些用语限定，且这些用语仅是用来区别不同的组件、区域、层和/或部分。因此，以下讨论的第一组件、区域、层和/或部分可在不偏离本发明一些实施例的情况下被称为第二组件、区域、层和/或部分。

[0086] 为了克服现有技术存在的上述问题，本发明提供了一种三维存储器的实施例，以及一种三维存储器的制造方法的实施例，从而提升上述三维存储器的器件性能，并节省晶圆面积。

[0087] 如图2所示，本实施例提供的三维存储器的制造方法，可以包括步骤：

[0088] 201：提供第一衬底11，第一衬底11可以由单晶硅材质等导电性好、缺陷密度较小的材料制成。

[0089] 202:在第一衬底11上形成一个阵列层,以形成最底部的阵列层121。上述阵列层主要用于上述三维存储器的存储功能,可以包括:阵列单元层和位于阵列单元层上的介质层24。

[0090] 在一些实施例中,阵列单元层可以包括一个或多个绝缘层。上述阵列单元层还可以进一步包括绝缘层中的一个或多个位线及其触点,以及一个或多个导体层。上述位线通过硅通孔(Through Silicon Via,TSV)结构分别向外连接。上述导体层由导电材料制成,具体可以由钨、钴、铜、铝和金属硅化物中的一种或多种的组合构成,也可以由其他合适的材料构成。上述绝缘层由绝缘材料制成,具体可以由氧化硅、氮化硅和高介电常数绝缘材料中的一种或多种的组合构成,也可以由其他合适的材料构成。

[0091] 在另一些实施例中,上述阵列单元层还可以进一步包括:等级层堆栈、共源线、字线、沿上述高度方向贯穿上述等级层堆栈的沟道孔、位于上述沟道孔内的沟道层,以及接触上述沟道层的漏极,上述漏极与上述位线触点电连接。

[0092] 介质层24可以通过粘结面23粘结于第一阵列单元层131,从而使第一阵列单元层131和介质层24共同组成相应的最底部的阵列层121。

[0093] 如图5所示,第一衬底11上的上述最底部的阵列层121,可以通过以下步骤形成:

[0094] 201:在第一衬底11上形成第一阵列单元层131。

[0095] 如图3A所示,上述第一阵列单元层131可以生长在相应的阱区14上。上述阱区14可以是通过向第一衬底11执行离子注入而形成的。

[0096] 如图4所示,上述阱区14可以包括:在第一衬底11的外延结晶硅衬底145上形成的P型阱(P^+)、N型阱(N^+)、高压P阱(HVPW)142、高压N阱(HVNW)143、深N阱(DNW)144,以及覆盖在上述阱区14上方的介电氧化硅141。

[0097] 202:提供第二晶圆20,第二晶圆20的上部形成有介质层24。

[0098] 如图3B所示,上述第二晶圆20可以通过向单晶硅材质的第二衬底21的表面进行注氢处理来获得。

[0099] 相应地,如图3C所示,上述介质层24可以为通过上述注氢处理单晶硅材质所获得的注氢层,上述注氢层24形成在第二衬底21之上。上述注氢处理还可以进一步包括高温退火,以固化阱区14中的PN结曲线,并对注氢层24进行氢(H)除气,以使介质层24进一步成为富氢层,从而避免影响CMOS外围器件的器件性能。

[0100] 本领域的技术人员可以理解,对第二衬底21的表面进行注氢处理,以获得带有介质层24的第二晶圆20的方案,只是本实施例提供的一种具体方案。在其他实施例中,本领域的技术人员也可以对第二衬底21的表面进行多孔氧化处理,从而在第二衬底20之上获得介质层24。

[0101] 相应地,介质层24可以为通过上述多孔氧化处理所获得的多孔氧化硅层。上述多孔氧化处理是一种用多孔性处理和热氧化两项工艺,在硅表面上形成电绝缘层的方法。这种方法克服了平面法、局部氧化隔离和空气隔离等方法在工艺上的困难,其特点是不需要高温或长时间的热处理就能形成较厚的绝缘层。

[0102] 203:粘结第二晶圆20上部的介质层24与第一阵列单元层131。

[0103] 如图3D所示,上述粘结操作可以是翻转上述第二晶圆20,使其介质层24向下,并以介质层24的下表面和第一阵列单元层131的上表面为粘结面23,粘结第二晶圆20上部的介

质层24与第一阵列单元层131。

[0104] 本领域的技术人员可以理解,翻转第二晶圆20以完成粘结的方案,只是本实施例提供的一种具体方案,主要用于方便后续智能剥离(smart cut)的切割操作。在其他实施例中,本领域的技术人员也可以如图3E所示,翻转上述第一阵列单元层131,同样也可以完成粘结的操作。

[0105] 2024:如图3F所示,以第二晶圆20上部的介质层24与第二衬底21的交界面为切割界面22切割第二晶圆20,使第二晶圆20上部的介质层24从第二晶圆20中剥离,从而在第一衬底11上形成如图3G所示的最底部的阵列层121。

[0106] 上述切割操作,可以通过智能剥离(smart cut)的方法来执行。本领域技术人员应当知道智能剥离的具体工艺,在此不再赘述。

[0107] 通常情况下,需要将待剥离的薄层置于粘结件顶端,以便于智能剥离的执行。因此,在上述步骤2023中,较优的做法是翻转上述第二晶圆20,以使第二衬底21位于粘结件的顶端。上述粘结件指的是粘结第二晶圆20上部的介质层24与第一阵列单元层131所获得的部件。

[0108] 203:在最底部的阵列层121上形成一个或多个阵列层,上述一个或多个阵列层,沿上述三维存储器的高度方向堆叠在上述最底部的阵列层121上。

[0109] 如图6所示,上述一个或多个阵列层,可以通过以下步骤进一步形成:

[0110] 2031:在最底部的阵列层121的介质层24表面形成第二阵列单元层132。

[0111] 相同于上述步骤2021,上述第二阵列单元层132可以生长在相应的阱区14上。上述阱区14可以是通过向最底部的阵列层121的介质层24,执行离子注入而形成的。

[0112] 如图4所示,上述阱区14可以包括:在第一衬底11的外延结晶硅衬底145上形成的P型阱(P^+)、N型阱(N^+)、高压P阱(HVPW)142、高压N阱(HVNW)143、深N阱(DNW)144,以及覆盖在上述阱区14上方的介电氧化硅141。

[0113] 2032:提供第三晶圆,上述第三晶圆的结构可以相同于第二晶圆20,其上部形成有介质层24。

[0114] 上述第三晶圆可以包括相应的第三衬底,介质层24设置在上述第三衬底之上。上述第三衬底可以由合适的材料制成,包括但不限于,硅锗、锗或绝缘体上硅薄膜(SOI)。

[0115] 2033:粘结第三晶圆上部的介质层24与第二阵列单元层132,以构成第二阵列层122。

[0116] 上述粘结操作可以是翻转上述第三晶圆,使其介质层24向下,并以介质层24的下表面和第二阵列单元层132的上表面为粘结面23,粘结第三晶圆上部的介质层24与第二阵列单元层132。

[0117] 2034:以第三晶圆上部的介质层24在第三晶圆中的交界面为切割界面22切割上述第三晶圆,使第三晶圆上部的介质层24从上述第三晶圆中剥离。

[0118] 上述切割操作,可以通过智能剥离(smart cut)的方法来执行。本领域技术人员应当知道智能剥离的具体工艺,在此不再赘述。

[0119] 通常情况下,需要将待剥离的薄层置于粘结件顶端,以便于智能剥离的执行。因此,在上述步骤2034中,较优的做法是翻转上述第三晶圆,以使第三衬底位于粘结件的顶端。上述粘结件指的是粘结第三晶圆上部的介质层24与第二阵列单元层132所获得的部件。

[0120] 本领域的技术人员可以重复上述步骤2031-2034,从而在第二阵列层122之上,再形成第二阵列层123,以构成如图3H所示的具有三层阵列层的三维存储器。

[0121] 本领域的技术人员可以理解,上述步骤203及其包括的具体步骤2031-2034,只是本实施例提供的一种优选方案,主要用于进一步地提升上述三维存储器的存储容量。通过使用以单晶硅为例的导电性好、缺陷密度较小的材料制成的第一衬底和介质层,能够有效地改善多层阵列层之间的导电性和缺陷密度问题,从而提升三维存储器的器件特性。在其他实施例中,本领域的技术人员也可以不采用上述步骤203,从而只使用最底部的阵列层121以构成上述三维存储器。

[0122] 204:如图3I所示,在位于最顶部的阵列层123的介质层24上形成外围器件层31。

[0123] 上述外围器件层31可以包括多个晶体管,上述多个晶体管可以为CMOS晶体管32。本领域技术人员应当知道,上述外围器件层31还可以包括引出CMOS晶体管32的外围互联层,上述CMOS晶体管32和/或上述外围互联层可以通过现有或将有的技术半导体制造工艺形成。

[0124] 上述外围互联层覆盖晶体管以进行电信号传导,可以包括一个或多个层间绝缘层。上述外围互联层还可以进一步包括层间绝缘层中的一个或多个触点,以及一个或多个互联导体层。触点和互联导体层由导电材料制成,可以为钨、钴、铜、铝和金属硅化物中的一种或多种的组合,也可以为其他合适的材料。层间绝缘层由绝缘材料制成,可以为氧化硅、氮化硅、氮氧化硅和掺杂氧化硅中的一种或多种的组合,也可以为其他合适的材料。

[0125] 本领域的技术人员可以理解,采用三个阵列层以制造上述三维存储器,只是本实施例提供的一种优选方案,主要用于提升上述三维存储器的存储容量。在其他实施例中,本领域的技术人员也可以不执行上述步骤203及其具体步骤2031-2034,从而只使用一个阵列层121以制造三维存储器;或根据实际的存储需求,采用合适数量的阵列层,以制造相应存储容量的三维存储器。

[0126] 本领域的技术人员还可以理解,上述先形成阵列层121-123,再形成外围器件层31的制造方法,也只是本实施例提供的一种具体方案。在其他实施例中,本领域的技术人员也可以基于相同构思,先在衬底上形成外围器件层31,再逐步形成相应数量的阵列层,从而制造相同的三维存储器;或根据三维存储器的实际使用需求,将外围器件层设置在多层阵列层之间或之下。

[0127] 基于以上描述,上述实施例提供三维存储器的制造方法的有益效果在于:通过纵向设置阵列层和外围器件层31的方案,可以有效地节省晶圆面积;同时,由于未采用现有的沉积方式来形成介质层24,因此可以采用以单晶硅为例的导电性较好、缺陷密度较低的材料,以作为介质层24,从而提升三维存储器的器件性能。

[0128] 尽管为使解释简单化将上述方法图示并描述为一系列动作,但是应理解并领会,这些方法不受动作的次序所限,因为根据一个或多个实施例,一些动作可按不同次序发生和/或与来自本文中图示和描述或本文中未图示和描述但本领域技术人员可以理解的其他动作并发地发生。

[0129] 根据本发明的另一方面,本发明还提供了一种三维存储器的实施例。

[0130] 如图3I所示,本实施例提供的上述三维存储器,可以包括:衬底11、形成在衬底11上的三个阵列层121-123,以及外围器件层31。

[0131] 上述衬底11可以由单晶硅材质等导电性好、缺陷密度较小的材料制成。

[0132] 上述三个阵列层121-123沿上述三维存储器的高度方向堆叠,主要用于上述三维存储器的存储功能。每一个上述阵列层可以包括:阵列单元层和位于阵列单元层上的介质层24。

[0133] 在一些实施例中,阵列单元层可以包括一个或多个绝缘层。上述阵列单元层还可以进一步包括绝缘层中的一个或多个位线及其触点,以及一个或多个导体层。上述位线通过硅通孔(Through Silicon Via,TSV)结构分别向外连接。上述导体层由导电材料制成,具体可以由钨、钴、铜、铝和金属硅化物中的一种或多种的组合构成,也可以由其他合适的材料构成。上述绝缘层由绝缘材料制成,具体可以由氧化硅、氮化硅和高介电常数绝缘材料中的一种或多种的组合构成,也可以由其他合适的材料构成。

[0134] 在另一些实施例中,上述阵列单元层还可以进一步包括:等级层堆栈、共源线、字线、沿上述高度方向贯穿上述等级层堆栈的沟道孔、位于上述沟道孔内的沟道层,以及接触上述沟道层的漏极,上述漏极与上述位线触点电连接。

[0135] 如图3I所示,上述阵列单元层131-133可以生长在相应的阱区14上。上述阱区14可以通过向第一衬底11和相应介质层24,执行离子注入而形成。

[0136] 如图4所示,上述阱区14可以包括:在第一衬底11和相应介质层24的外延结晶硅衬底145上形成的P型阱(P^+)、N型阱(N^+)、高压P阱(HVPW)142、高压N阱(HVNW)143、深N阱(DNW)144,以及覆盖在上述阱区14上方的介电氧化硅141。

[0137] 如图3I所示,介质层24可以通过粘结面23粘结于相应的阵列单元层131-133,从而使阵列单元层131-133和介质层24共同组成相应的阵列层121-123。

[0138] 如图3C所示,上述介质层24可以为通过注氢处理单晶硅材质所获得的注氢层。上述注氢处理还可以进一步包括高温退火,以固化阱区14中的PN结曲线,并对注氢层24进行氢(H)除气,以使介质层24进一步成为富氢层,从而避免影响CMOS外围器件的器件性能。

[0139] 本领域的技术人员可以理解,以上述注氢层为介质层24只是本实施例提供的一种具体方案。在其他实施例中,本领域的技术人员也可以通过多孔氧化处理单晶硅材质,从而以多孔氧化硅层作为介质层24。

[0140] 上述多孔氧化处理是一种用多孔性处理和热氧化两项工艺,在硅表面上形成电绝缘层的方法。这种方法克服了平面法、局部氧化隔离和空气隔离等方法在工艺上的困难,其特点是不需要高温或长时间的热处理就能形成较厚的绝缘层。

[0141] 如图3I所示,外围器件层31形成在位于最顶部的阵列层123的介质层24之上。

[0142] 上述外围器件层31可以包括多个晶体管,上述多个晶体管可以为CMOS晶体管32。本领域技术人员应当知道,上述外围器件层31还可以包括引出CMOS晶体管32的外围互联层,上述CMOS晶体管32和/或上述外围互联层可以通过现有或将有的技术半导体制造工艺形成。

[0143] 上述外围互联层覆盖晶体管以进行电信号传导,可以包括一个或多个层间绝缘层。上述外围互联层还可以进一步包括层间绝缘层中的一个或多个触点,以及一个或多个互联导体层。触点和互联导体层由导电材料制成,可以为钨、钴、铜、铝和金属硅化物中的一种或多种的组合,也可以为其他合适的材料。层间绝缘层由绝缘材料制成,可以为氧化硅、氮化硅、氮氧化硅和掺杂氧化硅中的一种或多种的组合,也可以为其他合适的材料。

[0144] 本领域的技术人员可以理解,采用三个阵列层121-123制造的上述三维存储器,只是本实施例提供的一种优选方案,主要用于提升上述三维存储器的存储容量。在其他实施例中,本领域的技术人员也可以只使用一个阵列层121以制造三维存储器;或根据实际的存储需求,采用合适数量的阵列层,以制造相应存储容量的三维存储器。

[0145] 本领域的技术人员还可以理解,将外围器件层31设置在所有阵列层121-123之上,只是本实施例提供的一种具体方案。在其他实施例中,本领域的技术人员也可以根据三维存储器的实际使用需求,将外围器件层设置在多层阵列层之间或之下。

[0146] 基于以上描述,上述实施例提供三维存储器的有益效果在于:通过纵向设置阵列层和外围器件层31的方案,可以有效地节省晶圆面积;同时,由于未采用现有的沉积方式来形成介质层24,因此可以采用以单晶硅为例的导电性较好、缺陷密度较低的材质,以作为介质层24,从而提升三维存储器的器件性能。

[0147] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变体而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

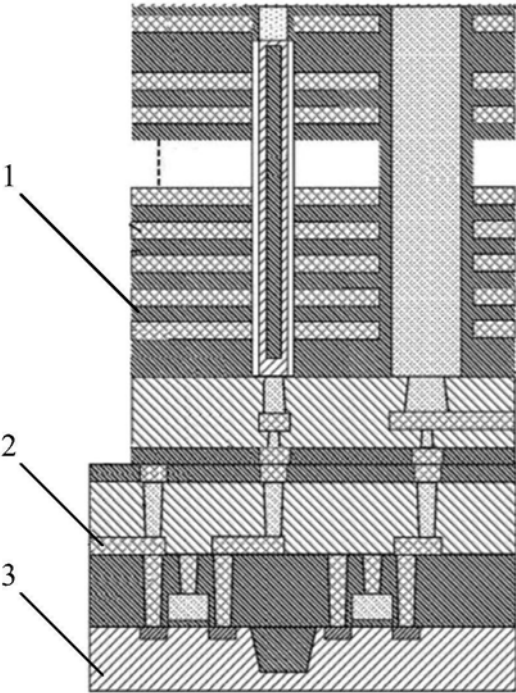


图1A

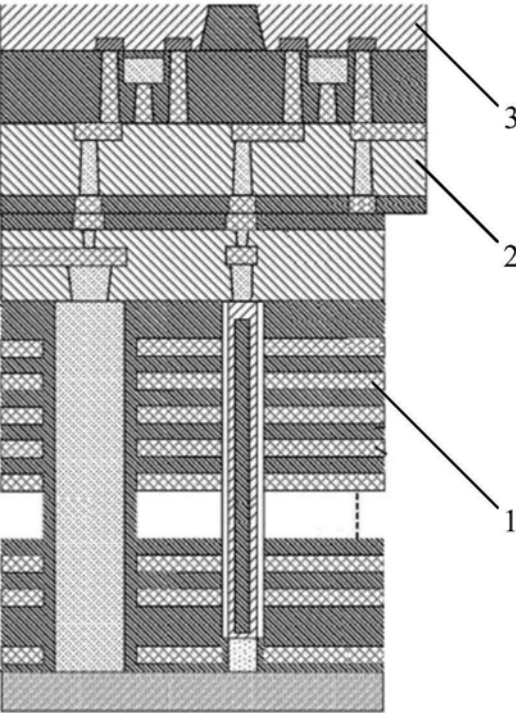


图1B

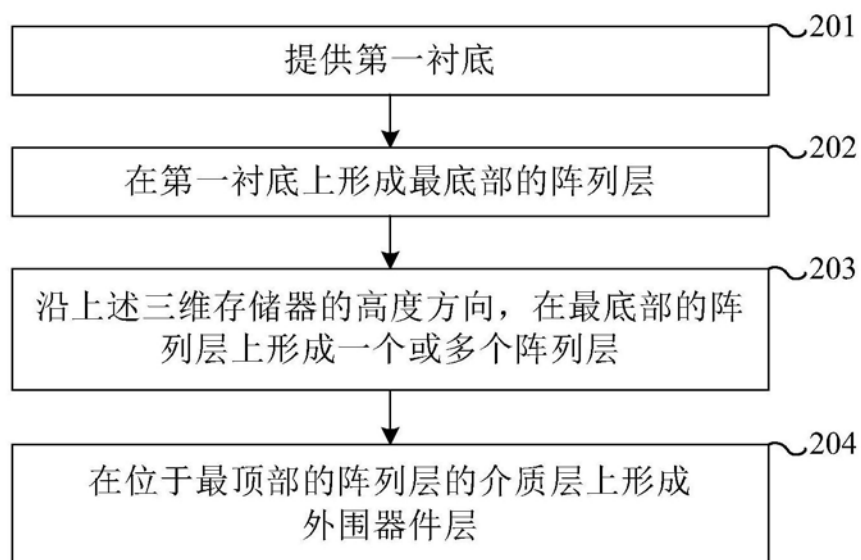


图2

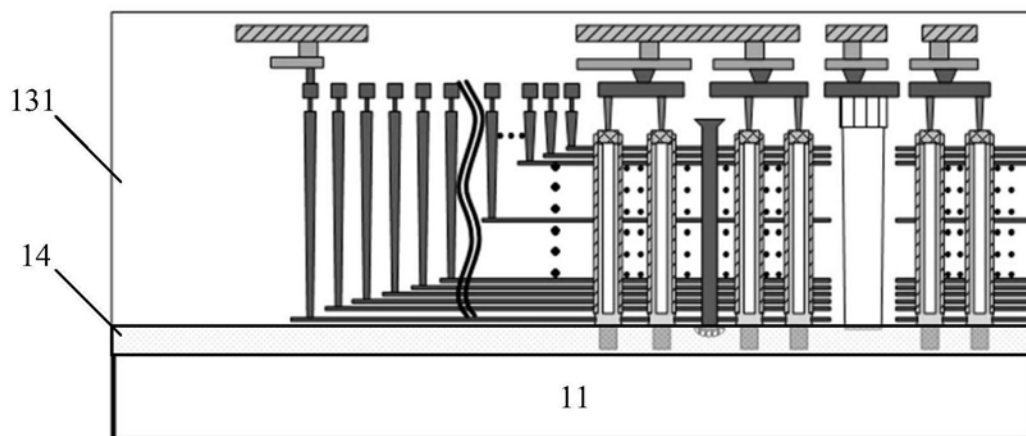


图3A

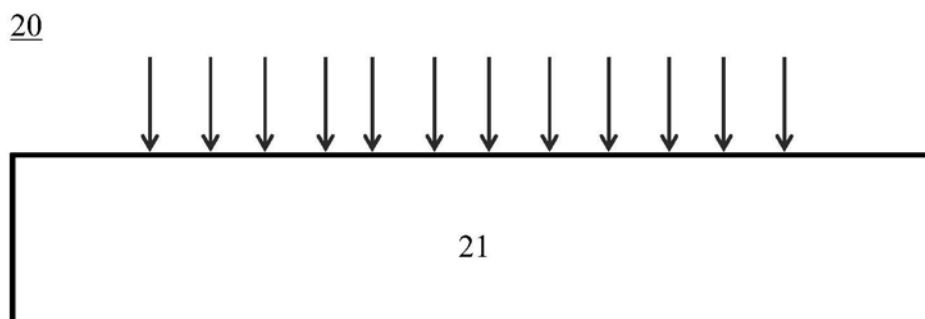


图3B

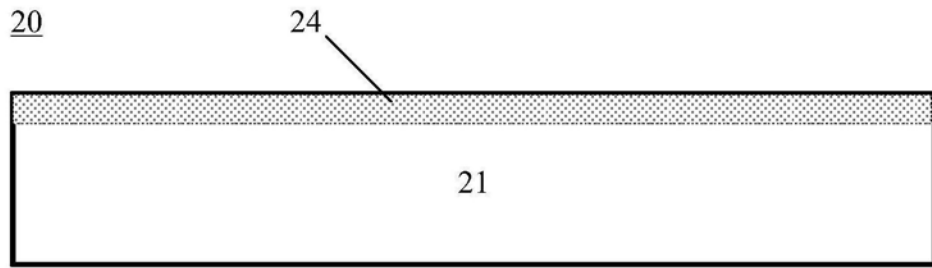


图3C

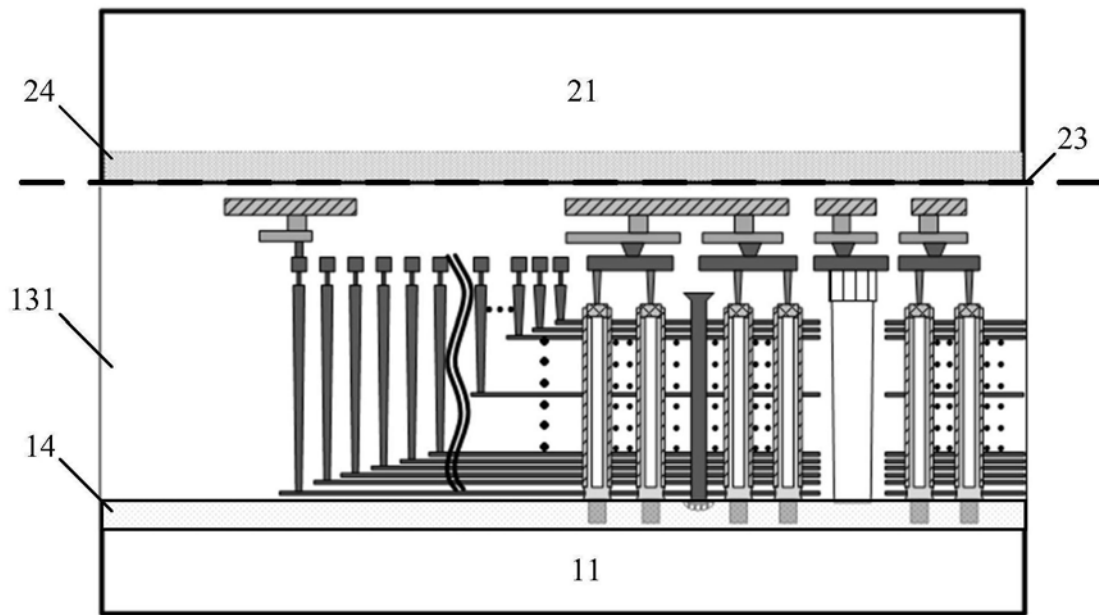


图3D

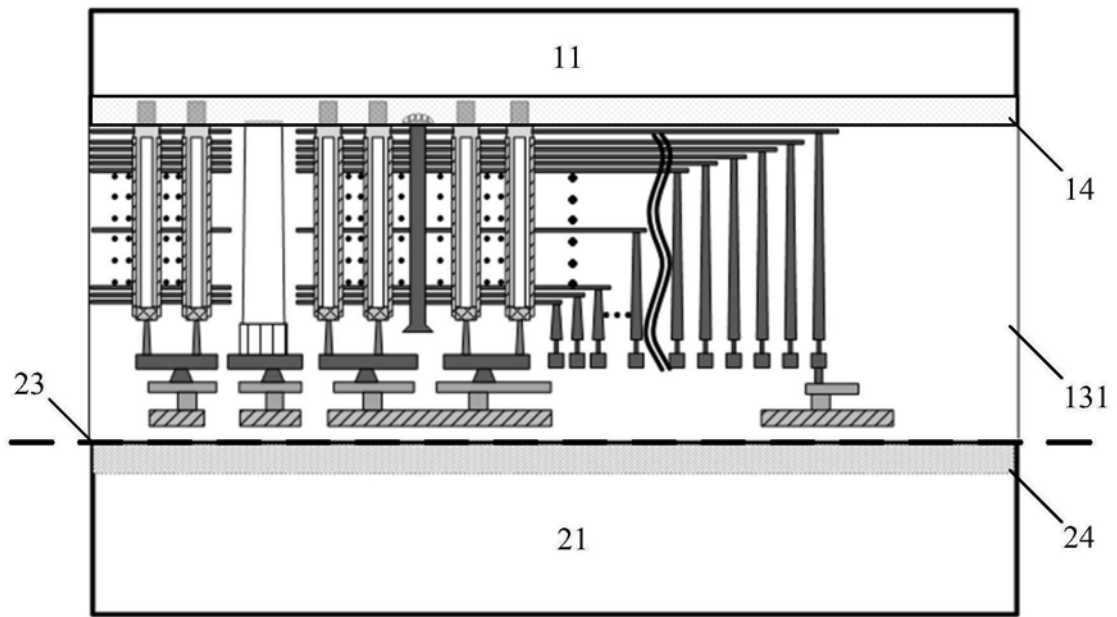


图3E

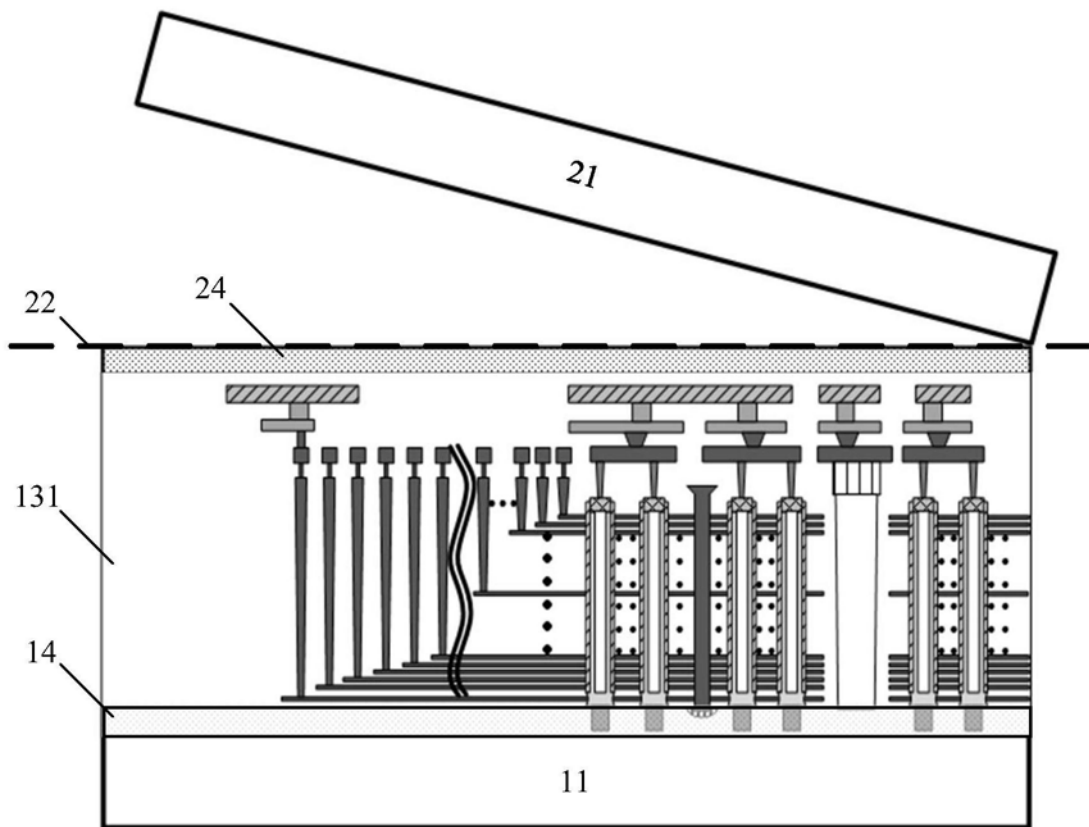


图3F

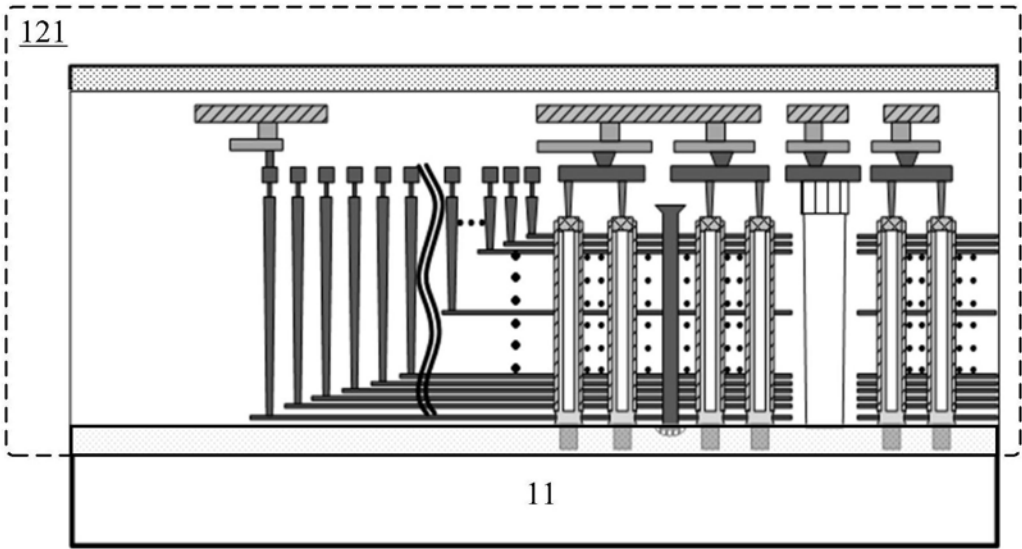


图3G

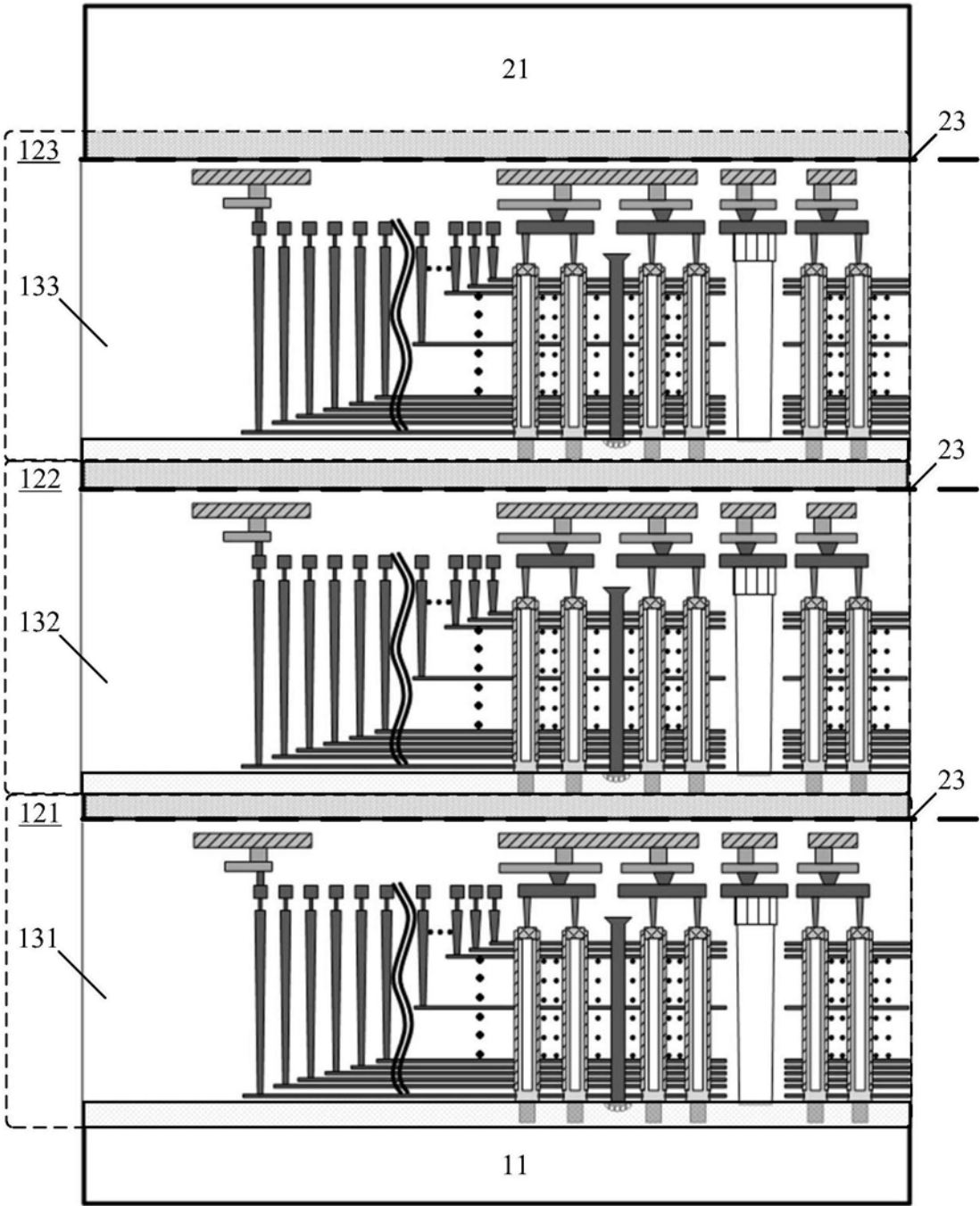


图3H

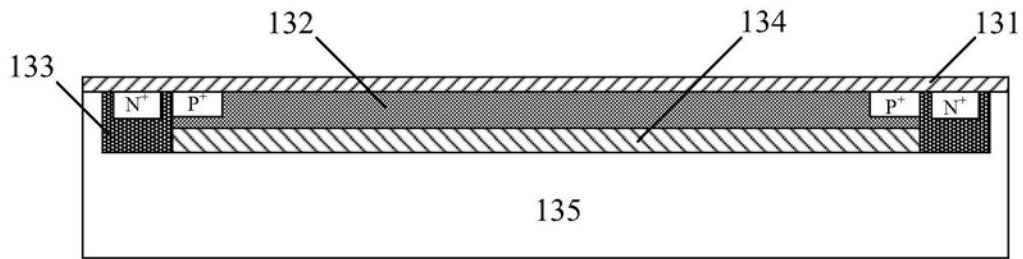


图4

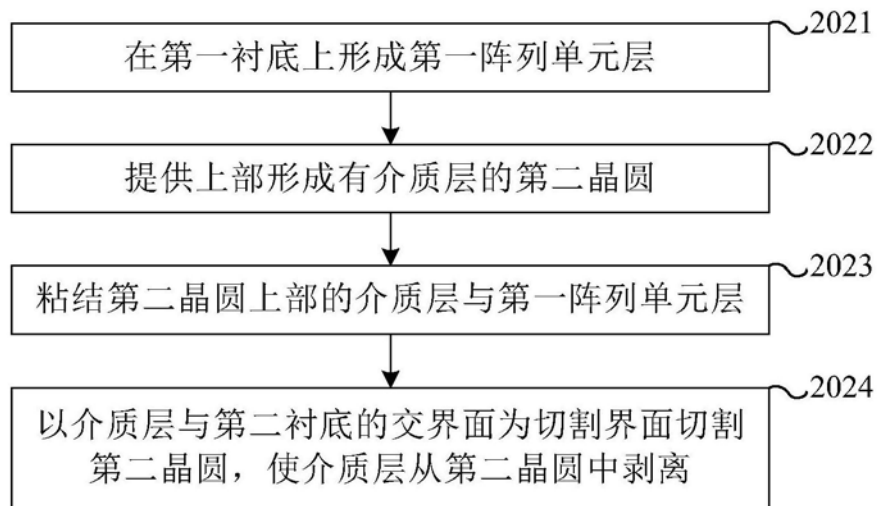


图5

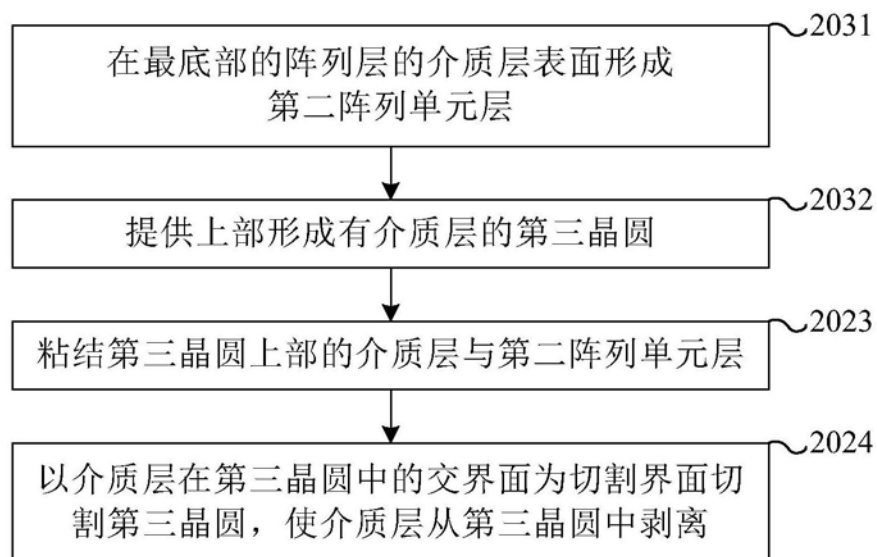


图6