

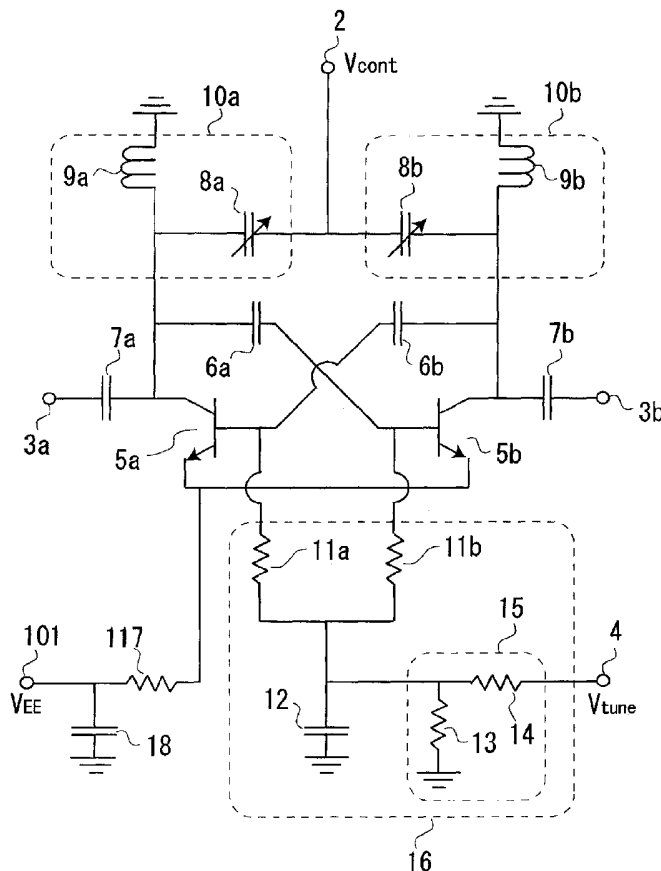


- (51) 国際特許分類:
H03B 5/12 (2006.01)
- (21) 国際出願番号: PCT/JP2006/301181
- (22) 国際出願日: 2006年1月26日 (26.01.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-063651 2005年3月8日 (08.03.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 細谷 健一 (HOSOYA, Kenichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 和田 茂己 (WADA, Shigeki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,

/ 続葉有 /

(54) Title: VOLTAGE CONTROLLED OSCILLATOR AND METHOD FOR CONTROLLING FREQUENCY OF VOLTAGE CONTROLLED OSCILLATOR

(54) 発明の名称: 電圧制御発振器および電圧制御発振器の周波数制御方法



(57) Abstract: A voltage controlled oscillator comprises a power supply terminal (101); a control terminal (2) for controlling output frequencies; output terminals (3a,3b); cross-linked transistors (5a,5b); capacitors (6a,6b,7a,7b); an LC tank (10a,10b); a resistor (117); a grounded capacitance (18); and a center frequency control circuit (16). The center frequency control circuit (16) comprises resistors (11a,11b); a grounded capacitance (12); a center frequency control terminal (4) for controlling the center frequency of the output frequencies; and a voltage divider circuit (15). The resistors (11a,11b) are connected to the respective base terminals of the cross-linked transistors (5a,5b) and also connected, on the other side, to each other at a junction, which is further connected to both the grounded capacitance (12) and an end of the voltage divider circuit (15). The other end of the voltage divider circuit (15) is connected to the center frequency control terminal (4).

(57) 要約: 本発明の電圧制御発振器は、電源端子 (101)、出力周波数を制御する制御端子 (2)、出力端子 (3a, 3b)、交差結合トランジスタ (5a, 5b)、容量 (6a, 6b, 7a, 7b)、LCタンク (10a, 10b)、抵抗 (117)、接地容量 (18)、および中心周波数制御回路 (16) からなる。中心周波数制御回路 (16) は、抵抗 (11a, 11b)、

接地容量 (12)、出力周波数の中心周波数を制御する中心周波数制御端子 (4)、および分圧回路 (15) から

/ 続葉有 /



MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

なる。抵抗 (11a, 11b) は、交差結合トランジスタ (5a, 5b) のベース端子に接続され、他端同士が接続されて、該接続点に接地容量 (12) と分圧回路 (15) の一端が接続される。分圧回路 (15) の他端は中心周波数制御端子 (4) に接続される。

明 細 書

電圧制御発振器および電圧制御発振器の周波数制御方法

技術分野

- [0001] 本発明は、電圧制御発振器(VCO)および電圧制御発振器の周波数制御方法に関し、特に、マイクロ波・ミリ波帯で用いられる交差結合型の電圧制御発振器および電圧制御発振器の周波数制御方法に関する。

背景技術

- [0002] 従来、マイクロ波・ミリ波帯では、交差結合型の電圧制御発振器(以下、交差結合型電圧制御発振器と称す)が用いられている。交差結合型電圧制御発振器は、制御端子に供給される電圧を制御することにより発振周波数を変化させる回路である。交差結合型電圧制御発振器は、通常、電源端子と制御端子を具備する。電源端子には固定電圧が供給され、制御端子には発振周波数を制御する制御電圧が供給される。
- [0003] 以下、図面を参照して、従来の交差結合型電圧制御発振器について説明する。なお、以下の説明において、「静電容量」を単に「容量」と記載する。
- [0004] 図1は、従来の交差結合型電圧制御発振器の一構成例を示す回路図である。
- [0005] 図1を参照すると、本従来例の交差結合型電圧制御発振器は、正の電源電圧 V_{cc} が供給される電源端子1、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、出力端子3a, 3b、コレクタ端子とベース端子とが互いに交差結合された交差結合トランジスタ5a, 5b、直流電流を遮断する直流遮断容量7a, 7b、LCタンク10a, 10b、交差結合トランジスタ5a, 5bのエミッタ端子を接地する抵抗17、および接地容量21a, 21bから構成されている。
- [0006] LCタンク10a, 10bは、可変容量8a, 8bおよびインダクタ9a, 9bから構成される共振回路である。交差結合トランジスタ5a, 5bのコレクタ端子とベース端子には、LCタンク10a, 10bを介して共通の電源端子1から電源電圧 V_{cc} が供給される。交差結合トランジスタ5aのコレクタ端子と交差結合トランジスタ5bのベース端子にはLCタンク10aから共通の電圧が供給され、交差結合トランジスタ5bのコレクタ端子と交差結合ト

ランジスタ5aのベース端子にはLCタンク10bから共通の電圧が供給される。

- [0007] 本従来例の交差結合型電圧制御発振器は、交差結合トランジスタ5a, 5bのベース端子とコレクタ端子とを互いに交差結合させることにより、エミッタ結合差動増幅器が形成されている。また、交差結合トランジスタ5a, 5bのコレクタ端子はLCタンク10a, 10bを介して相互に接続されている。
- [0008] 本従来例の交差結合型電圧制御発振器は、上記のように構成された結果、正帰還が得られる。このとき、交差結合トランジスタ5a, 5bは交互に導通する。これに対応してLCタンク10a, 10bが励振され発振する。制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される信号の発振周波数は、図2に示すように制御される。
- [0009] 図2は、横軸に制御端子2に供給される制御電圧 V_{cont} をとり、縦軸に出力端子3a, 3bから出力される信号の発振周波数 f をとったグラフである。このような特性を交差結合型電圧制御発振器の入出力特性と呼ぶ。また、外部回路の特性等も含めて決定されるある制御電圧を中心電圧 V_0 と呼び、中心電圧 V_0 に対応する発振周波数を中心周波数 f_0 と呼ぶ。図2の入出力特性は、本従来例の交差結合型電圧制御発振器がシングルバンド動作を行っていることを示している。
- [0010] なお、図2の入出力特性は、右肩下がりの特性となっているが、右肩上がりの特性にすることもできる。例えば、可変容量8a, 8bにバリキャップダイオードを使用した場合、バリキャップダイオードの向きおよび可変容量8a, 8bに印加される電圧の極性を反転させることにより、右肩上がりの特性にすることができる。本発明の交差結合型電圧制御発振器でも同様に、右肩下がりおよび右肩上がりの特性の両方を得ることができるが、以下では、右肩下がりおよび右肩上がりの特性に関する説明は省略する。
- [0011] 図3は、従来の交差結合型電圧制御発振器の他の構成例を示す回路図である。
- [0012] 図3を参照すると、本従来例の交差結合型電圧制御発振器は、図1に示した交差結合型電圧制御発振器における抵抗17を電流源22に置換している。
- [0013] 図4は、従来の交差結合型電圧制御発振器のさらに他の構成例を示す回路図である。
- [0014] 図4を参照すると、本従来例の交差結合型電圧制御発振器は、負の電源電圧 V_{EE}

が供給される電源端子101、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、出力端子3a, 3b、コレクタ端子とベース端子が互いに交差結合された交差結合トランジスタ5a, 5b、直流電流を遮断する直流遮断用容量6a, 6b, 7a, 7b、LCタンク10a, 10b、交差結合トランジスタ5a, 5bのエミッタ端子を電源端子101に接続する抵抗117、および交差結合トランジスタ5a, 5bのベース端子を接地する接地抵抗33a, 33bから構成されている。

[0015] LCタンク10a, 10bは、可変容量8a, 8bおよびインダクタ9a, 9bから構成される共振回路である。交差結合トランジスタ5a, 5bのエミッタ端子には電源端子101から抵抗117を介して負の電源電圧 V_{EE} が供給され、ベース端子には接地抵抗33a, 33bとベース電流により決まる電圧が供給される。制御端子2に供給される電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される信号の発振周波数は、図2に示すように制御される。

[0016] 図5は、従来の交差結合型電圧制御発振器のさらに他の構成例を示す回路図である。

[0017] 図5を参照すると、本従来例の交差結合型電圧制御発振器は、負の電源電圧 V_{EE} が供給される電源端子101、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、出力端子3a, 3b、コレクタ端子とベース端子が互いに交差結合された交差結合トランジスタ5a, 5b、直流電流を遮断する直流遮断用容量6a, 6b, 7a, 7b、LCタンク10a, 10b、交差結合トランジスタ5a, 5bのエミッタ端子を電源端子101に接続する抵抗117、交差結合トランジスタ5a, 5bのベース端子を電源端子101に接続する抵抗35a, 35b、および交差結合トランジスタ5a, 5bのベース端子を接地する接地抵抗34a, 34bから構成されている。

[0018] LCタンク10a, 10bは、可変容量8a, 8bおよびインダクタ9a, 9bから構成される共振回路である。交差結合トランジスタ5a, 5bのエミッタ端子には、電源端子101から抵抗117を介して電源電圧 V_{EE} が供給され、ベース端子には、電源端子101から電源電圧 V_{EE} が接地抵抗34aおよび抵抗35a(または、接地抵抗34bおよび抵抗35b)により分圧されて供給される。制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される

信号の発振周波数は、図2に示すように制御される。

[0019] 図6は、従来の交差結合型電圧制御発振器のさらに他の構成例を示す回路図である。

[0020] 図6を参照すると、本従来例の交差結合型電圧制御発振器は、負の電源電圧 V_{EE} が供給される電源端子101、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、出力端子3a、3b、コレクタ端子とベース端子が互いに交差結合された交差結合トランジスタ5a、5b、直流電流を遮断する直流遮断用容量6a、6b、7a、7b、LCタンク10a、10b、交差結合トランジスタ5a、5bのエミッタ端子を電源端子101に接続する抵抗117、交差結合トランジスタ5a、5bのベース端子を接地する接地抵抗33a、33b、および容量バンク36から構成されている。

[0021] LCタンク10a、10bは、可変容量8a、8bおよびインダクタ9a、9bから構成される共振回路である。容量バンク36は、複数個(n個)の容量37a、37bおよびスイッチ38から構成されている。交差結合トランジスタ5a、5bのエミッタ端子には電源端子101から抵抗117を介して負の電源電圧 V_{EE} が供給され、ベース端子には接地抵抗33a、33bとベース電流により決まる電圧が供給される。制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a、8bの容量が変化する。これにより、出力端子3a、3bから出力される信号の発振周波数は、図2に示すように制御される。さらに、容量バンク36の複数個のスイッチ38のオン／オフの組み合わせに応じて、中心周波数 f_0 が離散的に制御される。その結果、図7に示すように離散的に制御された複数の入出力特性が得られる。

[0022] 図7は、横軸に制御端子2に供給される制御電圧 V_{cont} をとり、縦軸に出力端子3a、3bから出力される信号の発振周波数 f をとったグラフである。図7の入出力特性は、本従来例の交差結合型電圧制御発振器が離散的なマルチバンド動作を行っていることを示している。なお、入出力特性を離散的に制御する従来技術としては、特開2004-120215号公報および特開2004-159222号公報に開示された技術がある。

[0023] 図8は、従来の交差結合型電圧制御発振器のさらに他の構成例を示す回路図である。

[0024] 図8を参照すると、本従来例の交差結合型電圧制御発振器は、負の電源電圧 V_{EE}

が供給される電源端子101、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、出力端子3a, 3b、コレクタ端子とベース端子が互いに交差結合された交差結合トランジスタ5a, 5b、直流電流を遮断する直流遮断用容量6a, 6b, 7a, 7b、LCタンク110a, 110b、交差結合トランジスタ5a, 5bのエミッタ端子を電源端子101に接続する抵抗117、および交差結合トランジスタ5a, 5bのベース端子を接地する接地抵抗33a, 33bから構成されている。

[0025] LCタンク110a, 110bは、可変容量8a, 8bおよび可変インダクタ39a, 39bから構成される共振回路である。交差結合トランジスタ5a, 5bのエミッタ端子には電源端子101から抵抗117を介して負の電源電圧 V_{EE} が供給され、ベース端子には接地抵抗33a, 33bとベース電流により決まる電圧が供給される。制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される信号の発振周波数は、図2に示すように制御される。さらに、可変インダクタ39a, 39bのインダクタ値を制御することにより、中心周波数 f_0 が連続的に制御される。その結果、図9に示すように連続的に制御された複数の入出力特性が得られる。

[0026] 図9は、横軸に制御端子2に供給される制御電圧 V_{cont} をとり、縦軸に出力端子3a, 3bから出力される信号の発振周波数 f をとったグラフである。図9の入出力特性は、本従来例の交差結合型電圧制御発振器が連続的なマルチバンド動作を行っていることを示している。

[0027] 上述したように、図1、図3、図4、および図5に示した交差結合型電圧制御発振器では、図2に示したような1つの入出力特性しか得られない。すなわち、これらの交差結合型電圧制御発振器は、シングルバンド動作を行う発振器であるため、マルチバンド動作を実現することができない。このような交差結合型電圧制御発振器を無線通信システム等に用いられる位相ロックループ(PLL)回路に適用した場合、複数の周波数帯(マルチバンド)での動作は不可能である。また、これらの交差結合型電圧制御発振器を光通信システム等に用いられるクロック・データ再生(CDR)回路等に適用した場合、複数のビットレートでの動作は不可能である。

[0028] また、図6に示した交差結合型電圧制御発振器では、複数の離散的な入出力特性

が得られるため、マルチバンド動作を実現することができる。しかし、この交差結合型電圧制御発振器は、複数個の容量およびスイッチから構成される容量バンクが必要であるため、回路が複雑になる。そのため、この交差結合型電圧制御発振器は、特に、ミリ波帯などの超高周波帯でマルチバンド動作を実現することが困難である。

- [0029] また、図8に示した交差結合型電圧制御発振器でも、複数の連続的な入出力特性が得られるため、マルチバンド動作を実現することができる。しかし、可変インダクタは通常MEMS (Micro Electro Mechanical Systems; 微小電気機械システム) 等の技術を用いて実現されるため、この交差結合型電圧制御発振器は、構造や生産プロセスが複雑になる。そのため、この交差結合型電圧制御発振器は、特に、ミリ波帯などの超高周波帯では不適である。

発明の開示

- [0030] そこで、本発明の目的は、簡易な構成で、広帯域に渡って複数の連続的な入出力特性を得ることができる電圧制御発振器および電圧制御発振器の周波数制御方法を提供することにある。
- [0031] 本発明は、周波数制御端子と可変容量とトランジスタとを備え、周波数制御端子から供給される電圧に応じて出力周波数を可変する電圧制御発振器に適用される。
- [0032] 本発明の電圧制御発振器は、周波数制御端子として、可変容量の容量を変化させて出力周波数を制御するための電圧が供給される第1の周波数制御端子と、トランジスタの特性を変化させて出力周波数の中心周波数を制御するための電圧が供給される第2の周波数制御端子とを含むことを特徴としている。
- [0033] この構成によれば、第1の周波数制御端子から供給される電圧によって出力周波数を制御するだけでなく、第2の周波数制御端子から供給される電圧によって出力周波数の中心周波数を制御しているため、複数の連続的な入出力特性が得られる。
- [0034] よって、簡易な構成で、広帯域に渡り複数の連続的な入出力特性が得られるマルチバンド動作の電圧制御発振器を実現することができる。

図面の簡単な説明

- [0035] [図1]従来の電圧制御発振器の一構成例を示す回路図である。
- [図2]電圧制御発振器のシングルバンド動作を説明する図である。

[図3]従来の電圧制御発振器の他の構成例を示す回路図である。

[図4]従来の電圧制御発振器のさらに他の構成例を示す回路図である。

[図5]従来の電圧制御発振器のさらに他の構成例を示す回路図である。

[図6]従来の電圧制御発振器のさらに他の構成例を示す回路図である。

[図7]電圧制御発振器の離散的なマルチバンド動作を説明する図である。

[図8]従来の電圧制御発振器のさらに他の構成例を示す回路図である。

[図9]電圧制御発振器の連続的なマルチバンド動作を説明する図である。

[図10]本発明の第1の実施形態による電圧制御発振器の構成を示す回路図である。

[図11]本発明の第2の実施形態による電圧制御発振器の構成を示す回路図である。

[図12]本発明の電圧制御発振器において、入出力特性をシミュレーションした結果を示す図である。

[図13]本発明の電圧制御発振器において、中心周波数制御電圧に対する発振出力の変化をシミュレーションした結果を示す図である。

[図14]本発明の電圧制御発振器において、中心周波数制御電圧に対する中心周波数の変化をシミュレーションした結果を示す図である。

[図15]本発明の第3の実施形態による電圧制御発振器の構成を示す回路図である。

[図16]本発明の第4の実施形態による電圧制御発振器の構成を示す回路図である。

[図17]本発明の第5の実施形態による電圧制御発振器の構成を示す回路図である。

[図18]本発明の電圧制御発振器を適用した位相ロックループ回路の一構成例を示すブロック図である。

[図19]本発明の電圧制御発振器を適用したクロック・データ再生回路の一構成例を示すブロック図である。

[図20]本発明の電圧制御発振器を適用した位相ロックループ回路の他の構成例を示すブロック図である。

[図21]本発明の電圧制御発振器を適用したクロック・データ再生回路の他の構成例を示すブロック図である。

発明を実施するための最良の形態

[0036] 以下、図面を参照して本発明の実施形態について詳細に説明する。

[0037] (第1の実施形態)

図10は、本発明の第1の実施形態による交差結合型電圧制御発振器の構成を示す回路図である。

[0038] 図10を参照すると、本実施形態による交差結合型電圧制御発振器は、負の電源電圧 V_{EE} が供給される電源端子101、発振周波数を制御する制御電圧 V_{cont} が供給される制御端子2、可変制御された発振周波数の信号を出力する出力端子3a, 3b、コレクタ端子とベース端子とが互いに交差結合された交差結合トランジスタ5a, 5b、直流電流を遮断する直流遮断容量6a, 6b, 7a, 7b、共振回路としてのLCタンク10a, 10b、交差結合トランジスタ5a, 5bのエミッタ端子を電源端子101に接続する抵抗117、電源端子101を接地する接地容量18、および交差結合トランジスタ5a, 5bのベース端子に接続された中心周波数制御回路16から構成されている。

[0039] LCタンク10a, 10bは、可変容量8a, 8bおよびインダクタ9a, 9bから構成される共振回路である。また、中心周波数制御回路16は、抵抗11a, 11b、接地容量12、中心周波数制御端子4、および分圧回路15から構成されている。分圧回路15は、抵抗13, 14から構成されている。分圧回路15は、中心周波数制御端子4から供給された中心周波数制御電圧 V_{tune} を抵抗13, 14により分圧して取り込む。抵抗11a, 11bのそれぞれの一端は交差結合トランジスタ5a, 5bのベース端子に接続され、他端同士は接続されている。この他端同士の接続点には、接地容量12と分圧回路15の一端が接続されている。分圧回路15の他端は中心周波数制御端子4に接続されている。

[0040] なお、制御端子2は、第1の周波数制御端子を構成するか、または、第1の周波数制御手段を構成する。また、中心周波数制御端子4は、第2の周波数制御端子を構成し、中心周波数制御回路16は、第2の周波数制御手段を構成する。

[0041] 以下に、本実施形態による交差結合型電圧制御発振器の動作について説明する。

[0042] 交差結合トランジスタ5a, 5bの直流動作点は、電源端子101から抵抗117を介して供給される電源電圧 V_{EE} と、中心周波数制御端子4から中心周波数制御回路16を介して供給される中心周波数制御電圧 V_{tune} とにより決定される。交差結合トランジスタ5aのコレクタ端子と交差結合トランジスタ5bのベース端子とは、直流遮断容量6aにより

直流的に分離される。また、交差結合トランジスタ5bのコレクタ端子と交差結合トランジスタ5aのベース端子とは、直流遮断容量6bにより直流的に分離される。また、交差結合トランジスタ5a, 5bのコレクタ端子と外部回路とは、直流遮断容量7a, 7bにより直流的に分離される。また、中心周波数制御回路16と交差結合トランジスタ5a, 5bのコレクタ端子とは、直流遮断容量6a, 6bにより直流的に分離される。

- [0043] 制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される信号の発振周波数は、図2に示すように制御される。
- [0044] 複数の周波数帯で動作可能な位相ロックループ回路(PLL)や、複数のビットレートで動作可能なクロック・データ再生回路(CDR)を実現するためには、中心電圧 V_0 に対する中心周波数 f_0 を制御し、複数の入出力特性を実現する必要がある。
- [0045] 本実施形態では、中心周波数制御端子4から中心周波数制御回路16を介して供給される中心周波数制御電圧 V_{tune} により、交差結合トランジスタ5a, 5bのベース電圧を制御する。それにより、交差結合トランジスタ5a, 5bの特性、特にベース・コレクタ端子間の接合容量を変化させて、複数の入出力特性を実現する。
- [0046] 交差結合トランジスタ5a, 5bのベース端子同士を、抵抗11a, 11bにより高周波的に分離する。さらに、中心周波数制御端子4に接続される外部回路のインピーダンス変動の影響を回避するために、接地容量12を設ける。
- [0047] 発振周波数 f は、交差結合トランジスタ5a, 5bの特性、特にベース・コレクタ端子間の接合容量に強く依存する。そのため、このような構成をとることにより広帯域に中心周波数 f_0 を制御することが可能になる。
- [0048] すなわち、図9に示すように広帯域にわたる連続的な入出力特性を実現でき、広範囲でのマルチバンド動作が実現できる。より具体的には、中心周波数制御電圧 V_{tune} により、中心電圧 V_0 に対する中心周波数 f_0 が可変し、入出力特性が連続的に制御される。
- [0049] このような構成をとった場合、発振周波数 f は、上述のように、交差結合トランジスタ5a, 5bの特性、特にベース・コレクタ端子間の接合容量に強く依存する。そのため、中心周波数制御電圧 V_{tune} の電圧変動の影響、あるいは中心周波数制御回路16に

混入する外部雑音の影響により、発振動作の不安定化が起りやすくなる。これらの影響を抑圧するために、本実施形態では分圧回路15を備えている。

[0050] また、このような構成をとった場合、中心周波数 f_0 の制御に伴い、発振出力が大きく変動してしまうという問題がしばしば生じる。発明者らの検討によれば、この問題は電源供給用の抵抗117を適切な値に選ぶことにより回避されることが分かった。この適切な値は、通常、外部回路との高周波的な分離に十分なほど大きな値ではない。従って、外部回路のインピーダンス変動を回避するため、本実施形態では接地容量18を備えている。

[0051] 上述したように本実施形態では、簡易な構成で、電源電圧の変動や外部雑音に対する安定性を保持しながら、広帯域に渡るマルチバンド動作を実現することができる。この際の実出力変動も同時に回避できる。

[0052] (第2の実施形態)

図11は、本発明の第2の実施形態による交差結合型電圧制御発振器の構成を示す回路図である。なお、図11において、図10の第1の実施形態と同一部には同一の符号を付してある。

[0053] 図11を参照すると、本実施形態の交差結合型電圧制御発振器は、図10に示した交差結合型電圧制御発振器におけるインダクタ9a, 9bを伝送線路19a, 19bに置換している。スパイラルインダクタ等を高精度に実現することが困難な超高周波帯においては、このように伝送線路でインダクタ成分を実現する方法が適している。

[0054] 以下、本実施形態の交差結合型電圧制御発振器の動作について、シミュレーション結果を用いて説明する。シミュレーションでは、39.8Gbpsおよび43.0Gbpsのビットレートに対応可能な光通信用クロック・データ再生回路に適用されることを想定し、発振周波数を40GHz前後に設定した。トランジスタとしては、InP(インジウム燐)上のHBT(ヘテロ接合バイポーラトランジスタ)を想定した。シミュレーションは、ハーモニク・バランス法(調波平衡法)により行った。

[0055] 図12は、中心周波数制御電圧 V_{tune} を0.4V、3.4V、6.4Vとした場合の入出力特性をシミュレーションした結果を示す図である。

[0056] 図12において、最上部は、中心周波数制御電圧 V_{tune} を0.4Vとした場合の入出力

特性を示している。制御電圧 V_{cont} の中心電圧 V_0 が -0.75V の時、中心周波数 f_0 が 43GHz で、電圧制御発振器の利得 K_{VCO} （発振周波数 f の制御電圧 V_{cont} に対する変化率）が -345MHz/V となっている。また、最下部は、中心周波数制御電圧 V_{tune} を 6.4V とした場合の入出力特性を示している。制御電圧 V_{cont} の中心電圧 V_0 が -0.75V の時、中心周波数 f_0 が 39.8GHz で、電圧制御発振器の利得 K_{VCO} が -271MHz/V となっている。

[0057] したがって、目的の $39.8\text{GHz}\sim 43\text{GHz}$ の範囲でのマルチバンド動作が実現されている。また、中心周波数を制御したことによる電圧制御発振器の利得 K_{VCO} の変化は、 $-345\text{MHz/V}\sim -271\text{MHz/V}$ で、25%程度の変化であり、位相ロックループの設計上問題にならない程度である。

[0058] 図13は、中心周波数制御電圧 V_{tune} (V)に対する発振出力(dBm)の変化をシミュレーションした結果を示す図である。図13に示すように、中心周波数制御電圧 V_{tune} に対し、発振出力はほぼ一定に保持されている。

[0059] 図14は、中心周波数制御電圧 V_{tune} (V)に対する中心周波数 f_0 (GHz)の変化を、分圧回路15を具備した場合と、具備しない場合の各々についてシミュレーションした結果を示す図である。

[0060] 図14において、黒丸印で示した分圧回路が無い場合の特性は、中心周波数制御電圧 V_{tune} が $-0.5\text{V}\sim 0.5\text{V}$ に変化すると、中心周波数 f_0 が約 $45\text{GHz}\sim 37\text{GHz}$ と変化する。また、白丸印で示した分圧回路がある場合の特性は、中心周波数制御電圧 V_{tune} が $-10\text{V}\sim 10\text{V}$ に変化すると、中心周波数 f_0 が約 $45\text{GHz}\sim 37\text{GHz}$ と変化する。

[0061] このことから分かるように、分圧回路15を設けることにより、中心周波数制御電圧 V_{tune} に対する中心周波数 f_0 の変化率を、約 -8GHz/V （黒丸印；分圧回路が無い場合）から約 -400MHz/V （白丸印；分圧回路がある場合）へと、約 $1/20$ に抑圧することができる。これにより、中心周波数制御電圧 V_{tune} の電圧変動が起こった場合や、中心周波数制御回路16に外部雑音が混入した場合にも、発振動作の安定性を保持することが可能になる。この際、中心周波数 f_0 の制御範囲はそのまま保持される。

[0062] （第3の実施形態）

図15は、本発明の第3の実施形態による交差結合型電圧制御発振器の構成を示す回路図である。なお、図15において、図10の第1の実施形態と同一部には同一の符号を付してある。

[0063] 図15を参照すると、本実施形態の交差結合型電圧制御発振器は、図10に示した交差結合型電圧制御発振器における抵抗11a, 11bを伝送線路20a, 20bに置換している。ここで、伝送線路20a, 20bは、所定の発振周波数範囲内の任意の周波数において1/4波長の電気長を有するものとし、望ましくは、所定の発振周波数範囲の中心の周波数において1/4波長の電気長を有するものとする。このような構成をとることにより、大きな値の抵抗の使用を回避することができ、位相雑音や電源端子の電源電圧変動の点で有利となる場合がある。

[0064] (第4の実施形態)

図16は、本発明の第3の実施形態による交差結合型電圧制御発振器の構成を示す回路図である。なお、図16において、図10の第1の実施形態と同一部には同一の符号を付してある。

[0065] 図16を参照すると、本実施形態の交差結合型電圧制御発振器は、接地電位に対し正の電源電圧 V_{cc} を供給する電源端子1を、交差結合トランジスタ5a, 5bのコレクタ端子側に設けている。また、接地容量21a, 21bを具備している。本実施形態は、電源端子1から供給される電源電圧の極性が正である正電源規格の場合の一例である。

[0066] 次に、本実施形態の交差結合型電圧制御発振器の動作について説明する。

[0067] 交差結合トランジスタ5a, 5bの直流動作点は、中心周波数制御端子4から中心周波数制御回路16を介して供給される中心周波数制御電圧 V_{tune} により決定される。交差結合トランジスタ5aのコレクタ端子と交差結合トランジスタ5bのベース端子とは、直流遮断容量6aにより直流的に分離される。また、交差結合トランジスタ5bのコレクタ端子と交差結合トランジスタ5aのベース端子とは、直流遮断容量6bにより直流的に分離される。交差結合トランジスタ5a, 5bのコレクタ端子と外部回路とは、直流遮断容量7a, 7bにより直流的に分離される。また、中心周波数制御回路16は、直流遮断容量6a, 6bにより、交差結合トランジスタ5a, 5bのコレクタ端子側と直流的に分離さ

れる。

[0068] 制御端子2に供給される制御電圧 V_{cont} を変化させると、可変容量8a, 8bの容量が変化する。これにより、出力端子3a, 3bから出力される信号の発振周波数は、図2に示すように制御される。

[0069] 本実施形態では、中心周波数制御端子4から中心周波数制御回路16を介して供給される中心周波数制御電圧 V_{tune} により、交差結合トランジスタ5a, 5bのベース電圧を制御する。それにより、交差結合トランジスタ5a, 5bのベース・コレクタ端子間の特性、特に接合容量を変化させて、中心電圧 V_0 に対する中心周波数 f_0 を制御し、複数の入出力特性(マルチバンド動作)を実現する。

[0070] 交差結合トランジスタ5a, 5bのベース端子同士を、抵抗11a, 11bにより高周波的に分離する。さらに、中心周波数制御端子4に接続される外部回路のインピーダンス変動の影響を回避するために、接地容量12を設ける。

[0071] 発振周波数 f は、交差結合トランジスタ5a, 5bの特性、特にベース・コレクタ端子間の接合容量に強く依存する。そのため、このような構成をとることにより広帯域に中心周波数を制御することが可能になる。すなわち、図9に示すように広帯域にわたる連続的な入出力特性が実現でき、広範囲でのマルチバンド動作が実現できる。

[0072] このような構成をとった場合、発振周波数 f は、上述のように、交差結合トランジスタ5a, 5bの特性、特にベース・コレクタ端子間の接合容量に強く依存する。そのため、中心周波数制御電圧 V_{tune} の電圧変動の影響、あるいは中心周波数制御回路16に混入する外部雑音の影響により、発振動作の不安定化が起こりやすくなる。これらの影響を抑圧するために、本実施形態では分圧回路15を備えている。

[0073] 上述したように本実施形態でも、上記第1～第3の実施形態と同様に、簡易な構成で、電源電圧変動や外部雑音に対する安定性を保持しながら、広帯域に渡るマルチバンド動作を実現することができる。

[0074] (第5の実施形態)

図17は、本発明の第5の実施形態による交差結合型電圧制御発振器の構成を示す回路図である。なお、図17において、図16の第4の実施形態と同一部には同一の符号を付してある。

[0075] 図17を参照すると、本実施形態の交差結合型電圧制御発振器は、図16に示した交差結合型電圧制御発振器における抵抗17を電流源22に置換している。なお、本実施形態の交差結合型電圧制御発振器の動作は第4の実施形態とほぼ同じなので説明は省略する。

[0076] (第6の実施形態)

図18は、本発明の第1～第5の実施形態の交差結合型電圧制御発振器を適用した位相ロックループ(PLL)回路の一構成例を示すブロック図である。

[0077] 図18を参照すると、本実施形態に係るPLL回路は、信号入力端子23、信号出力端子24、位相比較回路25、ループフィルタ(LPF)26、および第1～第5の実施形態のいずれかの交差結合型電圧制御発振器27から構成されている。なお、交差結合型電圧制御発振器27の出力は差動出力であるが、ここでは簡単のため、出力端子3a, 3bをまとめて出力端子3として示している。

[0078] 位相比較回路25は、信号入力端子23から入力された信号の位相を、交差結合型電圧制御発振器27の出力端子3から帰還された信号の位相と比較し、その位相差を出力する。この出力は、ループフィルタ(LPF)26を通過して交差結合型電圧制御発振器27の制御端子2に入力される。

[0079] このように、本実施形態に係るPLL回路は、信号入力端子23から入力された信号の位相と交差結合型電圧制御発振器27の出力信号の位相とが一致するように動作する。

[0080] そして、本実施形態に係るPLL回路は、電圧制御発振器27の中心周波数制御端子4に中心周波数制御電圧 V_{tune} を印加することによりマルチバンド動作が可能となり、複数周波数帯での動作が可能となる。

[0081] (第7の実施形態)

図19は、本発明の第1～第5の実施形態の交差結合型電圧制御発振器を適用したクロック・データ再生(CDR)回路の構成を示すブロック図である。

[0082] 図19を参照すると、本実施形態に係るCDR回路は、位相比較回路25、ループフィルタ(LPF)26、第1～第5の実施形態のいずれかの交差結合型電圧制御発振器27、データ信号入力端子28、再生クロック信号出力端子29、再生データ信号出力端

子30、 90° ($1/2$ ビット分)だけ位相を遅らせる遅延回路31、およびDタイプフリップ・フロップ回路32から構成されている。なお、交差結合型電圧制御発振器27の出力は差動出力であるが、ここでは簡単のため、出力端子3a、3bをまとめて出力端子3として示している。

[0083] データ信号入力端子28から入力されたデータ信号は、遅延回路31に入力されると同時にDタイプフリップ・フロップ回路32のデータ入力端子Dに入力される。Dタイプフリップ・フロップ回路32のクロック入力端子CLKには交差結合型電圧制御発振器27の出力端子3から帰還された信号が入力される。位相比較回路25は、遅延回路31から出力された信号とDタイプフリップ・フロップ回路32から出力された信号の位相を比較し、その位相差を出力する。この出力は、ループフィルタ(LPF)26を介して交差結合型電圧制御発振器27の制御端子2に入力される。交差結合型電圧制御発振器27の出力端子3からの信号は、再生クロック信号出力端子29から再生クロック信号として出力される。

[0084] 本実施形態に係るCDR回路は、電圧制御発振器27の中心周波数制御端子4に中心周波数制御電圧 V_{tune} を印加することによりマルチバンド動作が可能となり、複数ビットレートでの動作が可能となる。

[0085] (第8の実施形態)

図20は、本発明の第1～第5の実施形態の交差結合型電圧制御発振器を適用した位相ロックループ(PLL)回路の他の構成例を示すブロック図である。なお、図20において、図18の第6の実施形態と同一部には同一の符号を付してある。

[0086] 図20を参照すると、本実施形態に係るPLL回路は、図18の第6の実施形態と比較して、電圧制御発振器27の制御端子2および中心周波数制御端子4の接続を交換している。すなわち、制御端子2であっても、中心周波数制御端子4であっても出力周波数を可変できるので、制御端子2と中心周波数制御端子4の役目を交換しても動作させることができる。その他は、第6の実施形態と同じなので詳細な説明は省略する。

[0087] (第9の実施形態)

図21は、本発明の第1～第5の実施形態の交差結合型電圧制御発振器を適用し

たクロック・データ再生(CDR)回路の他の構成例を示すブロック図である。なお、図21において、図19の第7の実施形態と同一部には同一の符号を付してある。

- [0088] 図21を参照すると、本実施形態に係るCDR回路は、図19の第7の実施形態と比較して、電圧制御発振器27の制御端子2および中心周波数制御端子4の接続を交換している。すなわち、制御端子2であっても、中心周波数制御端子4であっても出力周波数を可変できるので、制御端子2と中心周波数制御端子4の役目を交換しても動作させることができる。その他は、第7の実施形態と同じなので詳細な説明は省略する。
- [0089] なお、第1～第9の実施形態の交差結合型電圧制御発振器、PLL回路、およびCDR回路は、携帯電話などの移動通信機器、テレビ受像機などの受像機、ラジオ受信機、テレビ付ディスプレイ・モニタ、各種映像装置(ディスプレイ装置)、パソコンを含む各種コンピュータ装置、データ伝送装置、その他各種電子機器などにおける、チューナー部、復調部、その他のマルチバンド動作が必要な部分に使用することができる。
- [0090] また、第1～第9の実施形態の交差結合型電圧制御発振器、PLL回路、およびCDR回路は、ICなど、1チップ化した半導体装置(半導体デバイス)として製造することができる。そうすれば、各応用分野に安価な部品として供給することができる。
- [0091] また、第1～第9の実施形態においては、能動素子としてバイポーラトランジスタを使用した例を示したが、MESFET(Metal Semiconductor Field Effect Transistor)、HEMT(HIGH Electron Mobility Transistor)、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)等の電界効果トランジスタを使用した場合も、同様の構成で同様の効果を実現することができる。この場合は、上記の実施形態の説明で、ベースがゲートに、エミッタがソースに、コレクタがドレインに読み替えられる。
- [0092] また、第1～第9の実施形態においては、交差結合トランジスタとしてnpnトランジスタを使用した例を示したが、pnptランジスタを使用することもできる。
- [0093] また、第1～第9の実施形態においては、制御端子2や中心周波数制御端子4から入力される電圧がデジタル信号である場合、最小ビットの分解能(例えば、8ビット信

号なら1/256)の範囲で離散的な動作が行われることになる。これは、上記の実施形態では電圧が連続的に供給されるとみなし、周波数変化も連続的であるとしているためである。

[0094] 以上、本発明を、具体的な実施形態を用いて説明したが、本発明はこれらの実施形態に限定されることはなく、本発明の要旨を変更しない範囲で変形して実施できることは言うまでもない。

[0095] また、本発明は、電圧制御発振器を適用する電子装置に、連続的なマルチバンド動作が可能な電圧制御発振器として広く利用できる。

請求の範囲

- [1] 周波数制御端子と可変容量とトランジスタとを備え、前記周波数制御端子から供給される電圧に応じて出力周波数を可変する電圧制御発振器において、
前記周波数制御端子は、
前記可変容量の容量を変化させて前記出力周波数を制御するための電圧が供給される第1の周波数制御端子と、
前記トランジスタの特性を変化させて前記出力周波数の中心周波数を制御するための電圧が供給される第2の周波数制御端子とを含む電圧制御発振器。
- [2] 前記トランジスタは、コレクタ端子とベース端子とを互いに交差結合させた2つの交差結合トランジスタを構成し、
前記可変容量は、インダクタと共に共振回路を構成し、
前記共振回路が前記交差結合トランジスタにより励振されるように構成されている、
請求項1に記載の電圧制御発振器。
- [3] 前記第2の周波数制御端子は、前記交差結合トランジスタのベースの接合容量を可変する電圧が供給される、請求項2に記載の電圧制御発振器。
- [4] トランジスタとLCタンクとを備え、前記トランジスタにより前記LCタンクを励振して発振させて出力周波数を可変する電圧制御発振器において、
前記LCタンクを励振して発振させて前記出力周波数を可変する第1の周波数制御手段と、
前記トランジスタの特性を変化させて前記出力周波数を可変する第2の周波数制御手段とをさらに備える電圧制御発振器。
- [5] 前記第2の周波数制御手段は、前記トランジスタのベース端子またはゲート端子の電圧を変化させて前記出力周波数を可変する、請求項4に記載の電圧制御発振器。
- [6] 互いに交差結合させた2つの交差結合トランジスタと、インダクタおよび可変容量からなるLCタンクとを備え、前記交差結合トランジスタにより前記LCタンクを励振して発振させて出力周波数を可変する電圧制御発振器において、
前記可変容量の容量を変化させて前記出力周波数を可変する第1の周波数制御

手段と、

前記交差結合トランジスタのベース端子またはゲート端子の電圧を変化させて前記出力周波数を可変する第2の周波数制御手段とをさらに備える電圧制御発振器。

- [7] コレクタ端子とベース端子とを互いに交差結合させた2つの交差結合トランジスタと、インダクタおよび可変容量からなるLCタンクと、前記可変容量の容量を可変して前記LCタンクの共振周波数を可変するための制御電圧が供給される制御端子とを備え、前記交差結合トランジスタにより前記LCタンクを励振して発振させると共に、前記制御電圧により前記出力周波数を制御する電圧制御発振器において、

前記交差結合トランジスタのベース端子またはゲート端子の電圧を変化させて、前記制御電圧により制御された前記出力周波数の中心周波数を制御する中心周波数制御手段をさらに備える電圧制御発振器。

- [8] 前記中心周波数制御手段は、中心周波数制御端子から供給された中心周波数制御電圧を分圧して前記2つの交差結合トランジスタのそれぞれのベース端子またはゲート端子に印加するための分圧回路を含む、請求項7に記載の電圧制御発振器。

- [9] 前記中心周波数制御手段は、

前記2つの交差結合トランジスタのそれぞれのベース端子またはゲート端子に一端が接続され、他端同士が接続された2つの抵抗と、

前記2つの抵抗の他端同士が接続された接続点に一端が接続され、他端が接地された接地容量と、

前記2つの抵抗の他端同士が接続された接続点に一端が接続され、他端が中心周波数制御電圧を供給する中心周波数制御端子に接続され、前記中心周波数制御電圧を分圧する分圧回路とを含む、請求項7に記載の電圧制御発振器。

- [10] 出力周波数を制御する制御端子と、前記出力周波数の中心周波数を制御する中心周波数制御端子とを備えた電圧制御発振器において、

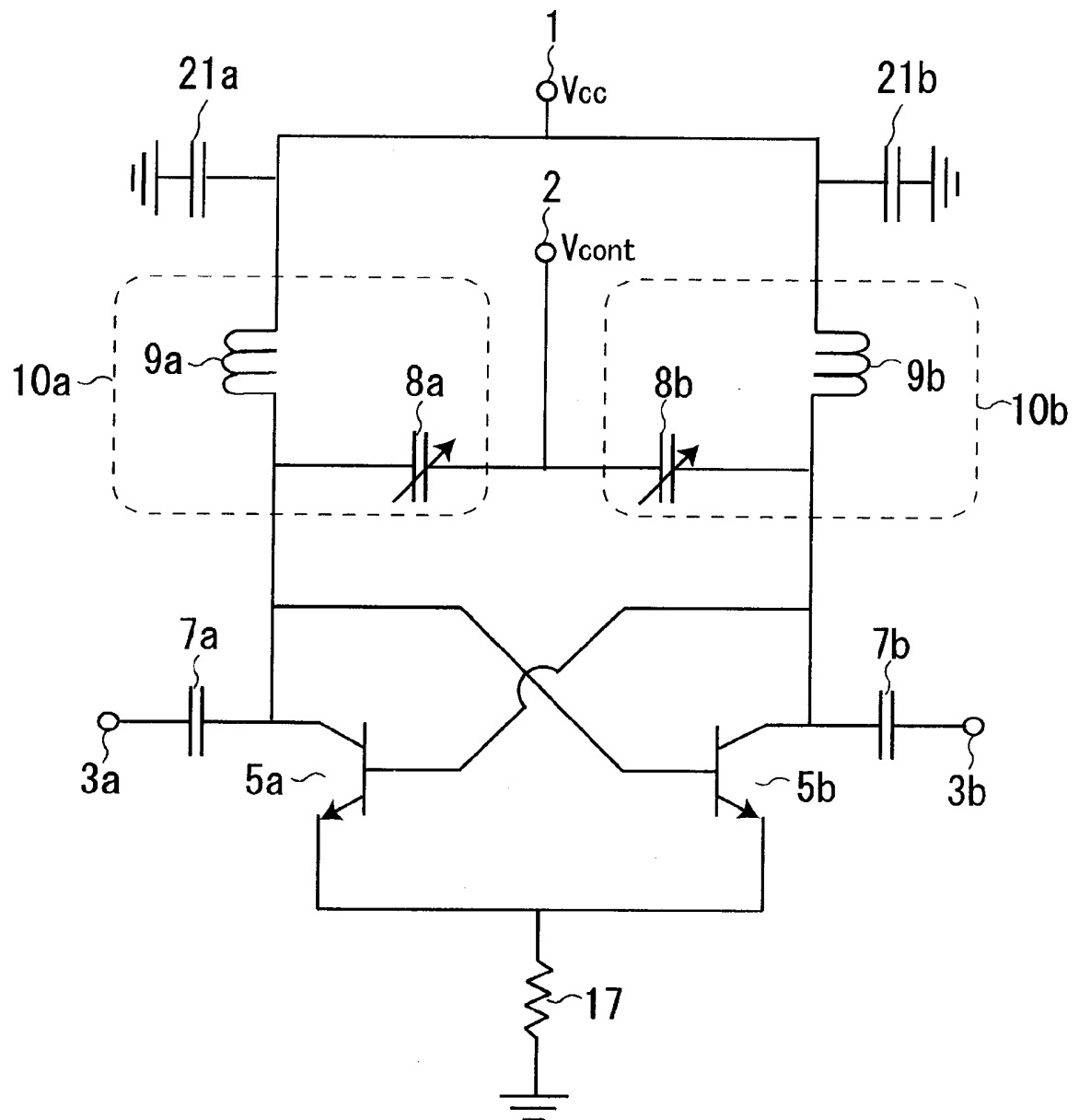
交差結合させた2つの交差結合トランジスタのベース端子またはゲート端子と前記中心周波数制御端子との間に配置され、前記中心周波数制御端子から前記交差結合トランジスタのベース端子またはゲート端子に印加される電圧を変化させて前記出力周波数を制御する中心周波数制御回路をさらに備える電圧制御発振器。

- [11] 前記中心周波数制御回路は、
前記2つの交差結合トランジスタのそれぞれのベース端子またはゲート端子に接続された2つの抵抗と、
前記2つの抵抗と前記中心周波数制御端子との間に一端が接続され、他端が接地された容量とを含む、請求項10に記載の電圧制御発振器。
- [12] 前記中心周波数制御端子と前記抵抗との間に配置された分圧回路をさらに含む、請求項11に記載の電圧制御発振器。
- [13] 前記中心周波数制御回路は、
前記2つの交差結合トランジスタのそれぞれのベース端子またはゲート端子に接続され、所定の発振周波数範囲内の任意の周波数において1/4波長の電気長を有する2つの伝送線路と、
前記2つの伝送線路と前記中心周波数制御端子との間に一端が接続され、他端が接地された容量とを含む、請求項10に記載の電圧制御発振器。
- [14] 前記中心周波数制御端子と前記伝送線路との間に配置された分圧回路をさらに含む、請求項13に記載の電圧制御発振器。
- [15] 前記トランジスタのエミッタ端子またはソース端子に接続された抵抗と、
前記抵抗と電源端子とが接続された接続点に一端が接続され、他端が接地された容量とをさらに備える、請求項1に記載の電圧制御発振器。
- [16] 可変容量とトランジスタとを備えた電圧制御発振器の周波数制御方法において、
前記可変容量の容量を変化させて出力周波数を制御し、
前記トランジスタの特性を変化させて前記出力周波数の中心周波数を制御する方法。
- [17] トランジスタによりLCタンクを励振して発振させて出力周波数を可変する電圧制御発振器の周波数制御方法において、
前記LCタンクを励振して発振させて前記出力周波数を可変し、
前記トランジスタの特性を変化させて前記出力周波数を可変する方法。
- [18] 互いに交差結合させた2つの交差結合トランジスタによりLCタンクを励振して発振させて出力周波数を可変する電圧制御発振器の周波数制御方法において、

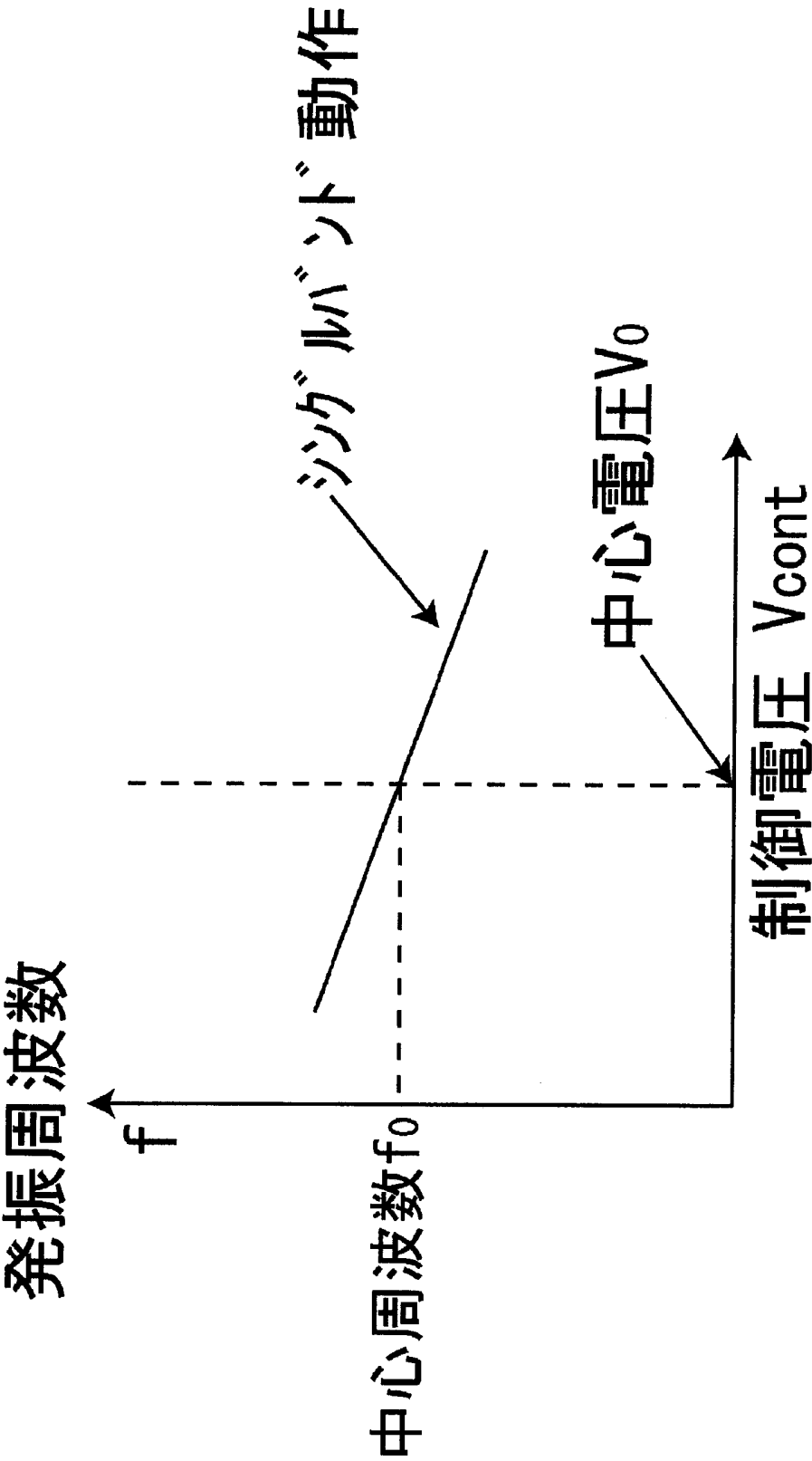
可変容量の容量を変化させて前記出力周波数を可変し、
前記交差結合トランジスタのベース端子またはゲート端子の電圧を変化させて前記出力周波数を可変する方法。

- [19] コレクタ端子とベース端子とを互いに交差結合させた2つの交差結合トランジスタにより、インダクタおよび可変容量からなるLCタンクを励振して発振させると共に、制御電圧により出力周波数を制御する電圧制御発振器の周波数制御方法において、
前記交差結合トランジスタのベース端子またはゲート端子の電圧を変化させて、前記制御電圧により制御された前記出力周波数の中心周波数を制御する方法。
- [20] 交差結合させた2つのトランジスタのベース端子またはゲート端子と中心周波数制御端子との間に中心周波数制御回路を備えた電圧制御発振器の周波数制御方法において、
前記中心周波数制御端子から前記中心周波数制御回路を介して供給される前記トランジスタのベース端子またはゲート端子の電圧を変化させて出力周波数の中心周波数を制御する方法。

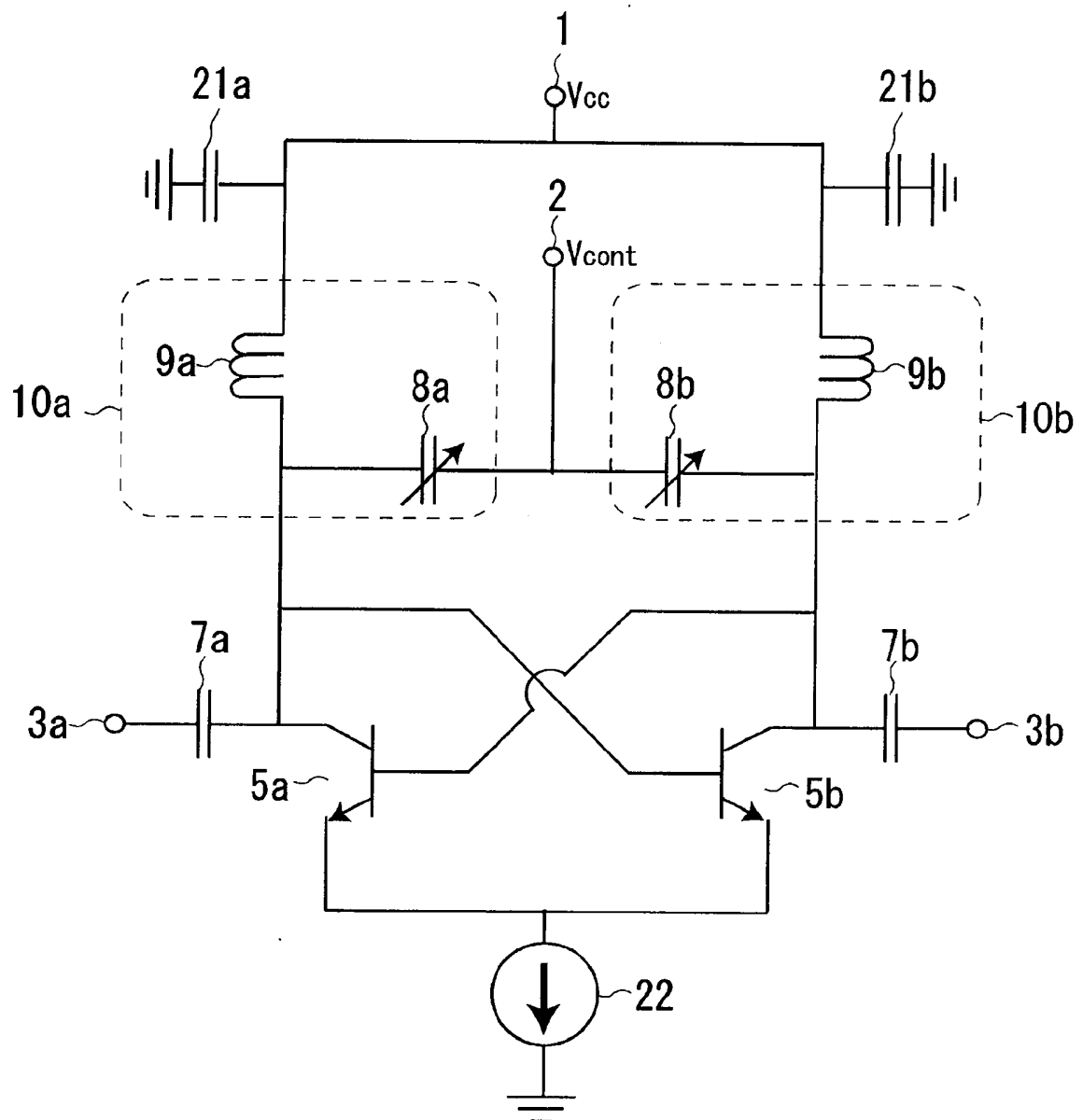
[図1]



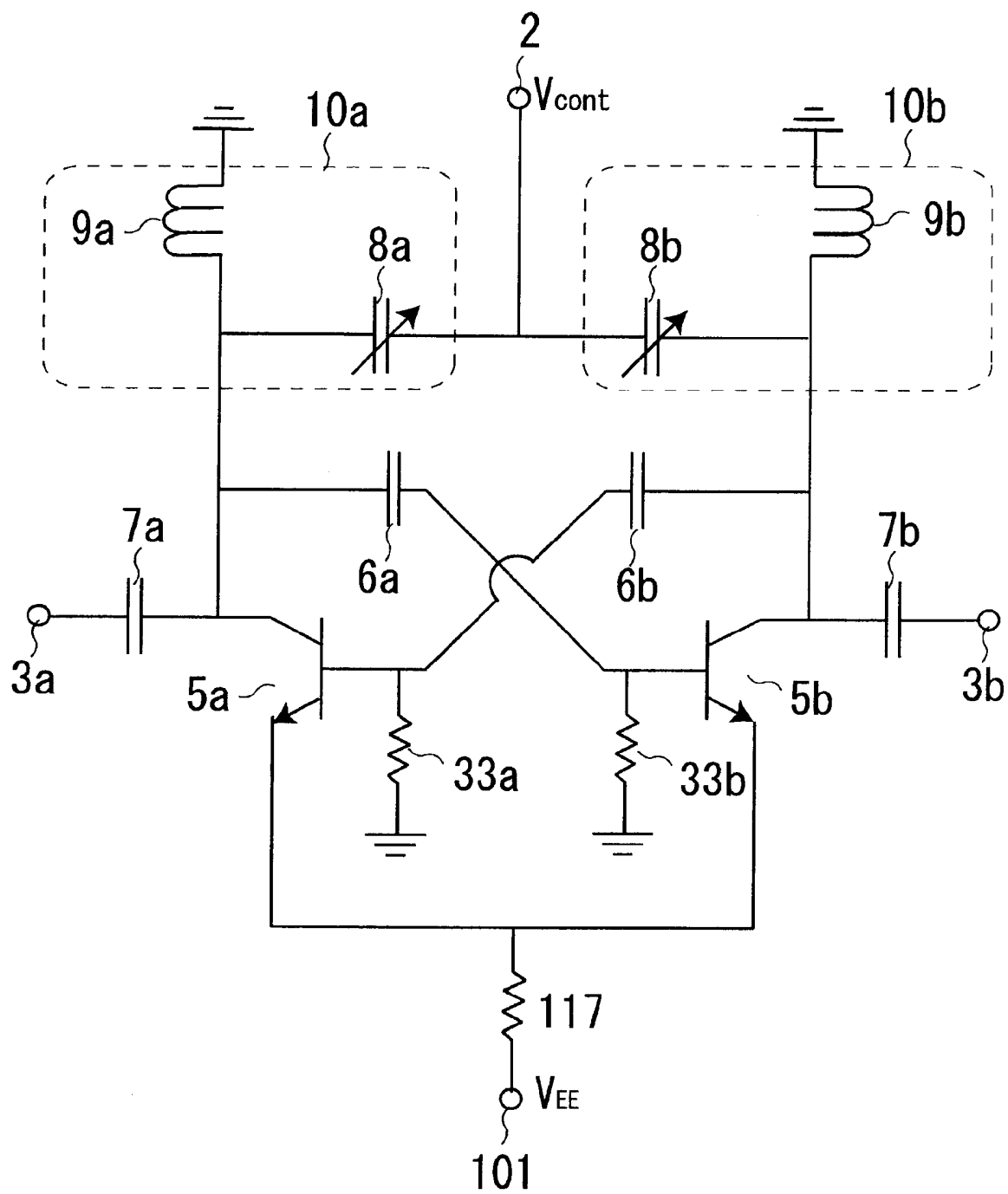
[図2]



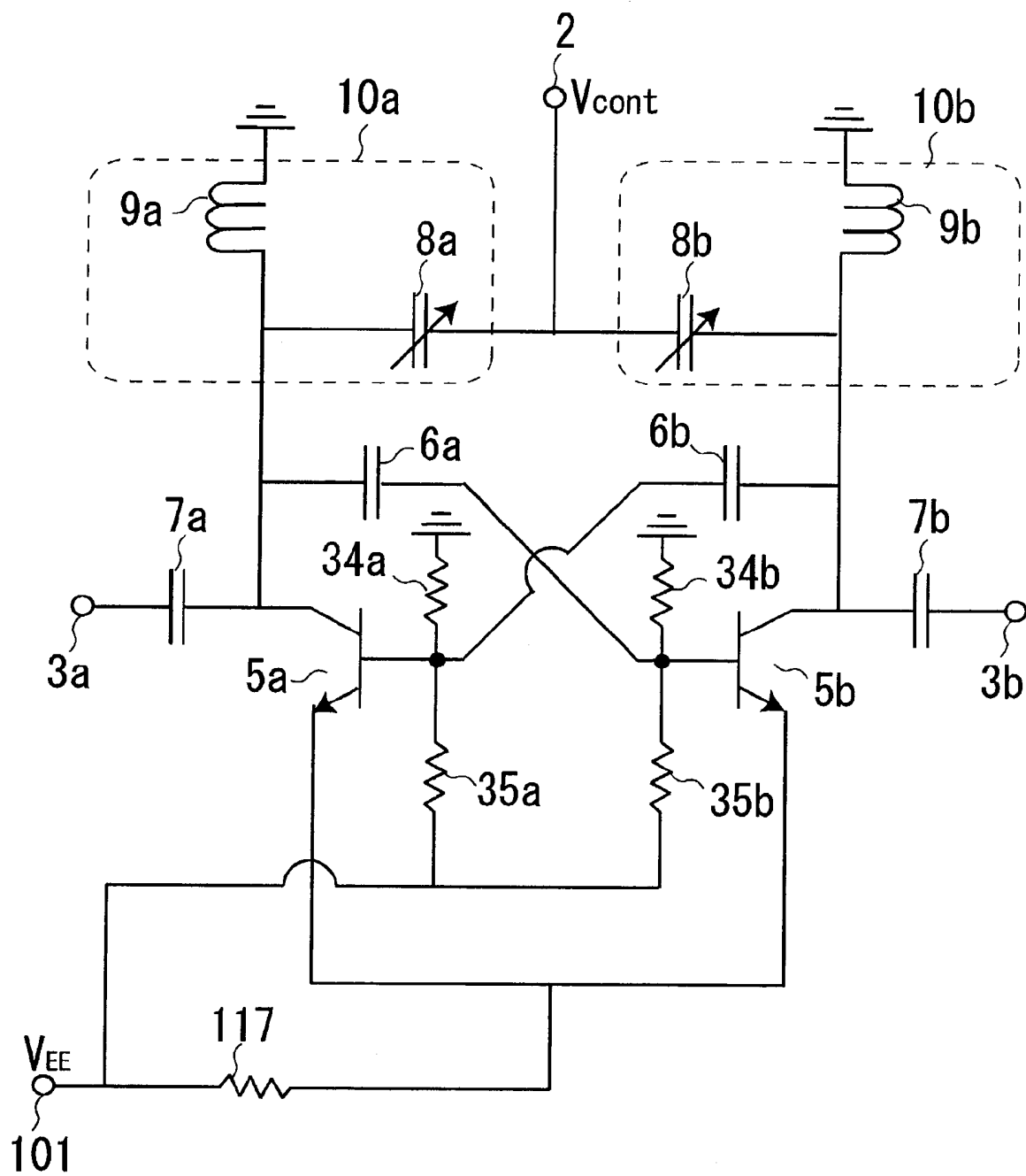
[図3]



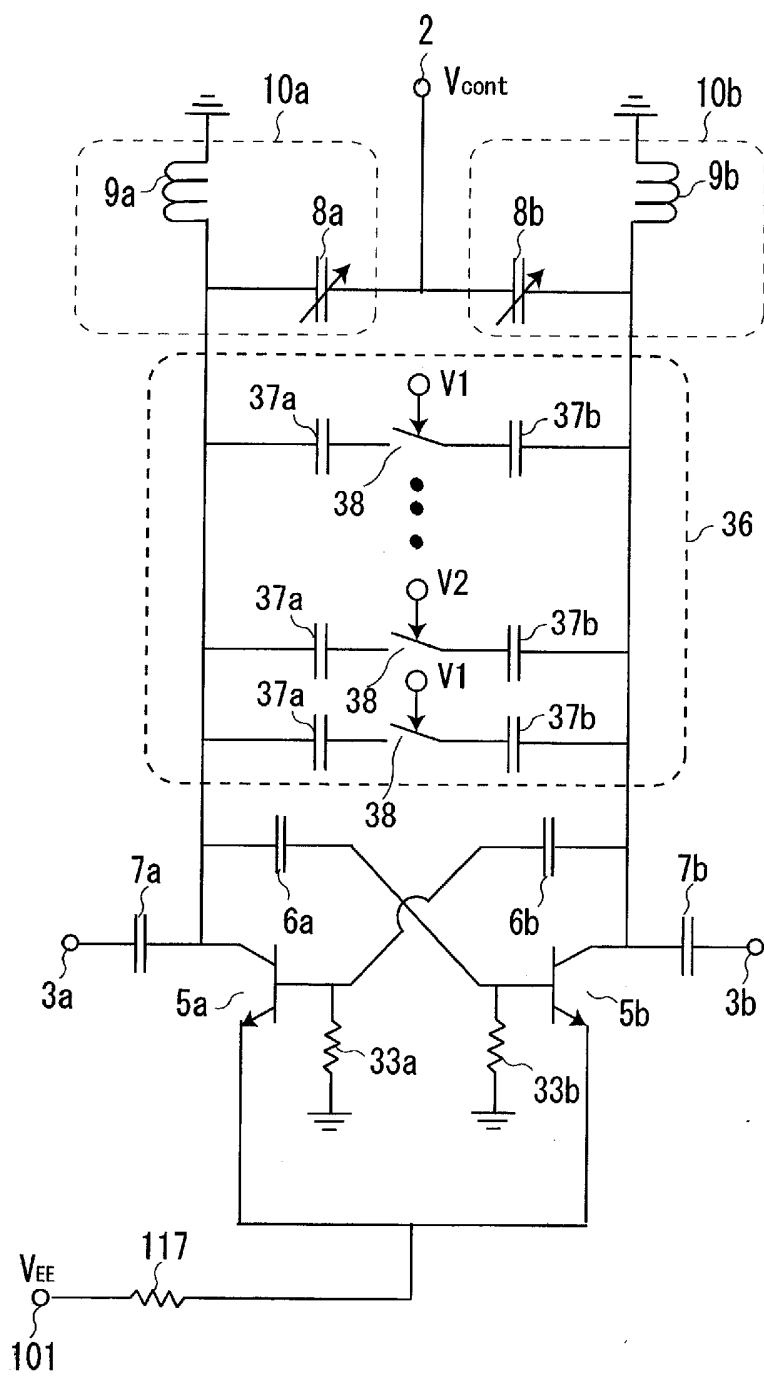
[図4]



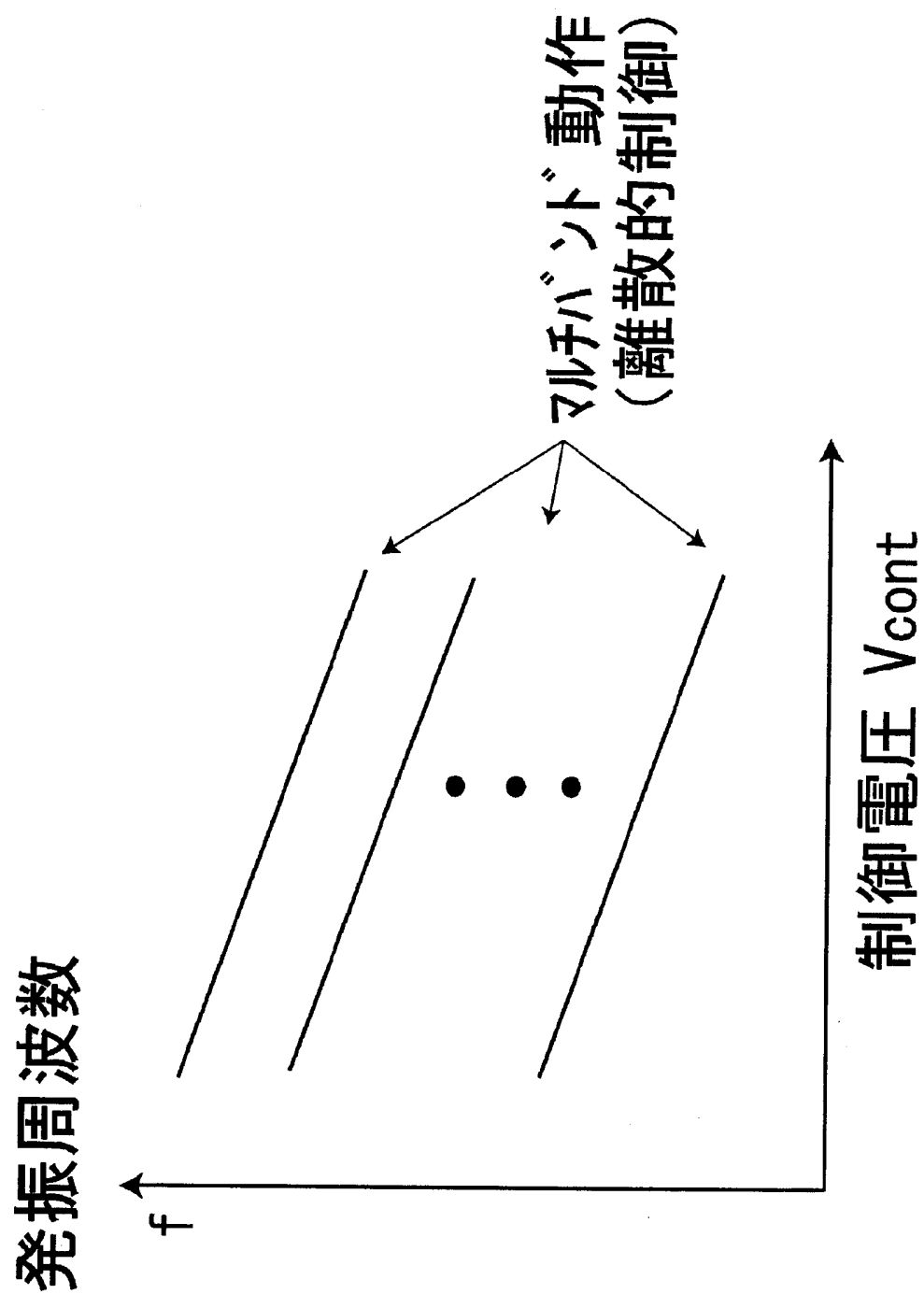
[図5]



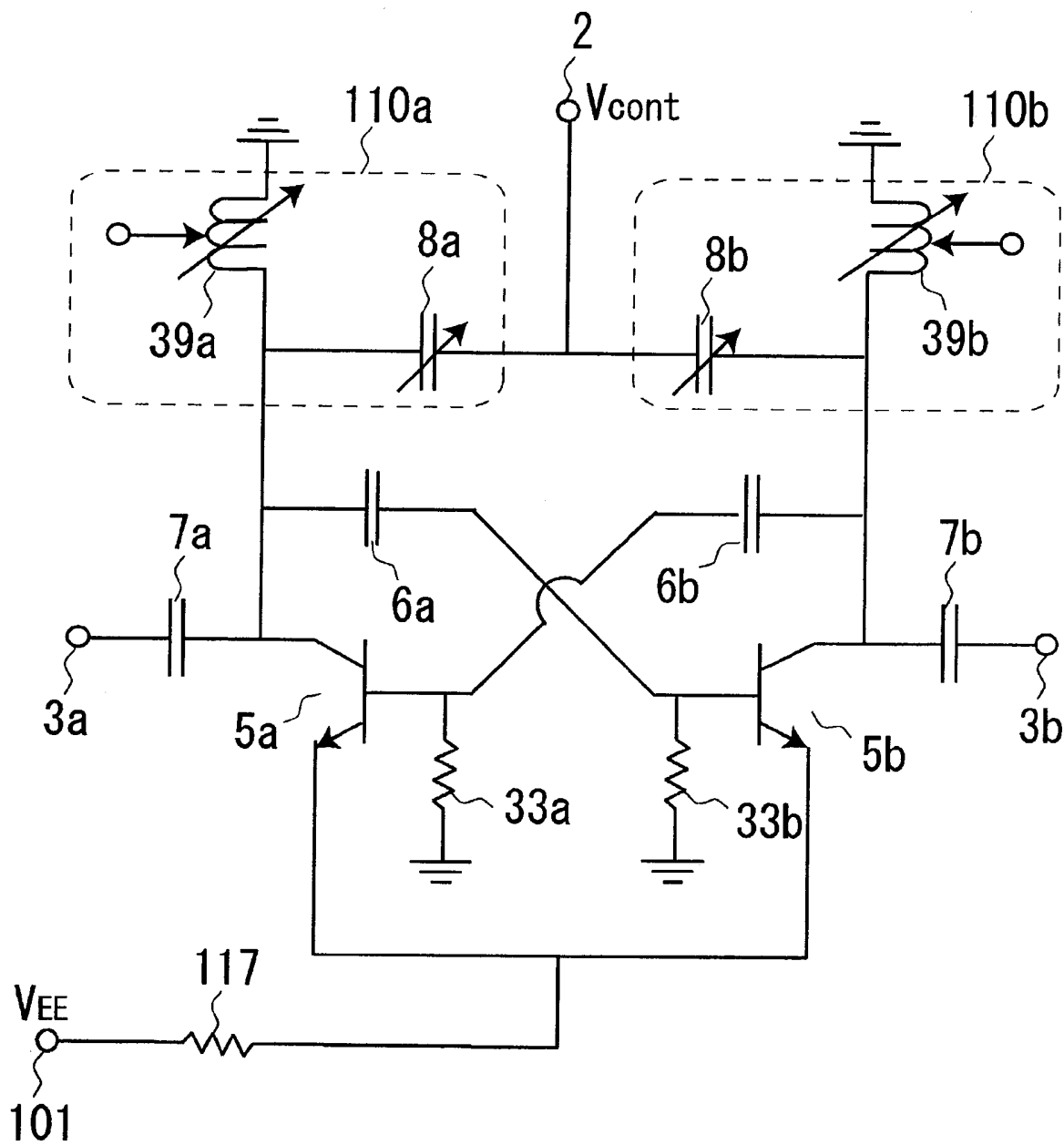
[図6]



[図7]

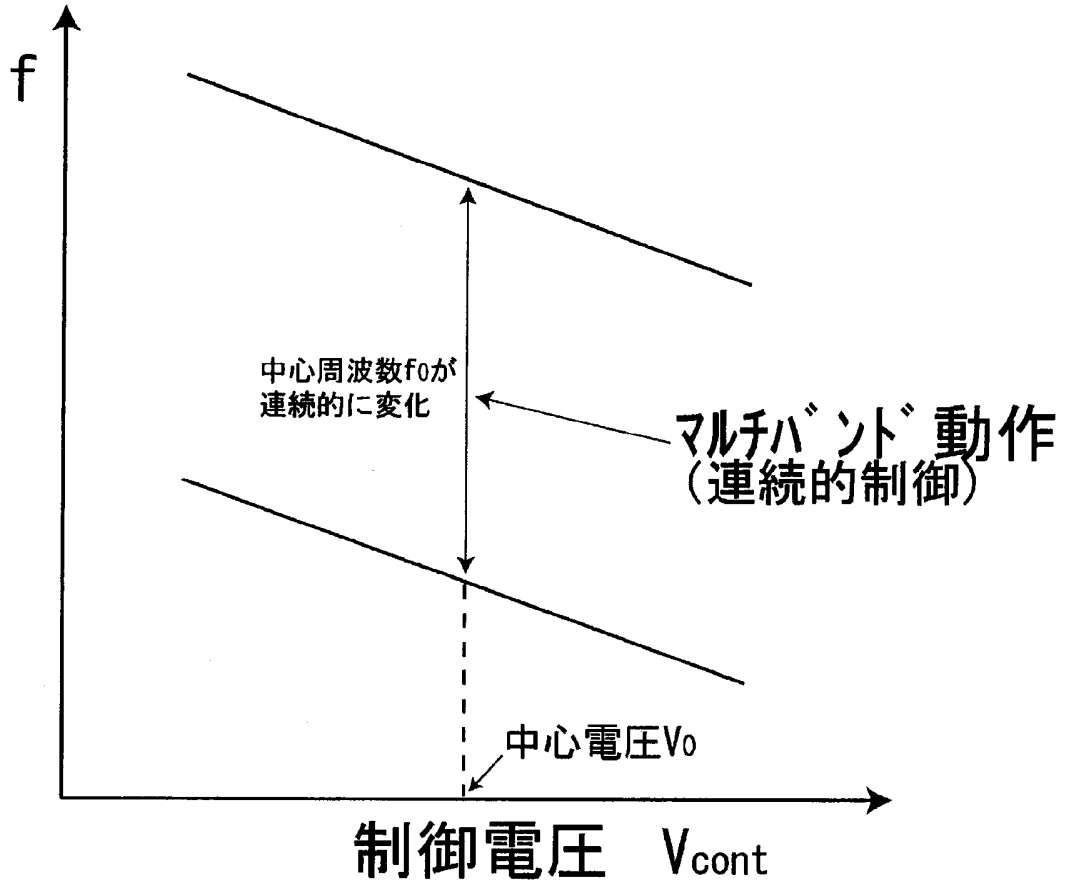


[図8]

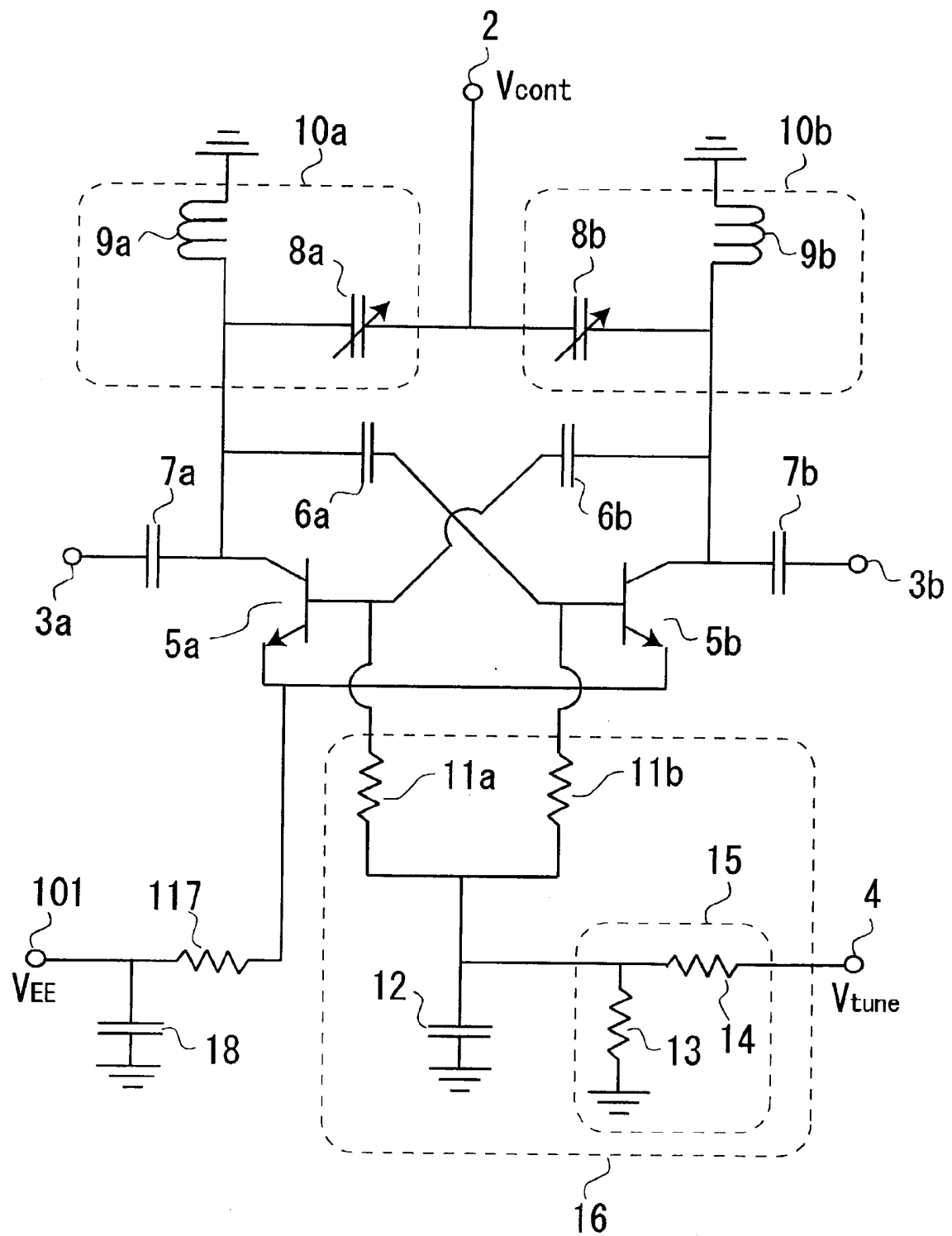


[図9]

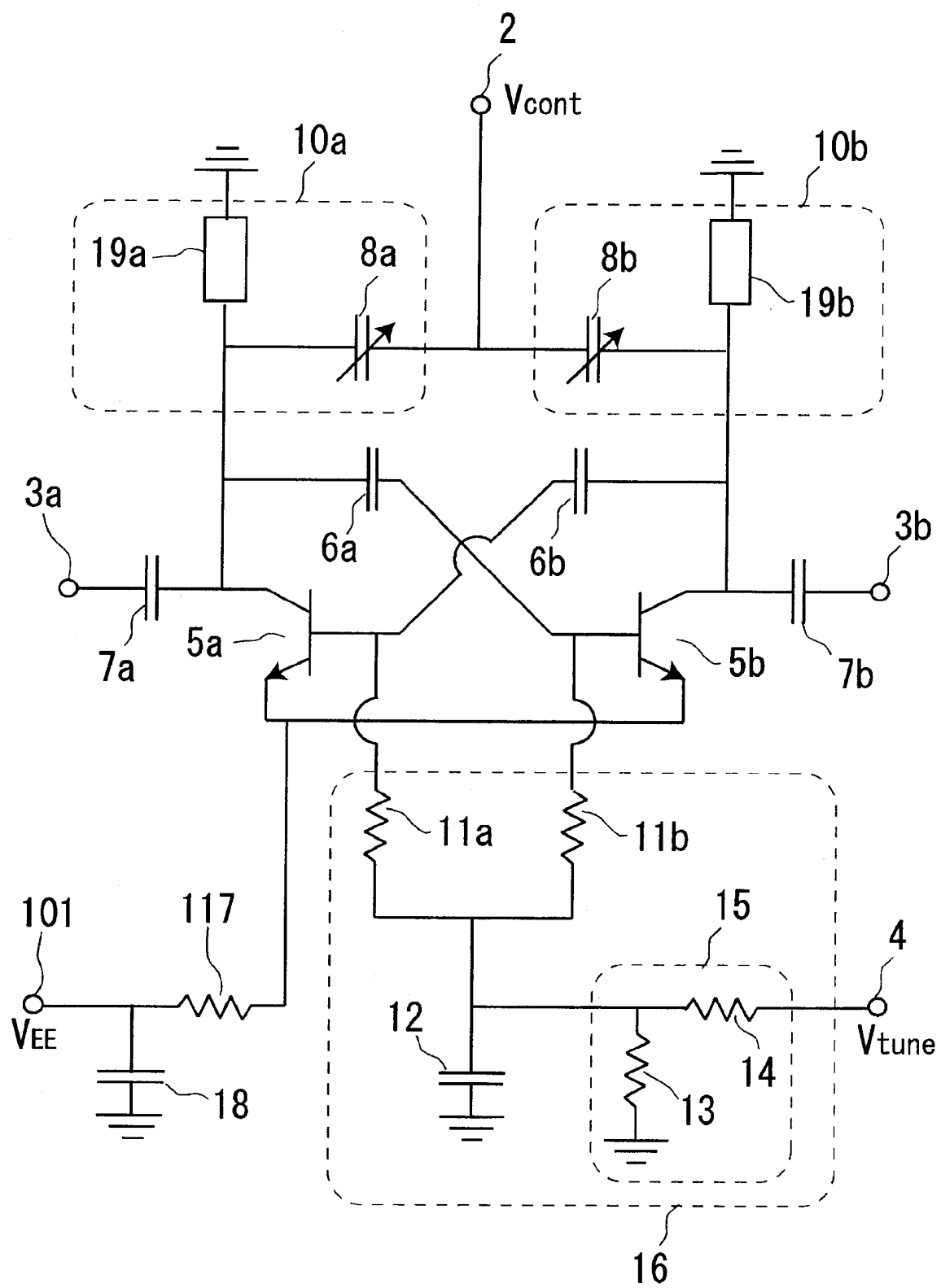
発振周波数



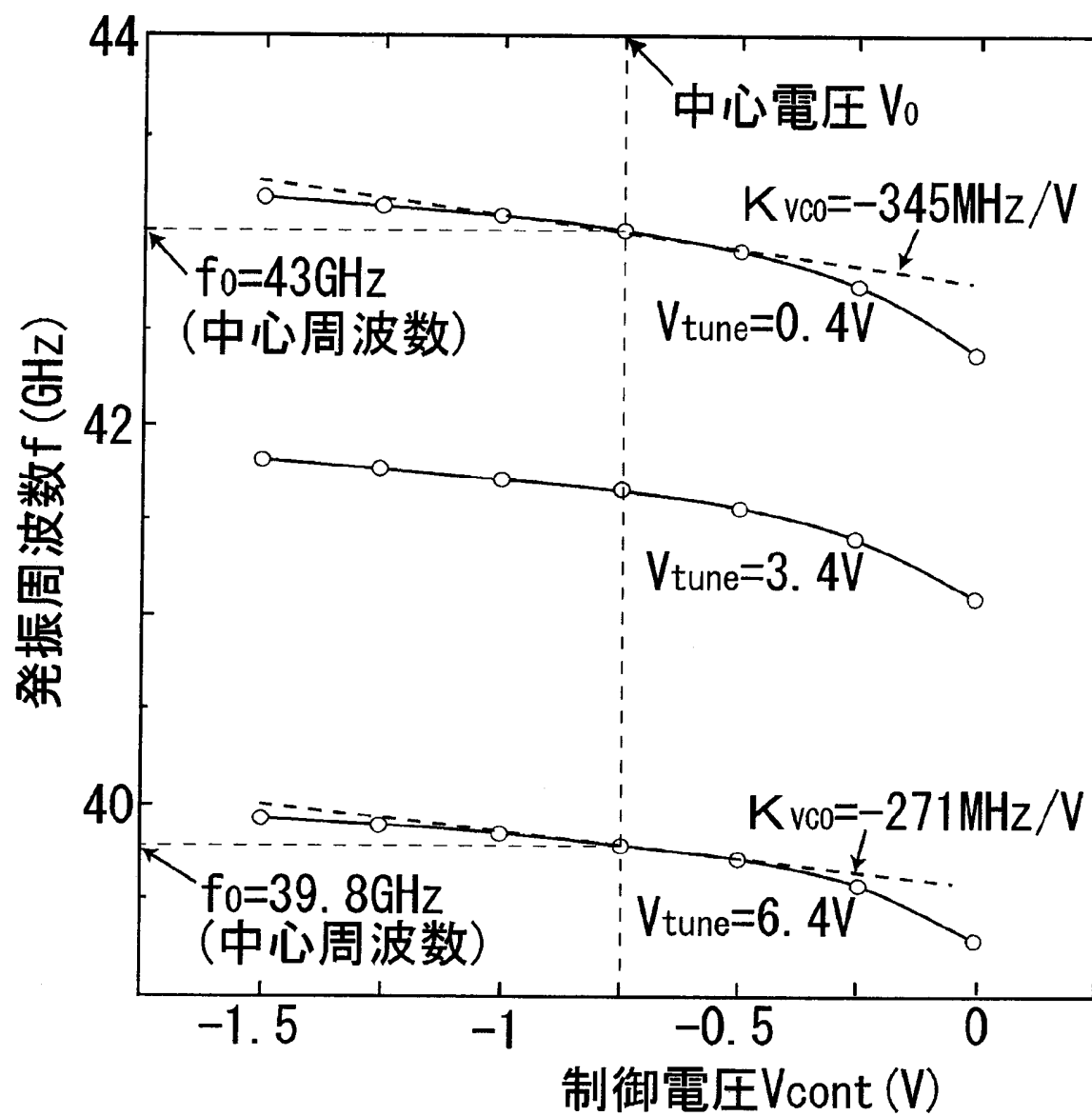
[図10]



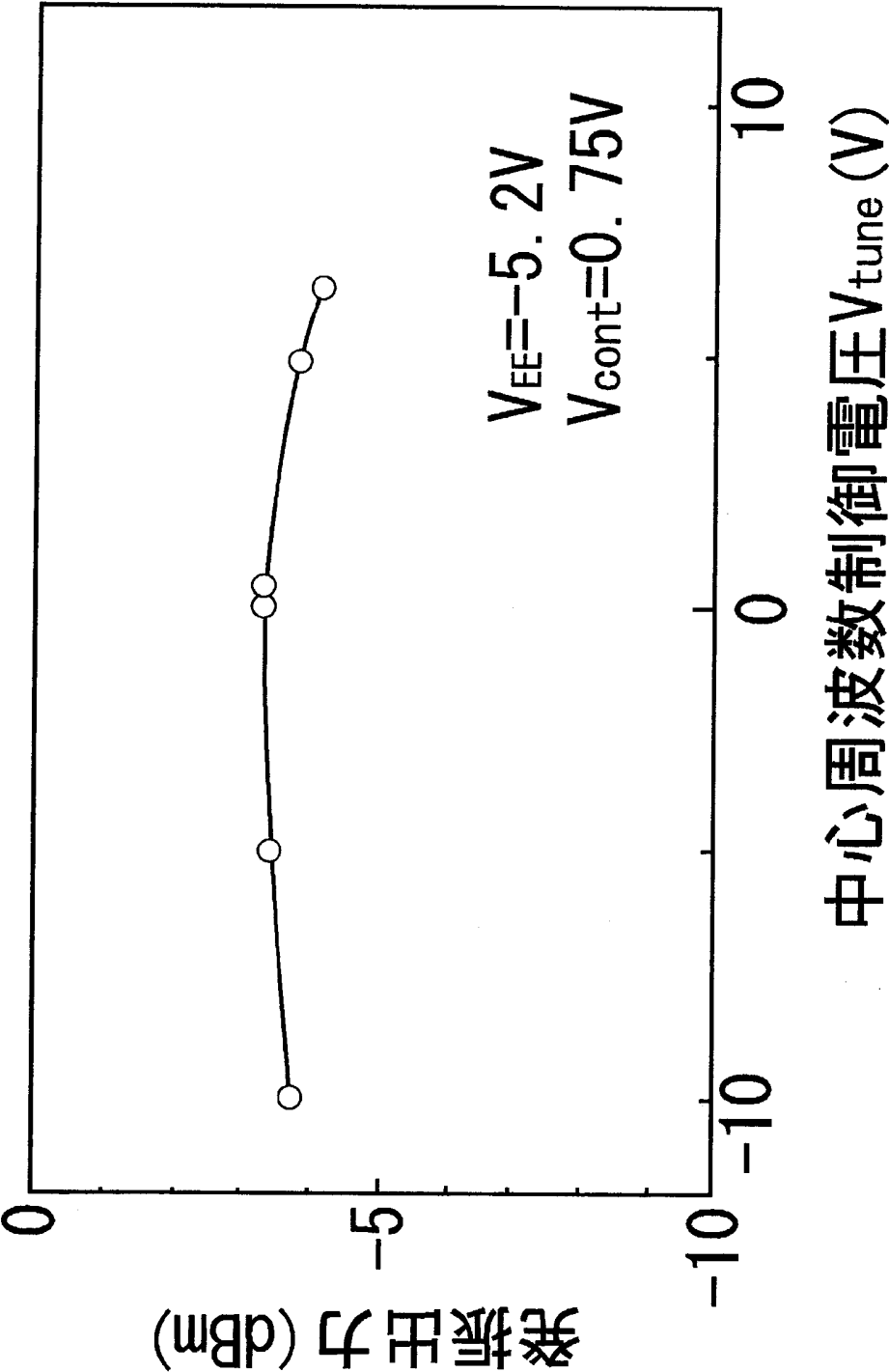
[図11]



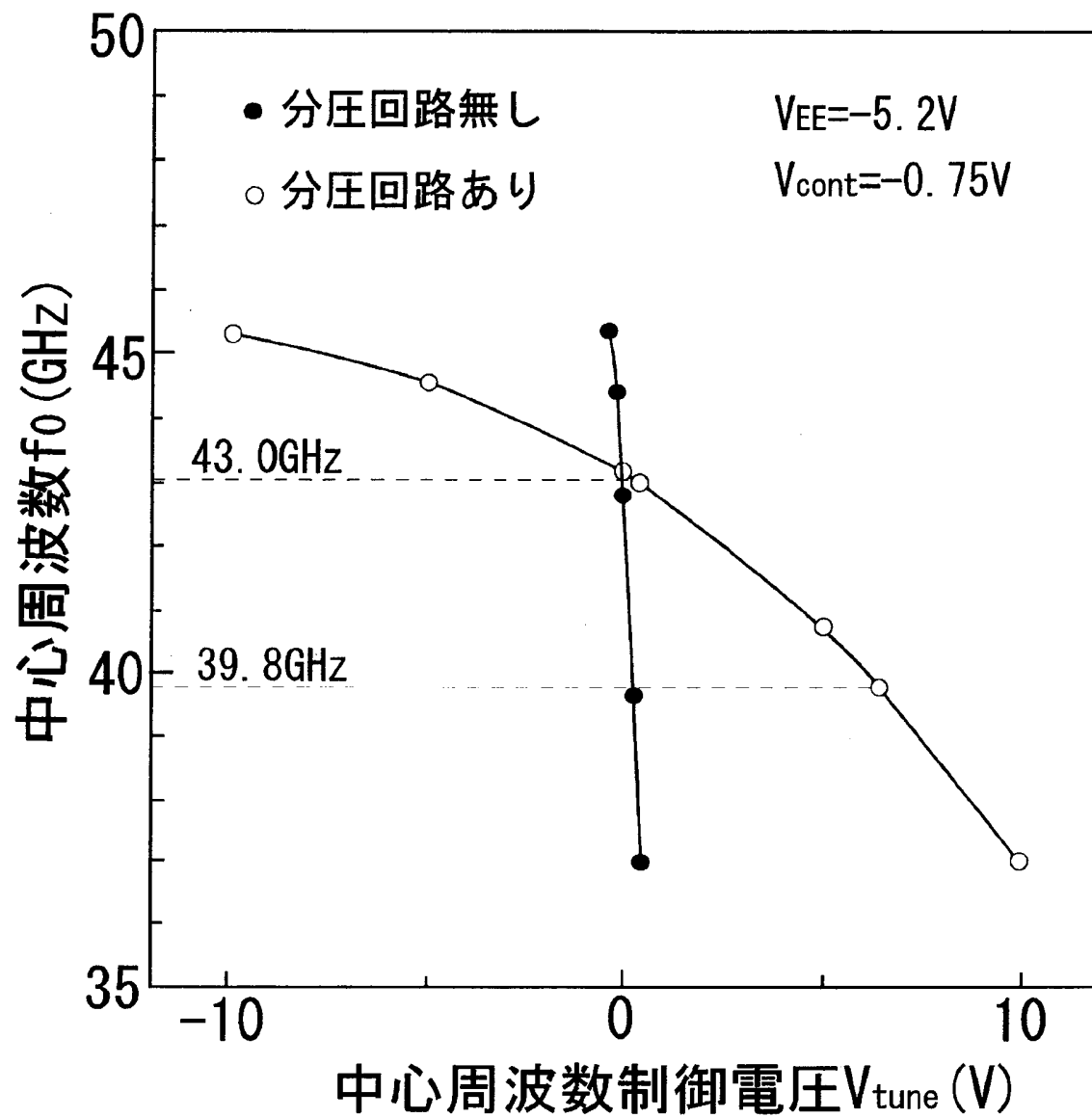
[図12]



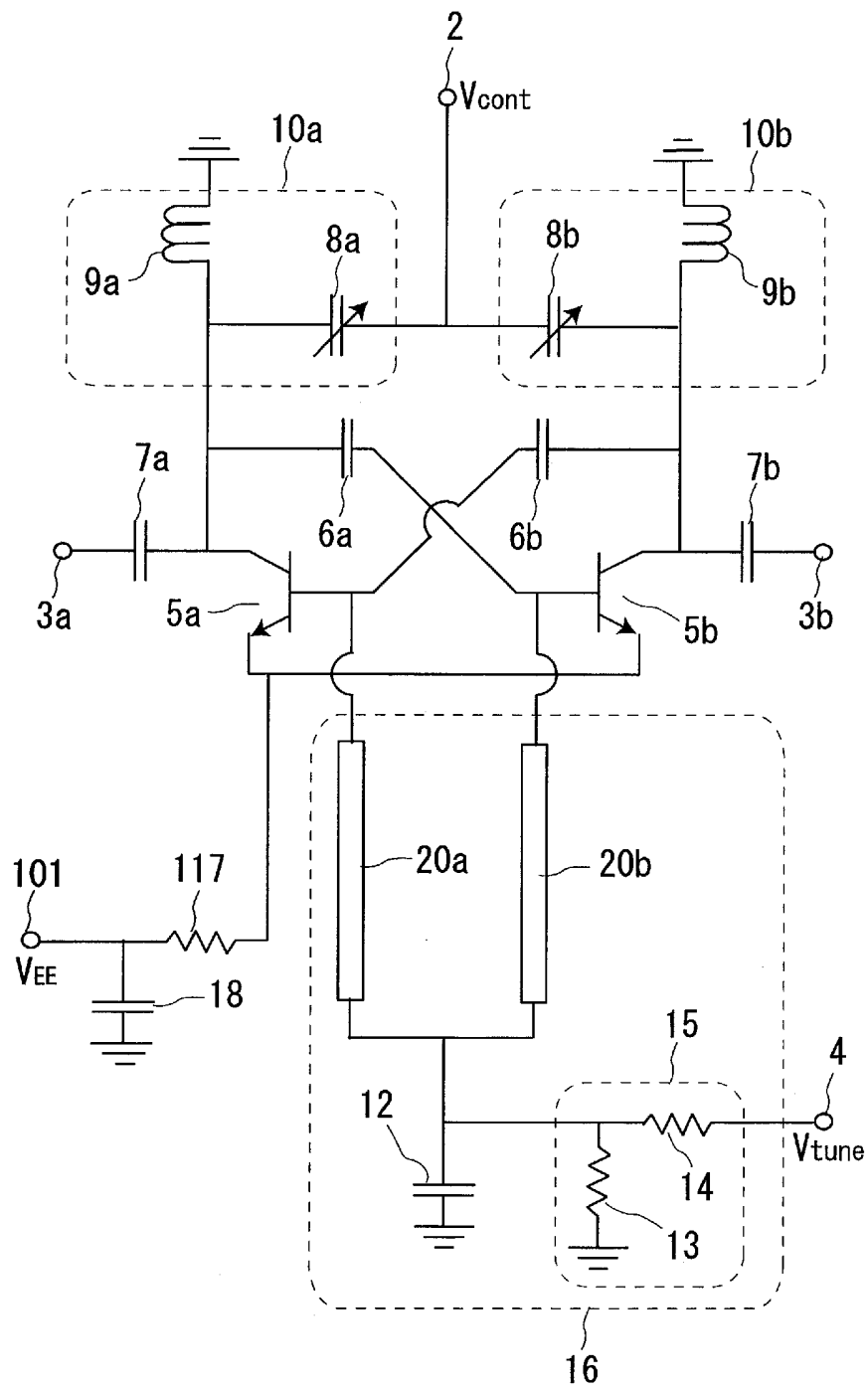
[図13]



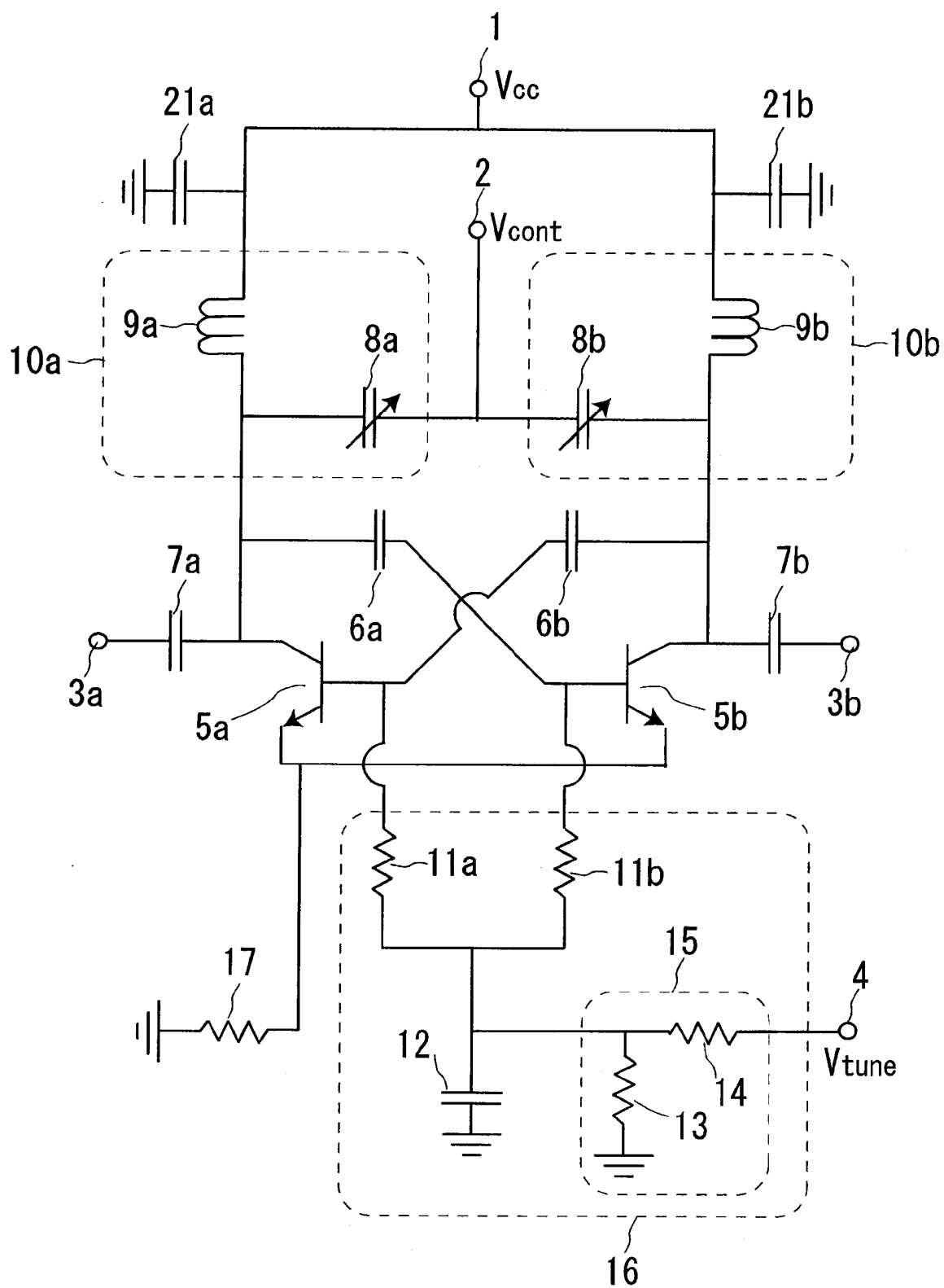
[図14]



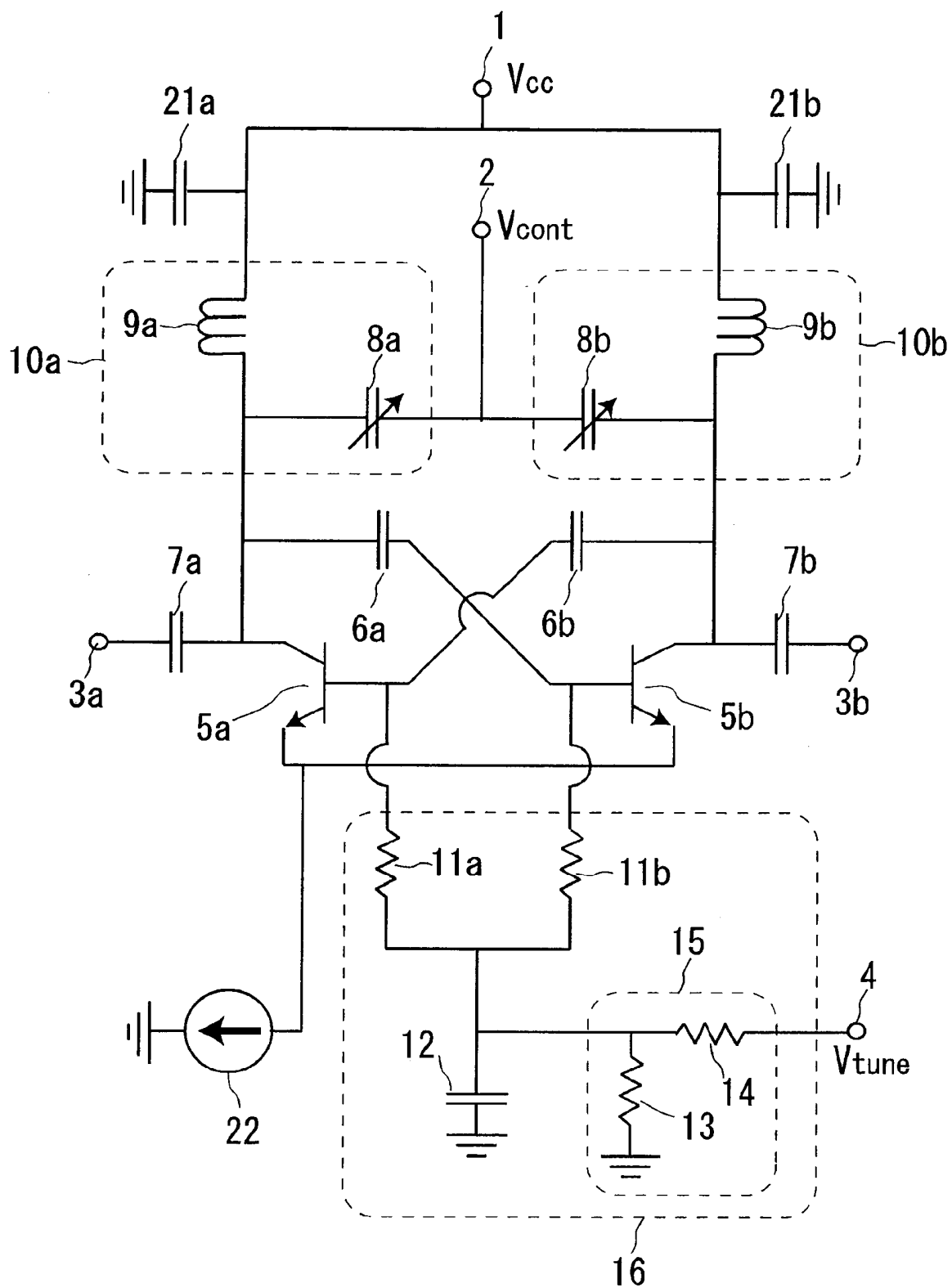
[図15]



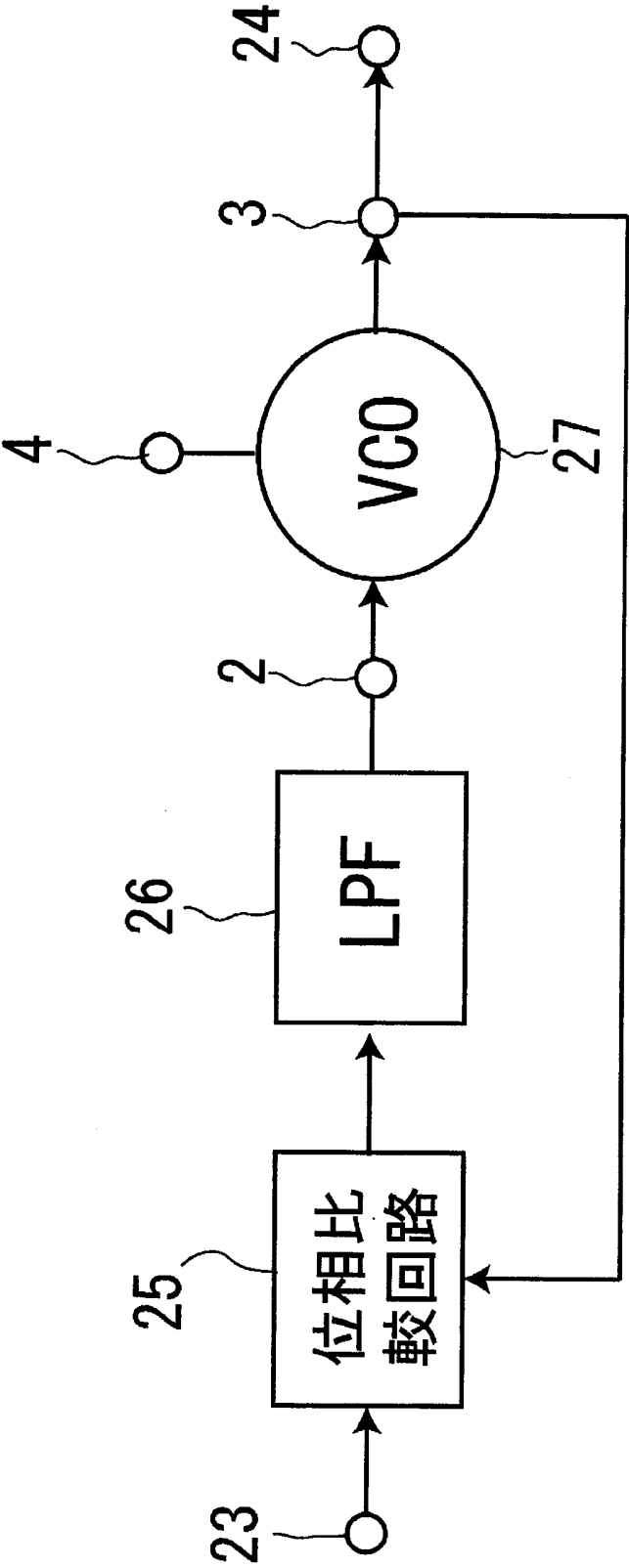
[図16]



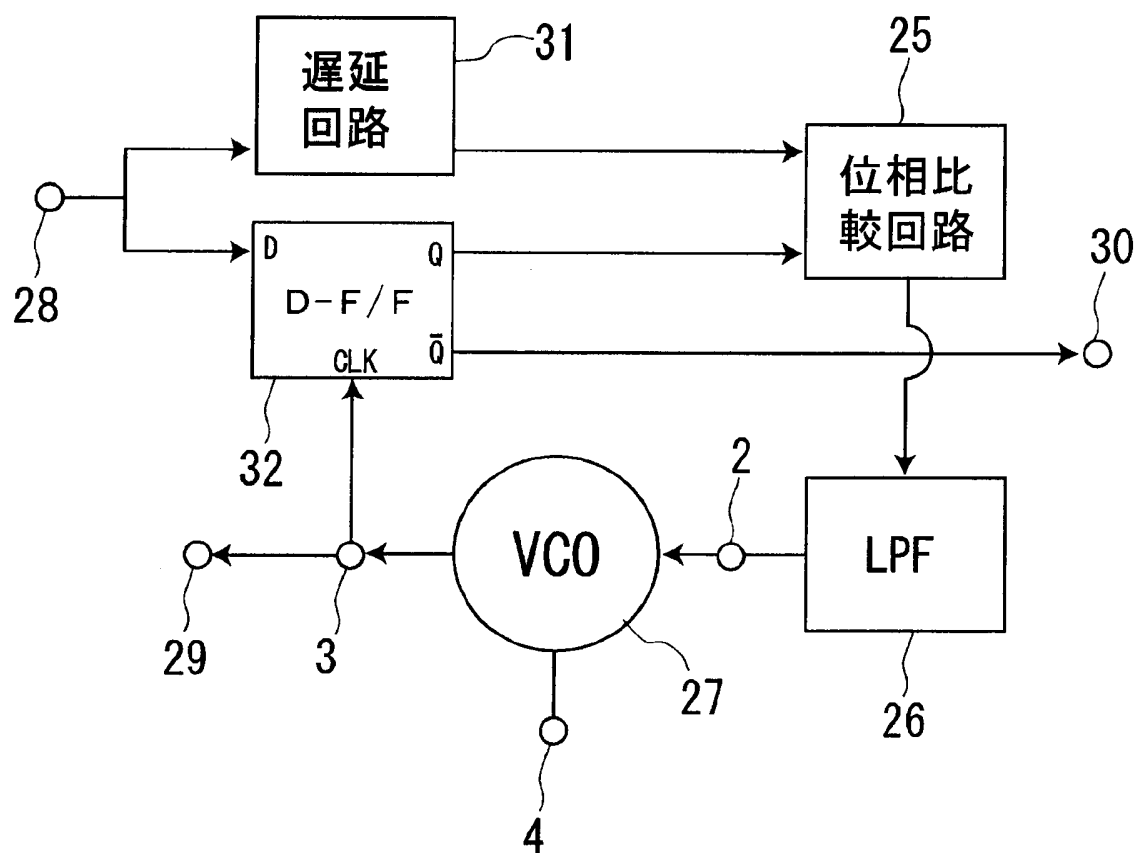
[図17]



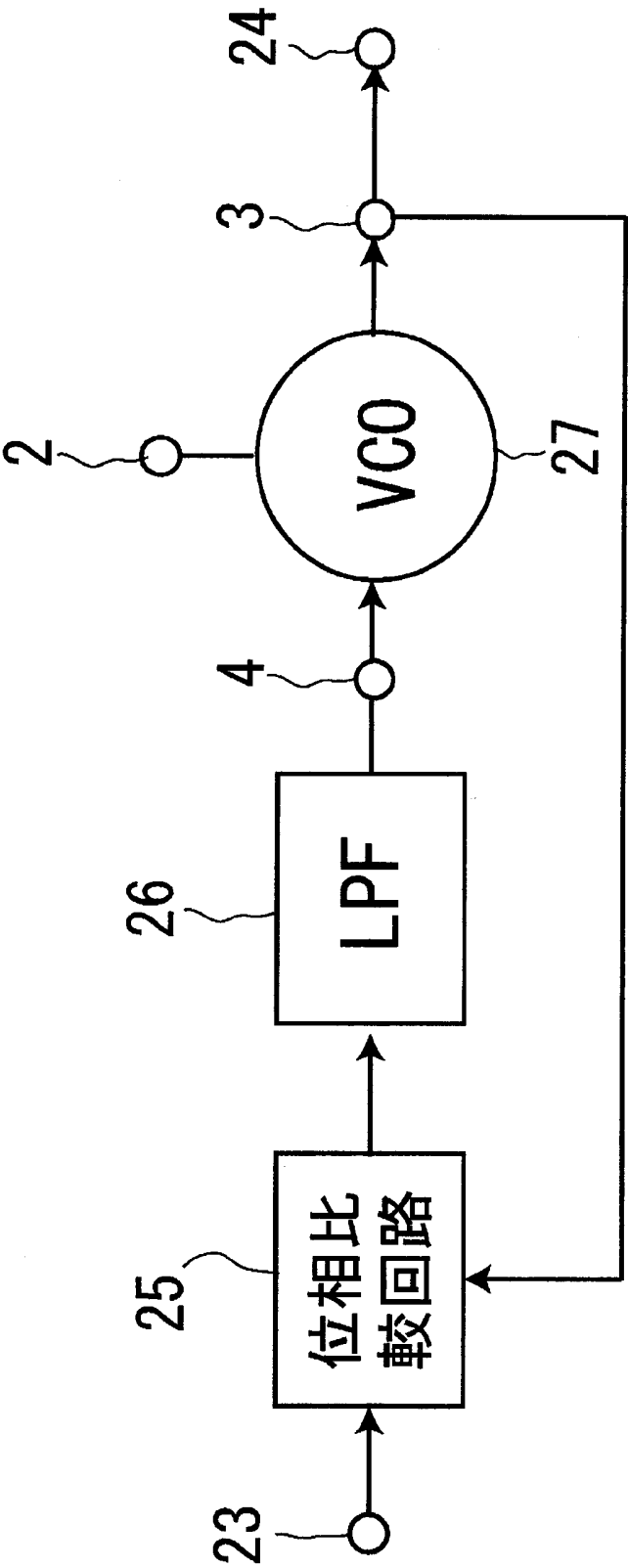
[図18]



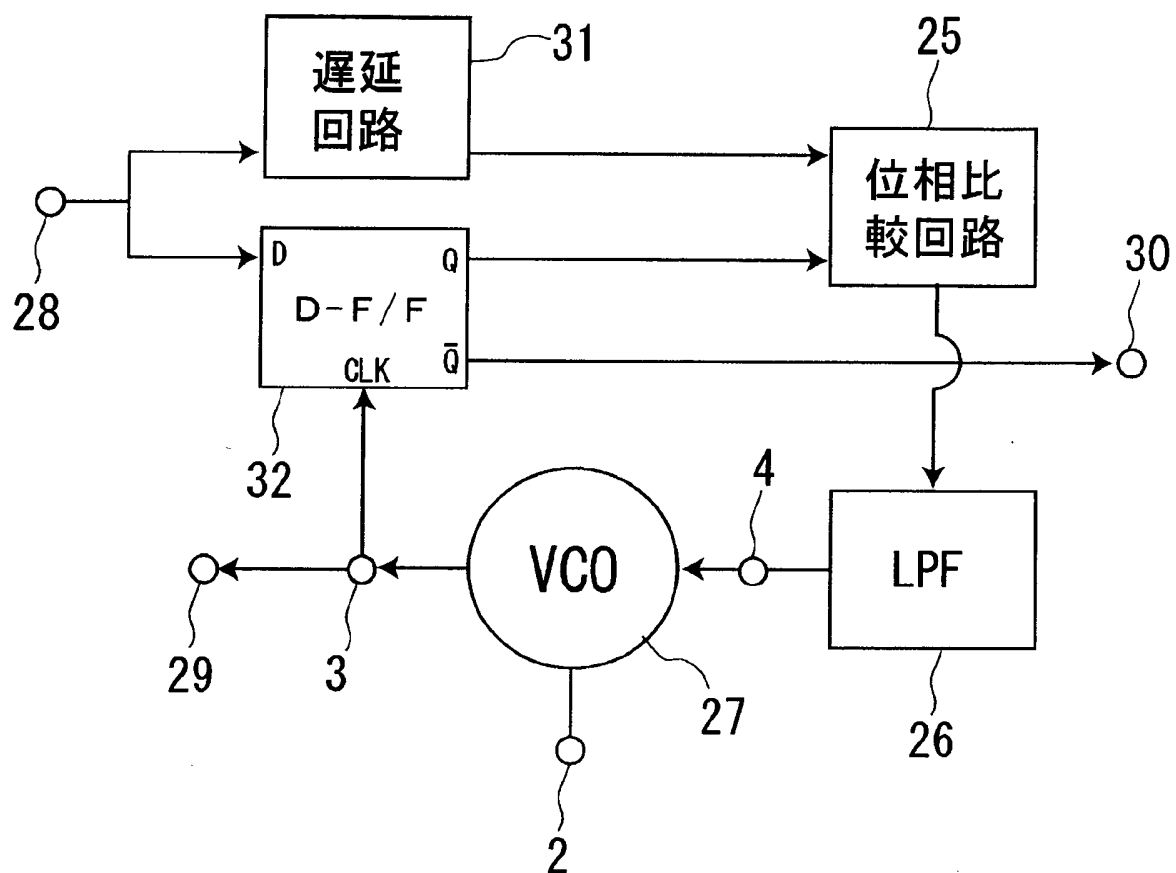
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/301181

A. CLASSIFICATION OF SUBJECT MATTER

H03B5/12 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/00-5/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-198249 A (NTT Electronics Corp.), 11 July, 2003 (11.07.03), Abstract; Par. Nos. [0065] to [0078]; Figs. 7, 8 & WO 2003056697 A1 & AU 2002357512 A1	1-7, 10, 16-20 8, 15 9, 11-14
X Y A	JP 2003-324316 A (Toshiba Corp.), 14 November, 2003 (14.11.03), Abstract; Par. Nos. [0026] to [0041]; Figs. 3, 4 (Family: none)	1-8, 10, 16-20 15 9, 11-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
25 April, 2006 (25.04.06)

Date of mailing of the international search report
02 May, 2006 (02.05.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/301181

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-147310 A (Matsushita Electric Industrial Co., Ltd.), 20 May, 2004 (20.05.04), Abstract; Par. Nos. [0072] to [0097]; Figs. 8 to 11 & US 2005/190002 A1 & CN 1497861 A	1-8, 10, 16-20 15 9, 11-14
Y	JP 2004-289339 A (Alps Electric Co., Ltd.), 14 October, 2004 (14.10.04), Abstract; Par. No. [0013]; Fig. 1 & US 2004/183611 A1	15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03B5/12 (2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03B 5/00 - 5/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2003-198249 A (エヌティティエレクトロニクス株式会社) 2003. 07. 11, 要約、段落【0065】～【0078】、第7、8図 & WO 2003056697 A1 & AU 2002357512 A1	1-7, 10, 16-20 8, 15 9, 11-14
X Y A	JP 2003-324316 A (株式会社東芝) 2003. 11. 14, 要約、段落【0026】～【0041】、第3、4図 (ファミリーなし)	1-8, 10, 16-20 15 9, 11-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 4 . 2 0 0 6

国際調査報告の発送日

0 2 . 0 5 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桑江 晃

5 W

4 2 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2004-147310 A (松下電器産業株式会社) 2004. 05. 20, 要約、段落【0072】－【0097】、第8～11図 & US 2005/190002 A1 & CN 1497861 A	1-8, 10, 16-20 15 9, 11-14
Y	JP 2004-289339 A (アルプス電気株式会社) 2004. 10. 14, 要約、段落【0013】、第1図 & US 2004/183611 A1	15