

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-117910

(P2019-117910A)

(43) 公開日 令和1年7月18日(2019.7.18)

(51) Int.Cl. F I テーマコード(参考)  
**H05K 3/46 (2006.01)** H05K 3/46 Q 5E316  
 H05K 3/46 N

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2017-252418 (P2017-252418)  
 (22) 出願日 平成29年12月27日(2017.12.27)

(71) 出願人 000000158  
 イビデン株式会社  
 岐阜県大垣市神田町2丁目1番地  
 (74) 代理人 100112472  
 弁理士 松浦 弘  
 (74) 代理人 100202223  
 弁理士 軸見 可奈子  
 (72) 発明者 古谷 俊樹  
 岐阜県大垣市河間町3-200 イビデン  
 株式会社内  
 (72) 発明者 足立 武馬  
 岐阜県大垣市河間町3-200 イビデン  
 株式会社内

最終頁に続く

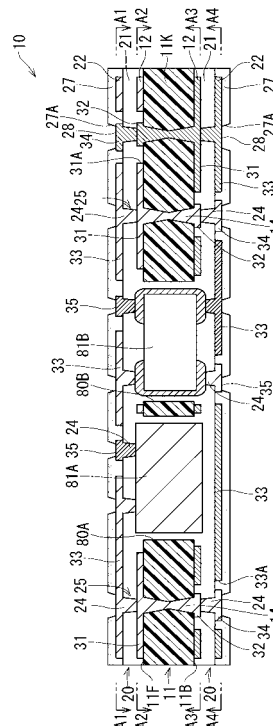
(54) 【発明の名称】 プリント配線板

(57) 【要約】

【課題】層間ショートが発生を抑制可能なプリント配線板の提供を目的とする。

【解決手段】本発明に係るプリント配線板10は、表裏に導体層12を有し、且つ、電子部品81を収容するキャビティ80を有するコア基板11と、コア基板11における表裏の導体層12, 12を接続するスルーホール導体14と、コア基板11における表裏の両面の上に形成され、層間絶縁層21と導体層22が交互に積層されてなるビルドアップ部20と、を有する。そして、プリント配線板10の厚み方向から見てキャビティ80を囲む領域では、層間絶縁層21を挟む導体層12と導体層22の電位が同じである。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

表裏に導体層を有し、且つ、電子部品を収容するキャビティを有するコア基板と、  
前記コア基板における表裏の導体層を接続するスルーホール導体と、  
前記コア基板における表裏の両面の上に形成され、層間絶縁層と導体層が交互に積層されてなるビルドアップ部と、を有するプリント配線板であって、  
前記プリント配線板の厚み方向から見て前記キャビティを囲む領域では、前記層間絶縁層を挟む導体層の電位が同じである。

## 【請求項 2】

請求項 1 に記載のプリント配線板において、  
前記コア基板における表裏それぞれの導体層には、プレーン状に形成され、開口部を有する第 1 導体層と、前記開口部の内側に配置され、前記開口部によって前記第 1 導体層から隔絶される第 2 導体層と、が設けられ、  
前記スルーホール導体は、表裏で互いに反対側に配置される前記第 1 導体層と前記第 2 導体層とを接続し、  
表側に配置される前記第 1 導体層の電位と裏側に配置される前記第 1 導体層の電位が異なっている。

## 【請求項 3】

請求項 2 に記載のプリント配線板において、  
前記層間絶縁層を挟む導体層同士を接続するビア導体を有し、  
前記ビア導体には、前記スルーホール導体に直線状に重ねられる第 1 ビア導体が含まれ、  
表裏で最も外側に配置される導体層同士が前記スルーホール導体及び前記第 1 ビア導体を介して接続されている。

## 【請求項 4】

請求項 3 に記載のプリント配線板において、  
前記ビルドアップ部を構成する導体層には、前記第 1 導体層に対応する第 3 導体層と、前記第 2 導体層に対応する第 4 導体層と、が設けられて、前記第 3 導体層に形成される開口部の内側に複数の前記第 4 導体層が配置され、  
表裏の一方側に配置される前記コア基板の前記第 1 導体層は、表裏の一方側に配置される前記ビルドアップ部の前記第 3 導体層に前記ビア導体を介して接続され、表裏の他方側に配置される前記ビルドアップ部の前記第 3 導体層には接続されない。

## 【請求項 5】

請求項 2 乃至 4 のうち何れか 1 の請求項に記載のプリント配線板において、  
前記コア基板における表裏の導体層には、前記第 1 導体層が複数形成され、  
前記プリント配線板の厚み方向から見て、隣り合う前記第 1 導体層同士の電位が異なっている。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電子部品を内蔵するプリント配線板に関する。

## 【背景技術】

## 【0002】

特許文献 1 のプリント配線板では、電子部品を内蔵するコア基板の上に、層間絶縁層と導体層が積層されている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2008 - 160144 号公報（段落 [0021]，[0032]、図 1）

10

20

30

40

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

特許文献1のプリント配線板では、層間絶縁層を挟む導体層の間でショート（層間ショート）が発生するという問題が考えられる。

## 【0005】

本発明は、上記事情に鑑みてなされたもので、層間ショートの発生を抑制可能なプリント配線板の提供を目的とする。

## 【課題を解決するための手段】

## 【0006】

本発明に係るプリント配線板は、表裏に導体層を有し、且つ、電子部品を収容するキャビティを有するコア基板と、前記コア基板における表裏の導体層を接続するスルーホール導体と、前記コア基板における表裏の両面の上に形成され、層間絶縁層と導体層が交互に積層されてなるビルドアップ部と、を有する。そして、プリント配線板の厚み方向から見て前記キャビティを囲む領域では、前記層間絶縁層を挟む導体層の電位が同じである。

## 【図面の簡単な説明】

## 【0007】

【図1】本発明の第1実施形態に係るプリント配線板の側断面図

【図2】プリント配線板の(A)A1-A1断面図、(B)A2-A2断面図

【図3】プリント配線板の(A)A3-A3断面図、(B)A4-A4断面図

【図4】プリント配線板の製造工程を示す側断面図

【図5】プリント配線板の製造工程を示す側断面図

【図6】プリント配線板の製造工程を示す側断面図

【図7】プリント配線板の製造工程を示す側断面図

【図8】プリント配線板の製造工程を示す側断面図

【図9】プリント配線板の製造工程を示す側断面図

【図10】プリント配線板の製造工程を示す側断面図

【図11】本発明の第2実施形態に係るプリント配線板の側断面図

【図12】プリント配線板の(A)B1-B1断面図、(B)B2-B2断面図

【図13】プリント配線板の(A)B3-B3断面図、(B)B4-B4断面図

## 【発明を実施するための形態】

## 【0008】

## [第1実施形態]

図1に示されるように、本実施形態に係るプリント配線板10は、コア基板11と、ビルドアップ部20を有する。ビルドアップ部20は、層間絶縁層21と導体層22が交互に積層されてなり、コア基板11における表裏の一方側の面であるF面11Fと他方側の面であるB面11Bの上に形成されている。ビルドアップ部20の上には、ソルダーレジスト層27が積層されている。

## 【0009】

コア基板11は、絶縁性基材11Kの表裏の両面に導体層12, 12を有する。絶縁性基材11Kは層間絶縁層21より厚くなっている。F面11F側の導体層12とB面11B側の導体層12は、絶縁性基材11Kを貫通するスルーホール導体14によって接続されている。スルーホール導体14は、絶縁性基材11Kを貫通するスルーホール13内にめっきが充填されることで形成されている。

## 【0010】

絶縁性基材11Kには、第1キャビティ80Aと第2キャビティ80Bが形成されている。第1キャビティ80Aには、第1電子部品81Aが収容され、第2キャビティ80Bには、第2電子部品81Bが収容されている。第1電子部品81Aは、例えば、WLP(Wafer Level Package)等の能動素子である。第2電子部品81Bは、例えば、積層セラミックコンデンサ(MLCC)である。なお、第1キャビティ80A

10

20

30

40

50

の内面と第1電子部品81Aとの間の隙間及び第2キャビティ80Bの内面と第2電子部品81Bとの間の隙間には、層間樹脂層21を構成する樹脂又は充填樹脂が充填されている。

【0011】

図2(B)及び図3(A)に示されるように、導体層12は、複数の開口部31Aを有する第1導体層31と、複数の開口部31Aの内側に配置される複数の第2導体層32と、を有する。第1導体層31は、プレーン状導体であり、第2導体層32は、開口部31A内で該プレーン状導体とは隔絶されたパッド導体である。なお、第1導体層31は、導体層12の全体に形成されていてもよいし、導体層12の一部に形成されていてもよい。第1導体層31が導体層12の一部に形成される場合、第1導体層31は、プリント配線板10の厚み方向から見て第1キャビティ80A及び第2キャビティ80Bを囲む領域に形成されていれればよい。

10

【0012】

図1に示されるように、F面11F側の導体層12における第1導体層31は、スルーホール導体14によってB面11B側の導体層12における第2導体層32に接続されている。また、B面11B側の導体層12における第1導体層31は、スルーホール導体14によってF面11F側の導体層12における第2導体層32に接続されている。このように、スルーホール導体14は、表裏で互いに反対側に配置される第1導体層31と第2導体層32とを接続する。

【0013】

20

図2(A)及び図3(B)に示されるように、ビルドアップ部20の導体層22は、複数の開口部33Aを有する第3導体層33と、複数の開口部33Aの内側に配置される複数の第4導体層34と、を有する。第3導体層33は第1導体層31に対応して設けられ、第1導体層31と第3導体層33は厚み方向で重なる。第4導体層34は導体層12の第2導体層32に対応して設けられ、第2導体層32と第4導体層34は厚み方向で重なる。また、導体層22は、プリント配線板10の厚み方向で第1電子部品81A又は第2電子部品81Bに重ねられる第5導体層35を有している。

【0014】

図1に示されるように、ビルドアップ部20の導体層22は、層間絶縁層21を貫通する複数のビア導体24によって、コア基板11の導体層12、第1電子部品81Aの電極又は第2電子部品81Bの電極に接続される。ビア導体24は、層間絶縁層21を貫通するビアホール23内にめっきが充填されることで形成されている。

30

【0015】

導体層22の第3導体層33は、ビア導体24を介して導体層12の第1導体層31に接続される。そして、F面11F側に配置される第1導体層31と第3導体層33の電位が同じになり、B面11B側に配置される第1導体層31と第3導体層33の電位が同じになる。F面11F側の第3導体層33の電位とB面11B側の第3導体層33の電位は異なっている。なお、本実施形態では、F面11F側の第3導体層33が電源層を構成し、B面11B側の第3導体層33がグラウンド層を構成する。

【0016】

40

導体層22の第4導体層34は、ビア導体24を介して導体層12の第2導体層32に接続される。そして、F面11F側に配置される第2導体層32と第4導体層34の電位が同じになり、B面11B側に配置される第2導体層32と第4導体層34の電位が同じになる。

【0017】

導体層22の第5導体層35は、ビア導体24を介して第1電子部品81Aの電極又は第2電子部品81Bの電極に接続される。

【0018】

ビア導体24には、スルーホール導体14に直線状に重ねられてスタックビア25を構成する第1ビア導体24Aが含まれている。そして、プリント配線板10において最外の

50

導体層 22, 22 同士が、スタックビア 25 によって接続されている。

【0019】

図 1 に示されるように、ソルダーレジスト層 27 には、ビルドアップ部 20 の最外の導体層 22 を露出させる複数の開口 27A が形成されている。そして、最外の導体層 22 のうち開口 27A から露出する部分がパッド 28 を構成する。

【0020】

プリント配線板 10 は、以下のようにして製造される。

(1) 図 4 (A) に示されるように、絶縁性基材 11K の表裏の両面に銅箔 11C がラミネートされてなる銅張積層板 11Z が用意される。絶縁性基材 11K は、エポキシ樹脂又は BT (ビスマレイドトリアジン) 樹脂とガラスクロスなどの補強材からなる。

10

【0021】

(2) 銅張積層板 11Z に F 面 11F 側と B 面 11B 側の両方から、例えば、CO2 レーザーが照射されてスルーホール 13 が形成される。

【0022】

(3) 無電解めっき処理が行われ、に示されるように、銅箔 11C 上とスルーホール 13 の内面に無電解めっき膜 41 が形成される (図 4 (B))。

【0023】

(4) 図 4 (C) に示されるように、無電解めっき膜 41 の上に、所定パターンのめっきレジスト 42 が形成される。

【0024】

(5) 電解めっき処理が行われ、図 5 (A) に示されるように、電解めっきがスルーホール 13 内に充填されてスルーホール導体 14 が形成されると共に、無電解めっき膜 41 のうちめっきレジスト 42 から露出する部分の上に電解めっき膜 43 が形成される。

20

【0025】

(6) めっきレジスト 42 が剥離されると共に、めっきレジスト 42 の下方の無電解めっき膜 41 及び銅箔 11C が除去される。すると、図 5 (B) に示されるように、銅箔 11C、無電解めっき膜 41 及び電解めっき膜 43 からなる導体層 12 が絶縁性基材 11K の表裏の両面の上に形成され、表側の導体層 12 と裏側の導体層 12 とがスルーホール導体 14 によって接続される。以上により、コア基板 11 が形成される。

【0026】

(7) 図 5 (C) に示されるように、ルーター加工又はレーザー加工によって、コア基板 11 に第 1 キャビティ 80A 及び第 2 キャビティ 80B が形成される。

30

【0027】

(8) 図 6 (A) に示されるように、コア基板 11 の F 面 11F 上にテープ 90 が貼り付けられて、第 1 キャビティ 80A 及び第 2 キャビティ 80B が塞がれる。

【0028】

(9) 図 6 (B) に示されるように、マウンター (図示せず) によって、第 1 電子部品 81A が第 1 キャビティ 80A 内に収められ、第 2 電子部品 81B が第 2 キャビティ 80B 内に収められる。

【0029】

(10) 図 6 (C) に示されるように、コア基板 11 の B 面 11B 上に層間絶縁層 21 と銅箔 45 が積層され、加熱プレスが行われる。層間絶縁層 21 としては、無機フィラーを含有するプリプレグ (心材に無機フィラーを含有する樹脂を浸してなる B ステージの樹脂シート) が用いられる。このとき、コア基板 11 の B 面 11B 側の導体層 12 同士の間隙がプリプレグにて埋められる。また、プリプレグから染み出た熱硬化性樹脂が、第 1 キャビティ 80A の内面と第 1 電子部品 81A との間隙及び第 2 キャビティ 80B の内面と第 2 電子部品 81B との間隙間に入り込む。

40

【0030】

(11) 図 7 (A) に示されるように、テープ 90 が剥離される。

【0031】

50

(12) 図7(B)に示されるように、コア基板11のF面11F上に層間樹脂層21としてのプリプレグと銅箔45が積層され、加熱プレスが行われる。このとき、コア基板11のF面11F側の導体層12同士の間隙がプリプレグにて埋められる。

【0032】

(13) F面11F側の銅箔45及び層間樹脂層21とB面11B側の銅箔45及び層間樹脂層21とにレーザーが照射されて、複数のビアホール23が形成される。

【0033】

(14) 無電解めっき処理が行われ、銅箔45上とビアホール23内とに無電解めっき膜46が形成される(図7(C))。

【0034】

(15) 図8(A)に示されるように、無電解めっき膜46上に所定パターンのめっきレジスト47が形成される。

【0035】

(16) 電解めっき処理が行われ、図8(B)に示されるように、電解めっきがビアホール23内に充填されてビア導体24が形成されると共に、無電解めっき膜46のうちめっきレジスト47から露出する部分の上に電解めっき膜48が形成される。

【0036】

(17) めっきレジスト47が剥離されると共に、めっきレジスト47の下方の無電解めっき膜46及び銅箔45が除去される。すると、図9(A)に示されるように、銅箔45、無電解めっき膜46及び電解めっき膜48からなる導体層22が層間絶縁層21の上に形成される。導体層22は、ビア導体24によって、導体層12、第1電子部品81Aの電極又は第2電子部品81Bの電極に接続される。

【0037】

なお、層間絶縁層21として、プリプレグの代わりに、心材を含まない無機フィラーを含有する樹脂フィルムが用いられてもよい。この場合には、銅箔45が積層されず、セミアディティブ法によって、樹脂フィルムの上に導体層22が形成される。

【0038】

(18) 図9(B)に示されるように、導体層22上にソルダーレジスト層27が積層される。

【0039】

(19) 図10に示されるように、露光・現象によってソルダーレジスト層27の所定箇所に開口27Aが形成される。そして、導体層22のうち開口27Aから露出する部分によってパッド28が形成される。以上により、図1に示されるプリント配線板10が完成する。

【0040】

本実施形態のプリント配線板10によれば、層間絶縁層21を挟んで配置される第1導体層31と第3導体層33の電位が同じになっているので、第1導体層31と第3導体層33の間での層間ショートが発生が抑制される。これにより、層間絶縁層21の薄型化が図られる。しかも、第1導体層31と第3導体層33は、厚み方向から見て第1キャビティ80A及び第2キャビティ80Bを囲む領域に配置されているので、層間ショートに起因する第1電子部品81A及び第2電子部品81Bの不具合を抑制することが可能となる。

【0041】

また、本実施形態では、電位が異なる2つの導体層、即ち、F面11F側の第1導体層31とB面11B側の第1導体層31が、層間絶縁層21よりも厚い絶縁性基材11Kを挟んで配置されているので、電位が異なる導体層の間の層間ショートが抑制される。

【0042】

また、本実施形態では、表裏で反対側に配置される第1導体層31と第2導体層32がスルーホール導体14によって接続され、第2導体層32と第4導体層34がスルーホール導体14に直線状に重ねられる第1ビア導体24Aによって接続される。そして、表裏

10

20

30

40

50

で最も外側に配置される導体層同士（例えば、F面11F側の第4導体層34とB面11B側の第2導体層32）がスタックビア25によって接続される。この構成によれば、導体層12内において、第1導体層31とは異なる電位を有する第2導体層32の広がりを抑えると共に、導体層22内において、第3導体層33とは異なる電位を有する第4導体層34の広がりを抑えることが可能となる。

【0043】

[第2実施形態]

図11～13に示されるように、本実施形態のプリント配線板10Vでは、導体層12に複数の第1導体層31が形成され、導体層22に複数の第3導体層33が形成されている。プリント配線板10Vの厚み方向から見て、第1導体層31同士の境界と第3導体層33同士の境界はほぼ一致する。第1導体層31同士の境界は、第1キャビティ80A及び第2キャビティ80Bと重ならない。同様に、第3導体層33同士の境界も、第1キャビティ80A及び第2キャビティ80Bと重ならない。本実施形態では、第1キャビティ80A及び第2キャビティ80Bの直上に、1つの第1導体層31と1つの第3導体層33が配置される。

10

【0044】

F面11F側において隣り合う2つの第3導体層33，33の電位は異なっている。本実施形態では、隣り合う2つの第3導体層33，33のうち一方の第3導体層33が電源層を構成し、他方の第3導体層33がグラウンド層を構成する。

【0045】

プリント配線板10Vのその他の構成は、上記第1実施形態のプリント配線板10と同様になっている。本実施形態のプリント配線板10Vによれば、上記第1実施形態のプリント配線板10と同様の効果を奏することが可能となる。なお、プリント配線板10Vは、上記第1実施形態のプリント配線板10と同様にして製造される。

20

【0046】

[他の実施形態]

(1)上記実施形態において、ビルドアップ部20が複数の層間絶縁層21と複数の導体層22が交互に積層されてなる構成であってもよい。この構成では、層間絶縁層21を挟む第3導体層33，33同士の電位が同じになっていて、層間絶縁層21，21を挟む第3導体層34，34同士の電位が同じになっている。

30

【0047】

(2)上記実施形態において、電子部品は1つであってもよいし、3つ以上であってもよい。また、上記実施形態では、1つのキャビティに1つの電子部品が収容されていたが、1つのキャビティに複数の電子部品が収容されてもよい。

【0048】

(3)上記第2実施形態において、第1キャビティ80Aの直上に配置される第1導体層31とは別の第1導体層31が第2キャビティ80Bの直上に配置され、それら第1導体層31，31の電位が異なる構成としてもよい。

【符号の説明】

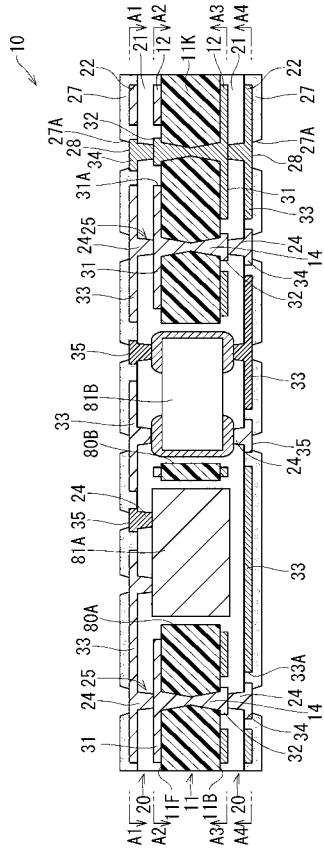
【0049】

- 10 プリント配線板
- 11 コア基板
- 12 導体層
- 20 ビルドアップ部
- 21 層間絶縁層
- 22 導体層
- 31 第1導体層
- 32 第2導体層
- 33 第3導体層
- 34 第4導体層

40

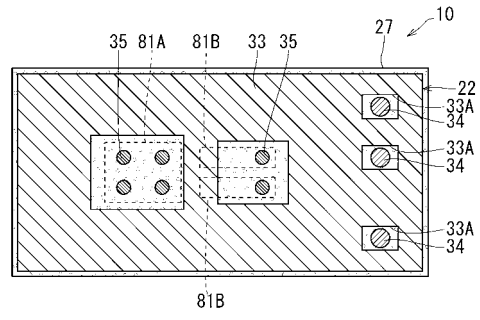
50

【 図 1 】

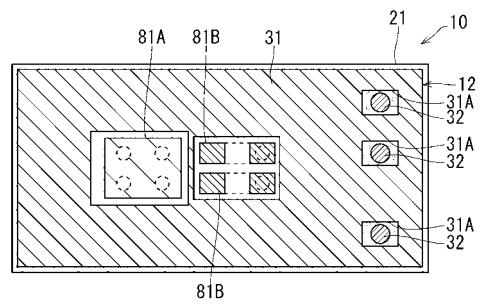


【 図 2 】

(A)

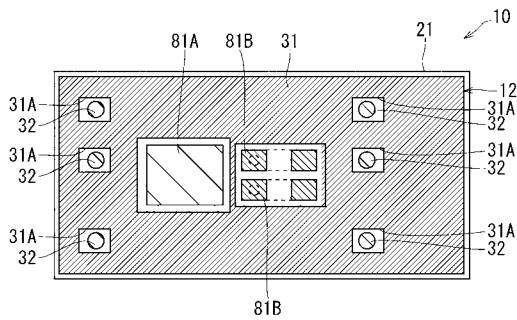


(B)

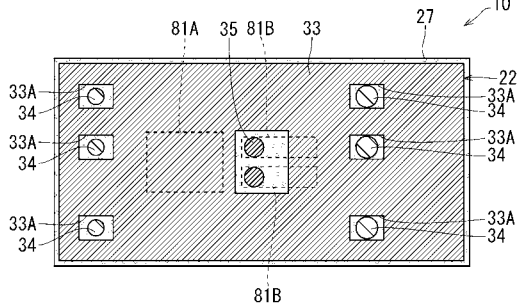


【 図 3 】

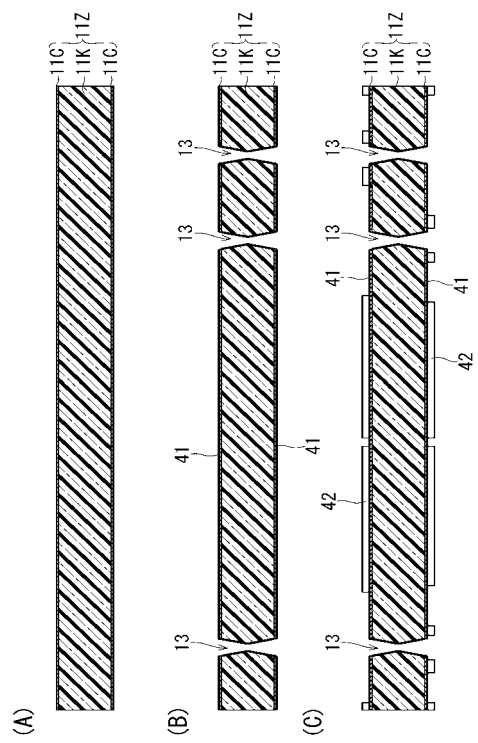
(A)



(B)

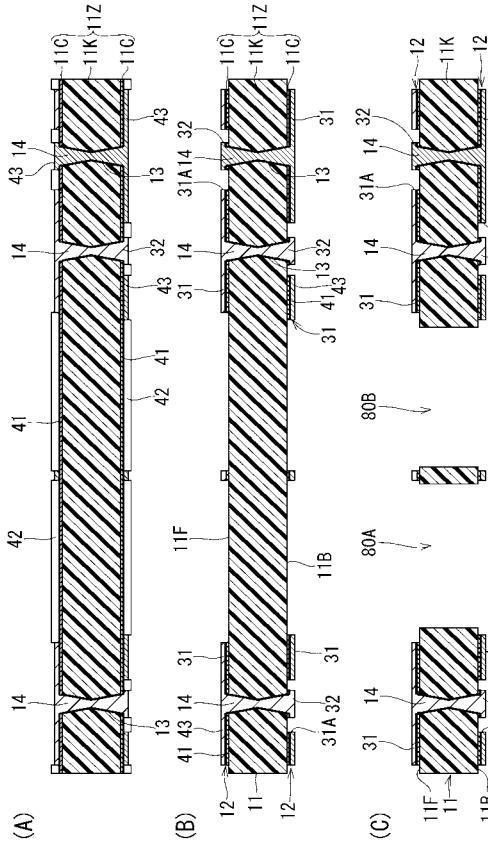


【 図 4 】

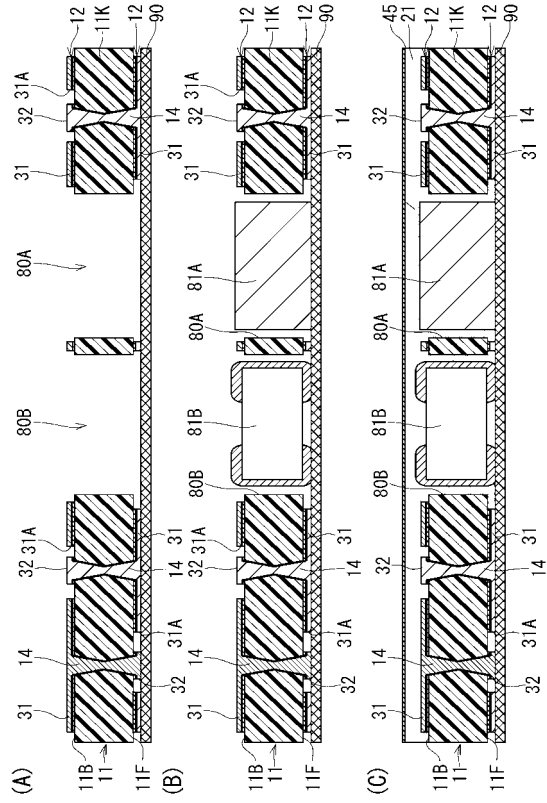




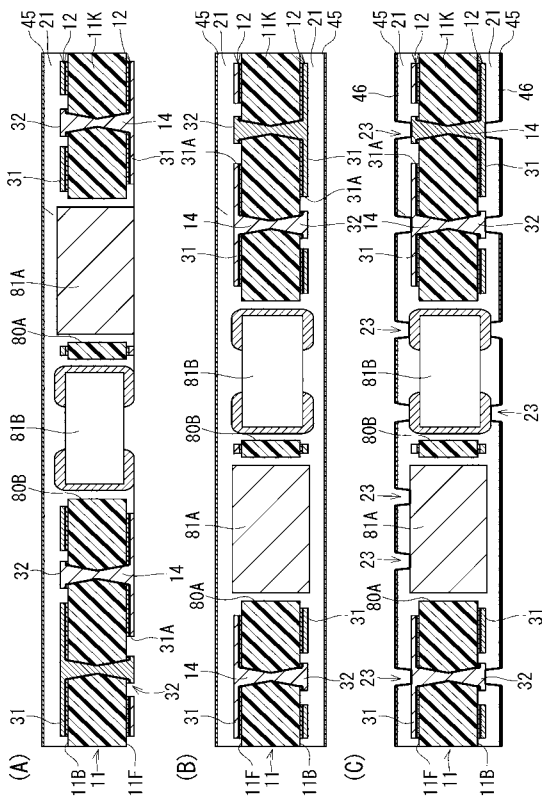
【 図 5 】



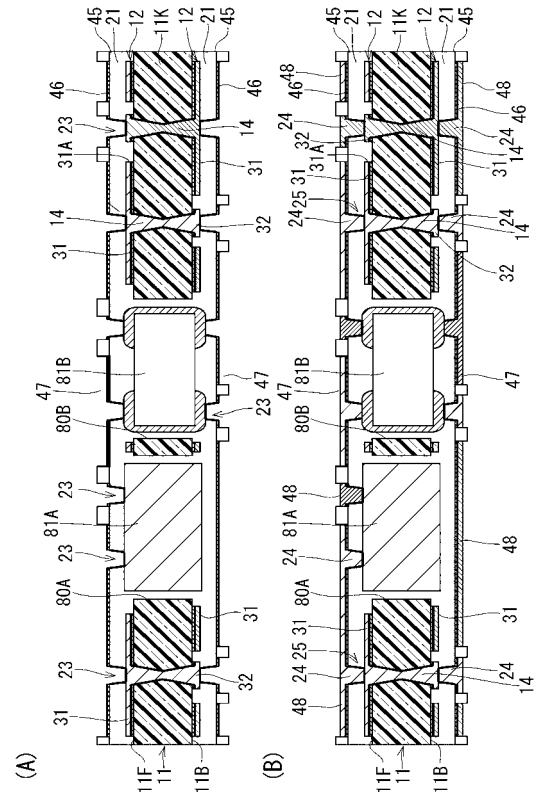
【 図 6 】



【 図 7 】



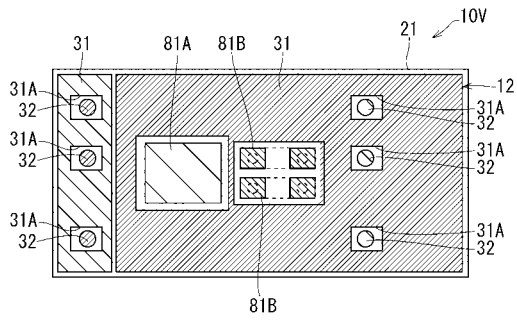
【 図 8 】



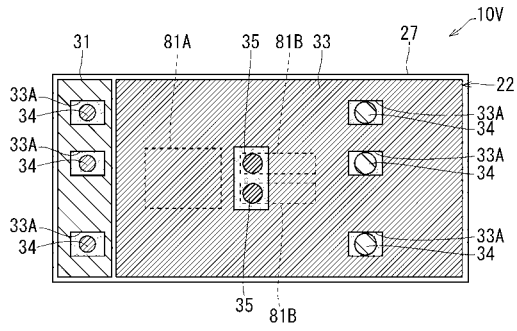


【 図 1 3 】

(A)



(B)



---

フロントページの続き

(72)発明者 牧野 年秀

岐阜県大垣市河間町3-200 イビデン株式会社内

(72)発明者 宇佐美 靖

岐阜県大垣市河間町3-200 イビデン株式会社内

Fターム(参考) 5E316 AA06 AA43 AA53 CC04 CC09 CC32 DD25 DD32 EE09 EE24  
EE43 FF15 HH33 JJ12 JJ13 JJ26