

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-336052

(P2004-336052A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78 3 O 1 X	4 M 1 O 4
HO 1 L 21/76	HO 1 L 27/12 E	5 F O 3 2
HO 1 L 21/762	HO 1 L 27/12 L	5 F 1 1 O
HO 1 L 27/12	HO 1 L 29/58 G	5 F 1 4 O
HO 1 L 29/423	HO 1 L 21/76 L	
審査請求 未請求 請求項の数 32 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2004-136486 (P2004-136486)	(71) 出願人	390019839 三星電子株式会社
(22) 出願日	平成16年4月30日 (2004.4.30)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(31) 優先権主張番号	2003-028287	(74) 代理人	100064908 弁理士 志賀 正武
(32) 優先日	平成15年5月2日 (2003.5.2)	(74) 代理人	100089037 弁理士 渡邊 隆
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 成泳 大韓民国京畿道水原市靈通区靈通洞 1 0 9 3 番地 プーンリム3次アパート 1 0 1 棟 8 0 3 号
		(72) 発明者	金 成▲ミン▼ 大韓民国仁川広域市富平区富開3洞 (番地 なし) サムプアパート 1 0 8 棟 2 2 0 4 号
		最終頁に続く	

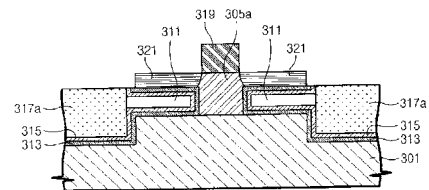
(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 短チャンネル効果を低減し、漏洩電流を減らすと同時に、フローティングボディー効果を抑制する半導体素子及びその製造方法を提供する。

【解決手段】 基板 3 0 1 上に形成された一対のボイド領域 3 1 1 と一対の不純物パターン 3 2 1 を有するエピタキシャルパターンと、一対の不純物パターン上のゲート電極 3 1 9 とを含み、前記一対のボイド領域の各々は基板と前記一対の不純物領域との間に位置し、前記一対の不純物領域の各々は少なくとも一対のボイド領域と一部重畳する。

【選択図】 図 1 B



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に配置され、一对の不純物拡散領域及び一对のボイド領域を有するエピタキシャルパターンと、

前記一对の不純物拡散領域の間のエピタキシャルパターン上に位置するゲート電極と、
を含み、

前記一对のボイド領域の各々は基板と前記一对の不純物拡散領域との間に位置し、

前記一对の不純物拡散領域の各々は少なくとも一对のボイド領域の各々と一部重畳することを特徴とする半導体素子。

10

【請求項 2】

前記エピタキシャルパターンは前記半導体パターンと直接接触することを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記エピタキシャルパターンはシリコンまたはシリコン-ゲルマニウムを含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 4】

前記ゲート電極はポリシリコンまたは金属シリサイドを含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 5】

前記一对のボイド領域は絶縁物質で満たされることを特徴とする請求項 1 に記載の半導体素子。

20

【請求項 6】

前記エピタキシャルパターンに隣接した素子分離膜をさらに含み、前記素子分離膜は前記エピタキシャルパターンの上部の表面よりも低い上部の表面を有することを特徴とする請求項 1 に記載の半導体素子。

【請求項 7】

基板と、

前記基板上に配置され、一对の不純物拡散領域及び前記一对の不純物拡散領域の間に形成されたボイド領域を有するエピタキシャルパターンと、

30

前記一对の不純物拡散領域の間のエピタキシャルパターン上に位置するゲート電極と、
を含み、

前記ゲート電極は少なくとも前記ボイド領域と一部重畳することを特徴とする半導体素子。

【請求項 8】

前記エピタキシャルパターンは直接前記基板と接触することを特徴とする請求項 7 に記載の半導体素子。

【請求項 9】

前記エピタキシャルパターンはシリコンまたはシリコン-ゲルマニウムを含むことを特徴とする請求項 7 に記載の半導体素子。

40

【請求項 10】

前記ゲート電極はポリシリコンまたは金属シリサイドを含むことを特徴とする請求項 7 に記載の半導体素子。

【請求項 11】

前記ボイド領域は絶縁物質で満たされることを特徴とする請求項 7 に記載の半導体素子。

【請求項 12】

前記エピタキシャルパターンに隣接した素子分離膜をさらに含み、前記素子分離膜は前記エピタキシャルパターンの上部の表面よりも低い上部の表面を有することを特徴とする請求項 7 に記載の半導体素子。

50

【請求項 13】

素子分離領域を具備する半導体基板と、
前記素子分離領域により限定され、前記基板上に配置され、前記素子分離領域とともに空の空間領域を形成するエピタキシャルパターンと、
前記エピタキシャル膜パターン及び前記素子分離領域を横切るゲート電極と、
前記ゲート電極の両側のエピタキシャル膜パターンに形成された不純物拡散領域と、
を含むことを特徴とする半導体素子。

【請求項 14】

前記空の空間領域は前記ゲート電極の下部のエピタキシャル膜パターンと前記基板との間に位置することを特徴とする請求項 13 に記載の半導体素子。

10

【請求項 15】

前記空の空間領域は前記ゲート電極の両側のエピタキシャル膜パターンと前記基板との間に位置することを特徴とする請求項 13 に記載の半導体素子。

【請求項 16】

前記素子分離領域は前記空の空間領域に拡張され、それを満たすことを特徴とする請求項 13 に記載の半導体素子。

【請求項 17】

前記素子分離領域の上部の表面は前記エピタキシャル膜パターンの上部よりもさらに低いことを特徴とする請求項 13 に記載の半導体素子。

【請求項 18】

前記エピタキシャル膜パターンはシリコンまたはシリコン-ゲルマニウムからなることを特徴とする請求項 13 に記載の半導体素子。

20

【請求項 19】

半導体基板上にエピタキシャル犠牲膜パターンを形成する段階と、
前記エピタキシャル犠牲膜パターン及びそれにより露出した基板上にエピタキシャル膜を形成する段階と、
前記エピタキシャル膜、エピタキシャル犠牲膜パターン及び基板の一部の厚さをエッチングして、エピタキシャル膜パターン及び素子分離トレンチを形成する段階と、
前記トレンチにより露出したエッチングされたエピタキシャル犠牲膜パターンを除去する段階と、
前記トレンチを満たし、前記エピタキシャル膜パターンの上部の表面よりもさらに低い素子分離領域を形成する段階と、
前記エピタキシャル膜パターンを横切るゲート電極を形成する段階と、
前記ゲート電極の両側のエピタキシャル膜パターンに不純物拡散領域を形成する段階と、
を含むことを特徴とする半導体素子製造方法。

30

【請求項 20】

前記エピタキシャル膜パターン及び素子分離トレンチを形成する段階は、
前記エピタキシャル膜上にマスクパターンを形成する段階と、
前記マスクパターンをエッチングマスクとして使用して、前記エピタキシャル膜、エピタキシャル犠牲膜パターン及び基板の一部の厚さをエッチングする段階と、を含み、
前記素子分離領域を形成する段階は、
前記エッチングトレンチを満たすように、前記マスクパターン上に絶縁物質を形成する段階と、
前記マスクパターンが露出するまで前記絶縁物質を平坦化エッチングする段階と、
前記露出したマスクパターンを除去する段階と、
前記エピタキシャル膜パターンよりも低くなるように前記絶縁物質をエッチングする段階と、を含む
ことを特徴とする請求項 19 に記載の半導体素子製造方法。

40

【請求項 21】

50

前記絶縁物質を形成する段階の前に、
熱酸化工程を進行して、前記エッチングされたエピタキシャル犠牲膜パターン及び前記
トレンチ上に熱酸化膜を形成する段階と、
前記熱酸化膜上にライナ窒化膜を形成する段階と、
をさらに含むことを特徴とする請求項 20 に記載の半導体素子製造方法。

【請求項 22】

前記絶縁物質は前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域
も満たすことを特徴とする請求項 19 に記載の半導体素子製造方法。

【請求項 23】

前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域は前記ゲート電
極の両側の前記エピタキシャル膜パターンと前記基板との間に位置することを特徴とする
請求項 19 に記載の半導体素子製造方法。 10

【請求項 24】

前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域は前記ゲート電
極の下部の前記エピタキシャル膜パターンと前記基板との間に位置することを特徴とする
請求項 19 に記載の半導体素子製造方法。

【請求項 25】

前記エピタキシャル膜はシリコン膜で形成されることを特徴とする請求項 19 に記載の
半導体素子製造方法。

【請求項 26】

前記エピタキシャル犠牲膜はシリコンと結晶構造が同一であり、格子常数が類似な物質
で形成されることを特徴とする請求項 25 に記載の半導体素子製造方法。 20

【請求項 27】

前記エピタキシャル犠牲膜はシリコン-ゲルマニウム、酸化セリウム、フッ化カルシウ
ムのうちのいずれか一つ、またはこれらの組み合わせ膜で形成されることを特徴とする請
求項 26 に記載の半導体素子製造方法。

【請求項 28】

前記エピタキシャル犠牲膜はシリコン-ゲルマニウム、酸化セリウム、フッ化カルシウ
ムのうちのいずれか一つ、またはこれらの組み合わせ膜で形成されることを特徴とする請
求項 19 に記載の半導体素子製造方法。 30

【請求項 29】

前記エピタキシャル犠牲膜はシリコンからなり、前記エピタキシャル膜はシリコン-ゲ
ルマニウムからなることを特徴とする請求項 19 に記載の半導体素子製造方法。

【請求項 30】

半導体基板に電氣的に接続され、前記半導体基板との間に絶縁領域を形成するように、
前記半導体基板上に配置されたエピタキシャルシリコン膜と、

前記エピタキシャルシリコン膜を横切るゲート電極と、

前記ゲート電極の両側のエピタキシャルシリコン膜に形成された不純物拡散領域と、
を含むことを特徴とする半導体素子。

【請求項 31】

前記絶縁領域は前記不純物拡散領域と前記基板との間に位置することを特徴とする請求
項 30 に記載の半導体素子。 40

【請求項 32】

前記絶縁領域は前記ゲート電極の下部のエピタキシャルシリコン膜と前記基板との間に
位置することを特徴とする請求項 30 に記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子及びその製造方法に関するものであり、さらに詳細には、トランジ
スタ及びその製造方法に関するものである。 50

【背景技術】

【0002】

半導体素子が高性能、高速度、経済的な観点などで持続的に高集積化されることによって、様々な問題点が発生している。例えば、電界効果トランジスタのチャンネルの長さが徐々に短くなることによって発生するパンチスルー（punch-through）などの短チャンネル効果（short channel effect）、接合領域と基板との間の寄生キャパシタンス（接合キャパシタンス）増加、漏洩電流の増加などの問題が発生している。

【0003】

このような問題点を緩和させるため、二重ゲート電界効果トランジスタ技術が紹介されている。二重ゲート電界効果トランジスタ技術はチャンネルの両側にゲート電極が存在するので、ゲート電極のチャンネル制御が両側で起こるようになり、これによって、短チャンネル効果を抑制することができる。しかし、依然として接合領域と基板との間の寄生キャパシタンスび漏洩電流の問題は有している。 10

【0004】

このような問題を緩和させるため、シリコン基板上に絶縁膜が位置するSOI（silicon-on-insulator）を利用した電界効果トランジスタ製造技術が紹介されている。SOI電界効果トランジスタ技術はバルクシリコンに活性領域が形成される通常の電界効果トランジスタと異なって活性領域の下部に絶縁膜が位置する。

【0005】

このようなSOI電界効果トランジスタは接合漏洩電流の抑制、短チャンネル効果の低減、低い動作電圧及び効果的な素子分離などの長所がある。しかしSOI技術の場合、素子動作中に発生した熱が抜けることができないか、高エネルギーの熱電子（hot carrier）がシリコン原子と衝突して作った電子-正孔対が蓄積されるいわゆるフローティングボディ効果（floating body effect）が発生し、これによって、しきい値電圧などのような素子特性に変動が生じて、信頼性ある素子動作を確保することができず、基板と絶縁膜との間の熱膨脹係数の差に起因するストレスによる問題などを有している。また、SOI電界効果トランジスタ技術は、二つの基板を使用して、これを接着するので、工程単価が上昇し、工程が複雑になる問題点も有している。このため、信頼性ある半導体素子及びその製造方法が切実に求められている。 20 30

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする技術的課題は、短チャンネル効果及びフローティングボディ効果を除去することができる半導体素子及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

上述の課題を解決するために本発明の一実施の形態による半導体素子は、素子分離領域を具備する半導体基板と、前記素子分離領域によって限定され、前記基板上に配置され、前記素子分離領域とともに空の空間領域を形成するエピタキシャル膜パターンと、前記エピタキシャル膜パターンを横切るゲート電極と、前記ゲート電極の両側のエピタキシャルパターンに形成された不純物拡散領域と、を含む。 40

【0008】

一実施の形態において、前記空の空間領域は前記ゲート電極の下部のエピタキシャル膜パターンと前記基板との間に位置する。

【0009】

一実施の形態において、前記空の空間領域は前記ゲート電極の両側のエピタキシャル膜パターンと前記基板との間に位置する。

【0010】

一実施の形態において、前記素子分離領域は前記空の空間領域に拡張され、それを満た 50

することができる。

【0011】

前記素子分離領域の上部の表面は前記エピタキシャル膜パターンの上部よりもさらに低いことが望ましい。

【0012】

望ましくは、前記エピタキシャル膜パターンはシリコンからなる。

【0013】

一実施の形態において、前記素子分離領域は順次に形成された熱酸化膜、窒化膜ライン及び酸化膜を含む。

【0014】

このような半導体素子によると、エピタキシャル膜パターンが基板と電気的に接続されると同時に、不純物拡散領域が形成されたエピタキシャル膜パターンと基板との間、またはゲート電極の下部のエピタキシャル膜パターンと基板との間に空の空間領域が存在するので、短チャネル効果及びフローティングボディ効果を抑制することができ、寄生接合キャパシタンス及び接合漏洩電流を減らすことができる。

【0015】

前記技術的課題を解決するために本発明の一実施の形態による半導体素子製造方法は、半導体基板上にエピタキシャル犠牲膜パターンを形成し、前記エピタキシャル犠牲膜パターン及びそれにより露出した基板上にエピタキシャル膜を形成し、前記エピタキシャル膜、エピタキシャル犠牲膜パターン及び基板の一部の厚さをエッチングして、エピタキシャル膜パターン及び素子分離トレンチを形成し、前記トレンチによって露出したエッチングされたエピタキシャル犠牲膜パターンを除去し、前記トレンチを満たし、前記エピタキシャル膜パターンの上部の表面よりもさらに低い素子分離領域を形成し、前記エピタキシャル膜パターンを横切るゲート電極を形成し、前記ゲート電極の両側のエピタキシャル膜パターンに不純物拡散領域を形成することを含む。

【0016】

前記不純物拡散領域はソース／ドレイン領域であり、これらの間、すなわち、ゲート電極の下部のエピタキシャル膜パターンはチャンネル領域になる。

【0017】

一実施の形態において、前記エピタキシャル膜パターン及び素子分離トレンチを形成することは、前記エピタキシャル膜上にマスクパターンを形成し、前記マスクパターンをエッチングマスクとして使用して、前記エピタキシャル膜、エピタキシャル犠牲膜パターン及び基板の一部の厚さをエッチングすることを含み、前記素子分離領域を形成することは、前記トレンチを満たすように、前記マスクパターン上に絶縁物質を形成し、前記マスクパターンが露出するまで前記絶縁物質を平坦化エッチングし、前記露出したマスクパターンを除去し、前記エピタキシャル膜パターンよりも低くなるように、前記絶縁物質をエッチングすることを含む。この時、一実施の形態において、前記絶縁物質は前記トレンチを満たす時、前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域も満たすことができる。

【0018】

一実施の形態において、前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域は、前記ゲート電極の両側の前記エピタキシャル膜パターンと前記基板との間に位置する。

【0019】

一実施の形態において、前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域は、前記ゲート電極の下部の前記エピタキシャル膜パターンと前記基板との間に位置する。

【0020】

一実施の形態において、前記エピタキシャル膜はシリコンで形成することができる。また前記エピタキシャル膜はシリコン－ゲルマニウムで形成することができる。

10

20

30

40

50

【0021】

一実施の形態において、前記エピタキシャル犠牲膜はシリコンと結晶構造が同一であり、格子定数が類似な物質で形成される。例えば、前記エピタキシャル犠牲膜はシリコン—ゲルマニウム Si—Ge、酸化セリウム CeO_2 、フッ化カルシウム CaF_2 のうちのいずれか一つまたはこれらの組み合わせで形成することができる。

【0022】

一実施の形態において、前記絶縁物質を形成する前に、熱酸化工程を進行して前記エッチングされたエピタキシャル犠牲膜パターンの内部及び前記トレンチの内部に熱酸化膜を形成し、前記熱酸化膜上にライナ窒化膜を形成することをさらに含むことができる。

【0023】

上述の半導体素子製造方法によると、エピタキシャル犠牲膜及びエピタキシャル膜を適切な厚さを有するように形成することによって、漏洩電流及び寄生キャパシタンスを減らすことができ、不純物拡散領域の深さを容易に調節することができる。したがって、素子特性に適する深さの不純物拡散領域を容易に形成することができる。また、ゲート電極の下部のエピタキシャル膜パターン、すなわちチャンネルが形成される領域がエッチング損傷されないので、信頼性あるチャンネルを形成することができる。

【0024】

一方、前記エッチングされたエピタキシャル犠牲膜パターンが除去された領域が前記ゲート電極の両側の前記エピタキシャル膜パターンと前記基板との間に位置する場合、前記不純物拡散領域を形成するためのイオン注入工程はより広い工程窓 (process window) を有するようになる。

【0025】

前記技術的課題を解決するために本発明の一実施の形態による半導体素子は、半導体基板に電氣的に接続され、前記半導体基板との間に絶縁領域を形成するように、前記半導体基板上に配置されたエピタキシャルシリコン膜と、前記エピタキシャルシリコン膜を横切るゲート電極と、前記ゲート電極の両側のエピタキシャルシリコン膜に形成された不純物拡散領域と、を含む。

【0026】

一実施の形態において、前記絶縁領域は前記不純物拡散領域と前記基板との間に位置する。

【0027】

一実施の形態において、前記絶縁領域は前記ゲート電極の下部のエピタキシャルシリコン膜と前記基板との間に位置する。

【発明の効果】

【0028】

本発明によると、不純物拡散領域と基板との間に、またはチャンネル領域と基板との間に絶縁性領域があるので、短いチャンネル効果を防止することができる。さらに、SOI技術を適用しなくても、これを実現することができるので、工程が簡単になり、工程費用を低減することができる。

【0029】

また、エピタキシャル膜パターンが基板と接触するので、フローティングボディー効果を抑制することができる。

【発明を実施するための最良の形態】

【0030】

以下、添付の図面を参照して本発明の望ましい実施の形態を詳細に説明する。しかし、本発明は、ここで説明される実施の形態に限定されず、他の形態に具体化されることもできる。むしろ、ここで紹介される実施の形態は開示された内容が徹底し、完全になれるように、そして当業者に本発明の思想が十分に伝達されるように提供されるものである。図面において、層及び領域の厚さは明確性のために誇張されたものである。また層が他の層または基板上にあると言及される場合に、それは他の層または基板上に直接形成すること

10

20

30

40

50

ができるもの、またはそれらの間に第３の層を介在させることもできるものである。

【００３１】

先ず、図１Ａ及び図１Ｂを参照すると、本発明による半導体素子は基板３０１を具備する。前記基板３０１はシリコン元素を含む半導体基板である。前記基板３０１に素子分離領域３１７ａが存在する。前記素子分離領域３１７ａは例えば酸化膜であり得る。前記基板３０１上にエピタキシャル膜パターン３０５ａが接触する。前記エピタキシャル膜パターン３０５ａはエピタキシャルシリコンまたはエピタキシャルシリコン－ゲルマニウムであり得る。前記エピタキシャル膜パターン３０５ａは前記素子分離領域３１７ａによって限定される。すなわち図示しないが、隣接したエピタキシャル膜パターンは前記素子分離領域によって互いに電氣的に隔離される。エピタキシャル膜パターン３０５ａの両側に不純物イオンが注入された不純物拡散領域３２１が存在する。前記不純物拡散領域３２１の下部に絶縁領域として空の空間領域３１１が存在する。前記エピタキシャル膜パターン３０５ａ上に、すなわち前記不純物拡散領域３２１の間のエピタキシャル膜パターン（チャンネル領域）の上部をゲート電極３１９が横切って走り、前記素子分離領域３１７ａも通る。前記ゲート電極３１９はポリシリコンであるか、ここに金属シリサイドが積層された多層電極であるか、または金属電極であり得る。

【００３２】

本実施の形態によると、前記エピタキシャル膜パターン３０５ａ、具体的には前記不純物拡散領域３２１の間のエピタキシャル膜パターンが前記基板３０１と直接的に接する。また、前記不純物拡散領域３２１と前記基板３０１との間には空の空間領域３１１が位置している。したがって、短チャンネル効果及びフローティングボディー効果を有効に抑制することができる。また、不純物拡散領域３２１と基板３１０との間の接合キャパシタンス（junction capacitance）が根本的に発生しない。

【００３３】

本実施の形態による半導体素子では、前記空の空間領域３１１に熱酸化膜３１３及びライナ窒化膜３１５が前記空の空間領域３１１の一部を満たすようにさらに存在することができる。同様に、前記素子分離領域３１７ａと前記基板３０１との間に前記熱酸化膜３１３及び前記ライナ窒化膜３１５がさらに存在することができる。

【００３４】

また前記空の空間領域３１１は絶縁膜で完全に満たされることができる。望ましくは、前記素子分離領域３１７ａが横に拡張されて前記空の空間領域３１１を完全に満たす。

【００３５】

望ましくは、前記素子分離領域３１７ａは前記エピタキシャル膜パターン３０５ａの上部の表面よりもさらに低い。これによって、ゲートが前記エピタキシャル膜パターン３０５ａの上部及び両側面を通るようになって、ゲートのチャンネル制御が前記エピタキシャル膜パターン３０５ａの上部及び両側面を通じて可能になって、短チャンネル効果の低減に一層効果的である。また有効チャンネル領域が増加して電流の流れが増加するようになる。

【００３６】

図２Ａ及び図２Ｂは本発明のまた他の実施の形態による半導体素子を各々示す斜視図及び断面図であって、図２Ｂは図２ＡのⅠⅠ－ⅠⅠ'線に沿って切断した断面図である。

【００３７】

前に説明した実施の形態と異なって、空の空間領域１１１１または絶縁領域は不純物拡散領域１１２１の間のエピタキシャル膜パターンの下に存在する。また前記不純物拡散領域１１２１の下のエピタキシャル膜パターンは前記基板１１０１と接触する。

【００３８】

具体的に、図２Ａ及び図２Ｂを参照すると、本実施の形態による半導体素子は基板１１０１を具備する。前記基板１１０１に素子分離領域１１１７ａが存在する。前記基板１１０１上にエピタキシャル膜パターン１１０５ａが存在する。前記エピタキシャル膜パターン１１０５ａの両側が前記基板１１０１と接触する。前記エピタキシャル膜パターン１１

05aの両側に不純物イオンが注入された不純物拡散領域1121が存在する。前記不純物拡散領域1121の間のエピタキシャル膜パターンの下部に空の空間領域1111が存在し、その上部をゲート電極1119が通る。前記エピタキシャル膜パターン1105aは前記素子分離領域1117aによって限定される。

【0039】

本実施の形態によると、前記不純物拡散領域1121の間のエピタキシャル膜パターン、すなわちチャンネル領域の下部に空の空間領域1111が存在するので、短チャンネル効果を有効に抑制することができる。また前記不純物拡散領域1121の下のエピタキシャル膜パターンが前記基板1101と接触するので、フローティングボディ効果を有効に抑制することができる。

10

【0040】

本実施の形態による半導体素子では、前記空の空間領域1111に熱酸化膜1113及びライナ窒化膜1115が前記空の空間領域1111の一部を満たすようにさらに存在することができる。同様に、前記素子分離領域1117aと前記基板1101との間に前記熱酸化膜1113及び前記ライナ窒化膜1115がさらに存在することができる。

【0041】

また前記空の空間領域1111は絶縁膜で完全に満たすことができる。望ましくは、前記素子分離領域1117aが横に拡張されて前記空の空間領域1111を完全に満たす。

【0042】

望ましくは、前記素子分離領域1117aは前記エピタキシャル膜パターン1105aの上部の表面よりもさらに低い。これによって、ゲートが前記エピタキシャル膜パターン1105aの上部及び両側面を通るようになって、ゲートのチャンネル制御が前記エピタキシャル膜パターン1105aの上部及び両側面を通じて可能になって、短いチャンネル効果の低減に一層効果的である。また有効チャンネル領域が増加して電流の流れが増加するようになる。

20

【0043】

以下、上述の半導体素子を製造する方法に対して説明する。

【0044】

先ず、図3A乃至図10A及び図3B乃至図10Bを参照して、図1A及び図1Bに示した半導体素子を製造する方法に対して説明する。

30

【0045】

図3A及び図3Bを参照すると、基板301上にエピタキシャル犠牲膜303を形成する。前記基板301はシリコン元素を含有する半導体基板であり得る。前記エピタキシャル犠牲膜303は後続工程で形成されるエピタキシャル膜（図5A及び図5Bの参照番号305）がよく成長することができる結晶構造及び結晶格子を有する物質で形成することが望ましい。例えば、エピタキシャル膜がシリコンで形成される場合、前記エピタキシャル犠牲膜303は単結晶シリコン、すなわちエピタキシャルシリコンがよく成長することができる膜で形成することが望ましい。すなわち、前記エピタキシャル犠牲膜303はシリコンと結晶構造が同一であり、格子常数が類似な物質で形成することが望ましい。一例として、シリコン-ゲルマニウムSi-Ge、酸化セリウムCeO₂、フッ化カルシウムCaF₂のうちのいずれか一つ、またはこれらの組み合わせ膜で形成することができる。しかし、これらは単純に一例として列挙しただけであり、後述のエピタキシャル膜に対してエッチング選択比を有し、エピタキシャル膜がよく成長することができる膜であれば、どれも可能である。

40

【0046】

例えば、シリコン-ゲルマニウムエピタキシャル犠牲膜の場合、DCS (Dichlorosilane)、GeH₄、HCl、H₂などのソースガスを使用して形成することができる。ここで、前記エピタキシャル犠牲膜303の厚さに従って前記基板301と後続工程で形成された不純物拡散領域（図1A及び図1Bの参照番号321）との間に介在する空の空間領域、または絶縁領域の厚さが左右される。したがって、素子の特性に適す

50

る空の空間領域、または絶縁領域は前記エピタキシャル犠牲膜 303 の厚さを適切に調節すれば、容易に形成することができる。

【0047】

次に、図 4 A 及び図 4 B を参照して、前記エピタキシャル犠牲膜 303 をパターンニングして前記基板 301 の一定の領域を露出させるエピタキシャル犠牲膜パターン 303 a を形成する。すなわち、前記エピタキシャル犠牲膜パターン 303 a によって前記基板 301 の一定の領域を露出させる溝 304 が定義される。

【0048】

次に、図 5 A 及び図 5 B を参照して、前記露出した基板 301 及び前記エピタキシャル犠牲膜パターン 303 a 上に上部が平坦なエピタキシャル膜 305 を形成する。このよう 10
な上部が平坦なエピタキシャル膜は上部が平坦になるように、エピタキシャル膜を成長させて形成することができる。もし、エピタキシャル成長により上部が平坦ではない場合、平坦化工程を進行して、その上部を平坦化させることができる。しかし、上部が平坦ではなくても関係ない。例えば、前記エピタキシャル膜 305 はシリコン膜である。これによって、前記エピタキシャル膜 305 は前記溝 304 を満たしながら、前記基板 301 と接触し、また前記エピタキシャル犠牲膜パターン 303 a 上にも形成される。

【0049】

シリコン-ゲルマニウム Si-Ge、酸化セリウム CeO_2 、フッ化カルシウム CaF_2 などで前記エピタキシャル犠牲膜 303 を形成する場合、前記エピタキシャル膜 305 20
はシリコン膜で形成することが望ましい。

【0050】

または、前記エピタキシャル犠牲膜 303 をシリコンで形成する場合、前記エピタキシャル膜 305 はシリコン-ゲルマニウムで形成することが望ましい。

【0051】

次に、図 6 A 及び図 6 B を参照すると、前記エピタキシャル膜 305 上にマスクパターン 307 a を形成する。前記マスクパターン 307 a によって覆われたエピタキシャル膜 305 は活性領域であり、そうではない部分は素子分離領域になる。前記マスクパターン 307 a は前記溝 304 を横切るように形成される。

【0052】

次に、図 7 A 及び図 7 B を参照すると、前記基板 301 の一部の厚さをエッチングする 30
まで前記マスクパターン 307 a をエッチングマスクとして使用して異方性エッチング工程を進行する。これによって、前記マスクパターン 307 a によって覆われないエピタキシャル膜 305、前記エピタキシャル犠牲膜パターン 303 a 及び前記基板 301 の一部の厚さが除去されて、素子分離用トレンチ 309 が形成される。これとともに、前記トレンチ 309 によってエピタキシャル膜パターン 305 a 及びエッチングされたエピタキシャル犠牲膜パターン 303 a' が定義される。

【0053】

次に、図 8 A 及び図 8 B を参照すると、前記トレンチ 309 によって露出した前記エッチングされたエピタキシャル犠牲膜パターン 303 a' を選択的に除去する。その結果、 40
前記エッチングされたエピタキシャル犠牲膜パターン 303 a' に対応する空の空間領域 311 が形成され、前記空の空間領域 311 は前記トレンチ 309 と連結される。結局、前記トレンチ 309 及び前記空の空間領域 311 によって前記基板及び前記エピタキシャル膜パターンが露出する。

【0054】

次に、図 9 A 及び図 9 B を参照して、前記トレンチ 309 を満たす素子分離領域 317 を形成する。前記素子分離領域 317 は前記トレンチ 309 を満たすように前記マスクパ 50
ターン 307 a 上に絶縁物質を形成した後、前記マスクパターン 307 a が露出するまで平坦化工程を進行することによって形成される。前記平坦化工程で、例えば、CMP またはエッチバック工程を使用することができる。望ましくは、前記絶縁物質を形成する前に、熱酸化工程を進行して熱酸化膜 313 を形成し、前記熱酸化膜 313 上にライナ窒化膜

315を形成する。この時、前記熱酸化膜313及びライナ窒化膜315は前記トレンチ309の内部だけではなく、前記空の空間領域311の内部にも形成される。

【0055】

次に、図10A及び図10Bを参照すると、露出した前記マスクパターン307aを選択的に除去した後、前記素子分離領域317をエッチバックして、その上部が前記エピタキシャル膜パターン305aよりも低い素子分離領域317aになるようにする。工程に従って、前記素子分離領域317は洗浄工程などで自然にエッチバックすることができる。

【0056】

次に、図1A及び図1Bに示したように、前記エピタキシャル膜パターン305aを横切るゲート電極319を形成する。ここで、前記ゲート電極319は前記空の空間領域311の間のエピタキシャル膜パターンの上部を横切る。後続工程で、前記ゲート電極不純物イオンを注入し熱処理して、前記空の空間領域311の上部のエピタキシャル膜パターンに不純物拡散領域321を形成する。ここで、前記不純物拡散領域321のためのイオン注入時、ゲートも同時にドーピングすることができる。前記不純物拡散領域321はソース及びドレイン領域である。

【0057】

ここで、前記エピタキシャル膜パターン305aの厚さに従って前記不純物拡散領域321の深さが左右される。したがって、前記エピタキシャル膜パターン305aの厚さを適切に調節すれば、素子の特性に適する不純物拡散領域を形成することができる。また、ゲート電極319の両側のエピタキシャル膜パターンと基板との間に空の空間が存在するので、前記不純物拡散領域321を形成するためのイオン注入工程及び熱処理工程の工程窓（process window）が増加する。すなわち、不純物イオン注入工程及び熱処理工程の条件に関係なく、前記不純物拡散領域321は前記空の空間領域311によって、それらの上部に限定される。

【0058】

図11A乃至図17A及び図11B乃至図17Bを参照して、図2A及び図2Bに示した半導体素子製造方法を説明する。

【0059】

先ず、図3A及び図3Bに示したように、基板1101上にエピタキシャル犠牲膜を形成した後、これをパターニングして図11A及び図11Bに示したように、エピタキシャル犠牲膜パターン1103aを形成する。前に説明した実施の形態と反対に、前記エピタキシャル犠牲膜パターン1103aは図4A及び図4Bの溝304に対応するパターンを有する。すなわち、図4A及び図4Bの溝304に対応する部分だけがパターニングを通じて残存して前記エピタキシャル犠牲膜パターン1103aになる。

【0060】

次に、図12A及び図12Bを参照すると、前記エピタキシャル犠牲膜パターン1103a及び露出した基板1101上に上部が平坦なエピタキシャル膜1105を形成する。前記エピタキシャル膜1105は望ましくはシリコン膜である。

【0061】

次に、図13A及び図13Bを参照すると、前記エピタキシャル膜パターン1105上にマスクパターン1107aを形成する。前記マスクパターン1107aによって覆われたエピタキシャル膜1105は活性領域であり、そうではない部分は素子分離領域になる。前記マスクパターン1107aは前記エピタキシャル膜パターン1103aを横切るように形成される。

【0062】

次に、図14A及び図14Bを参照すると、前記マスクパターン1107aにより露出したエピタキシャル膜1105、及びその下部のエピタキシャル犠牲膜パターン1103a、そして基板の一部の厚さをエッチングして除去する。その結果、エピタキシャル膜パターン1105a及びエッチングされたエピタキシャル犠牲膜パターン1103a'が形

成される。一方、前記マスクパターン１１０７aにより除去された領域は素子分離用トレンチ１１０９を限定する。すなわち、前記トレンチ１１０９は前記エピタキシャル膜パターン１１０５a及びエッチングされたエピタキシャル犠牲膜パターン１１０３a'、そして前記基板１１０１の一部を露出させる。

【００６３】

次に、図１５A及び図１５Bを参照すると、前記トレンチ１１０９により露出したエッチングされたエピタキシャル犠牲膜パターン１１０３a'を除去する。これによって、前記エッチングされたエピタキシャル犠牲膜パターン１１０３a'が除去された領域は空の空間領域１１１１になる。

【００６４】

次に、図１６A及び図１６Bを参照すると、前に説明した実施の形態と同様に前記トレンチ１１０９を満たす素子分離領域１１１７を形成する。前記素子分離領域１１１７は前記トレンチ１１０９を満たすように、前記マスクパターン１１０７a上に絶縁物質を形成した後、前記マスクパターン１１０７aが露出するまで平坦化工程を進行することによって形成される。前記平坦化工程としては、例えば、CMPまたはエッチバック工程を使用することができる。望ましくは、前記絶縁物質を形成する前に、熱酸化工程を進行して熱酸化膜１１１３を形成し、前記熱酸化膜１１１３上にライナ窒化膜１１１５を形成する。この時、前記熱酸化膜１１１３及びライナ窒化膜１１１５は前記トレンチ１１０９の内部だけではなく、前記空の空間領域１１１１の内部にも形成される。

【００６５】

次に、図１７A及び図１７Bを参照すると、露出した前記マスクパターン１１０７aを選択的に除去した後、前記素子分離領域１１１７をエッチバックして、その上部が前記エピタキシャル膜パターン１１０５aよりも低い素子分離領域１１１７aになるようにする。

【００６６】

次に、図２A及び図２Bに示したように、前記エピタキシャル膜パターン１１０５aを横切るゲート電極１１１９を形成する。ここで、前記ゲート電極１１１９は前記空の空間領域１１１１の上のエピタキシャル膜パターンの上部を横切る。後続工程で、前記ゲート電極をマスクとして使用して不純物イオンを注入し、熱処理して前記空の空間領域１１１１の両側のエピタキシャル膜パターン（すなわち、ゲート電極の両側のエピタキシャル膜パターン）に不純物拡散領域１１２１を形成する。前記不純物拡散領域１１２１はソース及びドレイン領域である。

【００６７】

今まで、本発明に対して、その望ましい実施の形態を中心に察した。本発明が属する技術分野で、通常の知識を持つ者は、本発明が本発明の本質的な特性から逸脱しない範囲内で、変形された形態で実現され得ることを理解することができるであろう。したがって、本開示された実施の形態は限定的な観点ではなく、説明的な観点で考慮されなければならない。本発明の範囲は上述の説明ではなく、特許請求の範囲に示しており、それと同等な範囲にあるすべての差は本発明に含まれたことと解釈されなければならないであろう。

【図面の簡単な説明】

【００６８】

【図１A】本明の一実施の形態による半導体素子を概略的に示す斜視図である。

【図１B】図１AのI-I'線に沿って切断した半導体素子の断面図である。

【図２A】本発明の他の実施の形態による半導体素子を概略的に示した斜視図である。

【図２B】図２AのII-II'線に沿って切断した半導体素子の断面図である。

【図３A】図１Aに示した半導体素子を製造する方法を説明するため工程順序に従って羅列した半導体基板の斜視図である。

【図３B】図１Bに示した半導体素子を製造する方法を説明するため工程順序に従って羅列した半導体基板の断面図である。

【図４A】図１Aに示した半導体素子を製造する方法を説明するため工程順序に従って羅

10

20

30

40

50

【図 1 6 B】図 3 B に示した半導体素子を製造する方法を説明するため工程順序に従って 50

羅列した半導体基板の断面図である。

【図 17 A】図 3 A に示した半導体素子を製造する方法を説明するため工程順序に従って羅列した半導体基板の斜視図である。

【図 17 B】図 3 B に示した半導体素子を製造する方法を説明するため工程順序に従って羅列した半導体基板の断面図である。

【符号の説明】

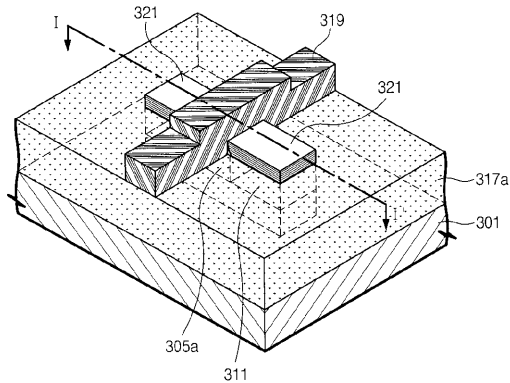
【0069】

- 301, 1101 基板
- 303, 1103 エピタキシャル犠牲膜
- 303a, 1103a エピタキシャル犠牲膜パターン
- 305, 1105 エピタキシャル膜
- 305a, 1105a エピタキシャル膜パターン
- 307a, 1107a マスクパターン
- 300, 1109 トレンチ
- 311, 1111 空の空間領域
- 313, 1113 熱酸化膜
- 315, 1115 ライナ窒化膜
- 317, 1117 素子分離領域
- 319, 1119 ゲート電極
- 321, 1121 不純物拡散領域

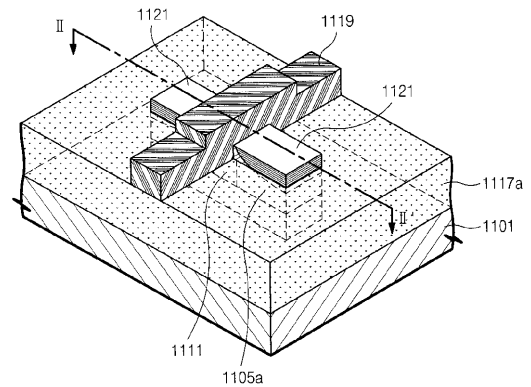
10

20

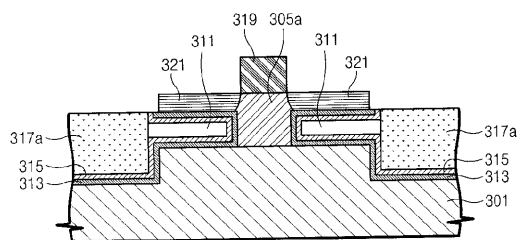
【図 1 A】



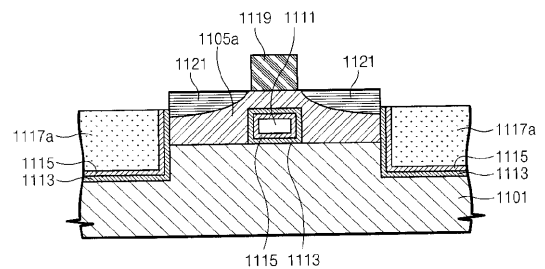
【図 2 A】



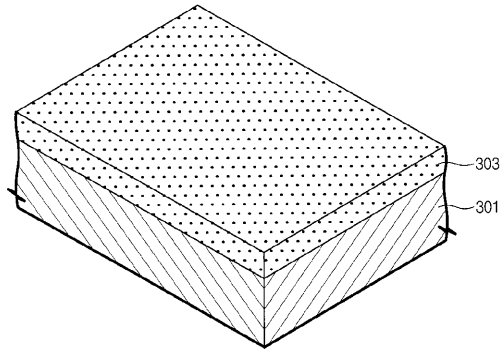
【図 1 B】



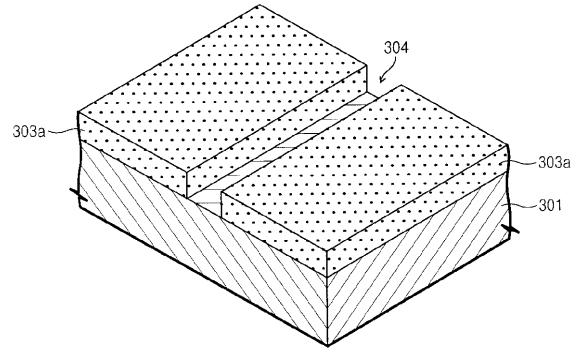
【図 2 B】



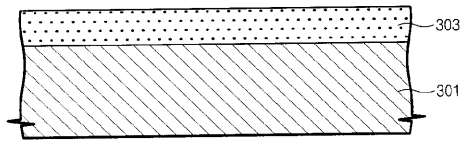
【図 3 A】



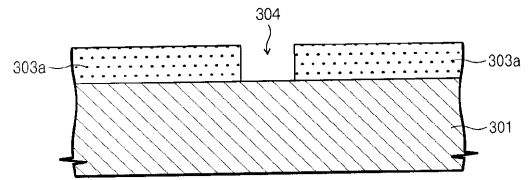
【図 4 A】



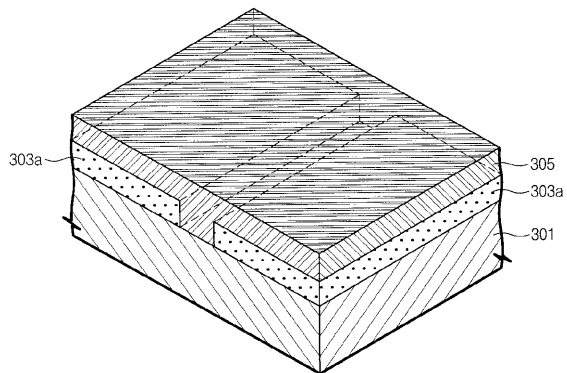
【図 3 B】



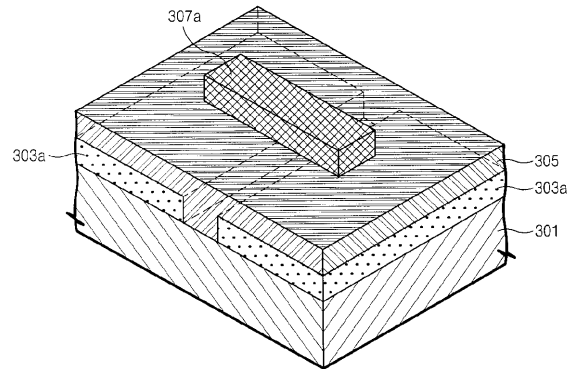
【図 4 B】



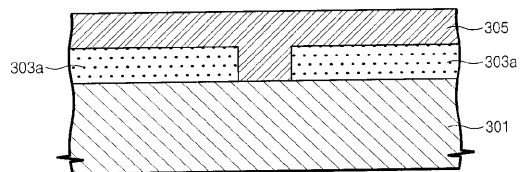
【図 5 A】



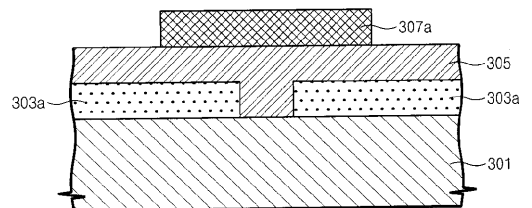
【図 6 A】



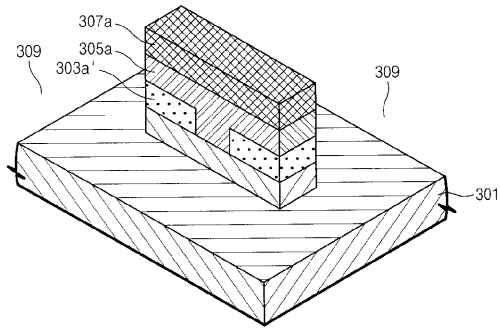
【図 5 B】



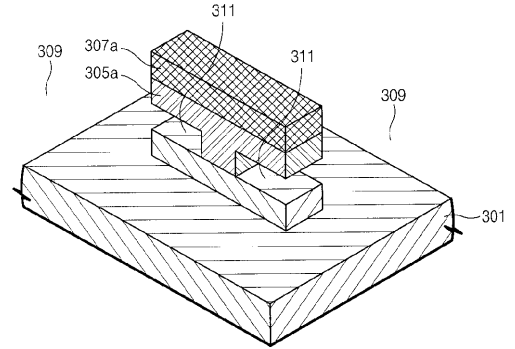
【図 6 B】



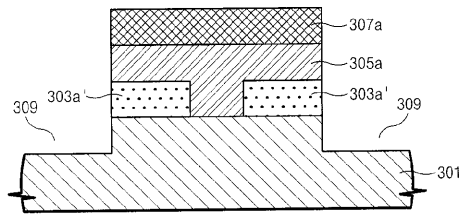
【図 7 A】



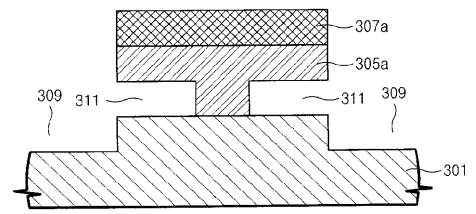
【図 8 A】



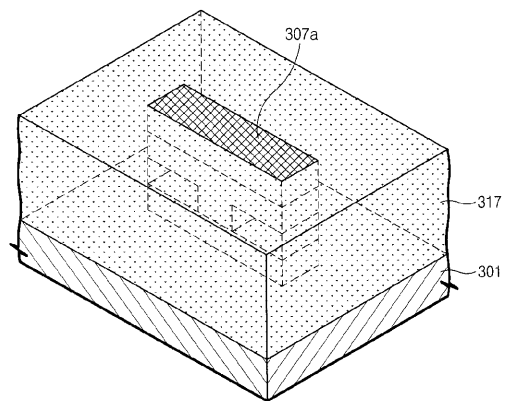
【図 7 B】



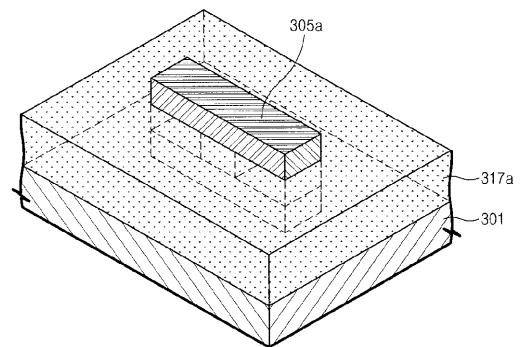
【図 8 B】



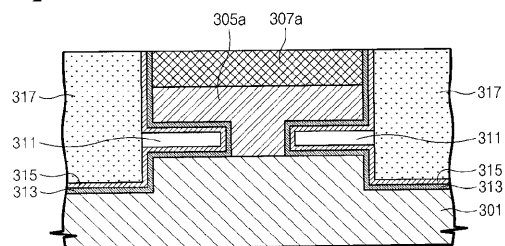
【図 9 A】



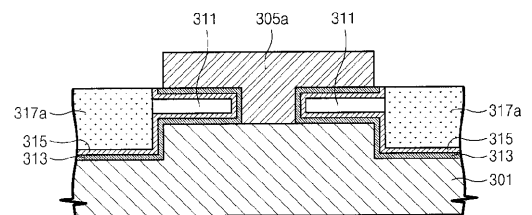
【図 10 A】



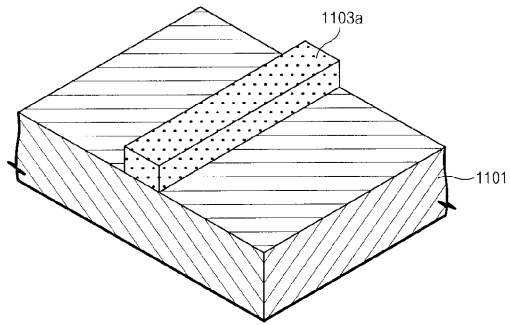
【図 9 B】



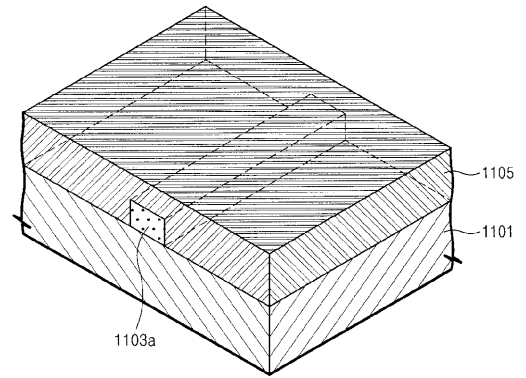
【図 10 B】



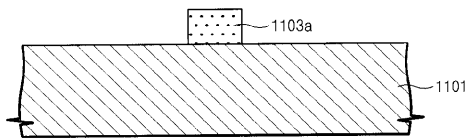
【図 1 1 A】



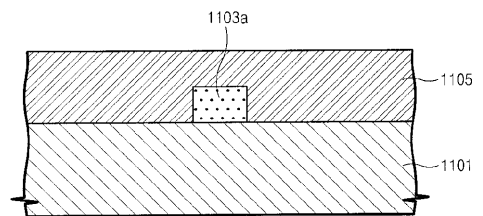
【図 1 2 A】



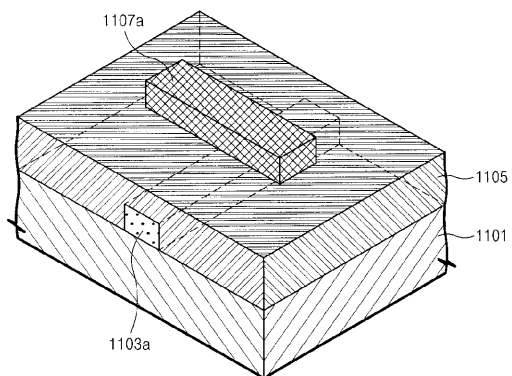
【図 1 1 B】



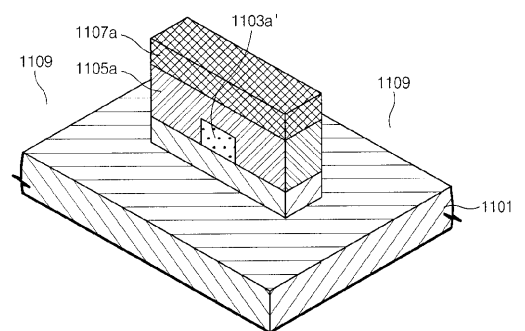
【図 1 2 B】



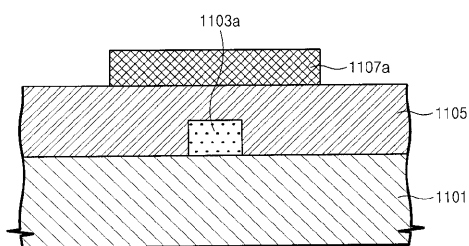
【図 1 3 A】



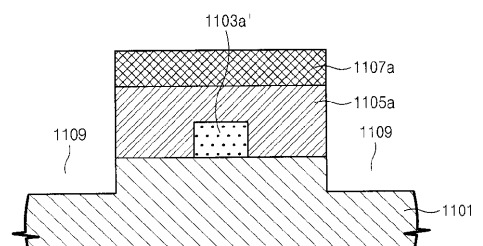
【図 1 4 A】



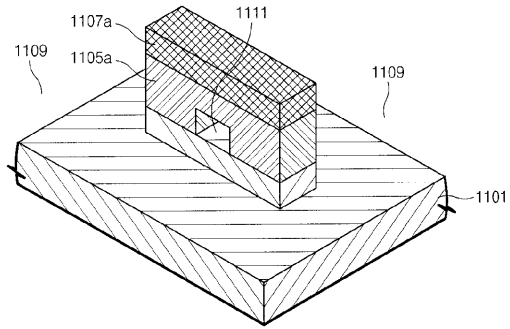
【図 1 3 B】



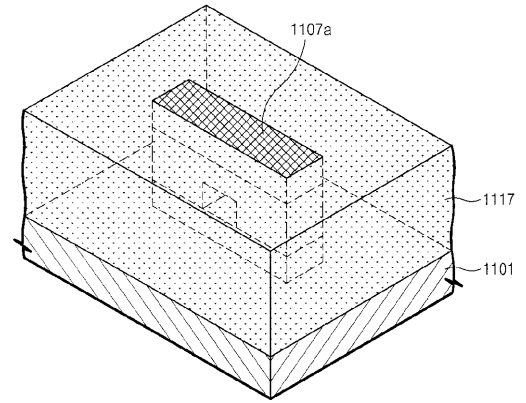
【図 1 4 B】



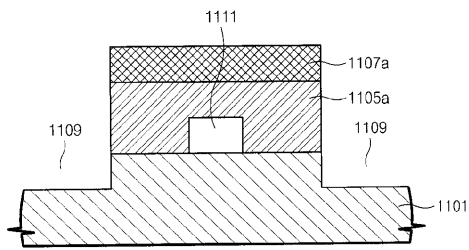
【図 1 5 A】



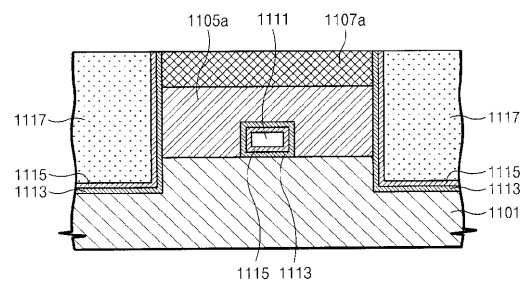
【図 1 6 A】



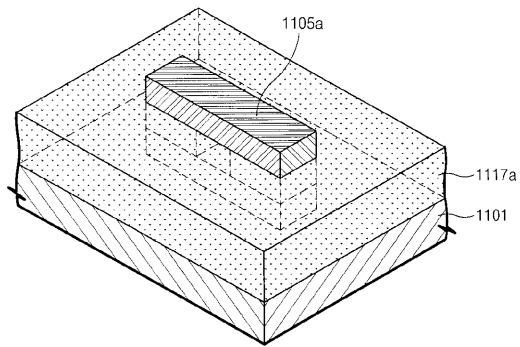
【図 1 5 B】



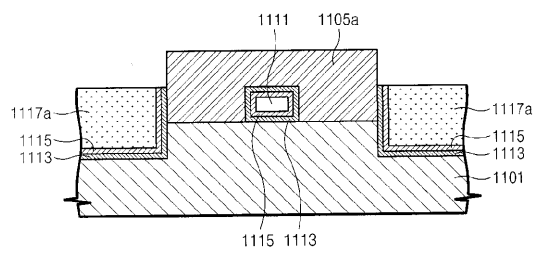
【図 1 6 B】



【図 1 7 A】



【図 1 7 B】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/49	H O 1 L 21/76	D
H O 1 L 29/786	H O 1 L 21/76	E
	H O 1 L 29/78	6 1 8 C
	H O 1 L 29/78	6 2 1
	H O 1 L 29/78	6 2 6 C
	H O 1 L 29/78	6 2 6 B

(72)発明者 朴 東健

大韓民国京畿道城南市盆唐区九美洞 (番地なし) ムジゲタウンジェイルアパート 8 0 1 - 4 0 1 号

(72)発明者 呂 京奂

大韓民国ソウル銅雀区舎堂 2 洞 (番地なし) ウースンアパート 3 0 4 棟 7 1 1 号

F ターム(参考) 4M104 AA01 BB01 BB19 FF14 FF31 GG09 GG10 GG14
 5F032 AA09 AA34 AA45 AA77 AA78 AA82 AC02 BA01 CA05 CA17
 DA12 DA13 DA25 DA28 DA33 DA34 DA53 DA78
 5F110 AA15 CC02 DD05 DD12 DD13 DD17 DD21 DD22 EE02 EE05
 EE09 EE14 GG01 GG02 GG12 GG22 GG42 GG57 HJ13 NN62
 NN65 QQ08 QQ11 QQ19
 5F140 AA12 AA21 BA01 BA05 BA16 BF01 BF04 BF05 BF11 BF18
 BG43 BG44 BH45 BK09 BK13 BK21 CB04 CE06 CE07 CF07