

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-508822
(P2024-508822A)

(43)公表日 令和6年2月28日(2024.2.28)

(51)国際特許分類	F I	テーマコード (参考)
H 0 5 K 9/00 (2006.01)	H 0 5 K 9/00	Q 5 E 3 2 1
H 0 1 L 23/00 (2006.01)	H 0 1 L 23/00	C
H 0 1 L 23/06 (2006.01)	H 0 1 L 23/06	B

審査請求 未請求 予備審査請求 未請求 (全18頁)

(21)出願番号	特願2023-551976(P2023-551976)	(71)出願人	505005049
(86)(22)出願日	令和4年1月28日(2022.1.28)		スリーエム イノベイティブ プロパティ
(85)翻訳文提出日	令和5年8月25日(2023.8.25)		ズ カンパニー
(86)国際出願番号	PCT/IB2022/050766		アメリカ合衆国, ミネソタ州 5 5 1 3
(87)国際公開番号	WO2022/180461		3-3 4 2 7, セント ポール, ポスト
(87)国際公開日	令和4年9月1日(2022.9.1)		オフィス ボックス 3 3 4 2 7, スリー
(31)優先権主張番号	10-2021-0026758		エム センター
(32)優先日	令和3年2月26日(2021.2.26)	(74)代理人	100130339
(33)優先権主張国・地域又は機関			弁理士 藤井 憲
	韓国(KR)	(74)代理人	100135909
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA		弁理士 野村 和歌子
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(	(74)代理人	100133042
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A		弁理士 佃 誠玄
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR	(74)代理人	100171701
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,		弁理士 浅村 敬一
	最終頁に続く		最終頁に続く

(54)【発明の名称】 電子アセンブリ及びその作製方法

(57)【要約】

本開示は電子アセンブリに関する。具体的には、本開示の実施形態によれば、電子アセンブリが提供され、電子アセンブリは、複数の導電性コネクタを含む回路基板と、回路基板の第1主面に結合された複数の間隔を空けた半導体集積回路と、半導体集積回路上に配置され、半導体集積回路を実質的に包囲し覆うカバー層と、電子アセンブリへの電気接続を提供するために、回路基板の第1主面对向する第2主面上に配置された複数のはんだバンプと、はんだバンプを露出させるための切断部を備える第1の金属箔層であって、回路基板の第2主面に接合されている、第1の金属箔層と、第1の金属箔層に物理的、電気的に接触し、電子アセンブリの側面をコーティングするために、回路基板の第1主面上の電子アセンブリの上面上にコンフォーマルコーティングされ、電子アセンブリの縁部を越えて、回路基板の第2主面に向かって延びている金属コーティング層と、を含む。

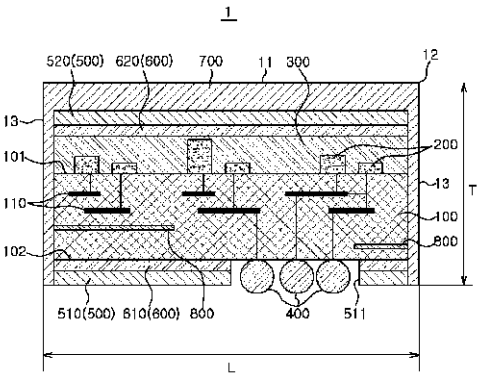


FIG. 1

【特許請求の範囲】

【請求項 1】

電子アセンブリであって、
複数の導電性コネクタを備える回路基板と、
前記回路基板の第 1 主面に結合された複数の間隔を空けた半導体集積回路と、
前記半導体集積回路上に配置され、前記半導体集積回路を実質的に包囲し覆うカバー層と、

前記電子アセンブリへの電気接続を提供するために、前記回路基板の前記第 1 主面に対向する第 2 主面上に配置された複数のはんだバンプと、

前記はんだバンプを露出させるための切断部を備える第 1 の金属箔層であって、前記回路基板の前記第 2 主面に接合されている、第 1 の金属箔層と、

前記第 1 の金属箔層に物理的、電氣的に接触し、前記電子アセンブリの側面をコーティングするために、前記回路基板の前記第 1 主面上の前記電子アセンブリの上面上にコンフォーマルコーティングされ、前記電子アセンブリの縁部を越えて、前記回路基板の前記第 2 主面に向かって延びている金属コーティング層と、を備え、

前記半導体集積回路は、前記導電性コネクタ及び前記はんだバンプに電氣的に接続されており、

前記第 1 の金属箔層及び前記カバー層は、前記回路基板と実質的に同一の広がりを持つ長さ及び幅を有する、

電子アセンブリ。

【請求項 2】

第 1 の接着剤層を更に備え、

前記第 1 の金属箔層は、前記第 1 の接着剤層を介して前記回路基板の前記第 2 主面に接合されている、

請求項 1 に記載の電子アセンブリ。

【請求項 3】

前記金属コーティング層の厚さが、約 30 マイクロメートルよりも小さく、約 0.5 マイクロメートルよりも大きい、

請求項 1 に記載の電子アセンブリ。

【請求項 4】

前記電子アセンブリの前記上面上にコーティングされた前記金属コーティング層の平均厚さが t_1 であり、

前記電子アセンブリの前記側面上にコーティングされた前記金属コーティング層の平均厚さが t_2 であり、

t_1 / t_2 は 0.2 を超え、5 以下である、

請求項 1 に記載の電子アセンブリ。

【請求項 5】

前記金属コーティング層は、前記カバー層上に直接配置され、前記カバー層に直接接合されている、

請求項 1 に記載の電子アセンブリ。

【請求項 6】

前記金属コーティング層及び前記カバー層に接合され、前記金属コーティング層と前記カバー層との間に配置された第 2 の金属箔層、を更に備え、

前記第 2 の金属箔層は、前記回路基板と実質的に同一の広がりを持つ長さ及び幅を有する、

請求項 1 に記載の電子アセンブリ。

【請求項 7】

前記電子アセンブリに埋め込まれ、前記電子アセンブリの 1 つ以上の側面に向かって延びており、前記電子アセンブリの前記側面上にコーティングされた前記金属コーティング層に物理的、電氣的に接触している、1 つ以上の導電性接地コネクタを更に備える、

請求項 1 に記載の電子アセンブリ。

【請求項 8】

前記カバー層は、

テーパ部と、

前記テーパ部に包囲され実質的に平面の中央部と、を備え、

前記テーパ部は、前記電子アセンブリの前記中央部から前記縁部に向かってテーパ状になっており、前記テーパ部の厚さが減少している、

請求項 1 に記載の電子アセンブリ。

【請求項 9】

電子アセンブリであって、

複数の導電性コネクタと、前記電子アセンブリの側面に向かって延びている少なくとも 1 つの導電性接地コネクタとを備える回路基板と、

互いに対向する前記回路基板の第 1 主面及び第 2 主面にそれぞれ結合された第 1 及び第 2 の半導体集積回路と、

前記第 1 及び第 2 の半導体集積回路をそれぞれ実質的に包囲及び平坦化し、前記第 1 及び第 2 の半導体集積回路上にそれぞれ配置された、第 1 のカバー層及び第 2 のカバー層と、

前記電子アセンブリへの電気接続を提供するために前記回路基板の前記第 2 主面上に配置された複数のはんだバンプと、

前記第 2 のカバー層に接合された第 1 の金属箔層と、

前記金属箔層及び前記接地コネクタに物理的、電氣的に接触し、前記電子アセンブリの前記側面をコーティングするために、前記回路基板の前記第 1 主面上の前記電子アセンブリの上面上にコンフォーマルコーティングされ、前記電子アセンブリの縁部を越えて前記回路基板の前記第 2 主面に向かって延びている金属コーティング層と、を備え、

前記半導体集積回路は、前記導電性コネクタ及び前記はんだバンプに電氣的に接続されており、

前記第 1 の金属箔層及び前記カバー層は、前記はんだバンプを露出させるための、実質的に位置合わせされた切断部を備え、

前記第 1 の金属箔層、前記第 1 のカバー層及び前記第 2 のカバー層は、前記回路基板と実質的に同一の広がりをもつ長さ及び幅を有する、

電子アセンブリ。

【請求項 10】

電子アセンブリを作製する方法であって、

物品を形成するステップと、

前記物品を複数の分割物品へとそれぞれ分割するステップと、

前記少なくとも 1 つの分割物品に対して導電層を形成するステップと、を含み、

前記物品を形成する前記ステップは、

複数のセグメントであって、前記セグメントの各々が、回路基板の第 1 主面上の第 1 の側部と、前記回路基板の第 2 主面上の第 2 の側部であって、前記第 2 主面に対向する第 2 の側部と、前記セグメント内に埋め込まれた導電性接地コネクタと、前記セグメントの前記第 1 の側部に結合された複数の間隔を空けた半導体集積回路と、前記セグメントの前記第 2 の側部上の複数のはんだバンプと、を備える、複数のセグメントを備える回路基板を提供するステップと、

前記セグメントの各々内の前記半導体集積回路を覆うために、前記回路基板上にカバー層を配置するステップと、

第 1 の金属箔層であって、前記セグメントの各々の前記第 2 の側部に接合されて、前記第 2 の側部を覆っており、前記セグメントの各々の前記第 2 の側部上に複数の貫通孔を備えて、前記複数の貫通孔のうちの 1 つが、前記セグメントの前記第 2 の側部上で前記複数のはんだバンプを露出させることを可能にする、第 1 の金属箔層を接合するステップと、を含み、

前記分割物品の各々は、前記回路基板の少なくとも1つのセグメントを備え、
前記導電層を形成する前記ステップにおいて、
前記導電層は、前記少なくとも1つの分割物品の前記第1の金属箔層とは反対側の前記分割物品の上面上に形成されて、前記第1の金属箔層に物理的、電氣的に接触して、前記少なくとも分割物品の側面及び上縁部の上に電氣的に連続的に延びている、
方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電子アセンブリ及びその作製方法に関する。

10

【背景技術】

【0002】

電子製品では、電界と磁界とが合成された波を意味する電磁波が典型的に生じる。このような電磁波は、電子製品から発生し、電子製品の外部空間に向かって伝搬するため、人体又はデバイスは、電磁波に曝され易い。特に、ユーザが電磁波に暴露されると人体に有害であり、産業用デバイス及び家電製品が電磁波に曝されるとデバイスの誤作動が引き起こされる場合がある。

【0003】

したがって、電子製品から発生する電磁波が電子製品の外部に伝搬することを防止するために、電磁波を遮断する技術の研究が活発に進められている。

20

【0004】

加えて、電磁干渉（Electro Magnetic Interference、EMI）認証及び電磁感受性（Electro Magnetic Susceptibility、EMS）認証を定義し実装することによって、人体を電磁波から保護し、デバイスの誤作動を防止するための社会的努力が様々な分野で行われている。

【発明の概要】

【発明が解決しようとする課題】

【0005】

電磁波を形成する電界は、導体を使用して容易に遮断することができる。例えば、電界は、建物の屋根、壁又は床などを接地することにより、又は接地された遮蔽材料を使用することにより容易に遮断できる。

30

【0006】

他方では、電磁波を形成する磁界は、電界とは異なり、たとえ地理的特徴を使用しても容易に遮断することはできず、高い透磁率を有する特別な材料を使用しなければならないか、又は特別な方法を使用しなければならない。しかしながら、特別な材料及び特別な方法は、過大なコスト及び長い処理時間を必要とする場合がある。

【0007】

したがって、本開示の実施形態は、上記背景に基づいて発明されたものであり、作製に必要なコストを最小化しながら、電磁波の遮断性能を最大化できる電子アセンブリを提供する。

40

【課題を解決するための手段】

【0008】

本開示の一態様によると、電子アセンブリが提供され、電子アセンブリは、複数の導電性コネクタを含む回路基板と、回路基板の第1主面に結合された複数の間隔を空けた半導体集積回路と、半導体集積回路上に配置され、半導体集積回路を実質的に包囲し覆うカバー層と、電子アセンブリへの電気接続を提供するために、回路基板の第1主面に対向する第2主面上に配置された複数のはんだバンプと、はんだバンプを露出させるための切断部を含む第1の金属箔層であって、回路基板の第2主面に接合されている、第1の金属箔層と、第1の金属箔層に物理的、電氣的に接触し、電子アセンブリの側面をコーティングするために、回路基板の第1主面上の電子アセンブリの上面上にコンフォーマルコーティン

50

グされ、電子アセンブリの縁部を越えて、回路基板の第2主面に向かって延びている金属コーティング層と、を含み、半導体集積回路は、導電性コネクタ及びはんだバンプに電氣的に接続されており、第1の金属箔層及びカバー層は、回路基板と実質的に同一の広がり

を有する長さ及び幅を有する。

【0009】
加えて、電子アセンブリが提供され、電子アセンブリは、複数の導電性コネクタと、電子アセンブリの側面に向かって延びている少なくとも1つの導電性接地コネクタとを含む回路基板と、互いに対向する回路基板の第1主面及び第2主面にそれぞれ結合された第1及び第2の半導体集積回路と、第1及び第2の半導体集積回路をそれぞれ実質的に包囲及び平坦化し、第1及び第2の半導体集積回路上にそれぞれ配置された第1及び第2のカバー層と、電子アセンブリへの電気接続を提供するために回路基板の第2主面上に配置された複数のはんだバンプと、第2のカバー層に接合された第1の金属箔層と、金属箔層及び接地コネクタに物理的、電氣的に接触し、電子アセンブリの側面をコーティングするために、回路基板の第1主面上の電子アセンブリの上面上にコンフォーマルコーティングされ、電子アセンブリの縁部を越えて、回路基板の第2主面に向かって延びている金属コーティング層と、を含み、半導体集積回路は、導電性コネクタ及びはんだバンプに電氣的に接続されており、第1の金属箔層及びカバー層は、はんだバンプを露出させるための、実質的に位置合わせされた切断部を含み、第1の金属箔層、第1のカバー層及び第2のカバー層は、回路基板と実質的に同一の広がり

10

を有する長さ及び幅を有する。

20

【発明の効果】

【0010】
本開示の一実施形態では、電子アセンブリの作製に必要な費用を最小化する効果がある。

【0011】

加えて、本開示の一実施形態では、電磁波の遮断性能を最大化する効果がある。

【図面の簡単な説明】

【0012】

【図1】本開示の第1の実施形態による電子アセンブリの長手方向断面図である。

【図2】図1の上面図である。

【図3】本開示の第2の実施形態による電子アセンブリの長手方向断面図である。

30

【図4】本開示の第3の実施形態による電子アセンブリの長手方向断面図である。

【図5】本開示の第4の実施形態による電子アセンブリの長手方向断面図である。

【図6】本開示の回路基板を提供するステップにおける、回路基板を示す図である。

【図7】本開示のカバー層を配置するステップにおける、回路基板上に配置されたカバー層を示す図である。

【図8】本開示の第1の金属箔層を接合するステップにおける、回路基板上に接合された第1の金属箔層を示す図である。

【図9】図8の上面図である。

【図10】本開示の物品を分割するステップにおいて分割された複数の物品を示す図である。

40

【図11】本開示の電子アセンブリの作製方法によって作製された電子アセンブリを示す図である。

【図12】本開示の実施形態による、電子アセンブリを作製する方法を順番に示すシーケンス図である。

【発明を実施するための形態】

【0013】

以下では、本開示の技術的概念を実装するための特定の実施形態が、図面を参照して詳細に説明される。

【0014】

更に、本開示を説明する際には、本開示の要旨を不明瞭にすると考えられる周知の関連

50

する構成又は機能についての具体的な説明を省略する。

【0015】

加えて、ある要素が別の要素に「接続されている」、「結合されている」、又は「接触している」と言及される場合、ある要素は、別の要素に直接接続されている、結合されている、又は接触している可能性があるが、それらの間に介在要素があってもよいと理解すべきである。

【0016】

本明細書で使用される用語は、特定の例示的な実施形態を説明するためのみのものであり、本開示の範囲を限定することを意図するものではない。別途記載のない限り、単数形の表現は、複数の表現を含む。

【0017】

加えて、明細書全体を通して、「上側」、「下側」、「側面」などの表現は、図面における例示を参照して説明されるものであり、これら表現は、対応する対象物の向きが変更される場合、異なる表現になり得る点に留意されたい。同じ理由により、いくつかの要素は、図面において誇張されるか、省略されるか、又は概略的に示される場合があり、各要素のサイズは、実際のサイズを完全に反映するとは限らない。

【0018】

加えて、「第1」、「第2」などの序数を含む用語は、様々な要素を説明するために使用できるが、これらの要素は、そのような用語によって限定されるべきではない。これらの用語は、1つの要素を別の要素から区別する目的でのみ使用される。

【0019】

本明細書で使用される用語「含む」は、特定の特徵、領域、整数、ステップ、動作、要素、及び／又は構成要素を特定するものであり、他の特定の特徵、領域、整数、ステップ、動作、要素、構成要素、及び／又は群の存在又は追加を排除するものではない。

【0020】

加えて、明細書全体を通して、「上側」などの方向に関する表現は、図面における例示を参照して説明されるものであり、これら表現は、対応する対象物の向きが変更される場合、異なる表現になり得る点に留意されたい。一方、「発明を実施するための形態」では、長手方向は、図1～図5のx軸方向を指す場合があり、幅方向は、図1～図5のy軸方向を指す場合がある。加えて、厚さ方向は、図1～図5のz軸方向を指す場合がある。

【0021】

以下では、図面を参照して、本開示の第1の実施形態による電子アセンブリ1の詳細な構成を説明する。

【0022】

以下、図1を参照すると、第1の実施形態による電子アセンブリ1は、半導体要素などの電子構成要素を外部から保護することができ、外部構成と電氣的に接続することができる。加えて、電子アセンブリ1は、電磁波が外部に放出されることを防止するために、少なくともその一部が遮蔽されている場合がある。電子アセンブリ1は、上面11、縁部12、及び側面13を含み得る。

【0023】

上面11は、電子アセンブリ1の上側の1つの表面を指す。上面11は、長手方向及び幅方向に延びていてもよい。

【0024】

縁部12は、電子アセンブリ1の上面11と側面13との間の縁部部分を指す。縁部12は、複数であってもよく、複数の縁部12が、電子アセンブリ1の両側に長手方向に設けられていてもよい。

【0025】

側面13は、電子アセンブリ1の長手方向における両側面を指す。側面13は、厚さ方向に延びていてもよい。加えて、側面13は、複数であってもよい。

【0026】

10

20

30

40

50

図 1 及び図 2 も参照すると、電子アセンブリ 1 は、所定の長さ L、幅 W、及び厚さ T を有することができる。

【0027】

他方、電子アセンブリ 1 は、回路基板 100、半導体集積回路 200、カバー層 300、はんだバンプ 400、金属箔層 500、接着剤層 600、金属コーティング層 700、及び導電性接地コネクタ 800 を含んでもよい。

【0028】

回路基板 100 は、その上に様々な種類の電子構成要素が取り付けられるように提供されてもよい。例えば、回路基板 100 は、プリント回路基板 (printed circuit board、PCB) であってもよい。加えて、回路基板 100 は、第 1 主面 101 及び第 2 主面 102 を有してもよい。

10

【0029】

第 1 主面 101 は、回路基板 100 の上面を指し、第 2 主面 102 は、回路基板 100 の下面を指す。

【0030】

他方、回路基板 100 は、導電性コネクタ 110 を含んでもよい。

【0031】

導電性コネクタ 110 は、それを通して電流が流れることを可能にする導電性を有する材料を含んでもよい。加えて、導電性コネクタ 110 は、第 1 主面 101 及び第 2 主面 102 のうちの 1 つ以上に接続されてもよく、回路基板 100 内に挿入されていてもよい。例えば、回路基板 100 上に又は回路基板 100 内に配置された電子構成要素が、導電性コネクタ 110 と電気信号を交換してもよい。

20

【0032】

導電性コネクタ 110 は、複数であってもよく、複数の導電性コネクタ 110 のうちのいくつかが互いに接続されていなくてもよい。加えて、複数の導電性コネクタ 110 のうちのいくつかが互いに電氣的に接続されていてもよい。複数の導電性コネクタ 110 のうちの少なくとも 2 つの導電性コネクタ 110 が、同じ半導体集積回路 200 に電氣的に接続されていてもよい。

【0033】

半導体集積回路 200 は、電子要素として様々な機能を果たすことができる。半導体集積回路 200 は、回路基板 100 の第 1 主面 101 上の第 1 主面 101 に結合されていてもよい。加えて、半導体集積回路 200 は、複数であってもよく、複数の半導体集積回路 200 が長手方向に沿って互いに間隔を空けていてもよい。複数の半導体集積回路 200 は、それぞれ、異なる導電性コネクタ 110 に電氣的に接続されていてもよい。加えて、半導体集積回路 200 は、導電性コネクタ 110 を介してはんだバンプ 400 に電氣的に接続されていてもよい。

30

【0034】

半導体集積回路 200 は、その少なくとも一部がカバー層 300 で包囲されていてもよい。例えば、半導体集積回路 200 の他の表面のうちの、第 1 主面 101 に接触する底面を除く 1 つの面が、カバー層 300 により包囲されていてもよい。半導体集積回路 200 は、半導体 IC と称される場合がある。

40

【0035】

カバー層 300 は、複数の半導体集積回路 200 を覆っていてもよい。加えて、カバー層 300 は、複数の半導体集積回路 200 をそれぞれ包囲することにより、半導体集積回路 200 を実質的に平坦化することができる。本明細書では、半導体集積回路 200 を平坦化するとは、異なるサイズを有する複数の半導体集積回路 200 が、平坦な上面を有するカバー層 300 によって包囲されることを意味し得る。それに応じて、カバー層 300 の平坦な上面上に他の構成が配置されてもよい。

【0036】

加えて、カバー層 300 は、複数の半導体集積回路 200 をそれぞれ実質的に封入する

50

ことができる。本明細書では、半導体集積回路 200 を封入するとは、カバー層 300 が、半導体集積回路 200 の底面を除く他の表面を覆い実質的に包囲することを意味し得る。上述したカバー層 300 は、回路基板 100 に接触していてもよく、回路基板 100 上に配置されていてもよい。例えば、カバー層 300 は、エポキシ成形材料 (EMC) を含んでもよい。加えて、カバー層 300 は、回路基板 100 と実質的に同一の広がりを持つ長さ L 及び幅 W を有してもよい。

【0037】

はんだバンプ 400 は、電子アセンブリ 1 に電気接続を提供することができる。はんだバンプ 400 は、回路基板 100 の第 2 主面 102 上に配置されていてもよい。加えて、はんだバンプ 400 は、後述する切断部 511 内に配置されていてもよく、切断部 511 を介して外部に露出していてもよい。加えて、はんだバンプ 400 は、複数であってもよく、複数のはんだバンプ 400 が導電性コネクタ 110 に電氣的に接続されていてもよい。

10

【0038】

金属箔層 500 は、半導体集積回路 200 から放出される電磁波を遮断することができる。例えば、金属箔層 500 は、銅 (Cu) 及びステンレス鋼 (SUS) のうちの 1 種以上を含んでもよい。金属箔層 500 は、第 1 の金属箔層 510 及び第 2 の金属箔層 520 を含んでもよい。

【0039】

第 1 の金属箔層 510 は、回路基板 100 の第 2 主面 102 に接合されていてもよい。本明細書では、第 1 の金属箔層 510 が第 2 主面 102 に接合されるとは、第 2 主面 102 に直接接触して接合されるだけでなく、第 1 の接着剤層 610 を介して第 2 主面 102 に接合されることも含む概念であり得る。第 1 の金属箔層 510 は、外側に露出していてもよい。

20

【0040】

第 1 の金属箔層 510 は、はんだバンプ 400 を露出させるための切断部 511 を含んでもよい。切断部 511 は、第 1 の金属箔層 510 を厚さ方向に貫通することにより形成されてもよい。

【0041】

第 2 の金属箔層 520 は、カバー層 300 に接合されていてもよい。本明細書では、第 2 の金属箔層 520 がカバー層 300 に接合されるとは、カバー層 300 に直接接触して接合されるだけでなく、第 2 の接着剤層 620 を介してカバー層 300 に接合されることも含む概念であり得る。加えて、第 2 の金属箔層 520 は、金属コーティング層 700 に接触してもよく、金属コーティング層 700 とカバー層 300 との間に配置されていてもよい。

30

【0042】

第 1 の金属箔層 510 及び第 2 の金属箔層 520 は、回路基板 100 と実質的に同一の広がりを持つ長さ L 及び幅 W を有してもよい。

【0043】

接着剤層 600 は、接着剤の機能を果たしてもよい。例えば、接着剤層 600 は、エポキシ樹脂を含んでもよい。接着剤層 600 は、第 1 の接着剤層 610 及び第 2 の接着剤層 620 を含んでもよい。

40

【0044】

第 1 の接着剤層 610 は、第 1 の金属箔層 510 と回路基板 100 との間に配置されてもよく、第 1 の金属箔層 510 と回路基板 100 の第 2 主面 102 とに接合されてもよい。

【0045】

第 2 の接着剤層 620 は、第 2 の金属箔層 520 とカバー層 300 との間に配置されてもよく、第 2 の金属箔層 520 とカバー層 300 とに接合されてもよい。

【0046】

金属コーティング層 700 は、半導体集積回路 200 から放出される電界、又は外側か

50

ら半導体集積回路200に向かう電界を遮断することができる。金属コーティング層700は、第2の金属箔層520上にコンフォーマルコーティングされてもよい。換言すれば、金属コーティング層700は、第2の金属箔層520の上面上にコーティングされてもよい。金属コーティング層700は、縁部12を越えて第2主面102に向かって延びており、電子アセンブリ1の両側面13を覆ってもよい。すなわち、金属コーティング層700は、幅方向に延びており、回路基板100、カバー層300、金属箔層500、及び接着剤層600の側面を長手方向に覆ってもよい。加えて、金属コーティング層700は、幅方向に延びており、第1の金属箔層510に物理的、電氣的に接触してもよい。

【0047】

金属コーティング層700は、回路基板100と実質的に同一の広がり（長さL及び幅W）を有してもよい。加えて、金属コーティング層700は、所定の厚さを有してもよい。本明細書では、金属コーティング層700の厚さは、金属コーティング層700の領域に応じて異なってもよく、金属コーティング層700の厚さは、平均厚さではなく、所定の位置での厚さを指してもよい。例えば、金属コーティング層700は、互いに異なる、上面11上の厚さ及び側面13上の厚さを有してもよい。加えて、金属コーティング層700の厚さは、約30マイクロメートルより小さくてもよく、約0.5マイクロメートルより大きくてもよい。より好ましくは、金属コーティング層700の厚さは、約20マイクロメートルより小さくてもよく、約1マイクロメートルより大きくてもよい。金属コーティング層700は、互いに異なる、上面11上の上部平均厚さ t_1 及び側面13上の側部平均厚さ t_2 を有してもよい。例えば、金属コーティング層700の上部平均厚さ t_1 及び側部平均厚さ t_2 の平均厚さ比 t_1/t_2 は、0.2を超えてもよく、0.5以下であってもよい。

【0048】

導電性接地コネクタ800は、回路基板100内に埋め込まれてもよい。導電性接地コネクタ800は、回路基板100の内部から金属コーティング層700に向かって延びており、金属コーティング層700に物理的、電氣的に接触してもよい。換言すれば、導電性接地コネクタ800は、長手方向に延びており、その一端が金属コーティング層700に接触してもよい。導電性接地コネクタ800は、複数であってもよく、複数の導電性接地コネクタ800は、互いに接続されていなくてもよい。

【0049】

本開示の第2の実施形態によれば、上述した構成に加えて、第2の金属箔層520及び第2の接着剤層620は、省略されてもよい。以下では、図3を更に参照して、本開示の第2の実施形態を説明する。第2の実施形態を説明するにあたって、上述した実施形態との相違点を主に説明し、上述した実施形態と同様の説明及び符号を参照する。

【0050】

金属コーティング層700は、カバー層300上に配置されてもよく、カバー層300に直接接合されてもよい。金属コーティング層700は、カバー層300の上にコンフォーマルコーティングされてもよい。加えて、金属コーティング層700は、カバー層300の上から縁部12を越えて第1の金属箔層510に向かって延びていてもよい。

【0051】

本開示の第3の実施形態によれば、金属コーティング層700は、上述した構成に加えて、中央部710、側部720及びテーパ部730を含むことができる。以下では、図4を更に参照して、本開示の第3の実施形態を説明する。

【0052】

中央部710は、電子アセンブリ1の上面11の少なくとも一部に対応する金属コーティング層700の一部分であり得る。例えば、中央部710は、テーパ部730により包囲されてもよく、第2の金属箔層520の中央に隣接する金属コーティング層700の一部分を指し得る。上述した中央部710は、長手方向及び幅方向に延びていてもよい。加えて、中央部710は、実質的に平坦な表面であってもよい。

【0053】

側部 720 は、電子アセンブリ 1 の両側面に対応する金属コーティング層 700 の一部分であり得る。側部 720 は、厚さ方向に延びていてもよい。

【0054】

テーパー部 730 は、中央部 710 と側部 720 との間にある金属コーティング層 700 の一部分であってもよい。テーパー部 730 の一端は、金属コーティング層 700 に接続されてもよく、他端は、側部 720 に接続されてもよい。例えば、テーパー部 730 は、テーパー形状を有するように所定の傾斜を有してもよい。加えて、テーパー部 730 は、中央部から電子アセンブリ 1 の縁部 12 に向かってテーパー状になっており、それにより、その厚さが減少してもよい。換言すれば、中央部 710 に接続されたテーパー部 730 の 1 つの側の厚さは、側部 720 に接続された 1 つの側の厚さより大きくてもよい。

10

【0055】

本開示の第 4 の実施形態によれば、半導体集積回路 200 は、上述した構成に加えて、第 1 の半導体集積回路 210 及び第 2 の半導体集積回路 220 を含んでもよい。以下では、図 5 を更に参照して、本開示の第 4 の実施形態を説明する。

【0056】

第 1 の半導体集積回路 210 は、回路基板 100 の第 1 主面 101 上の回路基板 100 に結合されていてもよい。第 1 の半導体集積回路 210 は、複数であってもよく、複数の第 1 の半導体集積回路 210 が長手方向に沿って互いに間隔を空けていてもよい。

【0057】

第 2 の半導体集積回路 220 は、回路基板 100 の第 2 主面 102 上の回路基板 100 に結合されていてもよい。第 2 の半導体集積回路 220 は、複数であってもよく、複数の第 2 の半導体集積回路 220 が長手方向に沿って互いに間隔を空けていてもよい。

20

【0058】

カバー層 300 は、回路基板 100 と実質的に同一の広がりを持つ長さ L 及び幅 W を有する第 1 のカバー層 310 及び第 2 のカバー層 320 を含んでもよい。

【0059】

第 1 のカバー層 310 は、回路基板 100 の上側に配置されてもよく、複数の第 1 の半導体集積回路 210 を覆ってもよい。加えて、第 1 のカバー層 310 は、複数の第 1 の半導体集積回路 210 をそれぞれ包囲することにより、複数の第 1 の半導体集積回路 210 を平坦化することができる。

30

【0060】

第 2 のカバー層 320 は、回路基板 100 の下側に配置されてもよく、複数の第 2 の半導体集積回路 220 を覆ってもよい。加えて、第 2 のカバー層 320 は、複数の第 2 の半導体集積回路 220 をそれぞれ包囲することにより、複数の第 2 の半導体集積回路 220 を平坦化することができる。

【0061】

これに対して、第 2 のカバー層 320 は、カバー切断部 321 を含んでもよく、第 1 の金属箔層 510 は、箔切断部 512 を含んでもよい。加えて、第 1 の接着剤層 610 は、接着剤切断部 611 を含んでもよい。

【0062】

カバー切断部 321 は、第 2 のカバー層 320 を貫通して形成されてもよく、箔切断部 512 は、第 1 の金属箔層 510 を貫通して形成されてもよい。加えて、接着剤切断部 611 は、第 1 の接着剤層 610 を貫通して形成されてもよい。例えば、カバー切断部 321、箔切断部 512 及び接着剤切断部 611 は、同一のサイズ及び形状を有してもよい。

40

【0063】

第 2 のカバー層 320、第 1 の金属箔層 510、及び第 1 の接着剤層 610 は、カバー切断部 321、箔切断部 512、及び接着剤切断部 611 が互に対応する位置に配置されるように位置合わせされてもよい。カバー切断部 321、箔切断部 512、及び接着剤切断部 611 は、切断部と称することができ、切断部は、カバー切断部 321、箔切断部 512、及び接着剤切断部 611 を含む概念であり得る。

50

【0064】

はんだバンプ400は、複数であってもよく、切断部の内側に配置されてもよい。それに応じて、複数のはんだバンプ400が、切断部を介して外部に露出され得る。

【0065】

第1の接着剤層610は、第1の金属箔層510と第2のカバー層320との間に配置されてもよく、第1の金属箔層510と第2のカバー層320とに接合されてもよい。

【0066】

以下では、図6～図12を参照して、本開示の実施形態による、電子アセンブリ1を作製するための電子アセンブリ作製方法S10を説明する。加えて、上述した構成に関して、同じ名称及び符号が引用されている。

【0067】

電子アセンブリ作製方法S10は、複数の電子アセンブリ1を作製することができる。電子アセンブリ作製方法S10は、物品を形成するステップS100、物品を分割するステップS200、及び導電層を形成するステップS300を含むことができる。

【0068】

物品を形成するステップS100では、物品2が形成され得る。物品2は、物品を分割するステップS200により複数の分割物品20へと分割され得る。物品を形成するステップS100は、回路基板を提供するステップS110、カバー層を配置するステップS120、及び第1の金属箔層を接合するステップS130を含むことができる。

【0069】

図6を参照すると、回路基板を提供するステップS110では、複数のセグメント120を含む回路基板100が提供され得る。回路基板100は、互いに対向する第1主面101及び第2主面102を有してもよい。本明細書では、第1主面101は、回路基板100の上面を指してもよく、第2主面102は、回路基板100の下面を指してもよい。

【0070】

セグメント120は、第1の側部121及び第2の側部122を含み得る。本明細書では、セグメント120の第1の側部121は、回路基板100の第1主面101の一部を指してもよく、第2の側部122は、回路基板100の第2主面102の一部を指してもよい。

【0071】

加えて、複数のセグメント120の各々が、半導体集積回路200、はんだバンプ400、及び導電性接地コネクタ800を含んでもよい。

【0072】

半導体集積回路200は、セグメント120の第1の側部121に結合されてもよい。半導体集積回路200は、複数であってもよく、複数の半導体集積回路200が互いに間隔を空けていてもよい。

【0073】

はんだバンプ400は、セグメント120の第2の側部122上に配置されてもよい。はんだバンプ400は、複数であってもよい。

【0074】

導電性接地コネクタ800は、セグメント120内に埋め込まれてもよい。加えて、少なくとも1つの分割物品20の導電性接地コネクタ800は、後述する分割物品20の側面13を覆ってコーティングされた導電層900に物理的、電氣的に接触してもよい。少なくとも1つの分割物品20の導電性接地コネクタ800は、分割物品20の側面13のうちの1つ以上に向かって延びていてもよい。

【0075】

図7を参照すると、カバー層を配置するステップS120において、回路基板100上にカバー層300が配置されて、各セグメント120内の半導体集積回路200を覆ってもよい。

【0076】

10

20

30

40

50

図 8 及び図 9 を参照すると、第 1 の金属箔層を接合するステップ S 1 3 0 において、複数の貫通孔 5 1 3 を含む第 1 の金属箔層 5 1 0 が回路基板 1 0 0 に接合されてもよい。第 1 の金属箔層を接合するステップ S 1 3 0 において、第 1 の金属箔層 5 1 0 は、各セグメント 1 2 0 の第 2 の側部 1 2 2 に接合されてもよく、第 2 の側部 1 2 2 を覆ってもよい。加えて、第 1 の金属箔層を接合するステップ S 1 3 0 において、複数のはんだバンプ 4 0 0 が複数の貫通孔 5 1 3 を介して外部に露出されてもよい。

【 0 0 7 7 】

図 1 0 を参照すると、物品を分割するステップ S 2 0 0 において、物品 2 は、複数の分割物品 2 0 へとそれぞれ分割されてもよい。分割物品 2 0 は、少なくとも 1 つのセグメント 1 2 0 を含んでもよい。物品を分割するステップ S 2 0 0 は、ソー切断、レーザ切断、ウォータージェット切断、ダイ切断、スコ어링、及びブレーキングのうちの 1 つ以上のプロセスを含み得る。

【 0 0 7 8 】

ソー切断は、回転ディスクを使用して物品を切断することができ、レーザ切断は、高エネルギーのレーザを照射することにより物品を切断することができる。加えて、ウォータージェット切断は、ノズルを通して高圧の水を噴射することにより物品を切断することができ、ダイ切断は、所定の形状を有する金型を使用して物品を金型の形状に切断することができる。加えて、スコ어링は、スコ어링ブレードを使用することにより物品を切断することができ、ブレーキングは、割ることにより物品を切断することができる。

【 0 0 7 9 】

図 1 1 を参照すると、導電層を形成するステップ S 3 0 0 において、分割物品 2 0 の上面上に、金属を含む導電層 9 0 0 を形成することができる。導電層を形成するステップ S 3 0 0 において、導電層 9 0 0 は、第 1 の金属箔層 5 1 0 に物理的、電氣的に接触することができる。加えて、導電層 9 0 0 は、少なくとも分割物品 2 0 の側面 1 3 及び分割物品 2 0 の上縁部 1 2 上に電氣的に連続的に延びてもよい。導電層 9 0 0 は、少なくとも 1 つの分割物品 2 0 の上面 1 1 上に配置されてもよい。本明細書では、分割物品 2 0 の上面 1 1 は、第 1 の金属箔層 5 1 0 とは反対側の面であり得る。

【 0 0 8 0 】

導電層を形成するステップ S 3 0 0 において、その上面上に導電層 9 0 0 が配置された分割物品 2 0 を電子アセンブリ 1 と称する場合がある。

【 0 0 8 1 】

上述したように、本開示の実施形態による電子アセンブリ 1 は、金属箔層 5 0 0 及び金属コーティング層 7 0 0 を含み、それにより、電磁波を遮断する効果を有する。

【 0 0 8 2 】

加えて、はんだバンプ 4 0 0 を外部に露出させるためのマスキングは、テープの使用を必要とするスパッタリング工程を使用せず、第 1 の金属箔層を接合するステップ S 1 3 0 を使用して実施することができるため、製造工程及び費用を著しく低減させる効果がある。

10

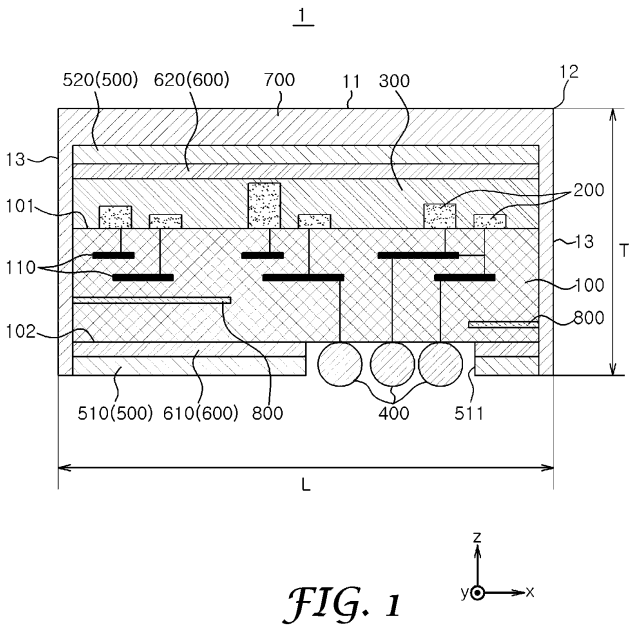
20

30

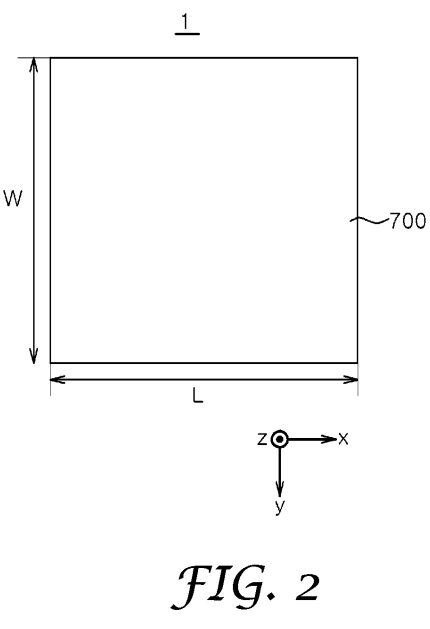
40

50

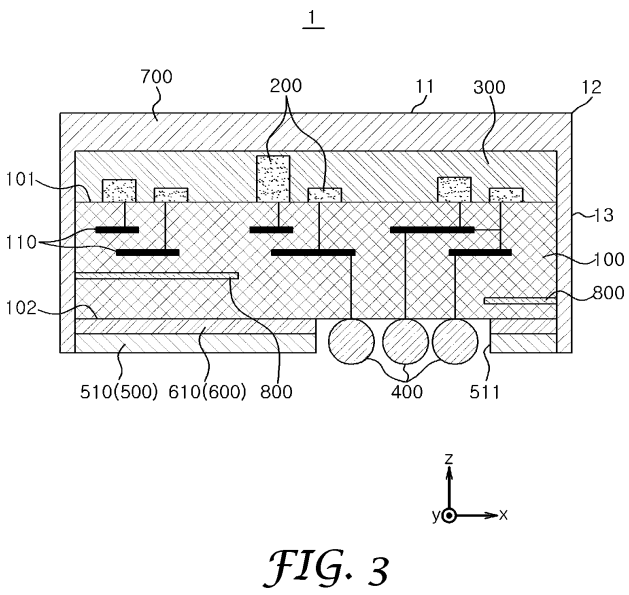
【図面】
【図 1】



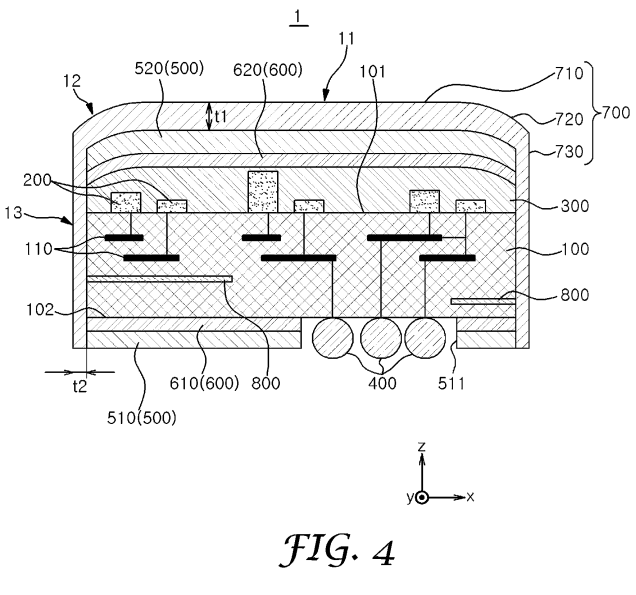
【図 2】



【図 3】



【図 4】



10

20

30

40

50

【図 5】

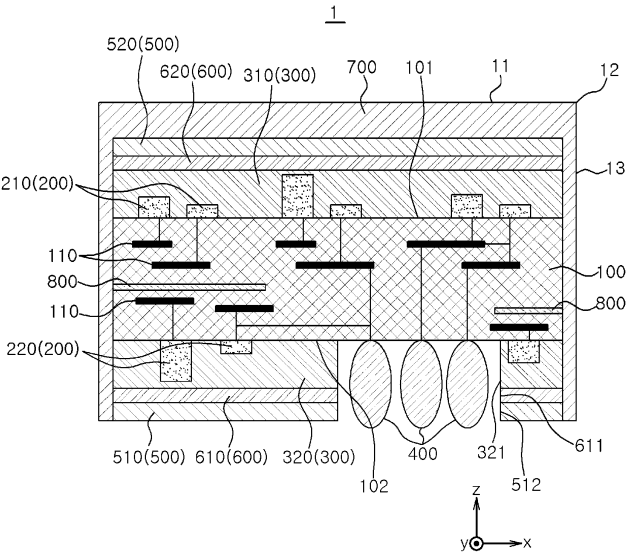


FIG. 5

【図 6】

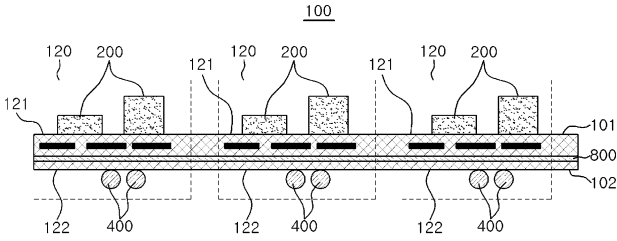


FIG. 6

10

【図 7】

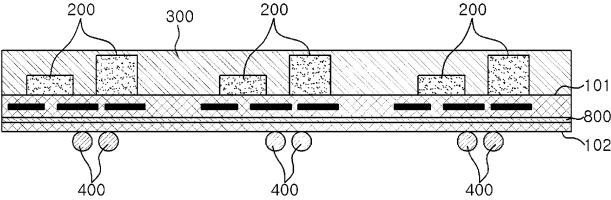


FIG. 7

【図 8】

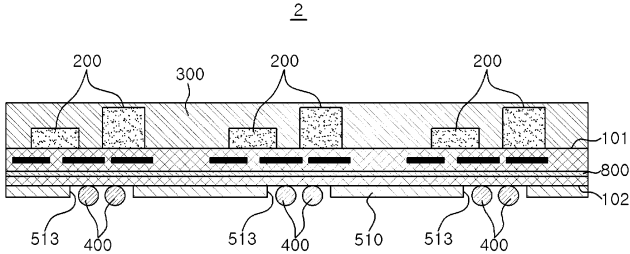


FIG. 8

20

30

40

50

【図 9】

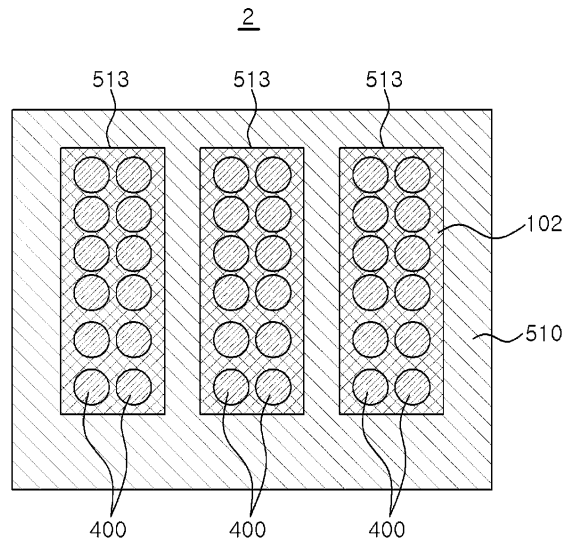


FIG. 9

【図 10】

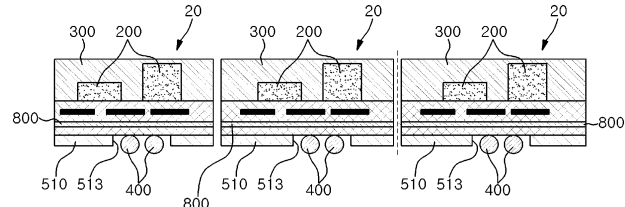


FIG. 10

10

【図 11】

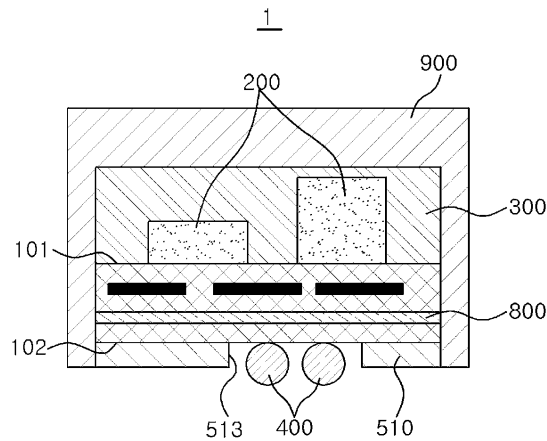


FIG. 11

【図 12】

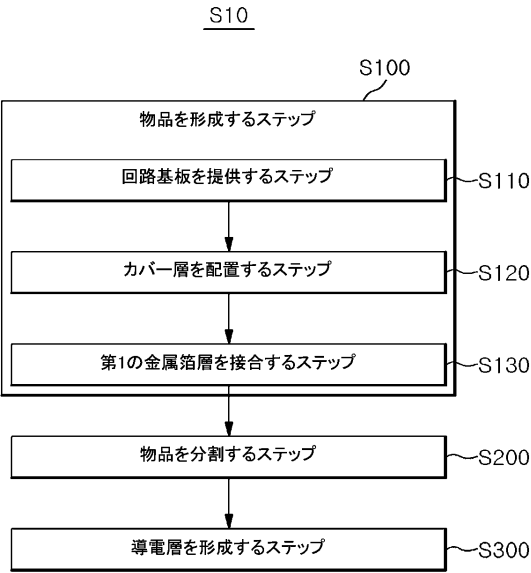


FIG. 12

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB2022/050766
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/552(2006.01)i; H05K 9/00(2006.01)i; H01L 23/31(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/552(2006.01); H01L 21/78(2006.01); H01L 23/00(2006.01); H01L 23/60(2006.01); H01L 25/065(2006.01); H05K 1/18(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: electronic assembly, electromagnetic, shield, bump, separate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015-0380361 A1 (SAMSUNG ELECTRONICS CO., LTD.) 31 December 2015 (2015-12-31) See paragraphs 22-76, claims 1, 11 and figures 1, 17.	1-10
Y	KR 10-2017-0055937 A (AMKOR TECHNOLOGY KOREA, INC.) 22 May 2017 (2017-05-22) See paragraphs 33-50 and figure 4.	1-10
Y	US 2017-0012007 A1 (ADVANCED SEMICONDUCTOR ENGINEERING, INC.) 12 January 2017 (2017-01-12) See paragraphs 21, 23 and figures 1A-1B.	2-4,6
Y	US 2016-0204073 A1 (SAMSUNG ELECTRONICS CO., LTD.) 14 July 2016 (2016-07-14) See paragraph 158 and figure 11E.	8
A	US 2019-0164938 A1 (SAMSUNG ELECTRONICS CO., LTD.) 30 May 2019 (2019-05-30) See the entire document.	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 May 2022		Date of mailing of the international search report 03 May 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer PARK, HYE LYUN Telephone No. +82--

Form PCT/ISA/210 (second sheet) (July 2019)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2022/050766

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)	
US	2015-0380361	A1	31 December 2015	KR	10-2016-0001117	A	06 January 2016
				KR	10-2251001	B1	12 May 2021
				US	9508657	B2	29 November 2016
KR	10-2017-0055937	A	22 May 2017	CN	106711125	A	24 May 2017
				CN	110047826	A	23 July 2019
				KR	10-1712288	B1	03 March 2017
				TW	201717340	A	16 May 2017
				US	10163867	B2	25 December 2018
				US	10872879	B2	22 December 2020
				US	2017-0141081	A1	18 May 2017
				US	2018-0138155	A1	17 May 2018
				US	2018-0323170	A1	08 November 2018
				US	2021-0217725	A1	15 July 2021
				US	9935083	B2	03 April 2018
US	2017-0012007	A1	12 January 2017	CN	104009023	A	27 August 2014
				CN	104009023	B	08 August 2017
				CN	107275241	A	20 October 2017
				CN	107275241	B	19 May 2020
				US	2014-0239464	A1	28 August 2014
				US	9484313	B2	01 November 2016
				US	9984983	B2	29 May 2018
US	2016-0204073	A1	14 July 2016	CN	107112296	A	29 August 2017
				CN	107112296	B	04 August 2020
				EP	3243217	A1	15 November 2017
				KR	10-2016-0086246	A	19 July 2016
				US	10937738	B2	02 March 2021
				WO	2016-111512	A1	14 July 2016
US	2019-0164938	A1	30 May 2019	KR	10-2019-0063055	A	07 June 2019
				US	11004825	B2	11 May 2021

Form PCT/ISA/210 (patent family annex) (July 2019)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,N
I,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,
TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者 コン, ジウン
大韓民国, ヨンドウンポグ 150-705, ヨイドードン, テハン インヴェストメント アン
ド セキュリティーズ ビルディング 27-3, 19ス フロア

(72)発明者 ソ, ジョン ジュ
大韓民国, ヨンドウンポグ 150-705, ヨイドードン, テハン インヴェストメント アン
ド セキュリティーズ ビルディング 27-3, 19ス フロア

Fターム (参考) 5E321 AA14 AA17 AA22 BB25 BB53 BB60 CC16 GG05