



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202431604 A

(43) 公開日：中華民國 113 (2024) 年 08 月 01 日

(21) 申請案號：112132983

(22) 申請日：中華民國 112 (2023) 年 08 月 31 日

(51) Int. Cl. : H01L27/06 (2006.01)

H01L27/088 (2006.01)

H01L29/786 (2006.01)

H10B12/00 (2023.01)

H10B53/30 (2023.01)

(30) 優先權：2022/09/09 日本

2022-143757

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 松壽德 MATSUZAKI, TAKANORI  
(JP) ; 宮口厚 MIYAGUCHI, ATSUSHI (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：5 項 圖式數：20 共 122 頁

(54) 名稱

半導體裝置

(57) 摘要

提供一種具有新穎結構的半導體裝置。該半導體裝置包括設置有讀出電路的第一元件層、設置有放大電路的第二元件層及設置有記憶單元的第三元件層。第二元件層層疊設置在第一元件層上。第三元件層層疊設置在第二元件層上。記憶單元與放大電路藉由第一位元線電連接。放大電路與讀出電路藉由第二位元線電連接。放大電路具有將根據第一位元線的電位的信號傳送到第二位元線的功能。放大電路包括具有通道形成區域的第一半導體層包含氧化物半導體的第一電晶體。記憶單元包括具有通道形成區域的第二半導體層包含氧化物半導體的第二電晶體及電容器。第一半導體層設置在水平於設置有第一元件層的基板表面的方向上。第二半導體層設置在垂直於設置有第一元件層的基板表面的方向上。

指定代表圖：

符號簡單說明：

10:半導體裝置

20:元件層

22:週邊電路

30[1]:元件層

30[2]:元件層

30[3]:元件層

31:記憶單元陣列

32:記憶單元

50:元件層

51:放大電路

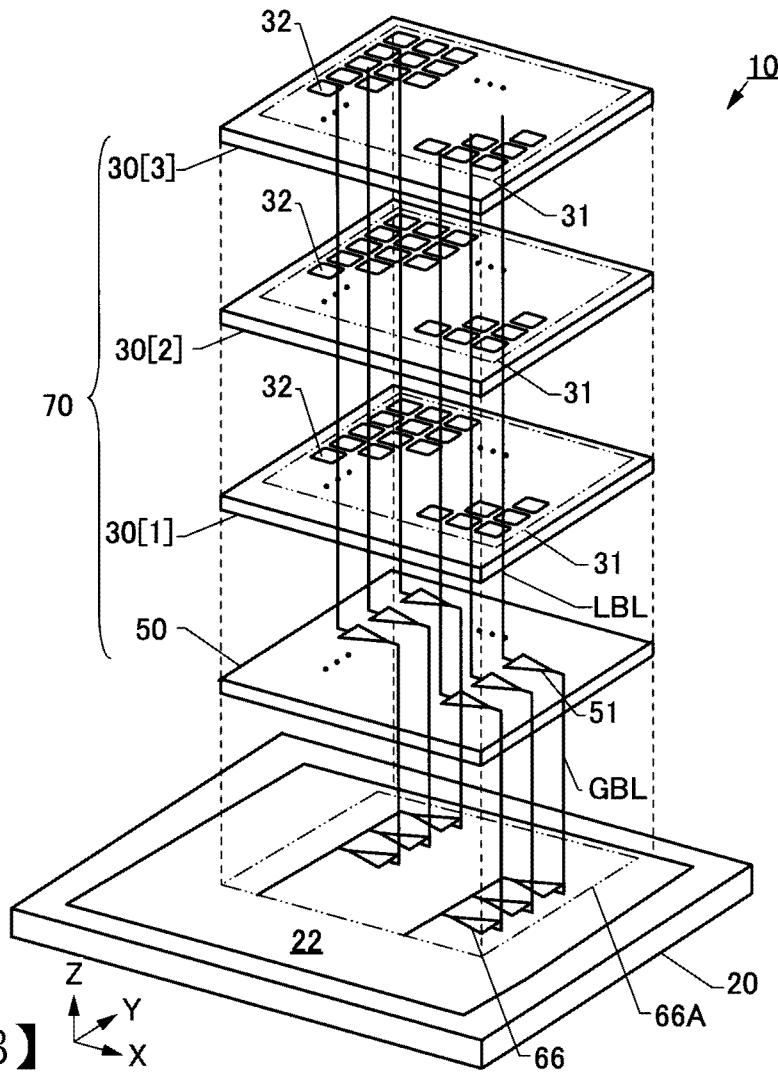
66A:區域

66:感測放大器

70:元件層

GBL:佈線

LBL:佈線



【圖1B】

## 【發明摘要】

### 【中文發明名稱】

半導體裝置

### 【中文】

提供一種具有新穎結構的半導體裝置。該半導體裝置包括設置有讀出電路的第一元件層、設置有放大電路的第二元件層及設置有記憶單元的第三元件層。第二元件層層疊設置在第一元件層上。第三元件層層疊設置在第二元件層上。記憶單元與放大電路藉由第一位元線電連接。放大電路與讀出電路藉由第二位元線電連接。放大電路具有將根據第一位元線的電位的信號傳送到第二位元線的功能。放大電路包括具有通道形成區域的第一半導體層包含氧化物半導體的第一電晶體。記憶單元包括具有通道形成區域的第二半導體層包含氧化物半導體的第二電晶體及電容器。第一半導體層設置在水平於設置有第一元件層的基板表面的方向上。第二半導體層設置在垂直於設置有第一元件層的基板表面的方向上。

**【指定代表圖】圖 1B**

**【代表圖之符號簡單說明】**

10:半導體裝置

20:元件層

22:週邊電路

30[1]:元件層

30[2]:元件層

30[3]:元件層

31:記憶單元陣列

32:記憶單元

50:元件層

51:放大電路

66A:區域

66:感測放大器

70:元件層

GBL:佈線

LBL:佈線

**【特徵化學式】無**

# 【發明說明書】

## 【中文發明名稱】

半導體裝置

## 【技術領域】

【0001】本發明的一個實施方式係關於一種半導體裝置等。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的技術領域係關於一種物體、方法或製造方法。此外，本發明的一個實施方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。因此，明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的例子可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、這些裝置的驅動方法或這些裝置的製造方法。

## 【先前技術】

【0003】近年來，對三維層疊設置包括SRAM單元或DRAM單元等的具有不同功能的電路的多個晶粒(例如矽晶粒)的結構的研究開發非常活躍(例如非專利文獻1及非專利文獻2)。

【0004】此外，近年來，藉由使用將氧化物半導體用於通道形成區域的電晶體(以下，OS電晶體)，能夠根據資

料保持電荷的半導體裝置已在進行技術開發。包括OS電晶體的層可以以層疊在包括將矽用於通道形成區域的電晶體(以下，Si電晶體)的晶粒上的方式設置。專利文獻1公開了包括多個OS電晶體的層以三維層疊在包括Si電晶體的晶粒上的方式設置的結構。

**【0005】**

[專利文獻1]國際專利申請公開第2020/152522號

**【0006】**

[非專利文獻1]W. Gomes et al. , ISSCC Dig.Tech. Papers 、 pp.42-43 、 2022.

[非專利文獻2]M. Park et al. , ISSCC Dig.Tech. Papers 、 pp.444-445 、 2022.

**【發明內容】**

**【0007】**本發明的一個實施方式的目的是之一提供一種具有新穎結構的半導體裝置等。另外，本發明的一個實施方式的目的是之一提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中實現低功耗化的具有新穎結構的半導體裝置等。另外，本發明的一個實施方式的目的是之一提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中可以實現裝置的小型化的具有新穎結構的半導體裝置等。另外，本發明的一個實施方式的目的是之一提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中被讀出的資料的可靠性優異的具

有新穎結構的半導體裝置等。

**【0008】** 注意，本發明的一個實施方式的目的不侷限於上述目的。上述列舉的目的並不妨礙其他目的的存在。其他目的是指將在下面的記載中描述的上述以外的目的。本領域技術人員可以從說明書或圖式等的記載中導出並適當抽出上面沒有提到的目的。注意，本發明的一個實施方式實現上述目的及/或其他目的中的至少一個目的。

**【0009】** 本發明的一個實施方式是一種半導體裝置，包括：設置有讀出電路的第一元件層；設置有放大電路的第二元件層；以及設置有記憶單元的第三元件層，其中，第二元件層層疊設置在第一元件層上，第三元件層層疊設置在第二元件層上，記憶單元與放大電路藉由第一位元線電連接，放大電路與讀出電路藉由第二位元線電連接，放大電路具有將根據第一位元線的電位的信號傳送到第二位元線的功能，放大電路包括具有通道形成區域的第一半導體層包含氧化物半導體的第一電晶體，記憶單元包括具有通道形成區域的第二半導體層包含氧化物半導體的第二電晶體及電容器，第一半導體層設置在水平於設置有第一元件層的基板表面的方向上，並且，第二半導體層設置在垂直於設置有第一元件層的基板表面的方向上。

**【0010】** 在本發明的一個實施方式的半導體裝置中，較佳的是，電容器設置在第二元件層中設置的開口部中，並且開口部具有與第二半導體層重疊的區域。

**【0011】** 在本發明的一個實施方式的半導體裝置中，

較佳的是，第一電晶體包括閘極及背閘極，並且背閘極具有與閘極重疊的區域。

【0012】在本發明的一個實施方式的半導體裝置中，較佳的是，第三元件層以層疊多個元件層的方式設置。

【0013】在本發明的一個實施方式的半導體裝置中，氧化物半導體較佳為包含In、Ga及Zn。

【0014】注意，本發明的其他實施方式記載於下面所述的實施方式中的說明及圖式中。

【0015】本發明的一個實施方式可以提供一種具有新穎結構的半導體裝置等。另外，本發明的一個實施方式可以提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中實現低功耗化的具有新穎結構的半導體裝置等。另外，本發明的一個實施方式可以提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中可以實現裝置的小型化的具有新穎結構的半導體裝置等。另外，本發明的一個實施方式可以提供一種在用作利用保持根據資料的電荷的記憶體裝置的半導體裝置中被讀出的資料的可靠性優異的具有新穎結構的半導體裝置等。

【0016】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

## 【圖式簡單說明】

## 【0017】

[圖 1A]及[圖 1B]是說明半導體裝置的結構例子的圖。

[圖 2]是說明半導體裝置的結構例子的圖。

[圖 3A]及[圖 3B]是說明半導體裝置的圖。

[圖 4A]至[圖 4D]是說明半導體裝置的圖。

[圖 5A]及[圖 5B]是說明半導體裝置的圖。

[圖 6A]至[圖 6D]是說明半導體裝置的結構例子的圖。

[圖 7A]及[圖 7B]是說明半導體裝置的結構例子的圖。

[圖 8]是說明半導體裝置的結構例子的圖。

[圖 9]是說明半導體裝置的驅動方法的圖。

[圖 10]是說明半導體裝置的結構例子的圖。

[圖 11A]至[圖 11C]是說明半導體裝置的結構例子的圖。

[圖 12]是說明半導體裝置的結構例子的圖。

[圖 13A]至[圖 13D]是說明半導體裝置的結構例子的圖。

[圖 14A]及[圖 14B]是說明半導體裝置的結構例子的圖。

[圖 15]是說明半導體裝置的結構例子的圖。

[圖 16]是說明半導體裝置的結構例子的圖。

[圖 17A]及[圖 17B]是示出電子構件的一個例子的圖。

[圖 18A]及[圖 18B]是示出電子裝置的一個例子的圖，

[圖 18C]至[圖 18E]是示出大型電腦的一個例子的圖。

[圖 19]是示出太空設備的一個例子的圖。

[圖 20]是示出能夠用於資料中心的存儲系統的一個例子的圖。

### 【實施方式】

【0018】下面，參照圖式對實施方式進行說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。

【0019】在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。

【0020】另外，在本說明書等中，在沒有特別的說明的情況下，關態電流(off-state current)是指電晶體處於關閉狀態(也稱為非導通狀態、遮斷狀態)時的汲極電流。在沒有特別的說明的情況下，在n通道電晶體中，關閉狀態是指閘極與源極間的電壓 $V_{gs}$ 低於臨界電壓 $V_{th}$ (p通道型電晶體中 $V_{gs}$ 高於 $V_{th}$ )的狀態。

【0021】在本說明書等中，金屬氧化物(metal oxide)是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體(包括透明氧化物導電體)和氧化物半導體(Oxide Semiconductor，也可以簡稱為OS)等。例

如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，OS電晶體可以是指包含金屬氧化物或氧化物半導體的電晶體。

**【0022】** 在本說明書中，“A水平於B地設置”是指兩個面(A、B)所形成的角度為 $-10^{\circ}$ 以上且 $10^{\circ}$ 以下的狀態。因此，也包括該角度為 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的狀態。“A大致水平於B地設置”是指兩個面(A、B)所形成的角度為 $-30^{\circ}$ 以上且 $30^{\circ}$ 以下的狀態。另外，“A垂直於B地設置”是指兩個面(A、B)所形成的角度為 $80^{\circ}$ 以上且 $100^{\circ}$ 以下的狀態。因此，也包括該角度為 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的狀態。“A大致垂直於B地設置”是指兩個面(A、B)所形成的角度為 $60^{\circ}$ 以上且 $120^{\circ}$ 以下的狀態。

### **【0023】**

#### 實施方式1

在本實施方式中，對半導體裝置的結構例子進行說明。本發明的一個實施方式中說明的半導體裝置被用作包括層疊設置有多個記憶單元的元件層的記憶體裝置。

### **【0024】**

#### <半導體裝置的結構例子>

圖1A是本發明的一個實施方式的半導體裝置的立體示意圖。圖1A所示的半導體裝置10包括元件層20及多個元件層(作為一個例子，在圖1A中是元件層50及元件層30[1]至30[3])。此外，圖1B是以在圖1A的結構中使元件層20、元件層50及元件層30[1]至30[3]隔開的方式示出的立體圖。

【0025】元件層20是包括電晶體(Si電晶體)的層，該電晶體中的具有通道形成區域的半導體層含有矽。作為一個例子，元件層20中設置有包括驅動元件層50及元件層30[1]至30[3]的電路的週邊電路22。注意，有時將設置在元件層20上的元件層50及元件層30[1]至30[3]統稱為元件層70。

【0026】週邊電路22具有控制元件層50所包括的放大電路51並控制對設置在元件層30[1]至30[3]的各層中的記憶單元陣列31所包括的記憶單元32進行資料寫入或讀出的功能。週邊電路22包括用來驅動放大連接於記憶單元32的佈線LBL的信號而將其供應給佈線GBL的放大電路51的電路。此外，週邊電路22包括用來驅動連接於設置在元件層30[1]至30[3]的各層中的記憶單元32的字線等信號線的多個驅動電路及控制電路。

【0027】例如，在週邊電路22中示出設置有讀出記憶單元中保持的資料的感測放大器66的區域66A。感測放大器66也被稱為讀出電路。感測放大器66是用來將連接於放大電路51的佈線GBL的信號讀出到外部的電路。

【0028】佈線LBL設置在元件層30[1]至30[3]中設置的記憶單元32與元件層50中設置的放大電路51之間。佈線LBL是用來使記憶單元32與放大電路51之間電連接的佈線。佈線LBL有時被稱為第一位元線或局部位元線。注意，在讀出工作等中，與佈線LBL成對的佈線被稱為佈線LBLB。

【0029】佈線 GBL 設置在元件層 50 中設置的放大電路 51 與元件層 20 中設置的感測放大器 66 之間。佈線 GBL 是用來使放大電路 51 與感測放大器 66 之間電連接的佈線。佈線 GBL 有時被稱為第二位元線或全局位元線。注意，在讀出工作等中，與佈線 GBL 成對的佈線被稱為佈線 GBLB。

【0030】在圖 1A 及圖 1B 的結構中包括 Si 電晶體的元件層 20 可以具有形成 CMOS 電路 (Si CMOS 電路) 的結構。由於週邊電路 22 可以由 CMOS 電路形成，所以可以進行高速工作。

【0031】另外，Si 電晶體的包括通道形成區域的半導體層可以使用單晶半導體、多晶半導體、微晶半導體或非晶半導體等中的一種或其組合。半導體材料不侷限於矽，例如也可以使用鍺等。此外，還可以使用矽鍺、碳化矽、砷化鎵或氮化物半導體等化合物半導體。

【0032】包括元件層 50 及元件層 30[1] 至 30[3] 的元件層 70 為包括將氧化物半導體用於通道形成區域的電晶體 (以下，OS 電晶體) 的元件層。在元件層 20 上層疊設置元件層 70。圖 1A、圖 1B 中的 Z 方向表示垂直於設置有元件層 20 的基板的表面 (以 X 方向 - Y 方向表示的面) 的方向或在元件層 20 上層疊設置元件層 70 的方向。

【0033】注意，有時在本發明書的圖式等中附上表示 X 方向、Y 方向以及 Z 方向的箭頭。注意，在本說明書等中，“X 方向”是指沿著 X 軸的方向，除了明確指出的情況以外，有時不區別其順向及逆向。“Y 方向”及“Z 方向”也是

同樣的。另外，X方向、Y方向以及Z方向是彼此交叉的方向。更明確而言，X方向、Y方向以及Z方向是彼此正交的方向。在本說明書等中，有時將X方向、Y方向或Z方向稱為“第一方向”。此外，有時將其他另一個稱為“第二方向”。此外，有時將剩下的一個稱為“第三方向”。

【0034】圖1A及圖1B示出在半導體裝置10中包括放大電路51的元件層50及包括記憶單元陣列31的元件層30[1]至30[3]層疊設置在元件層20上的情況。藉由在元件層20上設置包括放大電路51的元件層50及包括記憶單元陣列31的元件層30[1]至30[3]，可以減小半導體裝置10所佔的面積。

【0035】記憶單元32例如較佳為採用為包括OS電晶體的記憶體電路(有時也稱為“OS記憶體”)的DOSRAM。DOSRAM(註冊商標)是“Dynamic Oxide Semiconductor Random Access Memory：動態氧化物半導體隨機存取記憶體”的簡稱。DOSRAM是包括1T(電晶體)1C(電容)型記憶單元的RAM。DOSRAM是使用OS電晶體形成的DRAM，DOSRAM是暫時儲存從外部發來的資訊的記憶體。DOSRAM是利用OS電晶體的關態電流低這一特性的記憶體。

【0036】OS電晶體在關閉狀態下源極與汲極間流過的電流，即關態電流極小。在DOSRAM中，藉由關閉存取電晶體(使其處於非導通狀態)，可以長時間保持根據保持在電容(電容器)(有時也稱為“單元電容”)中的資料的電

荷。因此，與使用在通道形成區域中包含矽的電晶體(以下，也被稱為“Si電晶體”)構成的DRAM相比，DOSRAM的更新工作的頻率可以更低。其結果是，可以實現低功耗化。

【0037】用於OS電晶體的金屬氧化物，例如可以舉出銦氧化物、鎵氧化物及鋅氧化物。另外，金屬氧化物較佳為包含選自銦、元素M和鋅中的二或三種。元素M是選自鎵、鋁、矽、硼、釷、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、銦、鋇、鐳、鈾、鈾、鎢及鎂中的一種或多種。尤其是，元素M較佳為選自鋁、鎵、釷和錫中的一種或多種。

【0038】尤其是，作為金屬氧化物較佳為使用包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物(也記作IGZO)。或者，較佳為使用包含銦、錫及鋅的氧化物(也記作ITZO(註冊商標))。或者，較佳為使用包含銦、鎵、錫及鋅的氧化物。或者，較佳為使用包含銦(In)、鋁(Al)及鋅(Zn)的氧化物(也記作IAZO)。或者，較佳為使用包含銦(In)、鋁(Al)、鎵(Ga)及鋅(Zn)的氧化物(也記作IAGZO)。或者，較佳為使用包含銦(In)、鎵(Ga)、鋅(Zn)及錫(Sn)的氧化物(也記作IGZTO)。

【0039】另外，用於OS電晶體的金屬氧化物也可以包括組成互不相同的兩層以上的金屬氧化物層。例如，可以適當地使用具有In：M：Zn=1：3：4[原子個數比]或其附近的組成的第一金屬氧化物層與設置在該第一金屬氧化

物層上的具有 In : M : Zn=1 : 1 : 1[原子個數比]或其附近的組成的第二金屬氧化物層的疊層結構。

【0040】另外，例如，也可以使用選自銦氧化物、銦鎵氧化物和 IGZO 中的任一個與選自 IAZO、IAGZO 及 ITZO 中的任一個的疊層結構等。

【0041】此外，用於 OS 電晶體的金屬氧化物較佳為具有結晶性。作為具有結晶性的氧化物半導體，可以舉出 CAAC(c-axis-aligned crystalline)-OS、nc(nanocrystalline)-OS 等。藉由使用具有結晶性的氧化物半導體，可以提供可靠性高的半導體裝置。

【0042】另外，OS 電晶體在高溫環境下也能穩定地工作，特性變動較少。例如，即便在高溫環境下關態電流也幾乎沒有增加。明確而言，即便在室溫以上且 200℃ 以下的環境溫度下關態電流也幾乎不增加。另外，即便在高溫環境下，通態電流也不易下降。因此，具有 OS 電晶體的記憶單元在高溫環境下也可以穩定地工作而具有高可靠性。

【0043】記憶單元 32 藉由層疊配置 OS 電晶體，可以層疊設置包括記憶單元陣列 31 的元件層 30[1]至 30[3]及包括放大電路 51 的元件層 50。元件層 30[1]至 30[3]藉由在垂直於設置有元件層 20 的基板表面的方向上排列地配置，可以提高記憶單元 32 的記憶密度。此外，元件層 30 可以在垂直方向上反復使用相同的製程製造。半導體裝置 10 可以降低元件層 30[1]至 30[3]的製造成本。

【0044】在圖1A及圖1B中，作為第一層的元件層30示出元件層30[1]，作為第二層的元件層30示出元件層30[2]，作為第三層的元件層30示出元件層30[3]。另外，將第k層(k是1以上且n以下的整數)的元件層30記作元件層30[k]，將第m層的元件層30記作元件層30[m]。注意，在本實施方式等中，在說明與整個m層的元件層30有關的事項時，或者在示出在m層元件層30的各層中共通的事項時，有時僅記作“元件層30”。

【0045】藉由層疊設置包括記憶單元陣列31的元件層30[1]至30[3]，可以提高單位面積的記憶容量。在本發明的一個實施方式的半導體裝置的結構中，作為記憶單元32所包括的電容器採用與電晶體層疊設置的溝槽型電容器(深孔疊層電容器)，將電晶體所包括的具有通道形成區域的半導體層的長邊方向(電流流過電晶體的源極和汲極間的方向)設置在垂直於設置有元件層20的基板表面的方向(圖1B中的Z方向)上。藉由採用該結構，可以與提高單位面積的記憶容量的同時增大從記憶單元32讀出資料時的電容值。

【0046】另一方面，隨著層疊有電晶體與電容器的元件層的層數增加，記憶單元32至週邊電路22的距離延伸。也就是說，用作連接於記憶單元32的位元線的佈線LBL的佈線電阻及佈線電容增大。由於佈線LBL的佈線電阻及佈線電容，佈線LBL的電位從根據保持在記憶單元32中的資料的電位下降，有可能降低被讀出的資料的可靠性。

【0047】為了讀出記憶單元32中保持的資料而不導致電位的下降，如本發明的一個實施方式那樣，將放大電路51設置在感測放大器66與佈線LBL之間的結構是很有效的。放大電路51具有將根據佈線LBL的電位的信號傳送到與感測放大器66電連接的佈線GBL的功能。藉由採用該結構，在包括記憶單元陣列31的元件層30[1]至30[3]增加時也可以實現被讀出的資料的可靠性優異的半導體裝置。

【0048】元件層50中的放大電路51所包括的電晶體也較佳為與記憶單元32所包括的電晶體同樣的OS電晶體。另一方面，放大電路51可以以與記憶單元32的個數相比更低密度的方式配置。由此，在本發明的一個實施方式的半導體裝置的結構中，可以將放大電路51中的電晶體所包括的具有通道形成區域的半導體層的長邊方向設置在水平於設置有元件層20的基板表面的方向上。藉由採用該結構，除了控制電晶體的電特性的第一閘極(也稱為“前閘極”或簡稱為“閘極”)以外，還可以配置第二閘極(也稱為“背閘極”)。第一閘極與第二閘極具有隔著半導體層彼此重疊的區域。第二閘極例如具有控制電晶體的臨界電壓的功能。

【0049】注意，在放大電路51所包括的電晶體中，供應給第二閘極的控制電晶體的臨界電壓的信號較佳為具有根據溫度進行控制的結構。例如，在半導體裝置中溫度較高的狀態下，為了使因高溫度而向負一側漂移的臨界電壓向正一側漂移，控制施加到第二閘極的電壓是很有效的。此外，在半導體裝置中溫度較低的狀態下，為了使因低溫

度而向正一側漂移的臨界電壓向負一側漂移，控制施加到第二閘極的電壓的結構是很有趣的。

【0050】注意，在設置有週邊電路22的元件層20中，設置有感測放大器66的區域66A較佳為設置在與元件層70重疊的區域。藉由採用該結構，可以縮短從記憶單元32至放大電路51的路徑的佈線LBL或從放大電路51至感測放大器66的路徑的佈線GBL。根據佈線LBL路徑和根據佈線GBL的路徑的長度產生寄生電容及寄生電阻的差異，這產生信號延遲之差及功耗之差。由此，在圖1A、圖1B的結構中，即使從各元件層30[1]至30[3]中的任何記憶單元陣列31讀出資料，也可以以相同程度的信號延遲及功耗讀出資料。

【0051】圖2是示出根據本發明的一個實施方式的半導體裝置10的結構例子的方塊圖。圖2所示的半導體裝置10包括元件層20及層疊的元件層70。層疊的元件層70除了層疊的元件層30[1]至30[m]以外還包括具有放大電路51的元件層50。

【0052】圖2示出包括m個具有n個記憶單元32的元件層30的情況(m及n為2以上的整數)，即包括可以以m行n列表示的多個記憶單元32的元件層70的例子。此外，作為一個例子按每個用作連接於記憶單元32的位元線的佈線LBL設置有放大電路51。圖2示出包括對應n個佈線LBL設置的多個放大電路51(放大電路51[1]至放大電路51[n])的例子。

【0053】在圖2中，將第1行第1列記憶單元32表示為記憶單元32[1, 1]，將第m行第n列記憶單元32表示為記憶單元32[m, n]。另外，在本實施方式等中，有時記作“i行”來表示任意行。另外，有時記作“j列”來表示任意列。因此，i為1以上且m以下的整數，j為1以上且n以下的整數。另外，在本實施方式等中，將第i行第j列記憶單元32表示為記憶單元32[i, j]。在本實施方式等中，當表示為“i+ $\alpha$ ”(α為正整數或負整數)時，“i+ $\alpha$ ”不小於1且不大於m。同樣，當表示為“j+ $\alpha$ ”時，“j+ $\alpha$ ”不小於1且不大於n。

【0054】另外，元件層30[1]至30[m]包括延伸在行方向上的m個佈線WL、延伸在行方向上的m個佈線PL以及延伸在列方向上的n個佈線LBL。在本實施方式等中，將第一個(第1行)設置的佈線WL表示為佈線WL[1]，將第m個(第m行)設置的佈線WL表示為佈線WL[m]。同樣地，將第一個(第1行)設置的佈線PL表示為佈線PL[1]，將第m個(第m行)設置的佈線PL表示為佈線PL[m]。同樣地，將第一個(第1列)設置的佈線LBL表示為佈線LBL[1]，將第n個(第n列)設置的佈線LBL表示為佈線LBL[n]。

【0055】設置在第i行的多個記憶單元32與第i行佈線WL(佈線WL[i])和第i行佈線PL(佈線PL[i])電連接。設置在第j列的多個記憶單元32與第j列佈線LBL(佈線LBL[j])電連接。

【0056】佈線LBL被用作進行資料的寫入及讀出的位元線。佈線WL被用作控制用作開關的存取電晶體的開啟

或關閉(導通狀態或非導通狀態)的字線。佈線 PL 具有作為連接到電容器的恆電位線的功能。

**【0057】** 元件層 30[1]至 30[m]分別包括的記憶單元 32 藉由佈線 LBL 與放大電路 51 連接。佈線 LBL 可以配置在垂直及水平於設置有元件層 20 的基板表面的方向上。藉由將從元件層 30[1]至 30[m]所包括的記憶單元 32 延伸設置的佈線 LBL 設置在垂直及水平於基板表面的方向上，可以縮短元件層 30 與放大電路 51 之間的佈線的長度。因此，由於可以縮短連接於位元線的兩個電路之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。此外，即使降低記憶單元 32 所包括的電容器的電容也可以進行工作。

**【0058】** 放大電路 51 具有放大保持在記憶單元 32 中的資料電位並將其藉由佈線 GBL(未圖示)輸出到元件層 20 所包括的感測放大器 66 的功能。藉由採用該結構，可以在讀出資料時將佈線 LBL 的微小的電位差放大。佈線 GBL 與佈線 LBL 同樣地可以配置在垂直及水平於設置有元件層 20 的基板表面的方向上。藉由將從元件層 30[1]至 30[m]所包括的記憶單元 32 延伸設置的佈線 LBL 及佈線 GBL 設置在垂直及水平於基板表面的方向上，可以縮短放大電路 51 與感測放大器 66 之間的佈線的長度。因此，由於可以縮短連接於佈線 GBL 的兩個電路之間的信號傳輸距離且大幅度降低佈線 GBL 的電阻及寄生電容，所以可以降低功耗及信號延遲。

【0059】佈線 LBL 以與記憶單元 32 所包括的電晶體的半導體層的用作源極或汲極的區域接觸的方式設置。或者佈線 LBL 以與接觸於記憶單元 32 所包括的電晶體的半導體層的用作源極或汲極的區域的導體接觸的方式設置。也就是說，佈線 LBL 可以是使元件層 30 的各層中的記憶單元 32 所包括的電晶體的源極和汲極中的一個與放大電路 51 電連接的佈線。

【0060】層疊的元件層 70 可以重疊設置在元件層 20 上。藉由重疊設置元件層 20 和層疊的元件層 70，可以縮短元件層 30 與元件層 50 以及元件層 20 與元件層 50 之間的信號傳輸距離。因此，元件層間的電阻及寄生電容得到降低，可以實現功耗及信號延遲的降低。另外，可以實現半導體裝置 10 的小型化。

【0061】藉由與 DOSRAM 的記憶單元 32 所包括的電晶體同樣地由 OS 電晶體構成放大電路 51，可以與元件層 30[1] 至 30[m] 同樣地將放大電路 51 自由地配置在使用 Si 電晶體的電路上等，由此可以容易地進行集成化。藉由採用由放大電路 51 放大信號的結構可以使後級的電路的感測放大器 66 等的電路小型化，從而可以實現半導體裝置 10 的小型化。

【0062】元件層 20 除了週邊電路 22 以外還包括 PSW71 (功率開關) 及 PSW72。週邊電路 22 包括驅動電路 61、控制電路 73 及電壓生成電路 74。

【0063】在半導體裝置 10 中，根據需要可以適當地取

捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號 BW、信號 CE、信號 GW、信號 CLK、信號 WAKE、信號 ADDR、信號 WDA、信號 PON1、信號 PON2 為從外部輸入的信號，信號 RDA 為輸出到外部的信號。信號 CLK 為時脈信號。

【0064】此外，信號 BW、信號 CE 及信號 GW 為控制信號。信號 CE 為晶片賦能信號，信號 GW 為全局寫入賦能信號，信號 BW 為位元組寫入賦能信號。信號 ADDR 為位址信號。信號 WDA 為寫入資料，信號 RDA 為讀出資料。信號 PON1、PON2 為電源閘控控制用信號。此外，信號 PON1、信號 PON2 也可以在控制電路 73 中生成。

【0065】控制電路 73 為具有控制半導體裝置 10 的整體工作的功能的邏輯電路。例如，控制電路對信號 CE、信號 GW 及信號 BW 進行邏輯運算來決定半導體裝置 10 的工作模式(例如，寫入工作、讀出工作)。或者，控制電路 73 生成驅動電路 61 的控制信號，以執行上述工作模式。

【0066】電壓生成電路 74 具有生成負電壓的功能。信號 WAKE 具有控制對電壓生成電路 74 輸入信號 CLK 的功能。例如，當信號 WAKE 被施加 H 位準的信號時，信號 CLK 被輸入到電壓生成電路 74，電壓生成電路 74 生成負電壓。

【0067】驅動電路 61 是用來對記憶單元 32 進行資料的寫入及讀出的電路。此外，驅動電路 61 是輸出用來控制放大電路 51 的各種信號的電路。驅動電路 61 除了行解碼器

62、列解碼器 64(Column Decoder)、行驅動器 63、列驅動器 65(Column Driver)、輸入電路 67(Input Cir.)、輸出電路 68(Output Cir.)以外還包括上述的感測放大器 66(Sense Amplifier)。

【0068】行解碼器 62及列解碼器 64具有對信號 ADDR 進行解碼的功能。行解碼器 62是用來指定要訪問行的電路，列解碼器 64是用來指定要訪問列的電路。行驅動器 63具有選擇由行解碼器 62指定的佈線 WL的功能。列驅動器 65具有如下功能：將資料寫入到記憶單元 32的放大；從記憶單元 32讀出資料的功能；保持所讀出的資料的功能等。

【0069】輸入電路 67具有保持信號 WDA的功能。輸入電路 67中保持的資料輸出到列驅動器 65。輸入電路 67的輸出資料是寫入到記憶單元 32的資料 (Din)。由列驅動器 65從記憶單元 32讀出的資料 (Dout)被輸出至輸出電路 68。輸出電路 68具有保持 Dout的功能。此外，輸出電路 68具有將 Dout輸出到半導體裝置 10的外部的功能。從輸出電路 68輸出的資料為信號 RDA。

【0070】PSW71具有控制向週邊電路 22供給 VDD的功能。PSW72具有控制向行驅動器 63供給 VHM的功能。在此，半導體裝置 10的高電源電壓為 VDD，低電源電壓為 GND(接地電位)。此外，VHM是用來使字線成為高位準的高電源電壓，其高於 VDD。利用信號 PON1控制 PSW71的開啟/關閉，利用信號 PON2控制 PSW72的開啟/關閉。在圖 2中，週邊電路 22中被供應 VDD的電源域的個數為 1，但是

也可以為多個。此時，可以對各電源域設置功率開關。

【0071】元件層30[1]至30[m]及元件層50可以重疊設置在元件層20上。圖3A是示出元件層20上重疊設置5層( $m=5$ )元件層30[1]至30[5]及元件層50的情況的半導體裝置10的立體圖。

【0072】在圖3A中，將設置在第一層中的元件層30記作元件層30[1]，將設置在第二層中的元件層30記作元件層30[2]，將設置在第五層中的元件層30記作元件層30[5]。圖3A示出延伸設置在X方向上的佈線WL及佈線PL以及延伸設置在Z方向(垂直於設置有驅動電路的基板表面的方向)上的佈線LBL及與其成對的佈線LBLB以及佈線GBL及與其成對的佈線GBLB。注意，為了使圖式更易懂，省略元件層30的每一個所包括的佈線WL及佈線PL的一部分的記載。

【0073】圖3B示出說明圖3A所示的連接於佈線GBL的感測放大器66、連接於佈線LBL(或佈線LBLB)及佈線GBL的放大電路51以及連接於佈線LBL(或佈線LBLB)的元件層30[1]至30[5]所包括的記憶單元32的結構例子的示意圖。另外，將一個佈線LBL(或佈線LBLB)與多個記憶單元(記憶單元32)電連接的結構也被稱為“記憶體串(memory string)”。注意，在圖式中，為了提高易見度，有時用粗線示出佈線GBL及佈線GBLB。

【0074】圖4A示出從圖3B抽出而示出的連接於佈線LBL的記憶單元32的結構，圖4B示出其電路結構的一個例

子。記憶單元 32 包括電晶體 37 及電容器 38。關於電晶體 37、電容器 38 及各佈線(佈線 LBL 及 WL 等)，例如有時將佈線 LBL[1] 及佈線 WL[1] 稱為佈線 LBL 及佈線 WL 等。

【0075】在記憶單元 32 中，電晶體 37 的源極和汲極中的一個與佈線 LBL 連接。電晶體 37 的源極和汲極中的另一個與電容器 38 的一個電極連接。電容器 38 的另一個電極與佈線 PL 連接。電晶體 37 的閘極與佈線 WL 連接。佈線 PL 是供應用來儲存電容器 38 的電位的恆電位的佈線。

【0076】在本發明的一個實施方式中，在層疊設置 OS 電晶體的同時將用作位元線的佈線 LBL 配置在垂直於設置有元件層 20 的基板表面的方向上。加上，將記憶單元 32 所包括的電晶體 37 及電容器 38 排列地配置在垂直於設置有元件層 20 的基板表面的方向上。藉由在垂直於基板表面的方向上設置各元件及各佈線，與可以縮短元件層間的佈線的長度的同時可以提高設置在單位面積中的元件的密度。因此，可以實現記憶容量及功耗降低方面優異的記憶體裝置。

【0077】加上，在本發明的一個實施方式的半導體裝置的結構中，作為記憶單元 32 所包括的電容器採用與電晶體層疊設置的溝槽型電容器(深孔疊層電容器)，將電晶體所包括的具有通道形成區域的半導體層設置在垂直於設置有元件層 20 的基板表面的方向上。在圖 4A 中，示出流過電晶體 37 的源極和汲極間的電流的方向平行於 Z 方向的結構。藉由採用該結構，可以與提高單位面積的記憶容量的

同時增大從記憶單元32讀出資料時的電容值。

【0078】圖4C示出從圖3B抽出而示出的連接於佈線LBL及佈線GBL的放大電路51的結構，圖4D示出其電路結構的一個例子。後面詳細說明，放大電路51包括電晶體52至電晶體55。

【0079】在本發明的一個實施方式中，在層疊設置OS電晶體的同時將用作位元線的佈線LBL及佈線GBL配置在垂直於設置有元件層20的基板表面的方向上。

【0080】加上，在本發明的一個實施方式的半導體裝置的結構中，可以採用將放大電路51中的電晶體所包括的具有通道形成區域的半導體層設置在水平於設置有元件層20的基板表面的方向上的結構。在圖4D中，示出流過電晶體37的源極和汲極間的電流的方向垂直於Z方向的結構。藉由採用該結構，除了控制電晶體的電特性的第一閘極以外還可以配置第二閘極。

【0081】圖3B所示的佈線GBL以電連接放大電路51與感測放大器66之間的方式設置。圖5A示出包括以放大電路51以及元件層30[1]至30[m]為重複單位的層疊的元件層70的半導體裝置10D的示意圖。雖然圖5A中示出一個佈線GBL，但也可以根據元件層50中的放大電路51的數量適當地設置佈線GBL。

【0082】此外，也可以具有層疊包括放大電路51及元件層30[1]至30[m]的的層疊的元件層70的結構。本發明的一個實施方式的半導體裝置10D\_A如圖5B所示可以包括層

疊的元件層70[1]至70[p](p為2以上的整數)。佈線GBL與層疊的元件層70所包括的元件層50連接。根據放大電路51的個數適當地設置佈線GBL即可。

【0083】在本發明的一個實施方式中，在層疊設置OS電晶體的同時將用作位元線的佈線LBL及佈線GBL配置在垂直於設置有元件層20的基板表面的方向上。藉由在垂直於基板表面的方向上設置從元件層30延伸設置的用作位元線的佈線，可以縮短元件層30與元件層20之間的佈線的長度。因此，可以大幅度降低位元線的寄生電容。

【0084】本發明的一個實施方式在設置有元件層30的層中包括元件層50，該元件層50包括具有放大保持在記憶單元32中的資料電位並將其輸出的功能的放大電路51。藉由採用該結構，可以將讀出資料時用作位元線的佈線LBL的微小的電位差放大而可以驅動元件層20所包括的感測放大器66。由於可以使感測放大器等的電路小型化，所以可以實現半導體裝置10的小型化。此外，即使降低記憶單元32所包括的電容器的電容也可以進行工作。

#### 【0085】

<記憶單元32、放大電路51及感測放大器66的結構例子>

圖6A、圖6B示出說明對應圖4B等中說明的記憶單元32的電路圖及對應該電路圖的電路方塊的圖。如圖6A、圖6B所示，有時記憶單元32在圖式等中表示為方塊。

【0086】圖6C、圖6D示出說明對應圖4D等中說明的放大電路51的電路圖及對應該電路圖的電路方塊的圖。如

圖 6C、圖 6D 所示，包括電晶體 52 至 55 的放大電路 51 有時在圖式等中表示為放大電路 51 的方塊。放大電路 51 具有放大佈線 LBL 的電位並傳送佈線 GBL 的功能。放大電路 51 可以藉由設定校正期間進行校正相當於電晶體 52 的臨界電壓的變動的工作。信號 WE、RE、MUX 為用來控制放大電路 51 的控制信號。佈線 SL 為供應恆電位的佈線。

【0087】圖 7A 示出圖 3A、圖 3B 等中說明的感測放大器 66 的電路結構例子。感測放大器 66 示出開關電路 82、預充電電路 83、預充電電路 84 及放大電路 85。此外，除了佈線 GBL、佈線 GBLB 之外，還示出輸出被讀出的信號的佈線 SA\_OUT、佈線 SA\_OUTB。

【0088】如圖 7A 所示，例如開關電路 82 包括 n 通道型電晶體 82\_1、82\_2。電晶體 82\_1、82\_2 根據信號 CSEL 而切換一對佈線 SA\_OUT 和佈線 SA\_OUTB 與一對佈線 GBL 和佈線 GBLB 的導通狀態。

【0089】如圖 7A 所示，預充電電路 83 由 n 通道型電晶體 83\_1 至 83\_3 構成。預充電電路 83 是用來根據信號 EQ 而將佈線 BL 及佈線 BLB 預充電至相當於電位  $VDD/2$  的中間電位 VPRE 的電路。

【0090】如圖 7A 所示，預充電電路 84 由 p 通道型電晶體 84\_1 至 84\_3 構成。預充電電路 84 是用來根據信號 EQB 而將佈線 BL 及佈線 BLB 預充電至相當於電位  $VDD/2$  的中間電位 VPRE 的電路。

【0091】如圖 7A 所示，放大電路 85 由連接於佈線 SAP

或佈線 SAN 的 p 通道型電晶體 85\_1、85\_2 及 n 通道型電晶體 85\_3、85\_4 構成。佈線 SAP 或佈線 SAN 是具有供應 VDD 或 VSS 的功能的佈線。電晶體 85\_1 至 85\_4 是構成反相器環路的電晶體。

【0092】圖 7B 示出說明對應圖 7A 等中說明的感測放大器 66 的電路方塊的圖。如圖 7B 所示，有時感測放大器 66 在圖式等中表示為方塊。

### 【0093】

<記憶單元 32、放大電路 51 及感測放大器 66 的工作例子>

圖 8 是說明圖 2 的半導體裝置 10 的工作例子的電路圖。圖 8 示出圖 6A 至圖 6D 及圖 7A、圖 7B 中說明的電路方塊。

【0094】如圖 8 所示，包括元件層 30[m] 的層疊的元件層 70 包括記憶單元 32。記憶單元 32 與一對佈線 LBL 及佈線 LBLB 連接。與佈線 LBL 連接的記憶單元 32 為被進行資料寫入或讀出的記憶單元。佈線 LBLB 為被進行預充電的局部位元線，連接於該佈線 LBLB 的記憶單元 32 繼續保持資料。

【0095】佈線 LBL 藉由放大電路 51 與佈線 GBL 電連接。佈線 LBLB 藉由放大電路 51B 與佈線 GBLB 電連接。

【0096】電晶體 97 被用作切換佈線 GBL 與佈線 GBLB 之間的導通狀態的開關。電晶體 97 的開啟或關閉可以由信號 SW0 切換。

【0097】電晶體 98 被用作切換佈線 GBL 與感測放大器 66 一側的佈線 SA\_GBL 之間的導通狀態的開關。電晶體 98

的開啟或關閉可以由信號SW1切換。佈線SA\_GBL藉由電晶體98與佈線GBL電連接，可以說是佈線GBL的一部分。

【0098】電晶體99被用作切換佈線GBLB與感測放大器66一側的佈線SA\_GBLB之間的導通狀態的開關。電晶體99的開啟或關閉可以由信號SW2切換。佈線SA\_GBLB藉由電晶體99與佈線GBL電連接並可以說是佈線GBLB的一部分。

【0099】注意，電晶體97至99較佳為具有與構成放大電路51的電晶體相同結構。亦即，在電晶體97至99中，與電晶體52至55同樣地，流過源極和汲極間的電流的方向垂直於Z方向。注意，雖然省略圖示，但電晶體97至99可以配置有第一閘極及第二閘極。

【0100】如圖8所示，記憶單元32可以具有藉由設置在最短距離的垂直方向上的佈線LBL及佈線GBL使放大電路51與感測放大器66連接的結構。包括構成放大電路51的電晶體的元件層50增加，但藉由降低佈線LBL的負載，可以縮短寫入時間且可以易於讀出資料。

【0101】如圖8所示，放大電路51、51B所包括的各電晶體根據信號WE、RE及MUX控制。各電晶體可以根據各信號將佈線LBL的電位經過佈線輸出到感測放大器66。放大電路51、51B可以被用作由OS電晶體構成的感測放大器。藉由採用該結構，可以在讀出時使佈線LBL的微小的電位差放大，可以驅動感測放大器66。

【0102】圖9示出說明圖8所示的電路圖的工作的時序

圖，也說明記憶單元32、放大電路51及感測放大器66的工作例子。在圖9所示的時序圖中示出資料為H位準( $data=H$ )及資料為L位準( $data=L$ )的各情況下的一對佈線SA\_GBL和佈線SA\_GBLB、一對佈線GBL和佈線GBLB的佈線。

【0103】在圖9所示的時序圖中，時間T11至時間T13相當於資料寫入的期間。時間T13至時間T16相當於校正期間。時間T16至時間T9相當於資料讀出的期間。

【0104】在時間T11，信號MUX、信號WE為H位準。信號SW1、SW2為H位準，信號SW0為L位準。然後，藉由對佈線SAP、SAN供應電源電壓(VDD、VSS)，一對全局位元線SA\_GBL和全局位元線SA\_GBLB中的一個、一對全局位元線GBL和全局位元線GBLB中的一個被充電。佈線LBL的電位上升。將佈線WL的電位設定為H位準並將供應到佈線LBL的電位(圖9中的H位準)寫入到記憶單元32。

【0105】在時間T12，將佈線WL的電位設定為L位準。記憶單元32保持資料。

【0106】在時間T13中，將佈線SAP、SAN都設定為VDD，反轉信號EQ、EQB，將一對全局位元線SA\_GBL和全局位元線SA\_GBLB及一對全局位元線GBL和全局位元線GBLB都設定為H位準。佈線LBLB被預充電至H位準的電位。然後，將信號MUX設定為L位準。此外，也可以將信號WE設定為低位準。

【0107】在時間T14，將信號RE、信號WE設定為H位準。佈線LBL的電位及佈線LBLB的電位因藉由電晶體52

的放電降低。該放電在電晶體 52 的閘極和源極之間的電壓成為電晶體 52 的臨界電壓時停止。

【0108】在時間 T15，將信號 WE 及信號 RE 都設定為 L 位準。佈線 LBL 及佈線 LBLB 保持對應於電晶體 52 的臨界電壓的電位。再次使 EQ、EQB 反轉，停止預充電。也就是說，一對佈線 SA\_GBL 和佈線 SA\_GBLB、一對佈線 GBL 和佈線 GBLB 成為電浮動狀態，即浮動狀態。

【0109】在時間 T16，將佈線 WL 設定為 H 位準，進行電荷共用。佈線 LBL 的電位根據寫入到記憶單元 32 中的資料而改變。在將 H 位準的資料寫入到記憶單元 32 中時，佈線 LBL 的電位上升，在將 L 位準的資料寫入到記憶單元 32 中時，佈線 LBL 的電位降低。另一方面，因為在佈線 LBLB 中不進行利用佈線 WL 的工作的電荷共用，所以電位不改變。

【0110】在時間 T17，藉由將信號 RE、信號 MUX 設定為 H 位準，根據佈線 LBL 及佈線 LBLB 的電位而使電流流過放大電路 51 所包括的電晶體 52 及放大電路 51B 所包括的電晶體 52。由於佈線 LBL 及佈線 LBLB 的電位不同，所以流過放大電路 51 所包括的電晶體 52 的電流和流過放大電路 51B 所包括的電晶體 52 的電流有差異。該電流差與因電荷共用而改變的佈線 LBL 的電位，即從記憶單元 32 讀出的資料對應。因此，如圖 9 所示，記憶單元 32 的資料可以轉換為一對佈線 SA\_GBL 和佈線 SA\_GBLB、一對佈線 GBL 和佈線 GBLB 的電位的變化量。

【0111】在時間T18，將信號RE設定為L位準。然後，對佈線SAP、SAN供應電源電壓(VDD、VSS)來使感測放大器66工作。由於感測放大器66的工作確定一對佈線SA\_GBL和佈線SA\_GBLB、一對佈線GBL和佈線GBLB的電位。

【0112】在時間T19，將信號SW0設定為L位準，將信號SW1設定為H位準，根據所讀出的資料切換一對佈線GBL和佈線GBLB的電位。明確而言，在資料為H位準時，一對佈線GBL和佈線GBLB的電位都被切換為H位準。此外，在資料為L位準時，一對佈線GBL和佈線GBLB的電位都被切換為L位準。藉由在這狀態下將佈線WL設定為H位準，對應於所讀出的資料的邏輯的電壓可以再次被寫入記憶單元32中。

【0113】在時間T20，將佈線WL設定為L位準，將信號MUX、信號WE設定為L位準。在記憶單元32中可以更新對應於所讀出的資料的邏輯的資料。

【0114】本發明的一個實施方式的半導體裝置10採用層疊有包括記憶單元32的元件層30的結構。藉由採用該結構，可以縮短佈線LBL並縮小記憶單元32的電容器38的電容。

【0115】在本發明的一個實施方式的半導體裝置中，作為設置在元件層30的電晶體使用關態電流極小的OS電晶體。OS電晶體可以層疊設置設有包括Si電晶體的元件層20的基板上。因此，可以向垂直方向上反復利用相同的製

程而製造，從而能夠實現製造成本的降低。另外，在本發明的一個實施方式中，構成記憶單元32的電晶體也可以不向平面方向而向垂直方向上配置來提高記憶體密度，因此能夠實現半導體裝置的小型化。

【0116】另外，本發明的一個實施方式具備包括放大電路51的元件層50。在放大電路51中，將佈線LBL連接於電晶體52的閘極，因此電晶體52可以被用作放大器。藉由採用該結構，可以在讀出時將佈線LBL的微小的電位差放大，而驅動使用Si電晶體的感測放大器66。可以使使用Si電晶體的感測放大器66等的電路小型化，因而可以實現半導體裝置的小型化。另外，即使降低記憶單元32所包括的電容器38的電容也可以進行工作。

【0117】加上，在本發明的一個實施方式的半導體裝置的結構中，作為記憶單元32所包括的電容器採用與電晶體層疊設置的溝槽型電容器(深孔疊層電容器)，將電晶體所包括的具有通道形成區域的半導體層設置在垂直於設置有元件層20的基板表面的方向上。藉由採用該結構，可以與提高單位面積的記憶容量的同時增大從記憶單元32讀出資料時的電容值。

【0118】加上，在本發明的一個實施方式的半導體裝置的結構中，可以採用將放大電路51中的電晶體所包括的具有通道形成區域的半導體層設置在水平於設置有元件層20的基板表面的方向上的結構。在圖4D中，示出流過電晶體52至55的源極和汲極間的電流的方向垂直於Z方向的結

構。藉由採用該結構，除了控制電晶體的電特性的第一閘極以外還可以配置第二閘極。

### 【0119】

<記憶單元32、放大電路51及感測放大器66的剖面示意圖>

說明可應用於上述所說明的半導體裝置的電晶體的剖面示意圖的結構例子。作為一個例子，說明層疊設置具有不同的電特性的電晶體的結構。藉由採用該結構，可以提高半導體裝置的設計彈性。此外，藉由層疊設置具有不同的電特性的電晶體，可以提高半導體裝置的積體度。

【0120】圖10示出半導體裝置的部分剖面結構。圖10所示的半導體裝置包括電晶體550、電晶體500、電晶體37及電容器38。電晶體37及電容器38是構成上述記憶單元32的元件。圖11A是電晶體500的通道長度方向上的剖面圖，圖11B是電晶體500的通道寬度方向上的剖面圖，圖11C是電晶體550的通道寬度方向上的剖面圖。此外，圖13A是電晶體37及電容器38的俯視圖，圖13B及圖13C是電晶體37及電容器38的剖面圖，圖13D是由電晶體37及電容器38構成的電路圖。

【0121】在圖10中，電晶體550相當於元件層20所包括的Si電晶體，電晶體500相當於元件層50所包括的OS電晶體，電晶體37及電容器38相當於元件層30[1]所包括的OS電晶體及電容器。

【0122】在圖10中，電晶體500設置在電晶體550的上方，電晶體37及電容器38設置在電晶體550及電晶體500的

上方。

【0123】注意，在圖10中，WL、LBL、PL、GBL等符號相當於對圖3B等中的各佈線附上的符號。對佈線PL供應恆電位、對佈線WL供應驅動字線的信號。藉由將被供應驅動字線的信號的佈線WL配置在供應恆電位的佈線PL的上層，可以降低對元件層30[1]下層的元件層50的雜訊影響。此外，藉由將電容器38配置在供應恆電位的佈線PL的上層，可以降低由元件層50所包括的放大電路51的驅動導致的對元件層30[1]的雜訊影響。

【0124】此外，佈線LBL以藉由設置在元件層30[1]與元件層50之間的導電體使元件層30[1]所包括的電晶體37與元件層50所包括的電晶體500(相當於圖6C的電晶體52)連接的方式設置。佈線GBL以藉由設置在元件層50與元件層20之間的導電體使元件層50所包括的電晶體500(相當於圖6C的電晶體55)與元件層20所包括的電晶體550(相當於圖7A的電晶體85\_3等)連接的方式設置。

#### 【0125】

[電晶體550]

電晶體550設置在基板311上，並包括導電體316、絕緣體315、由基板311的一部分構成的半導體區域313以及用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。

【0126】如圖11C所示，在電晶體550中，導電體316隔著絕緣體315覆蓋半導體區域313的頂面及通道寬度方向

的側面。如此，藉由使電晶體 550 具有 Fin 型結構，實效通道寬度增加，從而可以提高電晶體 550 的通態特性。此外，由於可以增強閘極電極的電場的作用，所以可以提高電晶體 550 的關態特性。

【0127】此外，電晶體 550 既可為 p 通道電晶體又可為 n 通道電晶體。

【0128】半導體區域 313 的通道形成區域或其附近的區域、用作源極區域或汲極區域的低電阻區域 314a 及低電阻區域 314b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。此外，也可以使用包含 Ge(鍺)、SiGe(矽鍺)、GaAs(砷化鎵)、GaAlAs(鎵鋁砷)等的材料形成。可以使用使晶格受到應力，以改變晶面間距來控制有效質量的矽。此外，電晶體 550 也可以是使用 GaAs 和 GaAlAs 等的 HEMT(High Electron Mobility Transistor：高電子移動率電晶體)。

【0129】在低電阻區域 314a 及低電阻區域 314b 中，除了應用於半導體區域 313 的半導體材料之外，還包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

【0130】作為用作閘極電極的導電體 316，可以使用包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。

【0131】此外，由於導電體的材料決定功函數，所以藉由選擇導電體的材料，可以調整電晶體的臨界電壓。明

確而言，作為導電體較佳為使用氮化鈦或氮化鉭等材料。為了兼具導電性和嵌入性，作為導電體較佳為使用鎢或鋁等金屬材料的疊層，尤其在耐熱性方面較佳為使用鎢。

【0132】此外，電晶體 550 也可以使用 SOI(Silicon on Insulator：絕緣層上覆矽)基板等形成。

【0133】此外，作為 SOI 基板可以使用：藉由在對鏡面拋光薄片注入氧離子之後進行高溫加熱，在離表面有一定深度的區域中形成氧化層，並消除產生在表面層中的缺陷而形成的 SIMOX(Separation by Implanted Oxygen：注入氧隔離)基板；利用藉由注入氫離子而形成的微小空隙經過加熱處理成長而使半導體基板劈開的智能剝離法或 ELTRAN 法(註冊商標：Epitaxial Layer Transfer：磊晶層轉移)等形成的 SOI 基板。使用單晶基板形成的電晶體在通道形成區域中包括單晶半導體。

【0134】以覆蓋電晶體 550 的方式依次層疊有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。

【0135】作為絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁及氮化鋁等。

【0136】注意，在本說明書中，氧氮化矽是指在其組成中氧含量多於氮含量的材料，而氮氧化矽是指在其組成中氮含量多於氧含量的材料。注意，在本說明書中，氧氮化鋁是指氧含量多於氮含量的材料，“氮氧化鋁”是指氮含量多於氧含量的材料。

【0137】絕緣體322也可以被用作用來使因設置在其下方的電晶體550等而產生的步階平坦化的平坦化膜。例如，為了提高絕緣體322的頂面的平坦性，其頂面也可以藉由利用化學機械拋光(CMP：Chemical Mechanical Polishing)法等平坦化處理被平坦化。

【0138】作為絕緣體324，較佳為使用能夠防止氫、雜質等從基板311或電晶體550等擴散到設置有電晶體500的區域中的具有阻擋性的膜。

【0139】作為對氫具有阻擋性的膜的一個例子，例如可以使用藉由CVD法形成的氮化矽。在此，有時氫擴散到電晶體500等具有氧化物半導體的半導體元件中，導致該半導體元件的特性下降。因此，較佳為在電晶體500與電晶體550之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0140】氫的脫離量例如可以利用熱脫附譜分析法(TDS)等測量。例如，在TDS分析中的膜表面溫度為50°C至500°C的範圍內，當將換算為氫原子的脫離量換算為絕緣體324的單位面積的量時，絕緣體324中的氫的脫離量為 $1 \times 10^{16}$  atoms/cm<sup>2</sup>以下，較佳為 $5 \times 10^{15}$  atoms/cm<sup>2</sup>以下，即可。

【0141】注意，絕緣體326的介電常數較佳為比絕緣體324低。例如，絕緣體326的相對介電常數較佳為低於4，更佳為低於3。例如，絕緣體326的相對介電常數較佳為絕緣體324的相對介電常數的0.7倍以下，更佳為0.6倍以

下。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。

【0142】此外，在絕緣體320、絕緣體322、絕緣體324及絕緣體326中嵌入與電晶體500連接的導電體328、導電體330等。此外，導電體328及導電體330具有插頭或佈線的功能。注意，有時使用同一符號表示具有插頭或佈線的功能的多個導電體。此外，在本說明書等中，佈線、與佈線連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0143】作為各插頭及佈線(導電體328、導電體330等)的材料，可以使用金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等導電材料的單層或疊層。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，較佳為使用鎢。或者，較佳為使用鋁或銅等低電阻導電材料。藉由使用低電阻導電材料，可以降低佈線電阻。

【0144】此外，也可以在絕緣體326及導電體330上設置佈線層。例如，在圖10中，依次層疊有絕緣體350、絕緣體352及絕緣體354。此外，在絕緣體350、絕緣體352及絕緣體354中形成有導電體356。導電體356具有與電晶體550連接的插頭或佈線的功能。此外，導電體356可以使用與導電體328及導電體330同樣的材料。

【0145】此外，與絕緣體324同樣，絕緣體350例如較佳為使用對氫具有阻擋性的絕緣體。此外，導電體356較

佳為包含對氫具有阻擋性的導電體。尤其是，在對氫具有阻擋性的絕緣體350所具有的開口部中形成對氫具有阻擋性的導電體。藉由採用該結構，可以使用阻擋層將電晶體550與電晶體500分離，從而可以抑制氫從電晶體550擴散到電晶體500中。

【0146】注意，作為對氫具有阻擋性的導電體，例如較佳為使用氮化鈮等。此外，藉由層疊氮化鈮和導電性高的鎢，不但可以保持作為佈線的導電性而且可以抑制氫從電晶體550擴散。此時，對氫具有阻擋性的氮化鈮層較佳為與對氫具有阻擋性的絕緣體350接觸。

【0147】在上面說明包括導電體356的佈線層，但是根據本實施方式的半導體裝置不侷限於此。與包括導電體356的佈線層同樣的佈線層可以為單層或兩層以上的疊層結構。

【0148】

[電晶體500]

接著，參照圖11A、圖11B所示的電晶體500對可應用於設置在絕緣體354上的電晶體500的電晶體的結構進行說明。

【0149】圖10所示的絕緣體354上依次層疊有圖11A所示的絕緣體512、絕緣體514及絕緣體516。作為絕緣體512、絕緣體514及絕緣體516中的任一個，較佳為使用對氧、氫等具有阻擋性的物質。

【0150】例如，作為絕緣體514，較佳為使用防止

氫、雜質等從基板311或設置有電晶體550的區域等擴散到設置有電晶體500的區域的具有阻擋性的膜。因此，絕緣體510及絕緣體514可以使用與絕緣體324同樣的材料。

【0151】作為對氫具有阻擋性的膜的一個例子，可以使用藉由CVD法形成的氮化矽。在此，有時氫擴散到電晶體500等具有氧化物半導體的半導體元件中，導致該半導體元件的特性下降。因此，較佳為在電晶體550與電晶體500之間設置抑制氫的擴散的膜。

【0152】例如，作為對氫具有阻擋性的膜，絕緣體514較佳為使用氧化鋁、氧化鉛、氧化鉍等金屬氧化物。

【0153】尤其是，氧化鋁的不使氧及導致電晶體的電特性變動的氫、水分等雜質透過的阻擋效果高。因此，在電晶體的製程中及製程之後，氧化鋁可以防止氫、水分等雜質進入電晶體500中。此外，氧化鋁可以抑制氧從構成電晶體500的氧化物釋放。因此，氧化鋁適合用於電晶體500的保護膜。

【0154】例如，作為絕緣體512及絕緣體516，可以使用與絕緣體320同樣的材料。此外，藉由對上述絕緣體使用介電常數較低的材料，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體512及絕緣體516，可以使用氧化矽膜和氧氮化矽膜等。

【0155】如圖11A和圖11B所示，電晶體500包括以嵌入絕緣體514及絕緣體516的方式配置的導電體503、配置在絕緣體516及導電體503上的絕緣體520、配置在絕緣體

520上的絕緣體522、配置在絕緣體522上的絕緣體524、配置在絕緣體524上的氧化物530a、配置在氧化物530a上的氧化物530b、彼此分開地配置在氧化物530b上的導電體542a及導電體542b、配置在導電體542a及導電體542b上並以重疊於導電體542a和導電體542b之間的方式形成開口的絕緣體580、配置在開口的底面及側面的絕緣體545以及配置在絕緣體545的形成面上的導電體560。

【0156】此外，如圖11A和圖11B所示，較佳為在氧化物530a、氧化物530b、導電體542a及導電體542b與絕緣體580之間配置有絕緣體544。此外，如圖11A和圖11B所示，導電體560較佳為包括設置在絕緣體545內側的導電體560a以及以嵌入導電體560a內側的方式設置的導電體560b。此外，如圖11A和圖11B所示，較佳為在絕緣體580、導電體560及絕緣體545上配置有絕緣體574。

【0157】注意，在本說明書等中，有時將氧化物530a及氧化物530b統稱為氧化物530。

【0158】在電晶體500中，在形成通道的區域及其附近層疊有氧化物530a及氧化物530b的兩層，但是本發明不侷限於此。例如，可以具有氧化物530b的單層結構，也可以具有三層以上的疊層結構。

【0159】此外，在電晶體500中，導電體560具有兩層結構，但是本發明不侷限於此。例如，導電體560也可以具有單層結構或三層以上的疊層結構。注意，圖10及圖11A所示的電晶體500的結構只是一個例子而不侷限於上述

結構，可以根據電路結構或驅動方法使用適當的電晶體。

【0160】在此，導電體560被用作電晶體的閘極電極，導電體542a及導電體542b被用作源極電極或汲極電極。如上所述，導電體560以嵌入絕緣體580的開口中及夾在導電體542a與導電體542b之間的區域的方式設置。導電體560、導電體542a及導電體542b的配置根據絕緣體580的開口而自對準地被選擇。換言之，在電晶體500中，可以在源極電極與汲極電極之間自對準地配置閘極電極。由此，可以在不設置用於對準的餘地的方式形成導電體560，所以可以實現電晶體500的佔有面積的縮小。由此，可以實現半導體裝置的微型化及高積體化。

【0161】注意，在圖10中示出導電體542a及導電體542b以跨著金屬氧化物530(金屬氧化物530a及金屬氧化物530b)的端部的方式延伸的情況，但是不侷限於此，如圖11A所示，也可以採用導電體542a及導電體542b的端部與金屬氧化物530的端部對齊的結構。

【0162】再者，導電體560自對準地形成在導電體542a與導電體542b之間的區域，所以導電體560不包括與導電體542a或導電體542b重疊的區域。由此，可以降低形成在導電體560與導電體542a及導電體542b之間的寄生電容。因此，可以提高電晶體500的切換速度，從而電晶體500可以具有高頻率特性。

【0163】導電體560有時被用作第一閘極(也稱為頂閘極)電極。導電體503有時被用作第二閘極(也稱為底閘極)

電極。在此情況下，藉由獨立地改變供應到導電體 503 的電位而不使其與供應到導電體 560 的電位聯動，可以控制電晶體 500 的臨界電壓。尤其是，藉由對導電體 503 供應負電位，可以使電晶體 500 的臨界電壓超過 0V 來可以減小關態電流。因此，與不對導電體 503 施加負電位時相比，在對導電體 503 施加負電位的情況下，可以減小對導電體 560 施加的電位為 0V 時的汲極電流。

【0164】導電體 503 以與氧化物 530 及導電體 560 重疊的方式配置。由此，在對導電體 560 及導電體 503 供應電位的情況下，從導電體 560 產生的電場和從導電體 503 產生的電場連接，可以覆蓋形成在氧化物 530 中的通道形成區域。

【0165】在本說明書等中，由第一閘極電極的電場電圍繞通道形成區域的電晶體的結構被稱為 surrounded channel(S-channel)結構。此外，本說明書等中公開的 S-channel 結構具有與 Fin 型結構及平面型結構不同的結構。另一方面，也可以將本說明書等中公開的 S-channel 結構看作 Fin 型結構之一種。在本說明書等中，Fin 型結構是指以圍繞通道的至少兩個面以上(明確而言，兩個面、三個面或四個面等)的方式配置閘極電極的結構。藉由採用 Fin 型結構及 S-channel 結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0166】藉由採用具有上述 S-channel 結構的電晶體，

可以電圍繞通道形成區域。此外，S-channel結構因電圍繞通道形成區域而也可以說實質上與GAA(Gate All Around：全環繞閘極)結構或LGAA(Lateral Gate All Around：橫向全環繞閘極)結構相等。藉由使電晶體具有S-channel結構、GAA結構或LGAA結構，可以將形成在氧化物530與閘極絕緣體的介面或其附近的通道形成區域設置在氧化物530的整個塊體。因此，可以提高流過電晶體的電流密度，所以可以期待電晶體的通態電流或電晶體的場效移動率的提高。

【0167】此外，導電體503具有與導電體518相同的結構，以與絕緣體514及絕緣體516的開口的內壁接觸的方式形成有導電體503a，並且以嵌入該開口的方式在導電體503a上形成有導電體503b。此外，在電晶體500中，層疊有導電體503a與導電體503b，但是本發明不侷限於此。例如，導電體503可以具有單層結構，也可以具有三層以上的疊層結構。

【0168】在此，作為導電體503a較佳為使用具有抑制氫原子、氫分子、水分子、銅原子等雜質的擴散的功能(不容易使上述雜質透過)的導電材料。此外，較佳為使用具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能(不容易使上述氧透過)的導電材料。在本說明書中，抑制雜質或氧的擴散的功能是指抑制上述雜質和上述氧中的任一個或全部的擴散的功能。

【0169】例如，藉由使導電體503a具有抑制氧的擴散

的功能，可以抑制因導電體 503b 氧化而導致導電率的下降。

【0170】此外，在導電體 503 還具有佈線的功能的情況下，作為導電體 503b，較佳為使用以鎢、銅或鋁為主要成分的導電性高的導電材料。此外，雖然在本實施方式中示出由導電體 503a 及導電體 503b 的疊層構成的導電體 503，但是導電體 503 也可以具有單層結構。

【0171】絕緣體 520、絕緣體 522 及絕緣體 524 被用作第二閘極絕緣膜。

【0172】在此，與氧化物 530 接觸的絕緣體 524 較佳為使用包含超過化學計量組成的氧的絕緣體。該氧藉由加熱容易從膜中釋放。在本說明書等中，有時將藉由加熱釋放的氧稱為“過量氧”。就是說，在絕緣體 524 中較佳為形成有包含過量氧的區域(也稱為“過量氧區域”)。藉由以與氧化物 530 接觸的方式設置上述包含過量氧的絕緣體，可以減少氧化物 530 中的氧空位( $V_o$ : oxygen vacancy)，從而可以提高電晶體 500 的可靠性。此外，在氫進入氧化物 530 的氧空位中的情況下，有時該缺陷(以下，有時稱為  $V_oH$ )被用作施體而產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含多量的氫的氧化物半導體的電晶體容易具有常開啟特性。此外，因為氧化物半導體中的氫因受熱、電場等作用而容易移動，所以當氧化物半導體包含多量的氫時可能會導致電晶體的可靠性降低。在本發明的一個實

施方式中，較佳為儘量降低氧化物 530 中的  $V_{oH}$  而成為高純度本質或實質上高純度本質。如此，為了得到這種  $V_{oH}$  被充分減少的氧化物半導體，重要的是：去除氧化物半導體中的水分、氫等雜質(有時也稱為脫水、脫氫化處理)；以及對氧化物半導體供應氧來填補氧空位(有時也稱為加氧化處理)。藉由將  $V_{oH}$  等雜質被充分減少的氧化物半導體用於電晶體的通道形成區域，可以賦予穩定的電特性。

【0173】明確而言，作為具有過量氧區域的絕緣體，較佳為使用藉由加熱使一部分的氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在 TDS(Thermal Desorption Spectroscopy：熱脫附譜)分析中換算為氧原子的氧的脫離量為  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 以上，較佳為  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup> 以上，更佳為  $2.0 \times 10^{19}$  atoms/cm<sup>3</sup> 以上，或者  $3.0 \times 10^{20}$  atoms/cm<sup>3</sup> 以上的氧化物膜。此外，進行上述 TDS 分析時的膜的表面溫度較佳為在 100°C 以上且 700°C 以下，或者 100°C 以上且 400°C 以下的範圍內。

【0174】此外，也可以以使上述具有過量氧區域的絕緣體和氧化物 530 彼此接觸的方式進行加熱處理、微波處理或 RF 處理中的任一個或多個處理。藉由進行該處理，可以去除氧化物 530 中的水或氫。例如，在氧化物 530 中發生  $V_{oH}$  鍵合被切斷的反應，換言之，發生“ $V_{oH} \rightarrow V_o + H$ ”的反應而可以進行脫氫化。此時產生的氫的一部分有時與氧鍵合併從氧化物 530 或氧化物 530 附近的絕緣體被去除作為 H<sub>2</sub>O。此外，氫的一部分有時被導體 542a 及 542b 吸雜。

【0175】此外，作為上述微波處理，例如較佳為使用包括產生高密度電漿的電源的裝置或包括對基板一側施加RF的電源的裝置。例如，藉由使用包含氧的氣體及高密度電漿，可以生成高密度的氧自由基，並且藉由對基板一側施加RF，可以將由高密度電漿生成的氧自由基高效地導入氧化物530或氧化物530附近的絕緣體中。此外，在上述微波處理中，壓力為133Pa以上，較佳為200Pa以上，更佳為400Pa以上。此外，作為對進行微波處理的裝置內導入的氣體，例如使用氧及氬，並且氧流量比( $O_2/(O_2+Ar)$ )為50%以下，較佳為10%以上且30%以下。

【0176】此外，在電晶體500的製程中，較佳為在氧化物530的表面露出的狀態下進行加熱處理。該加熱處理例如以100°C以上且450°C以下，更佳為以350°C以上且400°C以下進行，即可。此外，加熱處理在氮氣體或惰性氣體的氛圍或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，加熱處理較佳為在氧氛圍下進行。由此，可以對氧化物530供應氧來減少氧空位( $V_o$ )。此外，加熱處理也可以在減壓狀態下進行。或者，也可以在氮氣體或惰性氣體的氛圍下進行加熱處理，然後為了填補脫離的氧而在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理。或者，也可以在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行加熱處理，然後在氮氣體或惰性氣體的氛圍下連續進行加熱處理。

【0177】此外，藉由對氧化物530進行加氧化處理，可以由被供應的氧填補氧化物530中的氧空位，換言之，可以促進“ $V_o+O \rightarrow \text{null}$ ”的反應。再者，藉由使殘留在氧化物530中的氫與被供應的氧起反應，可以去除該氫作為 $H_2O$ (脫水化)。由此，可以抑制殘留在氧化物530中的氫與氧空位再結合而形成 $V_oH$ 。

【0178】當絕緣體524具有過量氧區域時，絕緣體522較佳為具有抑制氧(例如，氧原子、氧分子等)的擴散的功能(不容易使上述氧透過)。

【0179】當絕緣體522具有抑制氧、雜質等的擴散的功能時，氧化物530所包含的氧不擴散到絕緣體520一側，所以是較佳的。此外，可以抑制導電體503與絕緣體524或氧化物530等所包含的氧起反應。

【0180】作為絕緣體522，例如較佳為使用包含氧化鋁、氧化鈣、含有鋁及鈣的氧化物(鋁酸鈣)、氧化鈦、氧化鋯、鋯鈦酸鉛(PZT)、鈦酸鋇( $SrTiO_3$ )或( $Ba, Sr$ ) $TiO_3$ (BST)等所謂的high-k材料的絕緣體的單層或疊層。當進行電晶體的微型化及高積體化時，由於閘極絕緣膜的薄膜化，有時發生關態電流等問題。藉由作為用作閘極絕緣膜的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

【0181】尤其是，較佳為使用作為具有抑制雜質及氧等的擴散的功能(不容易使上述氧透過)的絕緣材料的包含鋁和鈣中的一者或兩者的氧化物的絕緣體。作為包含鋁和

鉛中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。當使用這種材料形成絕緣體 522 時，絕緣體 522 被用作抑制氧從氧化物 530 釋放或氫等雜質從電晶體 500 的周圍部進入氧化物 530 的層。

【0182】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鈹、氧化鋳、氧化鋯、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化銻。此外，也可以對上述絕緣體進行氮化處理。此外，還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽。

【0183】絕緣體 520 較佳為具有熱穩定性。例如，因為氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此外，藉由組合 high-k 材料的絕緣體與氧化矽或氧氮化矽，可以形成具有熱穩定性且相對介電常數高的疊層結構的絕緣體 520。

【0184】此外，在圖 11A 和圖 11B 的電晶體 500 中，作為由三層的疊層結構而成的第二閘極絕緣膜示出絕緣體 520、絕緣體 522 及絕緣體 524，但是第二閘極絕緣膜也可以具有單層結構、兩層結構或四層以上的疊層結構。此時，不侷限於採用由相同材料而成的疊層結構，也可以採用由不同材料而成的疊層結構。

【0185】在電晶體 500 中，將起到氧化物半導體作用的金屬氧化物用作包含通道形成區域的氧化物 530。

【0186】用作氧化物半導體的金屬氧化物可以使用濺

射法形成，也可以使用ALD(Atomic Layer Deposition：原子層沉積)法形成。在其他實施方式中詳細地說明用作氧化物半導體的金屬氧化物。

【0187】此外，作為在氧化物530中用作通道形成區域的金屬氧化物，較佳為使用其能帶間隙為 $2\text{eV}$ 以上，更佳為 $2.5\text{eV}$ 以上的金屬氧化物。如此，藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流。

【0188】在氧化物530中，當在氧化物530b之下設置有氧化物530a時，可以抑制雜質從形成在氧化物530a下方的結構物擴散到氧化物530b。

【0189】此外，氧化物530較佳為具有各金屬原子的原子個數比互不相同的多個氧化物層的結構。明確而言，用於氧化物530a的金屬氧化物的構成元素中的元素M的原子個數比較佳為大於用於氧化物530b的金屬氧化物的構成元素中的元素M的原子個數比。此外，用於氧化物530a的金屬氧化物中的相對於In的元素M的原子個數比較佳為大於用於氧化物530b的金屬氧化物中的相對於In的元素M的原子個數比。此外，用於氧化物530b的金屬氧化物中的相對於元素M的In的原子個數比較佳為大於用於氧化物530a的金屬氧化物中的相對於元素M的In的原子個數比。

【0190】較佳的是，使氧化物530a的導帶底的能量高於氧化物530b的導帶底的能量。換言之，氧化物530a的電子親和力較佳為小於氧化物530b的電子親和力。

【0191】在此，在氧化物530a及氧化物530b的接合部

中，導帶底的能階平緩地變化。換言之，也可以將上述情況表達為氧化物530a及氧化物530b的接合部的導帶底的能階連續地變化或者連續地接合。為此，較佳為降低形成在氧化物530a與氧化物530b的介面的混合層的缺陷態密度。

【0192】明確而言，藉由使氧化物530a與氧化物530b除了氧之外還包含共同元素(為主要成分)，可以形成缺陷態密度低的混合層。例如，在氧化物530b為In-Ga-Zn氧化物的情況下，作為氧化物530a較佳為使用In-Ga-Zn氧化物、Ga-Zn氧化物及氧化鎵等。

【0193】此時，載子的主要路徑為氧化物530b。藉由使氧化物530a具有上述結構，可以降低氧化物530a與氧化物530b的介面的缺陷態密度。因此，介面散射對載子傳導的影響減少，可以提高電晶體500的通態電流。

【0194】在氧化物530b上設置有用作源極電極及汲極電極的導電體542a及導電體542b。作為導電體542a及導電體542b，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鈇、鎳、鈦、鈾、鎢、鉛、釩、鈮、錳、鎂、鋳、鉍、銻、鈦、銻和鏷中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鈾、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鈾和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鏷和鎳的氧化物等。此外，氮化鈾、氮化鈦、包含鈦和鋁的氮化物、包含鈾和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鏷和鎳的氧化物是不容易被氧化的

導電材料或者吸收氧也維持導電性的材料，所以是較佳的。氮化鉭等的金屬氮化物膜對氫或氧具有阻擋性，所以是更佳的。

【0195】此外，雖然在圖11A示出導電體542a及導電體542b的單層結構，但是也可以採用兩層以上的疊層結構。例如，較佳為層疊氮化鉭膜及鎢膜。此外，也可以層疊鈦膜及鋁膜。此外，也可以採用在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構。

【0196】此外，也可以使用：在鈦膜或氮化鈦膜上層疊鋁膜或銅膜並在其上形成鈦膜或氮化鈦膜的三層結構、在鉬膜或氮化鉬膜上層疊鋁膜或銅膜並在其上形成鉬膜或氮化鉬膜的三層結構等。此外，也可以使用包含氧化銻、氧化錫或氧化鋅的透明導電材料。

【0197】絕緣體544以覆蓋導電體542a及導電體542b的方式設置，抑制導電體542a及導電體542b的氧化。此時，絕緣體544也可以以覆蓋氧化物530的側面且與絕緣體524接觸的方式設置。

【0198】作為絕緣體544，可以使用包含選自鉛、鋁、鎵、鉍、銦、鎢、鈦、鉭、鎳、鍺、釹、釷或鎂等中的一種或兩種以上的金屬氧化物。此外，作為絕緣體544也可以使用氮氧化矽或氮化矽等。

【0199】尤其是，作為絕緣體544，較佳為使用作為

包含鋁和鉛中的一者或兩者的氧化物的絕緣體的氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。尤其是，鋁酸鉛的耐熱性比氧化鉛膜高。因此，在後面的製程的熱處理中不容易晶化，所以是較佳的。此外，在導電體542a及導電體542b由具有耐氧化性的材料或者吸收氧也其導電性不會顯著降低的材料構成的情況下，不需要必須設置絕緣體544。根據所需要的電晶體特性，適當地設計即可。

【0200】藉由包括絕緣體544，可以抑制絕緣體580所包含的水、氫等雜質擴散到氧化物530b。此外，可以抑制絕緣體580所包含的過量氧使導電體542a及542b氧化。

【0201】絕緣體545被用作第一閘極絕緣膜。絕緣體545較佳為與上述絕緣體524同樣地使用包含過剩的氧並藉由加熱而釋放氧的絕緣體形成。

【0202】明確而言，可以使用包含過量氧的氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

【0203】藉由作為絕緣體545設置包含過量氧的絕緣體，可以從絕緣體545對氧化物530b的通道形成區域有效地供應氧。此外，與絕緣體524同樣，較佳為降低絕緣體545中的水或氫等雜質的濃度。絕緣體545的厚度較佳為1nm以上且20nm以下。

【0204】此外，為了將絕緣體545所包含的過量氧高

效地供應到氧化物 530，也可以在絕緣體 545與導電體 560之間設置金屬氧化物。該金屬氧化物較佳為抑制從絕緣體 545到導電體 560的氧擴散。藉由設置抑制氧的擴散的金屬氧化物，從絕緣體 545到導電體 560的過量氧的擴散受到抑制。換言之，可以抑制供應到氧化物 530的過量氧量減少。此外，可以抑制因過量氧導致的導電體 560的氧化。作為該金屬氧化物，可以使用可用於絕緣體 544的材料。

【0205】此外，與第二閘極絕緣膜同樣，絕緣體 545也可以具有疊層結構。由於當進行電晶體的微型化及高積體化時，有時閘極絕緣膜的薄膜化導致關態電流等問題，因此藉由使用作閘極絕緣膜的絕緣體具有 high-k材料與具有熱穩定性的材料的疊層結構，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，可以實現具有熱穩定性及高相對介電常數的疊層結構。

【0206】在圖 11A及圖 11B中，用作第一閘極電極的導電體 560具有兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0207】作為導電體 560a，較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子( $N_2O$ 、 $NO$ 、 $NO_2$ 等)、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能的導電材料。藉由使導電體 560a具有抑制氧的擴散的功能，可以抑制因絕緣體 545所包含的氧導致導電體 560b氧化而導電率下降。作為

具有抑制氧的擴散的功能的導電材料，例如，較佳為使用鈇、氮化鈇、鈇或氧化鈇等。此外，作為導電體 560a 可以使用可應用於氧化物 530 的氧化物半導體。在此情況下，藉由採用濺射法形成導電體 560b，可以降低導電體 560a 的電阻值來使其成為導電體。其可以稱為 OC(Oxide Conductor)電極。

【0208】作為導電體 560b，較佳為使用以鎢、銅或鋁為主要成分的導電材料。由於導電體 560b 還被用作佈線，所以較佳為使用導電性高的導電體。導電體 560b 也可以具有疊層結構，例如，可以採用鈦或氮化鈦和上述導電材料的疊層結構。

【0209】絕緣體 580 較佳為隔著絕緣體 544 設置在導電體 542a 及導電體 542b 上。絕緣體 580 較佳為具有過量氧區域。例如，絕緣體 580 較佳為包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。尤其是，氧化矽和具有空孔的氧化矽容易在後面的製程中形成過量氧區域，所以是較佳的。

【0210】絕緣體 580 較佳為具有過量氧區域。藉由設置藉由加熱而釋放氧的絕緣體 580，可以將絕緣體 580 中的氧高效地供應到氧化物 530。此外，較佳為降低絕緣體 580 中的水或氫等雜質的濃度。

【0211】絕緣體 580 的開口以與導電體 542a 和導電體

542b之間的區域重疊的方式形成。由此，導電體560以嵌入絕緣體580的開口中及夾在導電體542a與導電體542b之間的區域的方式設置。

【0212】在進行半導體裝置的微型化時，需要縮短閘極長度，但是需要防止導電體560的導電性的下降。為此，在增大導電體560的厚度的情況下，導電體560有可能具有縱橫比高的形狀。在本實施方式中，由於將導電體560以嵌入絕緣體580的開口的方式設置，所以即使導電體560具有縱橫比高的形狀，在製程中也不發生導電體560的倒塌。

【0213】絕緣體574較佳為以與絕緣體580的頂面、導電體560的頂面及絕緣體545的頂面接觸的方式設置。藉由利用濺射法形成絕緣體574，可以在絕緣體545及絕緣體580中形成過量氧區域。由此，可以將氧從該過量氧區域供應到氧化物530中。

【0214】例如，作為絕緣體574，可以使用包含選自鉛、鋁、鎵、鉍、銦、鎢、鈦、鉭、鎳、鍺和鎂等中的一種或兩種以上的金屬氧化物。

【0215】尤其是，氧化鋁具有高阻擋性，即使是0.5nm以上且3.0nm以下的薄膜，也可以抑制氫及氮的擴散。由此，藉由利用濺射法形成的氧化鋁可以在被用作氧供應源的同時還具有氫等雜質的阻擋膜的功能。

【0216】此外，較佳為在絕緣體574上設置用作層間膜的絕緣體581。與絕緣體524等同樣，較佳為降低絕緣體

581中的水或氫等雜質的濃度。

【0217】此外，在形成於絕緣體581、絕緣體574、絕緣體580及絕緣體544中的開口配置導電體540a及導電體540b。導電體540a及導電體540b以隔著導電體560彼此對置的方式設置。

【0218】可用於本發明的電晶體不侷限於圖11A及圖11B所示的電晶體500。例如，也可以使用圖12所示的結構的電晶體500。圖12所示的電晶體500與圖11A及圖11B所示的電晶體的不同之處在於使用絕緣體555以及導電體542a(導電體542a1及導電體542a2)及導電體542b(導電體542b1及導電體542b2)具有疊層結構。

【0219】導電體542a具有導電體542a1及導電體542a1上的導電體542a2的疊層結構，導電體542b具有導電體542b1及導電體542b1上的導電體542b2的疊層結構。接觸於氧化物530b的導電體542a1及導電體542b1較佳為金屬氮化物等不容易被氧化的導電體。由此，可以防止因包含在氧化物530b中的氧導致的導電體542a及導電體542b過度氧化。此外，導電體542a2及導電體542b2較佳為其導電性比導電體542a1及導電體542b1高的金屬層等導電體。由此，導電體542a及導電體542b可以被用作導電性高的佈線或電極。如此，可以提供以接觸於用作活性層的氧化物530頂面的方式設置用作佈線或電極的導電體542a及導電體542b的半導體裝置。

【0220】作為導電體542a1、542b1較佳為使用金屬氮

化物，例如較佳為使用包含鉍的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉍及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉍的氮化物。此外，例如也可以使用鈮、氧化鈮、氮化鈮、包含鋁和鈮的氧化物、包含鐳和鎳的氧化物等。這些材料是不容易被氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0221】導電體 542a2 及導電體 542b2 的導電性較佳為比導電體 542a1 及導電體 542b1 高。例如，導電體 542a2 及導電體 542b2 的厚度較佳為比導電體 542a1 及導電體 542b1 的厚度大。作為導電體 542a2 及導電體 542b2 使用可用於上述導電體 560b 的導電體即可。藉由採用上述結構，可以降低導電體 542a2 及導電體 542b2 的電阻。

【0222】例如，作為導電體 542a1 及導電體 542b1 可以使用氮化鉍或氮化鈦，作為導電體 542a2 及導電體 542b2 可以使用鎢。

【0223】如圖 12 所示，在電晶體 500 的通道長度方向上的剖面視中，導電體 542a1 與導電體 542b1 間的距離小於導電體 542a2 與導電體 542b2 間的距離。藉由採用這種結構，可以進一步縮短源極與汲極間的距離，與此相應地可以縮短通道長度。因此，可以提高電晶體 500 的頻率特性。如此，藉由實現半導體裝置的微型化，可以提供工作速度得到提高的半導體裝置。

【0224】絕緣體 555 較佳為氮化物等不容易被氧化的

絕緣體。絕緣體 555 以與導電體 542a2 的側面及導電體 542b2 的側面接觸的方式形成，並具有保護導電體 542a2 及導電體 542b2 的功能。絕緣體 555 由於暴露於氧化氛圍，所以較佳為使用不容易被氧化的無機絕緣體。此外，絕緣體 555 因為與導電體 542a2 及導電體 542b2 接觸，所以較佳為不容易使導電體 542a2、542b2 氧化的無機絕緣體。因此，絕緣體 555 較佳為使用對氧具有阻擋性的絕緣材料。例如，作為絕緣體 555 可以使用氮化矽。

**【0225】** 在絕緣體 580 及絕緣體 544 中形成開口，以與該開口的側壁接觸的方式形成絕緣體 555，使用遮罩使導電體 542a1 和導電體 542b1 分開，由此形成圖 12 所示的電晶體 500。這裡，上述開口重疊於導電體 542a2 和導電體 542b2 之間的區域。此外，導電體 542a1 及導電體 542b1 的一部分向上述開口內突出。因此，絕緣體 555 在上述開口內與導電體 542a1 的頂面、導電體 542b1 的頂面、導電體 542a2 的側面及導電體 542b2 的側面接觸。此外，絕緣體 545 在導電體 542a1 與導電體 542b1 之間的區域與氧化物 530 的頂面接觸。

**【0226】** 較佳的是，在使導電體 542a1 與導電體 542b1 分開之後，在沉積絕緣體 545 之前，在含氧氛圍下進行熱處理。由此，對氧化物 530a 及氧化物 530b 供應氧，由此可以減少氧空位。再者，藉由絕緣體 555 以與導電體 542a2 的側面及導電體 542b2 的側面接觸的方式形成，可以防止導電體 542a2 及導電體 542b2 過剩地被氧化。由此，可以提高

電晶體的電特性及可靠性。此外，可以抑制在同一基板上形成多個電晶體的電特性不均勻。

【0227】如圖12所示，在電晶體500中，也可以將絕緣體524形成為島狀。這裡，絕緣體524的側端部也可以與氧化物530大致一致。

【0228】如圖12所示，在電晶體500中，絕緣體522也可以與絕緣體516及導電體503接觸。換言之，也可以不設置圖11A及圖11B所示的絕緣體520。

【0229】

[電晶體37、電容器38]

圖13A至圖13C是可用於圖11中的元件層30[1]所具有的各結構的記憶單元32所包括的電晶體37及電容器38的平面圖及剖面圖。圖13A是記憶單元32的平面圖。此外，圖13B及圖13C是記憶單元32的剖面圖。在此，圖13B是圖13A中以A1-A2的點劃線表示的部分的剖面圖。此外，圖13C是圖13A中以A3-A4的點劃線表示的部分的剖面圖。此外，在圖13A的平面圖中，為了明確起見，省略組件的一部分。

【0230】圖13A至圖13C示出絕緣體140、絕緣體140上的導電體110、導電體110上的記憶單元32、導電體110上的絕緣體180、絕緣體280、記憶單元32上的絕緣體283。絕緣體140、絕緣體180、絕緣體280及絕緣體283被用作層間膜。導電體110被用作佈線。

【0231】記憶單元32包括導電體110上的電容器38及

電容器38上的電晶體37。

【0232】電容器38包括導電體110上的導電體115、導電體115上的絕緣體130、絕緣體130上的導電體120。導電體120被用作一對電極中的一方(有時稱為上部電極)，導電體115被用作一對電極中的另一方(有時稱為下部電極)，絕緣體130被用作介電體。也就是說，電容器38構成MIM(Metal-Insulator-Metal：金屬-絕緣體-金屬)電容器。

【0233】如圖13B及圖13C所示，絕緣體180中設置有到達導電體110的開口部190。導電體115的至少一部分配置在開口部190中。注意，導電體115具有在開口部190與導電體110的頂面接觸的區域、在開口部190與絕緣體180的側面接觸的區域、以及與絕緣體180的頂面的至少一部分接觸的區域。絕緣體130以其至少一部分位於開口部190的方式配置。導電體120以其至少一部分位於開口部190的方式配置。另外，如圖13B及圖13C所示，導電體120較佳為以嵌入開口部190的方式設置。

【0234】電容器38具有在開口部190中不僅在底面上而且在側面上上部電極與下部電極隔著介電體對置的結構，因此可以增加單位面積的靜電電容。由此，開口部190的深度越深，電容器38的靜電電容可以越大。如此，藉由增加電容器38的單位面積的靜電電容，可以使記憶單元陣列中的讀出工作穩定。此外，可以推進記憶單元的微型化或高積體化。

【0235】開口部190的側壁較佳為垂直於導電體110的

頂面。此時，開口部 190 具有圓筒形狀。藉由採用這種結構，可以實現記憶單元的微型化或高積體化。

【0236】導電體 115 及絕緣體 130 沿著開口部 190 的側壁及導電體 110 的頂面層疊設置。此外，絕緣體 130 上以嵌入開口部 190 的方式設置有導電體 120。具有這種結構的電容器 38 相當於上述溝槽型電容器(深孔疊層電容器)。

【0237】電容器 38 上配置有絕緣體 280。也就是說，導電體 115、絕緣體 130 及導電體 120 上配置有絕緣體 280。換言之，絕緣體 280 下配置有導電體 120。

【0238】電晶體 37 包括導電體 120、絕緣體 280 上的導電體 240、氧化物半導體 230、氧化物半導體 230 上的絕緣體 250 及絕緣體 250 上的導電體 260。氧化物半導體 230 被用作半導體層，導電體 260 被用作閘極電極，絕緣體 250 被用作閘極絕緣體，導電體 120 被用作源極電極和汲極電極中的一個，導電體 240 被用作源極電極和汲極電極中的另一個。

【0239】如圖 13B 及圖 13C 所示，絕緣體 280 及導電體 240 中設置有到達導電體 120 的開口部 290。氧化物半導體 230 的至少一部分配置在開口部 290 中。注意，氧化物半導體 230 具有在開口部 290 與導電體 120 的頂面接觸的區域、在開口部 290 與導電體 240 的側面接觸的區域、與導電體 240 的頂面的至少一部分接觸的區域。絕緣體 250 以其至少一部分位於開口部 290 的方式配置。導電體 260 以其至少一部分位於開口部 290 的方式配置。注意，如圖 13B 及圖 13C

所示，導電體 260 較佳為以嵌入開口部 290 的方式設置。

【0240】氧化物半導體 230 具有與位於開口部 290 的導電體 240 的側面接觸的區域及與導電體 240 的頂面的一部分接觸的區域。如此，藉由氧化物半導體 230 不但與導電體 240 的側面接觸而與頂面接觸，可以增大氧化物半導體 230 與導電體 240 接觸的面積。

【0241】如圖 13A 至圖 13C 所示，電晶體 37 以與電容器 38 重疊的方式設置。此外，設置有電晶體 37 的結構的一部分的開口部 290 具有與設置有電容器 38 的結構的一部分的開口部 190 重疊的區域。尤其是，導電體 120 被用作電晶體 37 的源極電極和汲極電極中的一個及電容器 38 的上部電極，因此電晶體 37 與電容器 38 共同使用其結構的一部分。藉由採用這種結構，可以在俯視時以不增大佔有面積的方式設置電晶體 37 及電容器 38。由此，可以縮小記憶單元 32 的佔有面積，因此可以以高密度配置記憶單元 32 而增大記憶容量。

【0242】圖 13D 示出記憶單元 32 的電路圖。在此，佈線 BL 對應於導電體 240，佈線 WL 對應於導電體 260，佈線 PL 對應於導電體 110。如圖 13A 至圖 13C 所示，導電體 260 較佳為在 Y 方向上延伸而設置，導電體 240 較佳為在 X 方向上延伸而設置。藉由採用這種結構，佈線 BL 和佈線 WL 彼此交叉地設置。此外，在圖 13A 中，佈線 PL (導電體 110) 設置為面狀，但是本發明不侷限於此。例如，佈線 PL 既可以以平行於佈線 WL (導電體 260) 的方式設置，又可以以平行

於佈線BL(導電體240)的方式設置。

【0243】電容器38包括導電體115、絕緣體130及導電體120。此外，導電體115的下方設置有導電體110。導電體115具有與導電體110接觸的區域。

【0244】導電體110設置在絕緣體140上。導電體110被用作佈線PL，例如可以設置為面狀。作為導電體110可以使用導電體的單層或疊層。例如，作為導電體110可以使用鎢等導電性高的導電材料。藉由如此使用導電性高的導電材料，可以提高導電體110的導電性而使導電體110充分發揮作為佈線PL的功能。

【0245】另外，作為導電體115，較佳為使用不容易被氧化的導電材料或者具有抑制氧擴散的功能的導電材料等的單層或疊層。例如，也可以使用氮化鈦或添加矽的鈦錫氧化物等。此外，例如，也可以具有鎢上層疊有氮化鈦的結構。此外，例如，也可以具有第一氮化鈦上層疊有鎢且該鎢上層疊有第二氮化鈦的結構。藉由採用這種結構，在將氧化物絕緣體用作絕緣體130時，可以抑制因絕緣體130導致導電體110被氧化。此外，在將氧化物絕緣體用作絕緣體180時，可以抑制因絕緣體180導致導電體110被氧化。

【0246】絕緣體130設置在導電體115上。絕緣體130以與導電體115的頂面及側面接觸的方式設置。也就是說，絕緣體130較佳為覆蓋導電體110的側端部。由此，可以防止導電體115及導電體120短路。

【0247】另外，也可以採用絕緣體130的側端部與導電體115的側端部對齊的結構。藉由採用這種結構，可以使用相同遮罩形成絕緣體130及導電體115，由此可以簡化元件層30[1]的製程。

【0248】作為絕緣體130較佳為使用相對介電常數高的材料，所謂high-k材料。藉由作為絕緣體130使用high-k材料，可以將絕緣體130形成為厚到能夠抑制洩漏電流的程度且可以充分確保電容器38的靜電電容。

【0249】此外，絕緣體130較佳為使用由high-k材料構成的絕緣層的疊層結構，較佳為使用相對介電常數高的(high-k)材料與其介電強度高於該high-k材料的介電強度的材料的疊層結構。例如，作為絕緣體130，可以使用依次層疊有氧化鋯、氧化鋁以及氧化鋯的絕緣膜。此外，例如可以使用依次層疊有氧化鋯、氧化鋁、氧化鋯以及氧化鋁的絕緣膜。此外，例如可以使用依次層疊有鉛鋯氧化物、氧化鋁、鉛鋯氧化物以及氧化鋁的絕緣膜。藉由層疊如氧化鋁等介電強度比較高的絕緣體，可以提高介電強度來抑制電容器38的靜電破壞。

【0250】此外，作為絕緣體130，也可以使用可具有鐵電性的材料。作為可具有鐵電性的材料，可以舉出氧化鉛、氧化鋯、 $\text{HfZrO}_x$ ( $x$ 為大於0的實數)等金屬氧化物。此外，作為可具有鐵電性的材料，可以舉出對氧化鉛添加元素J1(在此，元素J1為選自鋯、矽、鋁、鈦、釷、釷、鐳、鋇等中的一個或多個)的材料。在此，可以適當地設定鉛原

子的原子個數與元素J1的原子個數之比，例如，可以將鉛原子的原子個數與元素J1的原子個數之比設定為1：1或其附近。此外，作為可具有鐵電性的材料，可以舉出對氧化銻添加元素J2(在此，元素J2為選自鉛、矽、鋁、鈳、鈇、釷、鏷、錒等中的一個或多個)的材料等。此外，可以適當地設定銻原子的原子個數與元素J2的原子個數之比，例如，可以將銻原子的原子個數與元素J2的原子個數之比設定為1：1或其附近。此外，作為可具有鐵電性的材料，也可以使用鈦酸鉛( $\text{PbTiO}_x$ )、鈦酸鋇錒(BST)、鈦酸錒、銻鈦酸鉛(PZT)、鉍酸錒鈇(SBT)、鐵酸鈇(BFO)、鈦酸鋇等具有鈣鈦礦結構的壓電陶瓷。

**【0251】**此外，作為可具有鐵電性的材料，可以舉出包含元素M1、元素M2及氮的金屬氮化物。在此，元素M1為選自鋁、鎵、銻等中的一個或多個。此外，元素M2為選自硼、鈳、鈇、釷、鈇、鈳、鈳、鈳、鈳、鈳、鈳、鈳、鈳、鈳、鈳、鈳等中的一個或多個。此外，可以適當地設定元素M1與元素M2的原子個數比。此外，包含元素M1及氮的金屬氧化物即便不包含元素M2也有時具有鐵電性。此外，作為可具有鐵電性的材料，可以舉出對上述金屬氮化物添加元素M3的材料。注意，元素M3為選自鎂、鈣、錒、鋅、鎳等中的一個或多個。在此，可以適當地設定元素M1、元素M2與元素M3的原子個數比。

**【0252】**此外，作為可具有鐵電性的材料，可以舉出 $\text{SrTaO}_2\text{N}$ 、 $\text{BaTaO}_2\text{N}$ 等鈣鈦礦型氧氮化物、 $\kappa$ 型氧化鋁的

GaFeO<sub>3</sub>等。

【0253】注意，雖然在上述說明中示出金屬氧化物及金屬氮化物，但是不侷限於此。例如，也可以使用對上述金屬氧化物添加氮的金屬氧氮化物或者對上述金屬氮化物添加氧的金屬氮氧化物等。

【0254】此外，作為可具有鐵電性的材料，例如，可以使用由選自上述材料中的多個材料構成的混合物或化合物。此外，絕緣體130可以具有由選自上述材料中的多個材料構成的疊層結構。注意，上述所列舉的材料等的晶體結構(特性)可能不僅根據成膜條件而且還根據各種製程等而發生變化，由此在本說明書等中，呈現鐵電性的材料不僅被稱為鐵電體，而且還被稱為可具有鐵電性的材料。

【0255】較佳為使用包含鉛及鋇中的一個或兩個的金屬氧化物，因為它們即使被加工為幾nm的薄膜也可具有鐵電性。在此，絕緣體130的厚度可以為100nm以下，較佳為50nm以下，更佳為20nm以下，進一步較佳為10nm以下(典型的是，2nm以上且9nm以下)。例如，厚度較佳為8nm以上且12nm以下。藉由使用可以被薄膜化的鐵電體層，可以將電容器38與被微型化了的電晶體等半導體元件組合來形成半導體裝置。在本說明書等中，形成為層狀的可具有鐵電性的材料有時被稱為鐵電體層、金屬氧化物膜或金屬氮化物膜。此外，在本說明書等中，有時將包括鐵電體層、金屬氧化物膜或金屬氮化物膜的裝置稱為鐵電體器件。

【0256】較佳為使用包含鉛及鋇中的一個或兩個的金屬氧化物，因為它們即使具有微小面積也可具有鐵電性。例如，鐵電層即使在俯視時的面積(佔有面積)為 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下或 $0.1\mu\text{m}^2$ 以下也可以具有鐵電性。另外，有時在其面積為 $10000\text{nm}^2$ 以下或 $1000\text{nm}^2$ 以下時也具有鐵電性。藉由形成面積小的鐵電層，可以縮小電容器38的佔有面積。

【0257】鐵電體為絕緣體，具有受到外加電場的作用而在內部發生極化，並在該電場為0時也保持極化的性質。因此，藉由使用將該材料用作介電質的電容器(以下有時稱為鐵電電容器)，可以形成非揮發性記憶元件。使用鐵電電容器的非揮發性記憶元件有時被稱為FeRAM(Ferroelectric Random Access Memory：鐵電隨機存取記憶體)、鐵電記憶體等。例如，鐵電記憶體包括電晶體及鐵電電容器，電晶體的源極及汲極中的一個與鐵電電容器的一個端子電連接。由此，在作為電容器38使用鐵電電容器的情況下，本實施方式所示的記憶單元被用作鐵電記憶體。

【0258】此外，鐵電性被認為是因為包含在鐵電層中的晶體的氧或氮受到外部電場來發生位移而呈現的。此外，呈現鐵電性被推定為依賴於包含在鐵電層中的晶體的結構。因此，為了使絕緣體130呈現鐵電性，絕緣體130需要包含晶體。尤其是，絕緣體130較佳為具有正交晶系晶體結構的結晶，由此呈現鐵電性。包含在絕緣體130中的

結晶的晶體結構為選自立方晶系、四方晶系、正交晶系、單斜晶系以及六方晶系中的任何一個或多個即可。此外，絕緣體 130 也可以具有非晶結構。此時，絕緣體 130 也可以具有非晶結構和晶體結構的複合結構。

【0259】導電體 120 以與絕緣體 130 的頂面的一部分接觸的方式設置。此外，導電體 120 的側端部較佳為在 X 方向及 Y 方向上都位於導電體 115 的側端部的內側。注意，在具有絕緣體 130 覆蓋導電體 115 的側端部的結構時，導電體 120 的側端部也可以位於導電體 115 的側端部的外側。

【0260】作為導電體 120 可以使用將在後面說明的[導電體]中記載的導電體的單層或疊層。作為導電體 120，較佳為使用不容易被氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。例如，可以使用氮化鈦或氮化鉭等。此外，例如，也可以具有氮化鈦上層疊有氮化鉭的結構。在此情況下，氮化鈦與絕緣體 130 接觸，氮化鉭與氧化物半導體 230 接觸。藉由採用這種結構，可以抑制因氧化物半導體 230 導致導電體 120 被過度氧化。此外，在將氧化物絕緣體用作絕緣體 130 時，可以抑制因絕緣體 130 導致導電體 120 被過度氧化。此外，作為導電體 120，例如也可以具有氮化鈦上層疊有鎢的結構。

【0261】此外，導電體 120 因為具有與氧化物半導體 230 接觸的區域而較佳為使用將在後面說明的[導電體]中記載的包含氧的導電材料。藉由作為導電體 120 使用包含氧的導電材料，即使導電體 120 吸收氧也可以維持導電

性。此外，在作為絕緣體 130 使用氧化鋯等包含氧的絕緣體時，導電體 120 也可以維持導電性，所以是較佳的。作為導電體 120，例如可以使用銦錫氧化物(也稱為 ITO)、添加矽的銦錫氧化物(也稱為 ITSO)及銦鋅氧化物(也稱為 IZO(註冊商標))等的單層或疊層。

【0262】絕緣體 180 被用作層間膜，所以其相對介電常數較佳為低。藉由將相對介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體 180 可以使用包含相對介電常數低的材料的絕緣體的單層或疊層。較佳為使用氧化矽及氧氮化矽，因為它們具有熱穩定性。此時，絕緣體 180 至少包含矽及氧。

【0263】如圖 13A 至圖 13C 所示，電晶體 37 包括：導電體 120；絕緣體 280 上的導電體 240；以與開口部 290 中露出的導電體 120 的頂面、位於開口部 290 的絕緣體 280 的側面、位於開口部 290 的導電體 240 的側面及導電體 240 的頂面的至少一部分接觸的方式設置的氧化物半導體 230；以與氧化物半導體 230 的頂面接觸的方式設置的絕緣體 250；以及以與絕緣體 250 的頂面接觸的方式設置的導電體 260。

【0264】電晶體 37 的組件的至少一部分配置在開口部 290 中。在此，開口部 290 的底部是導電體 120 的頂面，開口部 290 的側壁是絕緣體 280 的側面及導電體 240 的側面。

【0265】開口部 290 的側壁較佳為垂直於導電體 110 的頂面。此時，開口部 290 具有圓筒形狀。藉由採用這種結構，可以實現記憶單元的微型化或高積體化。

【0266】注意，本實施方式示出開口部290的俯視時的形狀為圓形的例子，但是本發明不侷限於此。例如，開口部290的俯視時的形狀也可以為橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。此時，開口部290的最大寬度較佳為根據開口部290的最上部的形狀適當地算出。例如，在俯視時開口部為四角形的情況下，開口部290的最大寬度較佳為設為開口部290的最上部的對置線的長度。

【0267】配置在氧化物半導體230、絕緣體250及導電體260的開口部290內的部分反映了開口部290的形狀。因此，以覆蓋開口部290的底部及側壁的方式設置氧化物半導體230，以覆蓋氧化物半導體230的方式設置絕緣體250，並且以嵌入反映了開口部290的形狀的絕緣體250的凹部的方式設置導電體260。

【0268】在此，圖14A示出圖13B中的氧化物半導體230及其附近的放大圖。此外，圖14B示出包括導電體240的XY平面的剖面圖。

【0269】如圖14A所示，氧化物半導體230具有區域230i以及以夾有區域230i的方式設置的區域230na及區域230nb。

【0270】區域230na是與氧化物半導體230的導電體120接觸的區域。區域230na的至少一部分被用作電晶體37的源極區域和汲極區域中的一個。區域230nb是與氧化物半導體230的導電體240接觸的區域。區域230nb的至少一

部分被用作電晶體 37 的源極區域和汲極區域中的另一個。如圖 14B 所示，導電體 240 接觸於氧化物半導體 230 的外周整體。因此，電晶體 37 的源極區域和汲極區域中的另一個有可能形成在氧化物半導體 230 的形成在與導電體 240 相同層中的部分的外周整體。

【0271】區域 230i 是氧化物半導體 230 的區域 230na 與區域 230nb 之間的區域。區域 230i 的至少一部分被用作電晶體 37 的通道形成區域。也就是說，電晶體 37 的通道形成區域位於氧化物半導體 230 的導電體 120 與導電體 240 間的區域。另外，也可以說電晶體 37 的通道形成區域位於氧化物半導體 230 的接觸於絕緣體 280 的區域或其附近的區域。

【0272】電晶體 37 的通道長度是源極區域與汲極區域之間的距離。也就可以說，電晶體 37 的通道長度根據導電體 120 上的絕緣體 280 的厚度決定。在圖 14A 中，以虛線的雙箭頭表示電晶體 37 的通道長度 L。在剖面視中，通道長度 L 是氧化物半導體 230 與導電體 120 接觸的區域的端部至氧化物半導體 230 與導電體 240 接觸的區域的端部的距離。也就是說，通道長度 L 相當於剖面視的絕緣體 280 的開口部 290 一側的側面的長度。

【0273】在習知的電晶體中，根據光微影法的曝光極限設定通道長度，但是在本發明中，可以根據絕緣體 280 的厚度設定通道長度。因此，可以將電晶體 37 的通道長度設定為光微影法的曝光極限以下的非常微細的結構（例如，60nm 以下、50nm 以下、40nm 以下、30nm 以下、20nm

以下或10nm以下且1nm以上或5nm以上)。因此，電晶體37的通態電流變大，從而可以提高頻率特性。由此，可以提高記憶單元32的讀出速度及寫入速度，所以可以提供一種工作速度高的記憶體裝置。

【0274】再者，如上所述，可以在開口部290形成通道形成區域、源極區域及汲極區域。因此，與在XY平面上分別設置通道形成區域、源極區域及汲極區域的習知的電晶體相比，可以減小電晶體37的佔有面積。由此，可以使記憶體裝置高積體化，所以可以增大單位面積的記憶容量。

【0275】另外，與圖14B同樣，在包括氧化物半導體230的通道形成區域的XY平面上，氧化物半導體230、絕緣體250及導電體260也以同心圓狀設置。因此，設置在中心的導電體260的側面隔著絕緣體250與氧化物半導體230的側面相對。換言之，在俯視時氧化物半導體230的圈整體成為通道形成區域。此時，例如，根據氧化物半導體230的外周的長度決定電晶體37的通道寬度。也就可以說，電晶體37的通道寬度根據開口部290的最大寬度(俯視時開口部290為圓形的情況下的最大徑)的尺寸而決定。圖14A及圖14B中以雙點劃線的雙箭頭表示開口部290的最大寬度D。圖14B中以點劃線的雙箭頭表示電晶體37的通道寬度W。藉由增大開口部290的最大寬度D的尺寸，可以增大單位面積的通道寬度而增大通態電流。

【0276】在利用光微影法形成開口部290時，開口部

290的最大寬度D根據光微影法的曝光極限而設定。此外，開口部290的最大寬度D根據設置在開口部290中的氧化物半導體230、絕緣體250及導電體260的各厚度而設定。開口部290的最大寬度D例如較佳為5nm以上、10nm以上或20nm以上且100nm以下、60nm以下、50nm以下、40nm以下或30nm以下。注意，當在俯視時開口部290為圓形的情況下，開口部290的最大寬度D相當於開口部290的直徑，通道寬度W可以算出為“ $D \times \pi$ ”。

【0277】此外，在本發明的一個實施方式的記憶單元32中，電晶體37的通道長度L較佳為至少小於電晶體37的通道寬度W。根據本發明的一個實施方式的電晶體37的通道長度L為電晶體37的通道寬度W的0.1倍以上且0.99倍以下，較佳為0.5倍以上且0.8倍以下。藉由採用這種結構，可以實現具有良好電特性及高可靠性的電晶體。

【0278】另外，藉由以在俯視時具有圓形形狀的方式形成開口部290，氧化物半導體230、絕緣體250及導電體260以同心圓狀設置。由此，導電體260與氧化物半導體230間的距離大致相同，所以可以對氧化物半導體230大致均勻地施加閘極電場。

【0279】較佳的是，與源極區域及汲極區域相比，將氧化物半導體用於半導體層的電晶體的通道形成區域中的氧空位少或者氫、氮、金屬元素等雜質濃度低。另外，氧空位附近的氫有時形成氫進入氧空位的缺陷(以下，有時被稱為 $V_oH$ )而生成成為載子的電子，所以在通道形成區域

中較佳為還減少  $V_{OH}$ 。如此，電晶體的通道形成區域是載子濃度低的高電阻區域。由此，電晶體的通道形成區域可以說是 *i*型(本質)或實質上 *i*型。

【0280】另外，將氧化物半導體用於半導體層的電晶體的源極區域及汲極區域是如下區域：由於與通道形成區域相比氧空位多、 $V_{OH}$ 多或者氫、氮、金屬元素等雜質濃度高而載子濃度增加，由此被低電阻化。就是說，與通道形成區域相比，電晶體的源極區域及汲極區域是載子濃度更高且電阻更低的 *n*型區域。

【0281】注意，在圖 13B 及圖 13C 中，以開口部 290 的側壁垂直於導電體 110 的頂面的方式設置有開口部 290，但是本發明不侷限於此。例如，開口部 290 的側壁也可以為錐形。

【0282】此外，在圖 13C 示出氧化物半導體 230 的側端部位於導電體 240 的側端部的內側的結構。注意，本發明不侷限於此。例如，也可以採用在 Y 方向上氧化物半導體 230 的側端部與導電體 240 的側端部對齊的結構。或者，也可以採用氧化物半導體 230 的側端部位於導電體 240 的側端部的外側的結構。

【0283】用作氧化物半導體 230 的金屬氧化物的能帶間隙較佳為  $2eV$  以上，更佳為  $2.5eV$  以上。藉由作為氧化物半導體 230 使用能帶間隙較大的金屬氧化物，可以減小電晶體的關態電流。藉由將關態電流小的電晶體用於記憶單元，可以長期保持存儲內容。換言之，由於不需要更新工

作或更新工作的頻率極低，所以可以充分降低記憶單元陣列的功耗。注意，一般的DRAM的更新工作的頻率需要約為1次/60msec，但是本發明的一個實施方式的半導體裝置的更新工作的頻率可以約為1次/10sec，是DRAM的10倍以上或100倍以上的更新工作的頻率。注意，藉由使用本發明的一個實施方式的半導體裝置，更新工作可以為1sec以上且100sec以下1次，較佳為5sec以上且50sec以下1次的頻率。

【0284】注意，作為氧化物半導體230可以使用金屬氧化物的單層或疊層。

【0285】明確而言，作為氧化物半導體230，使用In：M：Zn=1：3：2[原子個數比]或其附近的組成、In：M：Zn=1：3：4[原子個數比]或其附近的組成、In：M：Zn=1：1：0.5[原子個數比]或其附近的組成、In：M：Zn=1：1：1[原子個數比]或其附近的組成、In：M：Zn=1：1：1.2[原子個數比]或其附近的組成、In：M：Zn=1：1：2[原子個數比]或其附近的組成或者In：M：Zn=4：2：3[原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的±30%的範圍。此外，作為元素M較佳為使用鎵。

【0286】在形成金屬氧化物時，可以適當地使用濺射法或原子層沉積(ALD：Atomic Layer Deposition)法。注意，在利用濺射法形成金屬氧化物的情況下，形成後的金屬氧化物的組成與濺射靶材的組成有時不同。尤其是，形

成後的金屬氧化物中的鋅含有率有時減少到濺射靶材的50%左右。

【0287】氧化物半導體230較佳為具有結晶性。作為具有結晶性的氧化物半導體，可以舉出CAAC-OS(c-axis aligned crystalline oxide semiconductor：c軸配向晶體氧化物半導體)、nc-OS(nanocrystalline oxide semiconductor：奈米晶氧化物半導體)、多晶氧化物半導體、單晶氧化物半導體等。作為氧化物半導體230較佳為使用CAAC-OS或nc-OS，特別較佳為使用CAAC-OS。

【0288】CAAC-OS較佳為具有多個層狀結晶區域且其c軸在被形成面的法線方向上配向。例如，氧化物半導體230較佳為具有大致平行於開口部290的側壁的層狀結晶，尤其是大致平行於絕緣體280的側面的層狀結晶。藉由採用這種結構，氧化物半導體230的層狀結晶大致平行於電晶體37的通道長度方向，所以可以增大電晶體的通態電流。

【0289】注意，在圖13B及圖13C中氧化物半導體230為單層，但是本發明不侷限於此。氧化物半導體230也可以具有化學組成不同的多個氧化物層的疊層結構。例如，也可以層疊選自上述金屬氧化物中的多種。

#### 【0290】

<其他變形例子>

圖15是對上面所說明的半導體裝置的變形例子進行說明的圖。圖15所示的半導體裝置10X是省略圖1B中說明的

元件層 50 的立體示意圖的結構例子。元件層 50 所包括的放大電路 51 設置在元件層 20 中。設置在元件層 20 中的放大電路 51 藉由設置在元件層 20 中的佈線 GBL 與感測放大器 66 連接。

【0291】藉由採用圖 15 的結構，雖然元件層 20 中的週邊電路 22 的佔有面積增大，但是可以省略元件層 20 上設置的元件層 50，所以可以減少半導體裝置的製造成本。

【0292】圖 16 是對上面所說明的半導體裝置的變形例子進行說明的圖。圖 16 所示的剖面示意圖是將圖 13A 至圖 13C 中說明的電晶體的結構用於圖 10 中的元件層 50 所包括的電晶體 500 的圖。

【0293】在圖 16 中，WL、LBL、PL、GBL 等符號相當於對圖 3B 等中的各佈線附上的符號。對佈線 PL 供應恆電位，對佈線 WL 供應驅動字線的信號。藉由將被供應驅動字線的信號的佈線 WL 配置在供應恆電位的佈線 PL 的上層，可以降低對元件層 30[1] 下層的元件層 50 的雜訊影響。此外，藉由將電容器 38 配置在供應恆電位的佈線 PL 的上層，可以降低因元件層 50 所包括的放大電路 51 的驅動導致的對元件層 30[1] 的雜訊影響。

【0294】佈線 LBL 以藉由設置在元件層 30[1] 和元件層 50 的層間的導電體使元件層 30[1] 所包括的電晶體 37 與元件層 50 所包括的電晶體 500V (相當於圖 6C 的電晶體 52) 連接的方式設置。佈線 GBL 以藉由設置在元件層 50 和元件層 20 的層間的導電體使元件層 50 所包括的電晶體 500V (相當於

圖 6C 的電晶體 55) 與元件層 20 所包括的電晶體 550 (相當於圖 7A 的電晶體 85\_3 等) 連接的方式設置。

【0295】如圖 14A、圖 14B 所說明，可用於圖 16 所示的元件層 50 中的電晶體 500V 可以增大單位面積的通道寬度而增大通態電流。由此，包括電晶體 500V 的放大電路 51 可以具有工作速度得到提高的結構。

【0296】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

#### 【0297】

#### 實施方式 2

在本實施方式中，說明在通道形成區域中包含氧化物半導體的電晶體 (OS 電晶體)。此外，在 OS 電晶體的說明中，簡單地說明與在通道形成區域中包含矽的電晶體 (也稱為 Si 電晶體) 的對比。

#### 【0298】

#### [OS 電晶體]

較佳為將載子濃度低的氧化物半導體用於 OS 電晶體。例如，氧化物半導體的通道形成區域的載子濃度為  $1 \times 10^{18} \text{cm}^{-3}$  以下，較佳為低於  $1 \times 10^{17} \text{cm}^{-3}$ ，更佳為低於  $1 \times 10^{16} \text{cm}^{-3}$ ，進一步較佳為低於  $1 \times 10^{13} \text{cm}^{-3}$ ，還進一步較佳為低於  $1 \times 10^{10} \text{cm}^{-3}$ ，且為  $1 \times 10^{-9} \text{cm}^{-3}$  以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等

中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。

【0299】因為高純度本質或實質上高純度本質的氧化物半導體具有較低的缺陷態密度，所以有時具有較低的陷阱態密度。此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0300】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質可以舉出氫、氮等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0301】在OS電晶體中，當氧化物半導體的通道形成區域中存在雜質及氧空位時，電特性容易變動而可能使可靠性下降。此外，在OS電晶體中，氫進入氧化物半導體中的氧空位而形成缺陷(下面有時稱為 $V_{oH}$ )，可能會產生成為載子的電子。另外，當在通道形成區域中形成 $V_{oH}$ 時，有時通道形成區域中的施體濃度增加。隨著通道形成區域中的施體濃度增加，有時臨界電壓不均勻。因此，當在氧化物半導體的通道形成區域中包含氧空位時，電晶體

會具有常開啟特性(即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此，在氧化物半導體的通道形成區域中，較佳為儘量減少雜質、氧空位及 $V_{OH}$ 。

【0302】另外，氧化物半導體的能帶間隙較佳為比矽的能帶間隙(典型的是 $1.1\text{eV}$ )大，較佳為 $2\text{eV}$ 以上，更佳為 $2.5\text{eV}$ 以上，更佳為 $3.0\text{eV}$ 以上。藉由使用具有比矽大的能帶間隙的氧化物半導體，可以減少電晶體的關態電流(也稱為 $I_{off}$ )。

【0303】例如，在Si電晶體中，隨著電晶體的微型化發展，出現短通道效應(Short Channel Effect：也稱為SCE)。因此，Si電晶體的微型化很困難。作為出現短通道效應的原因之一可以舉出矽的能帶間隙較小。另一方面，在OS電晶體中，使用作為能帶間隙大的半導體材料的氧化物半導體，因此可以抑制短通道效應。換言之，OS電晶體是沒有短通道效應或短通道效應極少的電晶體。

【0304】短通道效應是指隨著電晶體的微型化(通道長度的縮小)出現的電特性的下降。作為短通道效應的具體例子，有臨界電壓的降低、次臨界擺幅值(有時記載為S值)的增大、洩漏電流的增大等。在此，S值是指：以固定的汲極電壓使汲極電流的值變化一個位數的次臨界值區域中的閘極電壓的變化量。

【0305】作為對短通道效應的耐性的指標，廣泛地使用特徵長度(Characteristic Length)。特徵長度是指通道形

成區域的勢的彎曲性指標。特徵長度越小，勢越急劇上升，因此可以說抗短通道效應能力高。

【0306】OS電晶體為積累型電晶體，Si電晶體為反型電晶體。因此，與Si電晶體相比，OS電晶體中的源極區域-通道形成區域間的特徵長度及汲極區域-通道形成區域間的特徵長度小。因此，OS電晶體的抗短通道效應能力比Si電晶體高。就是說，當想要製造通道長度小的電晶體時，OS電晶體比Si電晶體更合適。

【0307】即使在將氧化物半導體的載子濃度降低到通道形成區域被i型化或實質上被i型化的情況下，在短通道電晶體中由於Conduction-Band-Lowering(CBL，導帶降低)效應而通道形成區域的導帶底也變低，因此源極區域或汲極區域與通道形成區域之間的導帶底的能量差有可能減小到0.1eV以上且0.2eV以下。由此，可以將OS電晶體看作具有 $n^+/n^-/n^+$ 的積累型無結電晶體結構或 $n^+/n^-/n^+$ 的積累型non-junction電晶體結構，其中通道形成區域為 $n^-$ 型區域，源極區域及汲極區為 $n^+$ 型區域。

【0308】當作為OS電晶體採用上述結構時，即便使半導體裝置微型化或高積體化也可以實現良好的電特性。例如，即使OS電晶體的閘極長度為20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上，也可以得到良好的電特性。另一方面，在Si電晶體中，因為出現短通道效應所以有時難以具有20nm以下或15nm以下的閘極長度。因此，與Si電晶體相比，

OS電晶體更適合用作通道長度小的電晶體。閘極長度是電晶體工作時載子移動通道形成區域內部的方向上的閘極電極的長度，是電晶體的俯視圖中的閘極電極的底面的寬度。

【0309】此外，藉由使OS電晶體微型化可以提高電晶體的高頻特性。明確而言，可以提高電晶體的截止頻率。當OS電晶體的閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為50GHz以上，較佳為100GHz以上，更佳為150GHz以上。

【0310】如以上的說明那樣，OS電晶體具有比Si電晶體優異的效果，諸如關態電流小以及可以製造通道長度小的電晶體。

【0311】本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

### 【0312】

#### 實施方式3

在本實施方式中，說明可以使用在上述實施方式中說明的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心(Data Center：也稱為DC)。使用本發明的一個實施方式的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心對低功耗等高性能的實現很有效。

### 【0313】

## [電子構件]

圖 17A 示出安裝有電子構件 709 的基板(電路板 704)的立體圖。圖 17A 所示的電子構件 709 在模子 711 內包括半導體裝置 710。在圖 17A 中，省略電子構件 709 的一部分記載以表示其內部。電子構件 709 在模子 711 的外側包括連接盤(land)712。連接盤 712 電連接於電極焊盤 713，電極焊盤 713 藉由引線 714 電連接於半導體裝置 710。電子構件 709 例如安裝於印刷電路板 702 上。藉由組合多個該電子構件並使其分別在印刷電路板 702 上電連接，由此完成電路板 704。

**【0314】** 另外，半導體裝置 710 包括驅動電路層 715 及存儲層 716。存儲層 716 具有層疊有多個記憶單元陣列的結構。層疊有驅動電路層 715 及存儲層 716 的結構可以採用單片疊層的結構。在單片疊層的結構中，可以不用 TSV(Through Silicon Via：矽通孔)等貫通電極技術及 Cu-Cu 直接接合等接合技術而連接各層間。當以單片的方式層疊驅動電路層 715 和存儲層 716 時，例如，可以實現在處理器上直接形成記憶體的所謂的晶載記憶體的結構。藉由採用晶載記憶體的結構，可以實現處理器與記憶體的介面部分的高速工作。

**【0315】** 另外，藉由採用晶載記憶體的結構，與使用 TSV 等貫通電極的技術相比，可以縮小連接佈線等的尺寸，因此可以增加引腳數量。藉由增加引腳數量可以進行並聯工作，由此可以提高記憶體的帶寬度(也稱為記憶體

頻寬)。

【0316】另外，較佳的是，使用OS電晶體形成存儲層716中的多個記憶單元陣列，以單片的方式層疊該多個記憶單元陣列。當多個記憶單元陣列採用單片疊層時，可以提高記憶體的帶寬度和記憶體的訪問延遲中的任一者或兩者。帶寬度是指單位時間的資料傳輸量，訪問延遲是指訪問和開始資料的交換之間的時間。當在存儲層716中使用Si電晶體時，與OS電晶體相比，實現單片疊層的結構更困難。因此，在單片疊層的結構中，OS電晶體比Si電晶體優異。

【0317】另外，可以將半導體裝置710稱為裸片。在本說明書等中，裸片是指在半導體晶片的製程中例如在圓盤狀的基板(也稱為晶圓)等上形成電路圖案，切割成矩形小片而得的晶片。作為可用於裸片的半導體材料，例如可以舉出矽(Si)、碳化矽(SiC)或氮化鎵(GaN)等。例如，有時將從矽基板(也稱為矽晶圓)得到的裸片稱為矽晶圓。

【0318】接著，圖17B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個半導體裝置710。

【0319】電子構件730示出將半導體裝置710用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，

半導體裝置 735 可以用於 CPU(Central Processing Unit)、GPU(Graphics Processing Unit：圖形處理器)或 FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等積體電路。

【0320】封裝基板 732 例如可以使用陶瓷基板、塑膠基板或玻璃環氧基板。插板 731 例如可以使用矽插板或樹脂插板。

【0321】插板 731 具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板 731 具有將設置於插板 731 上的積體電路與設置於封裝基板 732 上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板(rewiring substrate)”或“中間基板”。此外，有時藉由在插板 731 中設置貫通電極，藉由該貫通電極使積體電路與封裝基板 732 電連接。此外，在使用矽插板的情況下，也可以使用 TSV 作為貫通電極。

【0322】在 HBM 中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝 HBM 的插板上能夠高密度地形成微細的佈線。因此，作為安裝 HBM 的插板較佳為使用矽插板。

【0323】此外，在使用矽插板的 SiP 及 MCM 等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於 2.5D 封裝(2.5D 安裝)，其中

多個積體電路橫著排放並配置於插板上。

【0324】另一方面，當利用矽插板及TSV等使端子間距不同的多個積體電路電連接時，需要該端子間距的寬度等的空間。因此，當想要縮小電子構件730的尺寸時，上述端子間距的寬度成為問題，有時難以設置為實現較寬的記憶體頻寬需要的較多的佈線。於是，如上所述，使用OS電晶體的單片疊層的結構是較佳的。另外，也可以採用組合利用TSV層疊的記憶單元陣列與以單片的方式層疊的記憶單元陣列的複合結構。

【0325】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使半導體裝置710與半導體裝置735的高度一致。

【0326】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖17B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA(Pin Grid Array：針柵陣列)的安裝。

【0327】電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。作為安裝方法例如可以舉出SPGA(Staggered Pin Grid Array：交錯針柵陣

列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)及QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)。

### 【0328】

[電子裝置]

接著，圖18A示出電子裝置6500的立體圖。圖18A所示的電子裝置6500是可用作智慧手機的可攜式資訊終端。電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、相機6507、光源6508及控制裝置6509等。控制裝置6509例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6502、控制裝置6509等。

【0329】圖18B所示的電子裝置6600是可用作筆記本式個人電腦的資訊終端。電子裝置6600包括外殼6611、鍵盤6612、指向裝置6613、外部連接埠6614、顯示部6615、控制裝置6616等。控制裝置6616例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6615、控制裝置6616等。此外，藉由將本發明的一個實施方式的半導體裝置用於上述控制裝置6509及控制裝置6616，可以降低功耗，所以是較佳的。

### 【0330】

### [大型電腦]

接著，圖 18C 示出大型電腦 5600 的立體圖。在圖 18C 所示的大型電腦 5600 中，多個機架式電腦 5620 收納在機架 5610 中。此外，也可以將大型電腦 5600 稱為超級電腦。

**【0331】** 電腦 5620 例如可以具有圖 18D 所示的立體圖的結構。在圖 18D 中，電腦 5620 包括主機板 5630，主機板 5630 包括多個插槽 5631 以及多個連接端子等。插槽 5631 插入有個人電腦卡 5621。並且，個人電腦卡 5621 包括連接端子 5623、連接端子 5624、連接端子 5625，它們連接到主機板 5630。

**【0332】** 圖 18E 所示的個人電腦卡 5621 是包括 CPU、GPU、記憶體裝置等的處理板的一個例子。個人電腦卡 5621 具有板 5622。此外，板 5622 包括連接端子 5623、連接端子 5624、連接端子 5625、半導體裝置 5626、半導體裝置 5627、半導體裝置 5628 以及連接端子 5629。注意，圖 18E 示出半導體裝置 5626、半導體裝置 5627 以及半導體裝置 5628 以外的半導體裝置，關於這些半導體裝置的說明，參照以下記載的半導體裝置 5626、半導體裝置 5627 以及半導體裝置 5628 的說明即可。

**【0333】** 連接端子 5629 具有可以插入主機板 5630 的插槽 5631 的形狀，連接端子 5629 被用作連接個人電腦卡 5621 與主機板 5630 的介面。作為連接端子 5629 的規格例如可以舉出 PCIe 等。

**【0334】** 連接端子 5623、連接端子 5624、連接端子

5625例如可以被用作用來對個人電腦卡5621供電或輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡5621所計算的信號的輸出等的介面。作為連接端子5623、連接端子5624、連接端子5625各自的規格例如可以舉出USB(通用序列匯流排)、SATA(Serial ATA：串列ATA)、SCSI(Small Computer System Interface：小型電腦系統介面)等。此外，當從連接端子5623、連接端子5624、連接端子5625輸出視頻信號時，作為各規格可以舉出HDMI(註冊商標)等。

【0335】半導體裝置5626包括進行信號的輸入及輸出的端子(未圖示)，藉由將該端子插入板5622所包括的插座(未圖示)，可以電連接半導體裝置5626與板5622。

【0336】半導體裝置5627包括多個端子，例如藉由將該端子以回流焊方式銲接到板5622所包括的佈線，可以電連接半導體裝置5627與板5622。作為半導體裝置5627，例如，可以舉出FPGA、GPU、CPU等。作為半導體裝置5627，例如可以使用電子構件730。

【0337】半導體裝置5628包括多個端子，例如藉由將該端子以回流焊方式銲接到板5622所包括的佈線，可以電連接半導體裝置5628與板5622。作為半導體裝置5628，例如，可以舉出記憶體裝置等。作為半導體裝置5628，例如可以使用電子構件709。

【0338】大型電腦5600可以用作平行電腦。藉由將大型電腦5600用作平行電腦，例如可以進行人工智慧的學習

及推論所需要的大規模計算。

**【0339】**

[太空設備]

可以將本發明的一個實施方式的半導體裝置適用於處理並儲存資訊的設備等的太空設備。

**【0340】** 本發明的一個實施方式的半導體裝置可以包括OS電晶體。該OS電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。

**【0341】** 在圖19中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖19示出在宇宙空間有行星6804的例子。注意，宇宙空間例如是指高度100km以上，但是本說明書所示的宇宙空間也可以包括熱層、中間層及平流層。

**【0342】** 另外，雖然圖19中未圖示，但是也可以將電池管理系統(也稱為BMS)或電池控制電路設置到二次電池6805。當將OS電晶體用於上述電池管理系統或電池控制電路時，功耗低，並且即使在宇宙空間也實現高可靠性，所以是較佳的。

**【0343】** 另外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及 $\gamma$ 射線為代表的電磁波(電磁輻射線)；以及以 $\alpha$ 射線、 $\beta$ 射

線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0344】在陽光照射到太陽能電池板6802時產生人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星6800進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星6800工作，較佳為在人造衛星6800中設置二次電池6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0345】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0346】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，較佳為將本發明的一個實施方式的半導體裝置用於控制裝置6807。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。因此，OS電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0347】另外，人造衛星6800可以包括感測器。例如藉由包括可見光感測器，人造衛星6800可以具有檢測地面

上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星 6800 可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星 6800 例如可以被用作地球觀測衛星。

**【0348】** 注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

**【0349】** 如以上的說明那樣，與 Si 電晶體相比，OS 電晶體具有優異的效果，諸如可以實現較寬的記憶體頻寬、耐輻射線高。

**【0350】**

[資料中心]

例如，可以將本發明的一個實施方式的半導體裝置適用於資料中心等採用的存儲系統。資料中心被要求保證資料不變性等進行資料的長期管理。在進行資料的長期管理時需要使設施大型化，諸如設置用來儲存龐大的資料的存儲及伺服器、確保穩定的電源以保持資料或者確保在資料的保持中需要的冷卻設備等。

**【0351】** 藉由將本發明的一個實施方式的半導體裝置用於資料中心採用的存儲系統，可以實現資料保持所需的功率的降低、保持資料的半導體裝置小型化。因此，可以實現存儲系統的小型化、用來保持資料的電源的小型化、冷卻設備規模的縮小等。由此，可以實現資料中心的省空

間。

【0352】此外，本發明的一個實施方式的半導體裝置的功耗少，因此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的半導體裝置，可以實現高溫環境下也穩定工作的資料中心。因此，可以提高資料中心的可靠性。

【0353】圖20示出可用於資料中心的存儲系統。圖20所示的存儲系統7000作為主機7001(圖示為主機電腦：Host computer)包括多個伺服器7001sb。另外，作為存儲7003(圖示為存儲)包括多個記憶體裝置7003md。示出主機7001和存儲7003藉由存儲區域網路7004(圖示為Storage Area Network：SAN)及存儲控制電路7002(圖示為存儲控制器)連接的形態。

【0354】主機7001相當於訪問儲存在存儲7003中的資料的電腦。主機7001彼此也可以藉由網路連接。

【0355】在存儲7003中，藉由使用快閃記憶體縮短資料的存取速度，即縮短資料的存儲及輸出所需要的時間，但是該時間比可用作存儲中的快取記憶體的DRAM所需要的時間長得多。在存儲系統中，為了解決存儲7003的存取速度較長的問題，一般在存儲中設置快取記憶體來縮短資料的存儲及輸出。

【0356】在存儲控制電路7002及存儲7003中使用上述快取記憶體。主機7001和存儲7003交換的資料在儲存在存

儲控制電路7002及存儲7003中的該快取記憶體之後輸出到主機7001或存儲7003。

**【0357】** 當作為用來儲存上述快取記憶體的資料的電晶體使用OS電晶體來保持對應於資料的電位時，可以減少更新頻率來降低功耗。此外，藉由層疊記憶單元陣列可以實現小型化。

**【0358】** 注意，藉由將本發明的一個實施方式的半導體裝置用於選自電子構件、電子裝置、大型電腦、太空設備和資料中心中的任一個或多個，可期待功耗降低的效果。因此，目前被認為隨著半導體裝置的高性能化或高積體化能量需求增加，藉由使用本發明的一個實施方式的半導體裝置，也可以減少以二氧化碳(CO<sub>2</sub>)為代表的溫室氣體的排放量。另外，本發明的一個實施方式的半導體裝置具有低功耗，因此作為全球暖化的措施也有效。

**【0359】** 本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

### **【0360】**

<關於本說明書等的記載的注釋>

下面，對上述實施方式及實施方式中的各結構的說明附加注釋。

**【0361】** 各實施方式所示的結構可以與其他實施方式所示的結構適當地組合而構成本發明的一個實施方式。此外，當在一個實施方式中示出多個結構實例時，可以適當

地組合這些結構實例。

**【0362】** 此外，可以將某一實施方式中說明的內容(或其一部分)應用，組合或者替換成該實施方式中說明的其他內容(或其一部分)及/或另一個或多個其他實施方式中說明的內容(或其一部分)。

**【0363】** 在實施方式中說明的內容是指在各實施方式中利用各種圖式說明的內容或利用說明書所記載的文章說明的內容。

**【0364】** 此外，藉由將某一實施方式中示出的圖式(或其一部分)與該圖式的其他部分、該實施方式中示出的其他圖式(或其一部分)及/或另一個或多個其他實施方式中示出的圖式(或其一部分)組合，可以構成更多圖。

**【0365】** 在本說明書等中，根據功能對組件進行分類並在方塊圖中以彼此獨立的方塊表示。然而，在實際的電路等中難以根據功能對組件進行分類，有時一個電路涉及到多個功能或者多個電路涉及到一個功能。因此，方塊圖中的方塊的分割不侷限於說明書中說明的組件，而可以根據情況適當地不同。

**【0366】** 在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。圖式是為了明確起見而示出任意的大小的，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜波或定時偏差等所引起的信號、電壓或電流的不均勻等。

**【0367】** 在本說明書等中，在說明電晶體的連接關係

時，使用“源極和汲極中的一個”(第一電極或第一端子)、“源極和汲極中的另一個”(第二電極或第二端子)的表述。這是因為電晶體的源極和汲極根據電晶體的結構或工作條件等而互換的緣故。注意，根據情況可以將電晶體的源極和汲極適當地換稱為源極(汲極)端子或源極(汲極)電極等。

**【0368】**此外，在本說明書等中，“電極”或“佈線”不限定組件的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”、“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

**【0369】**此外，在本說明書等中，可以適當地調換電壓和電位。電壓是指與參考電位之間的電位差，例如在參考電位為地電壓(接地電壓)時，可以將電壓換稱為電位。接地電位不一定意味著0V。注意，電位是相對的，對佈線等供應的電位有時根據參考電位而變化。

**【0370】**在本說明書等中，根據情況或狀態，可以互相調換“膜”和“層”等詞句。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

**【0371】**在本說明書等中，開關是指具有藉由變為導通狀態(開啟狀態)或非導通狀態(關閉狀態)來控制是否使電流流過的功能的元件。或者，開關是指具有選擇並切換電流路徑的功能的元件。

**【0372】**在本說明書等中，例如，通道長度是指在電

晶體的俯視圖中，半導體(或在電晶體處於開啟狀態時，在半導體中電流流過的部分)和閘極重疊的區域或者形成通道的區域中的源極和汲極之間的距離。

**【0373】** 在本說明書等中，例如，通道寬度是指半導體(或在電晶體處於開啟狀態時，在半導體中電流流過的部分)和閘極電極重疊的區域、或者形成通道的區域中的源極和汲極相對的部分的長度。

**【0374】** 在本說明書等中，節點也可以根據電路結構或器件結構等被稱為端子、佈線、電極、導電層、導電體或雜質區域等。另外，也可以將端子、佈線等稱作節點。

**【0375】** 在本說明書等中，“A與B連接”是指A與B電連接。在此，“A與B電連接”是指在A和B之間存在物件(開關、電晶體元件或二極體等的元件、或者包含該元件及佈線的電路等)時可以在A和B間傳送電信號的連接。注意，A與B電連接的情況包括A與B直接連接的情況。在此，A與B直接連接是指A和B能夠不經過上述物件而在其間藉由佈線(或者電極)等傳送電信號的連接。換言之，直接連接是指在使用等效電路表示時可以看作相同的電路圖的連接。

## **【符號說明】**

### **【0376】**

10:半導體裝置

20:元件層

- 22:週邊電路
- 30:元件層
- 31:記憶單元陣列
- 32:記憶單元
- 37:電晶體
- 38:電容器
- 50:元件層
- 51:放大電路
- 66A:區域
- 66:感測放大器

## 【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

設置有讀出電路的第一元件層；

設置有放大電路的第二元件層；以及

設置有記憶單元的第三元件層，

其中，該第二元件層層疊設置在該第一元件層上，

該第三元件層層疊設置在該第二元件層上，

該記憶單元與該放大電路藉由第一位元線電連接，

該放大電路與該讀出電路藉由第二位元線電連接，

該放大電路具有將根據該第一位元線的電位的信號傳送到該第二位元線的功能，

該放大電路包括具有通道形成區域的第一半導體層包含氧化物半導體的第一電晶體，

該記憶單元包括具有通道形成區域的第二半導體層包含氧化物半導體的第二電晶體及電容器，

該第一半導體層設置在水平於設置有該第一元件層的基板表面的方向上，

並且，該第二半導體層設置在垂直於設置有該第一元件層的基板表面的方向上。

【請求項2】如請求項1之半導體裝置，

其中該電容器設置在該第二元件層中設置的開口部中，

並且該開口部具有與該第二半導體層重疊的區域。

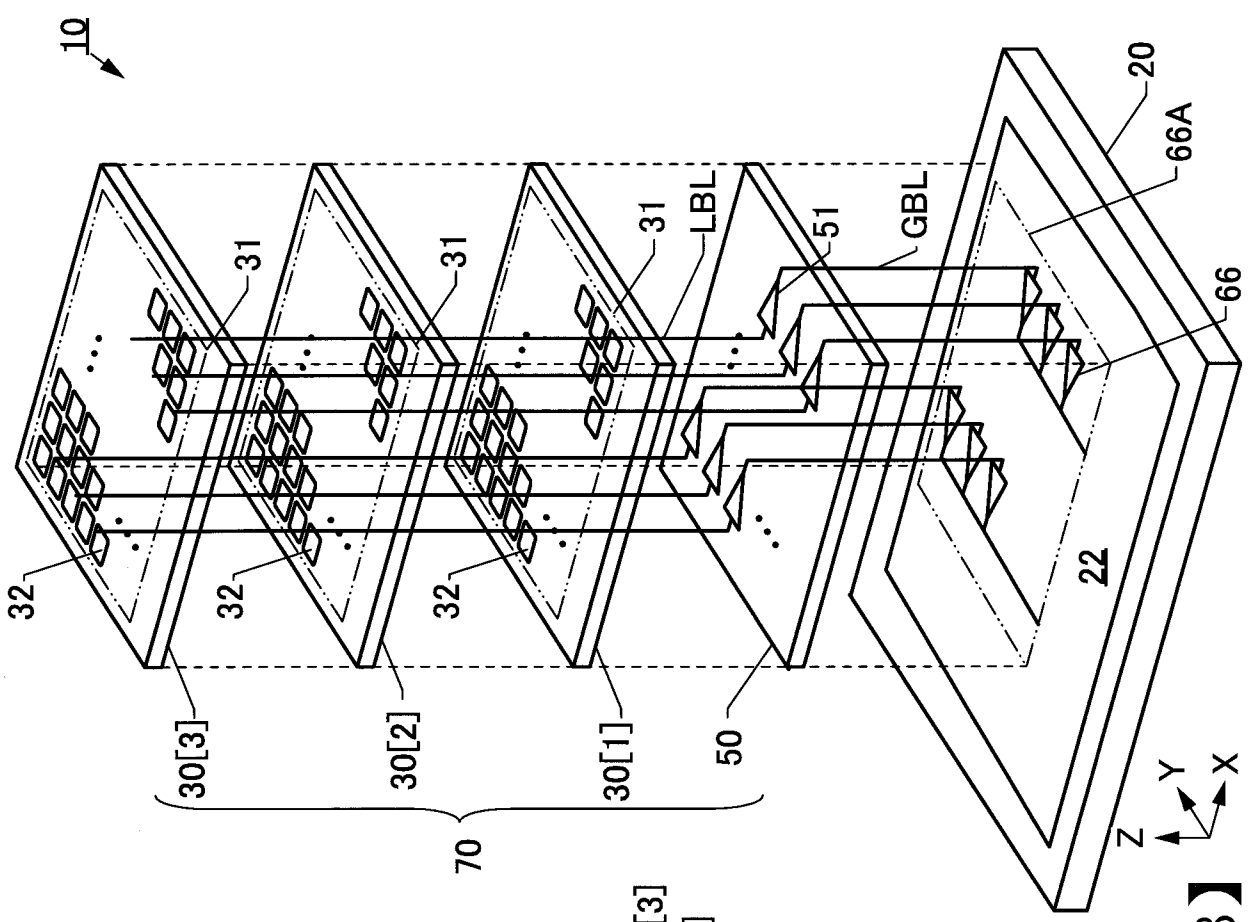
【請求項3】如請求項1之半導體裝置，

其中該第一電晶體包括閘極及背閘極，  
並且該背閘極具有與該閘極重疊的區域。

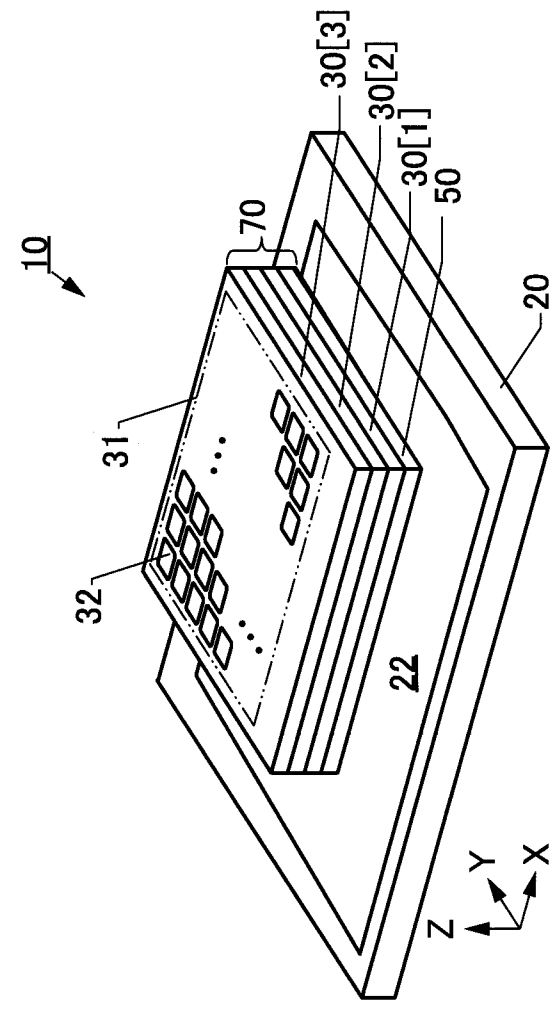
【請求項4】如請求項1之半導體裝置，  
其中該第三元件層以層疊多個元件層的方式設置。

【請求項5】如請求項1之半導體裝置，  
其中該氧化物半導體包含In、Ga及Zn。

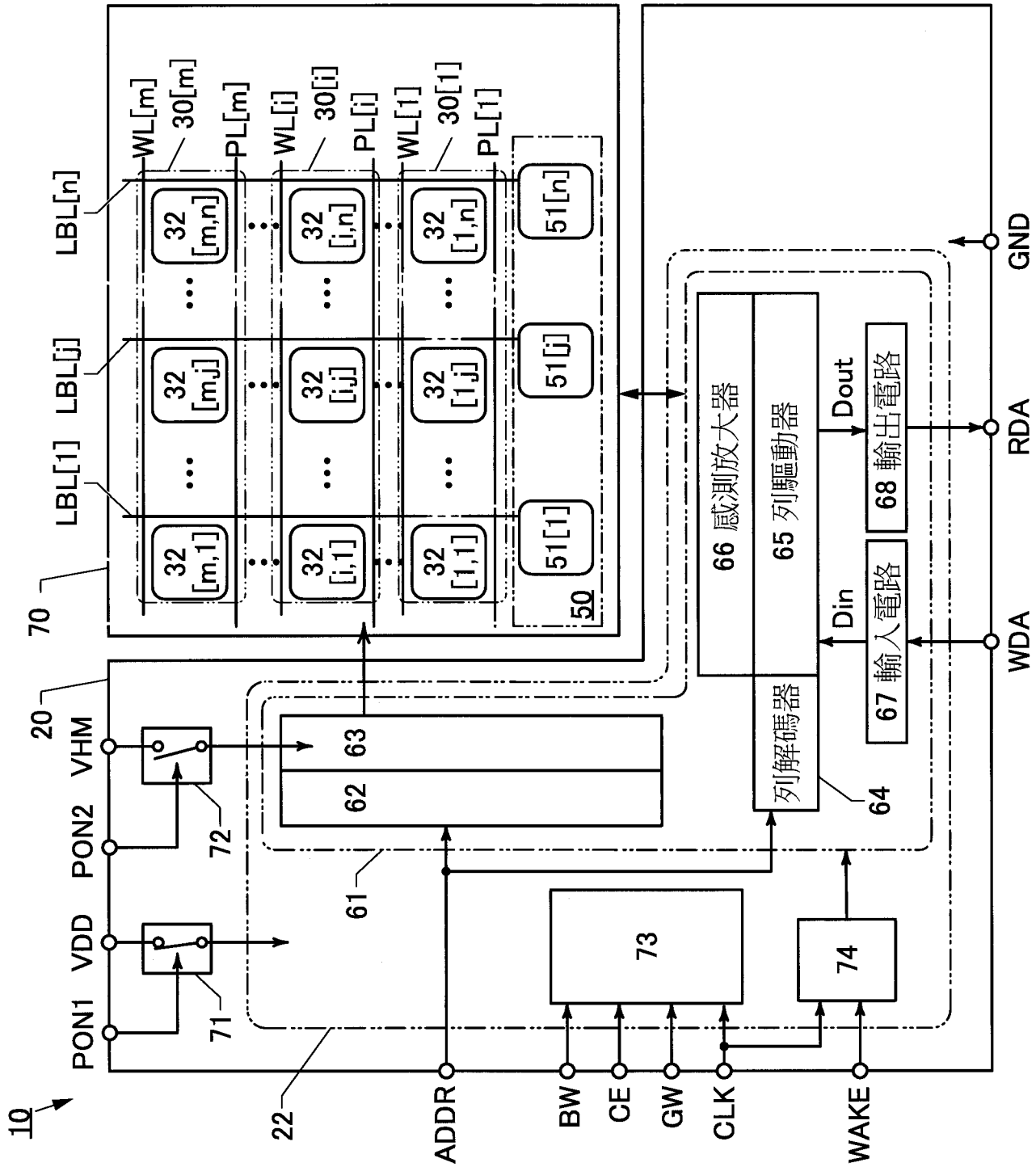
【發明圖式】



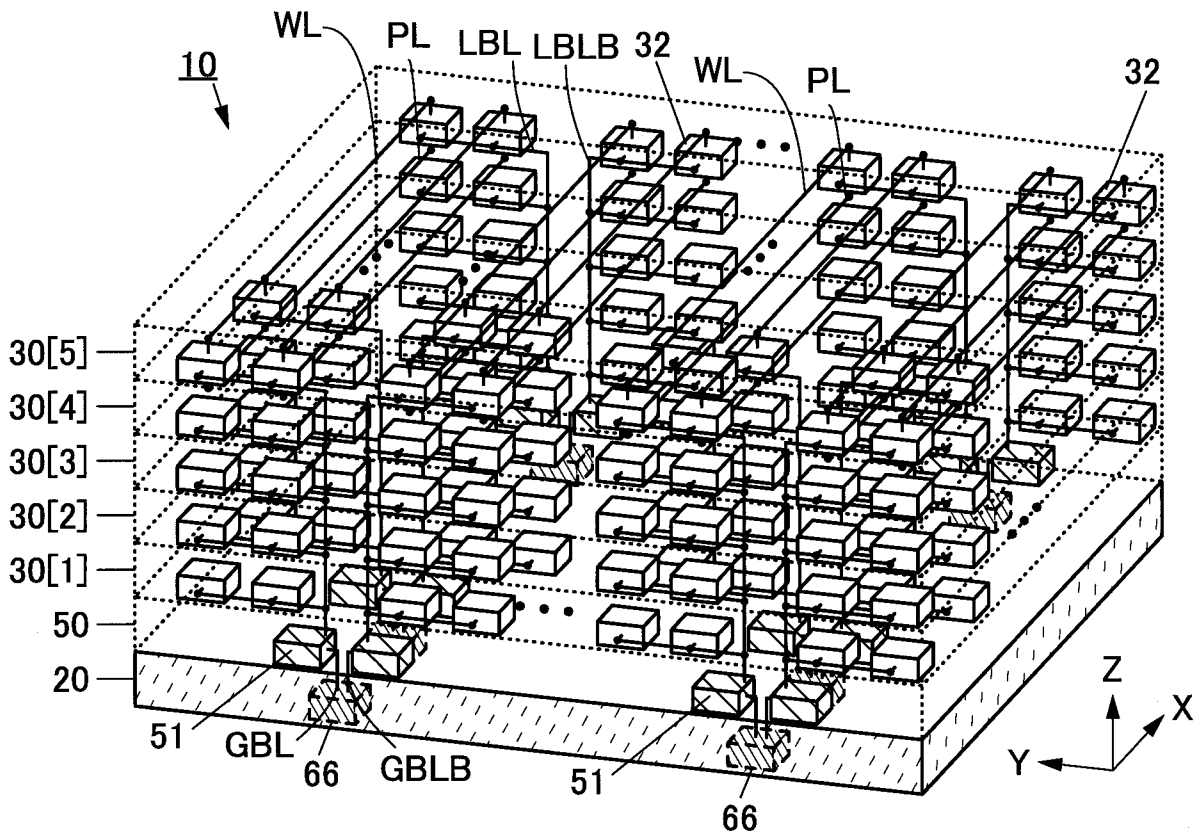
【圖1B】



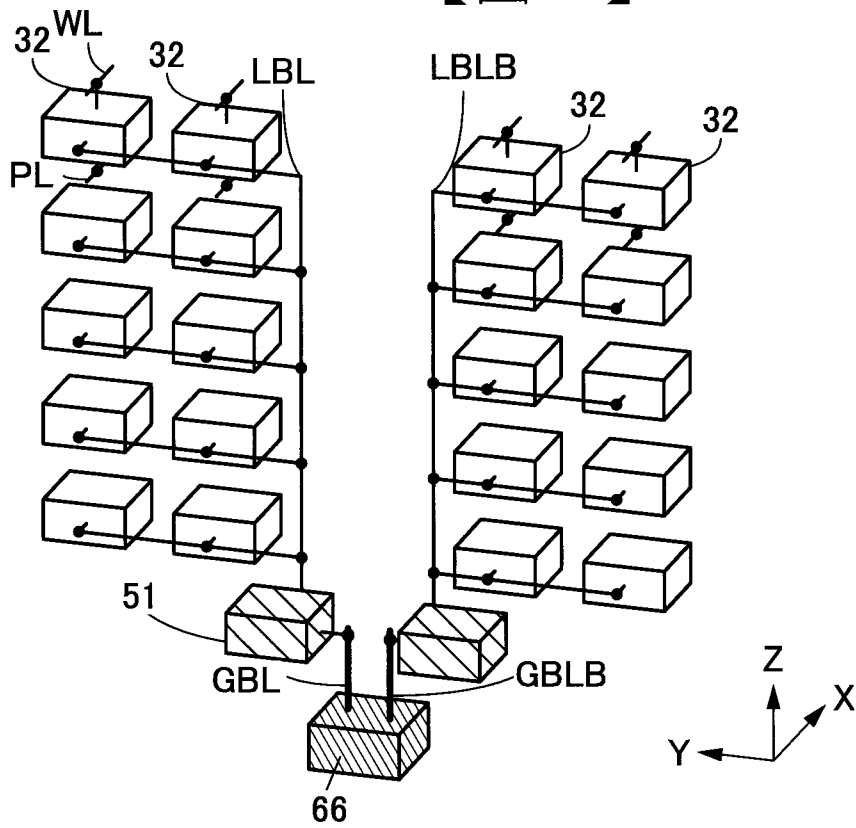
【圖1A】



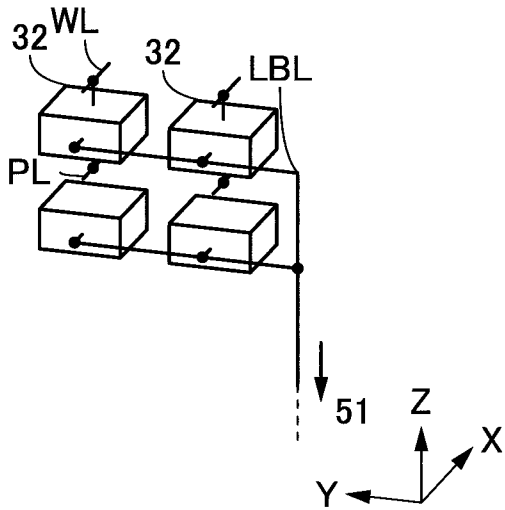
【圖2】



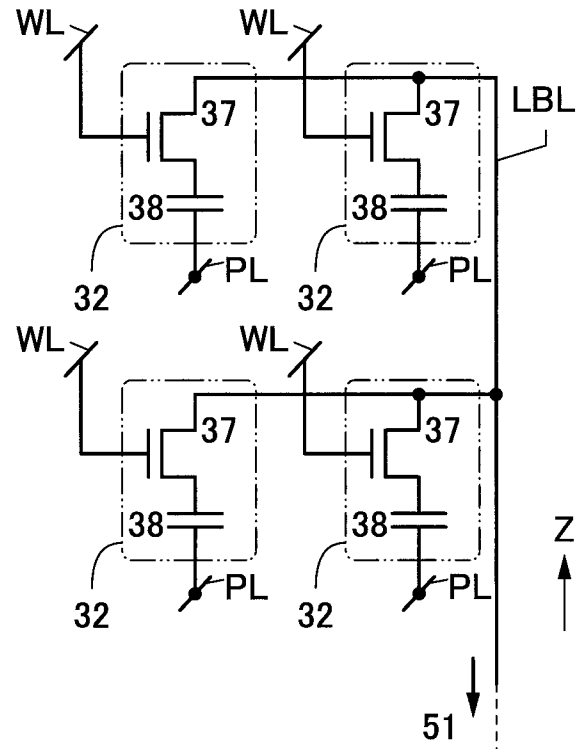
【圖3A】



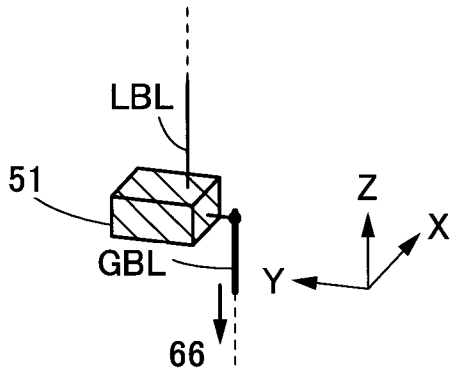
【圖3B】



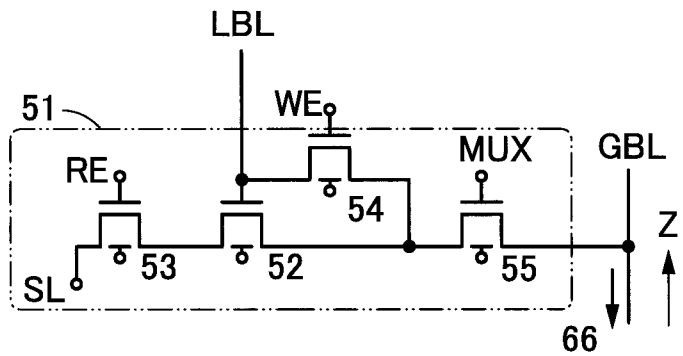
【圖4A】



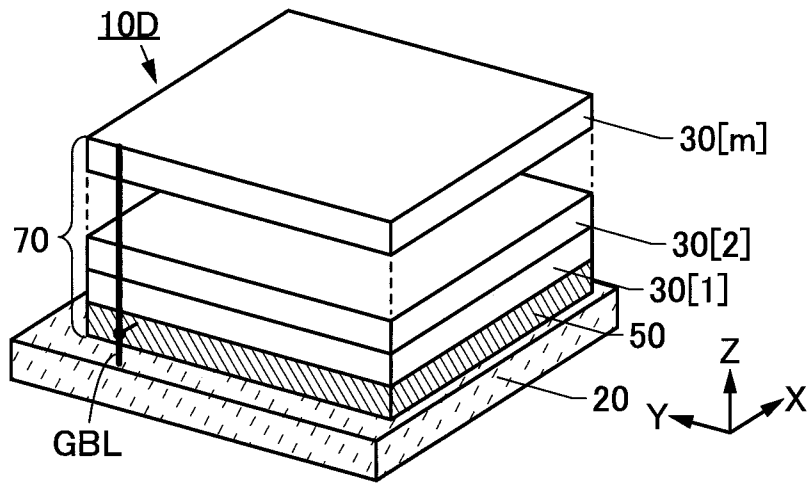
【圖4B】



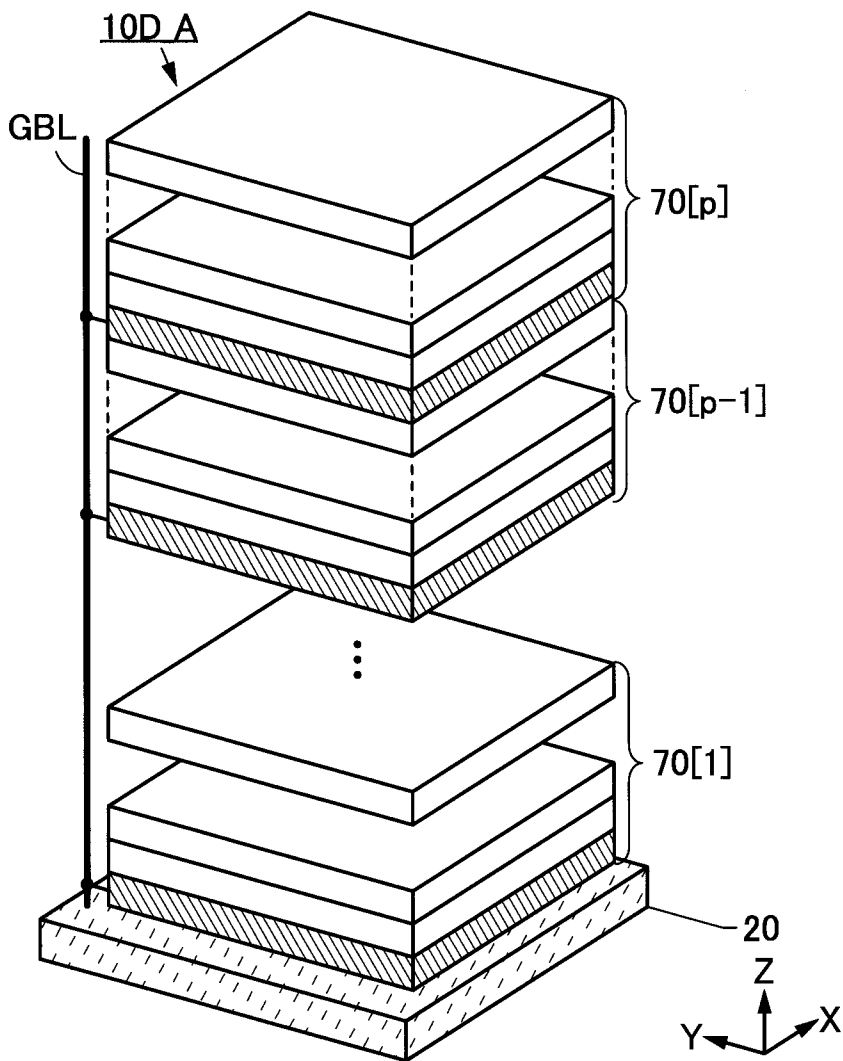
【圖4C】



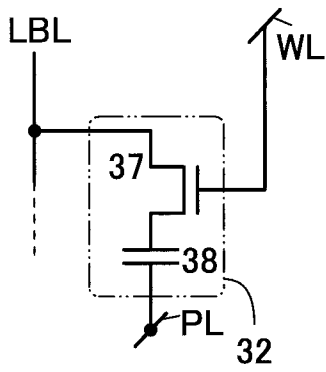
【圖4D】



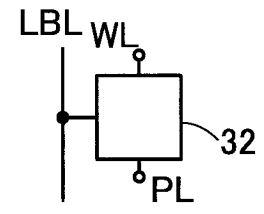
【圖5A】



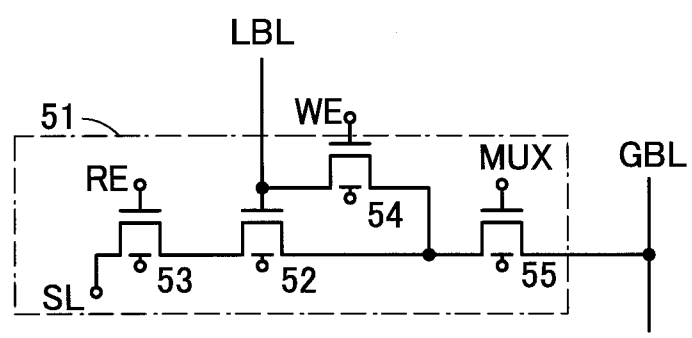
【圖5B】



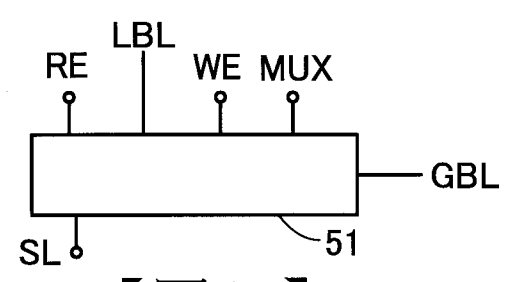
【圖6A】



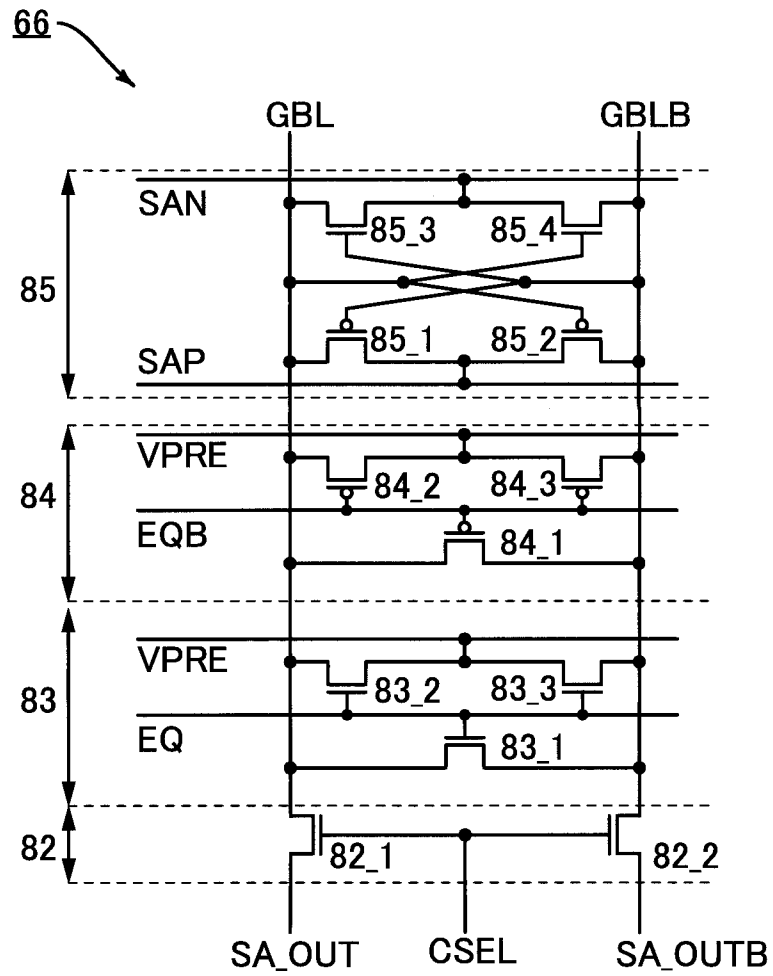
【圖6B】



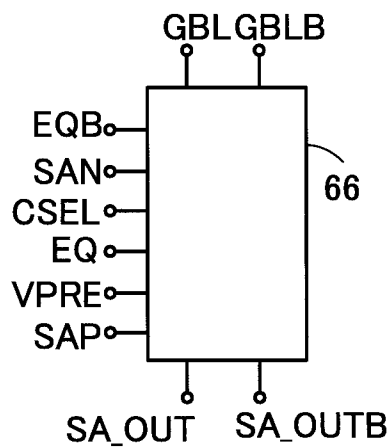
【圖6C】



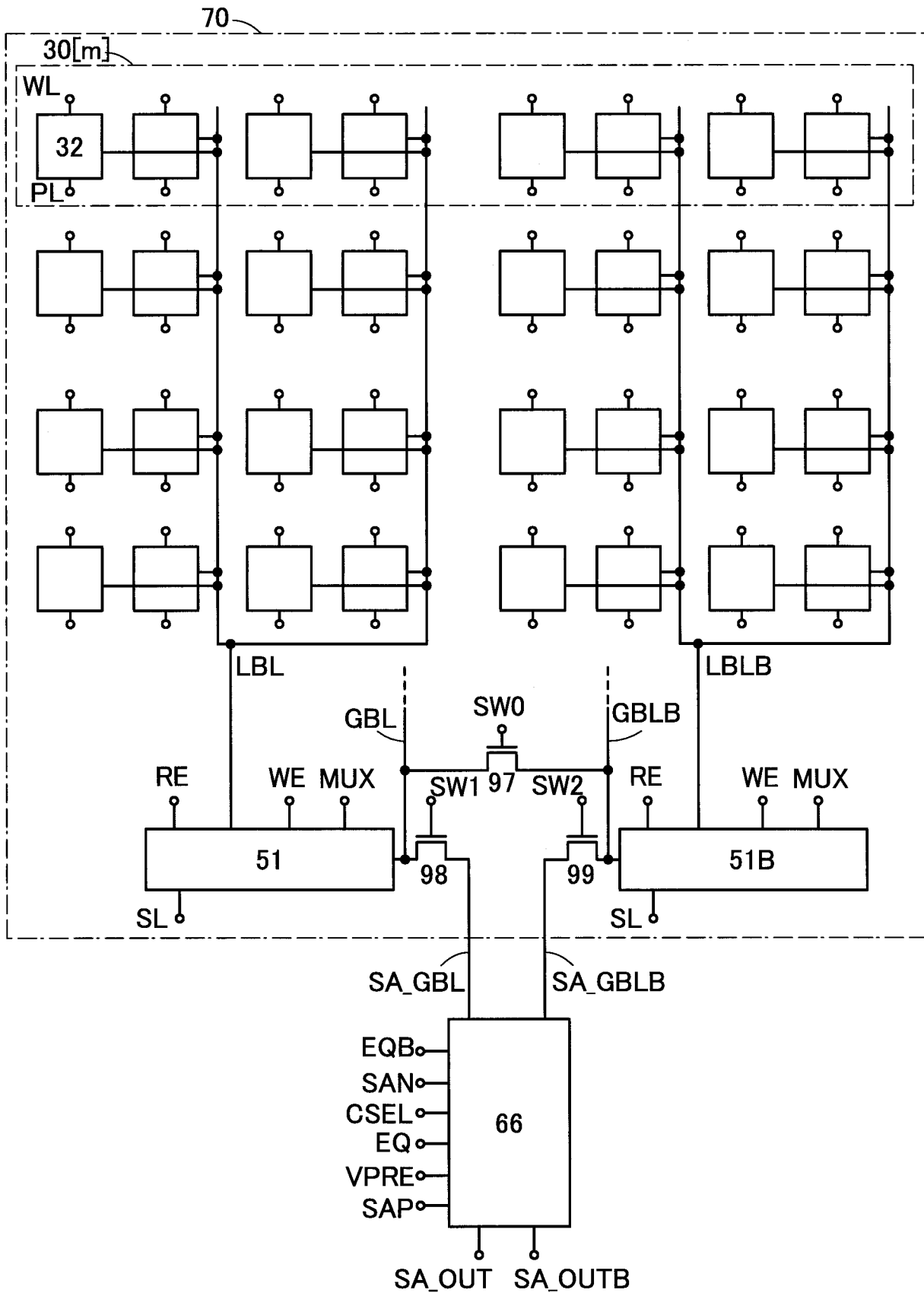
【圖6D】



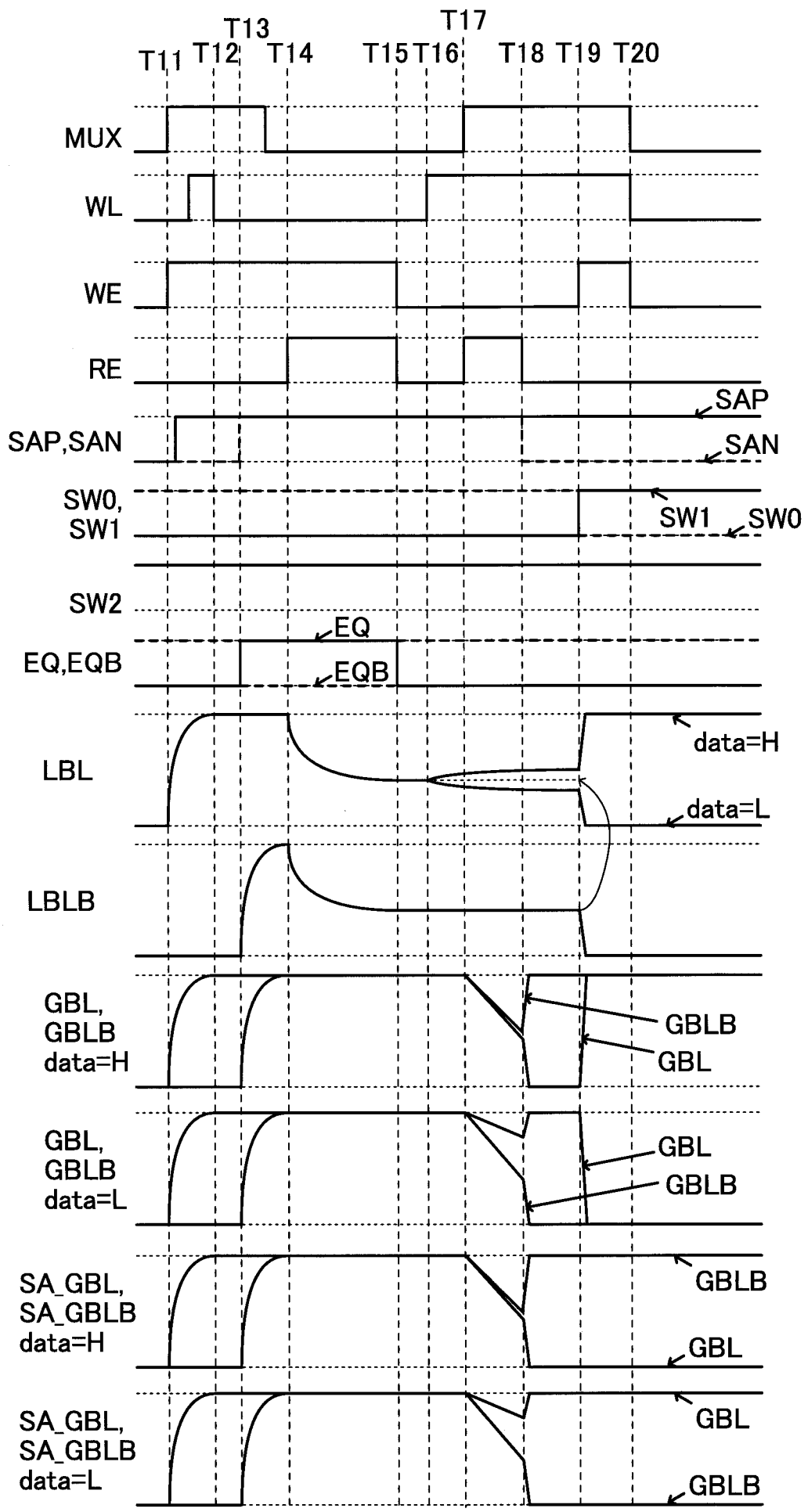
【圖7A】



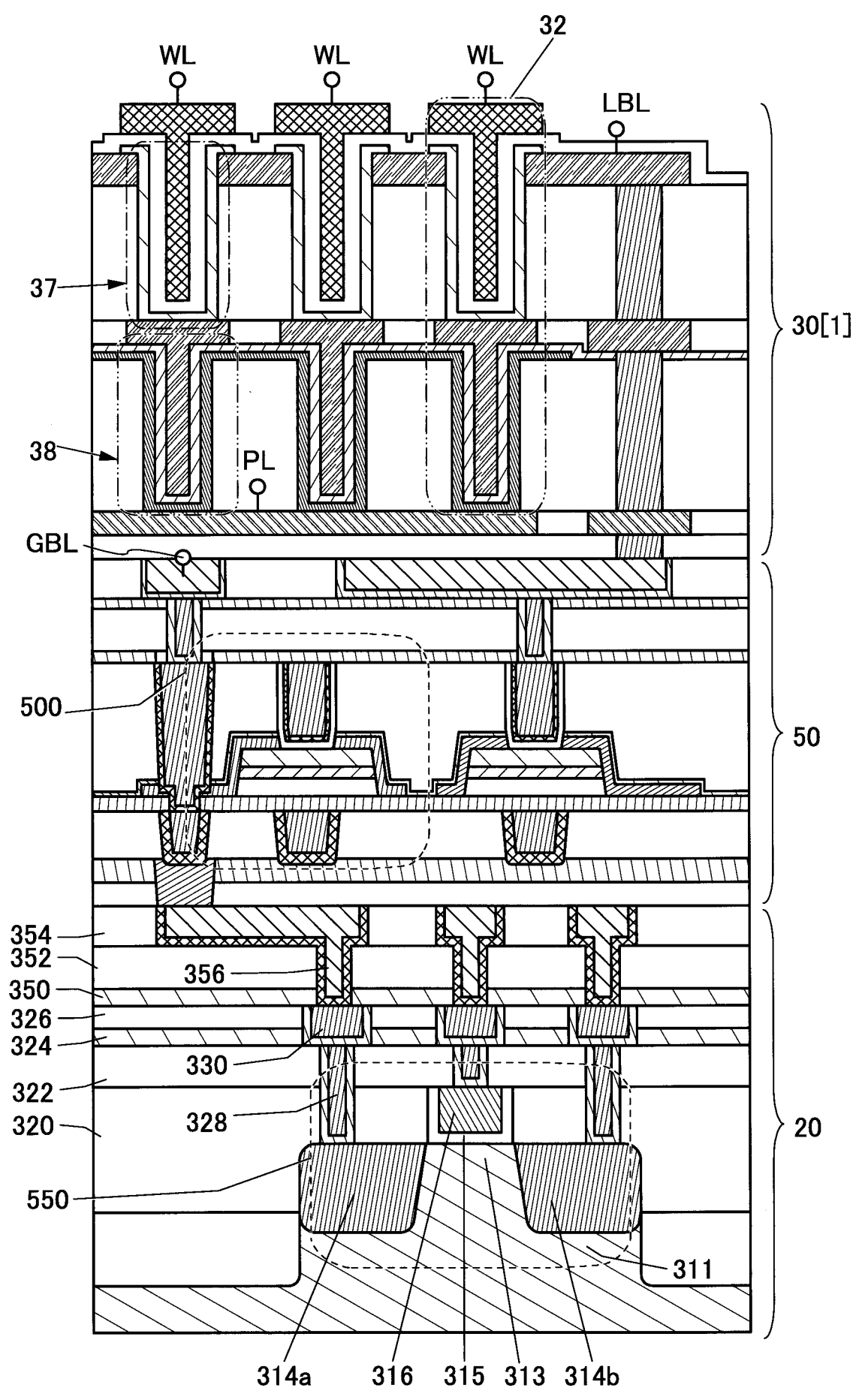
【圖7B】



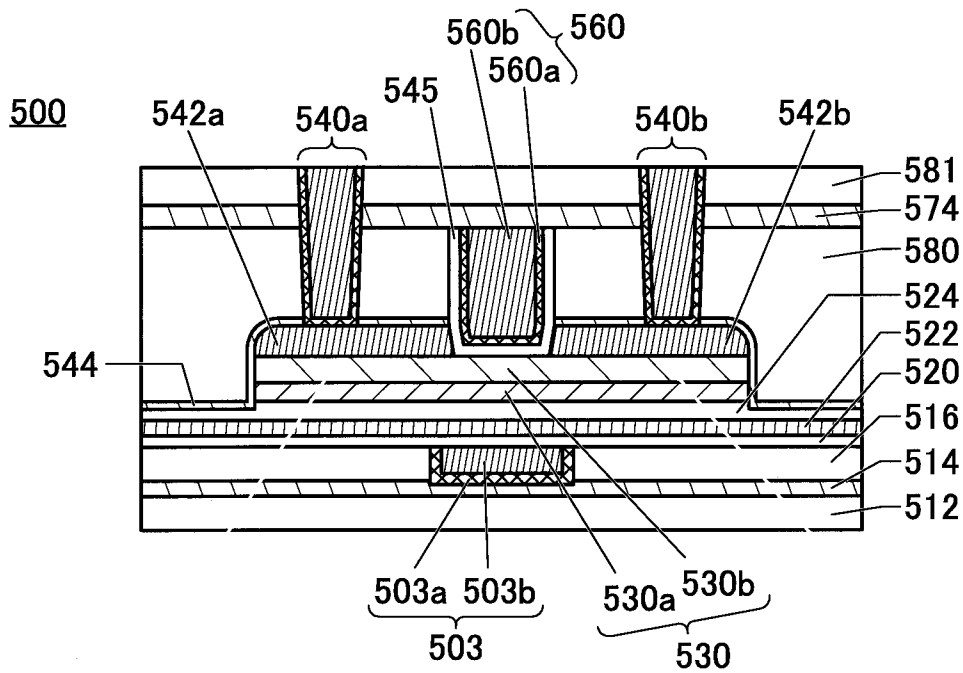
【圖8】



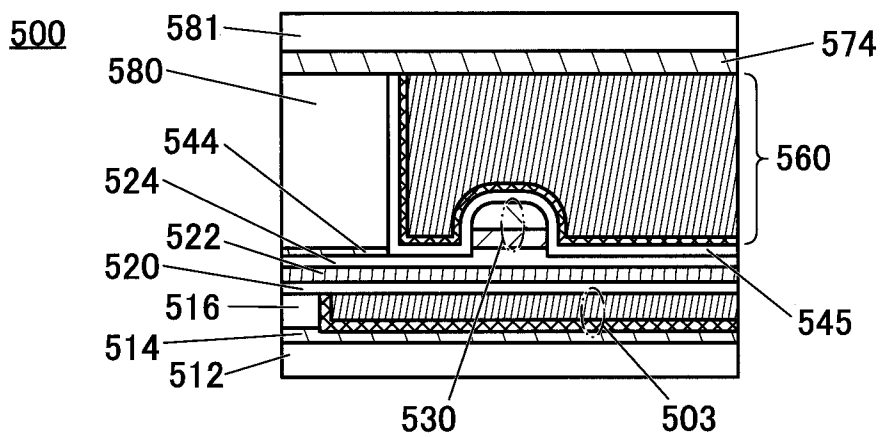
【圖9】



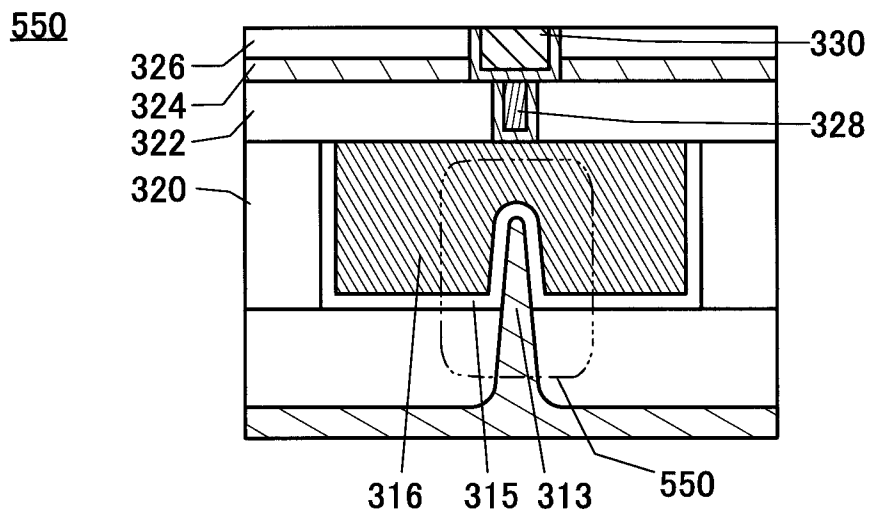
【圖10】



【圖11A】

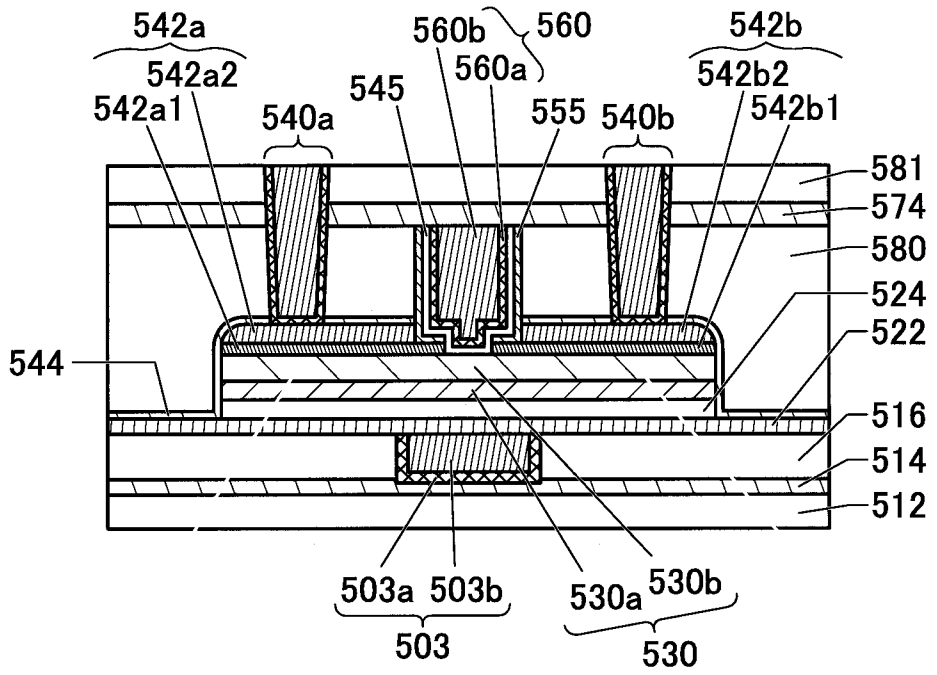


【圖11B】

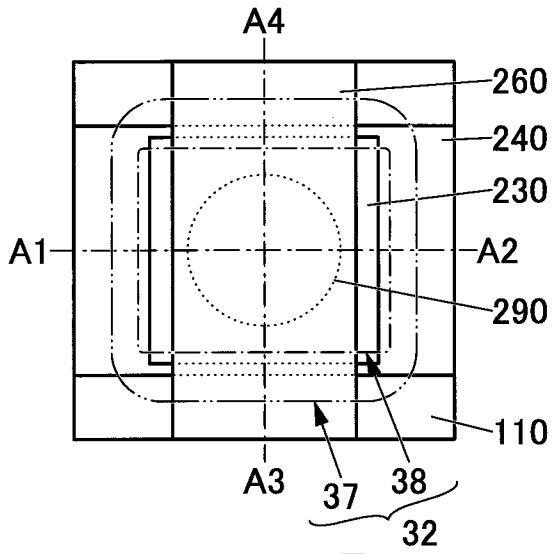


【圖11C】

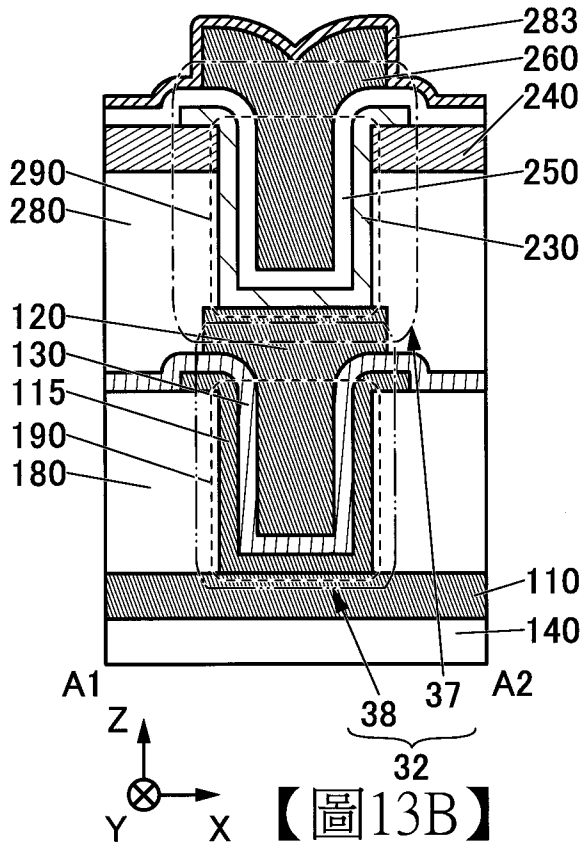
500



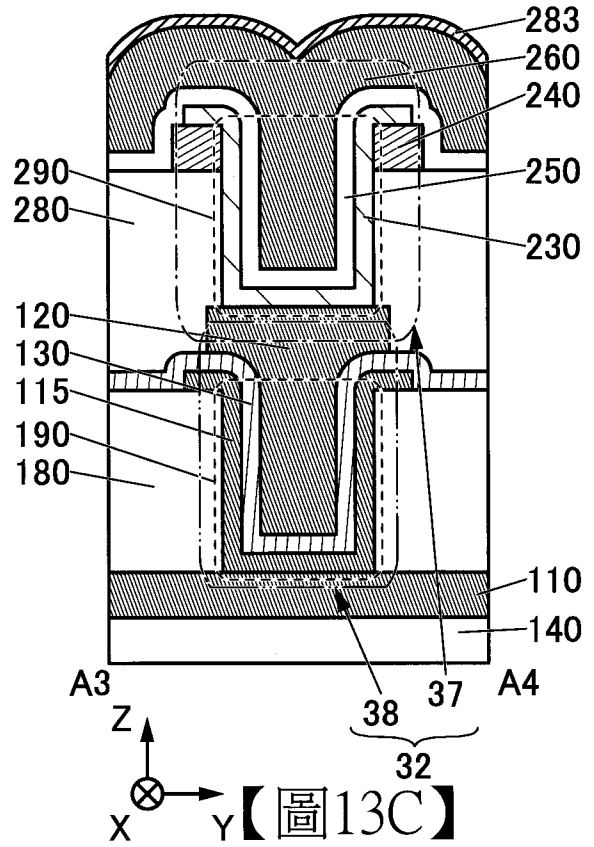
【圖12】



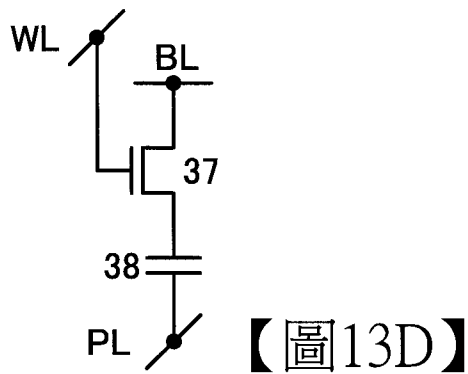
【圖13A】



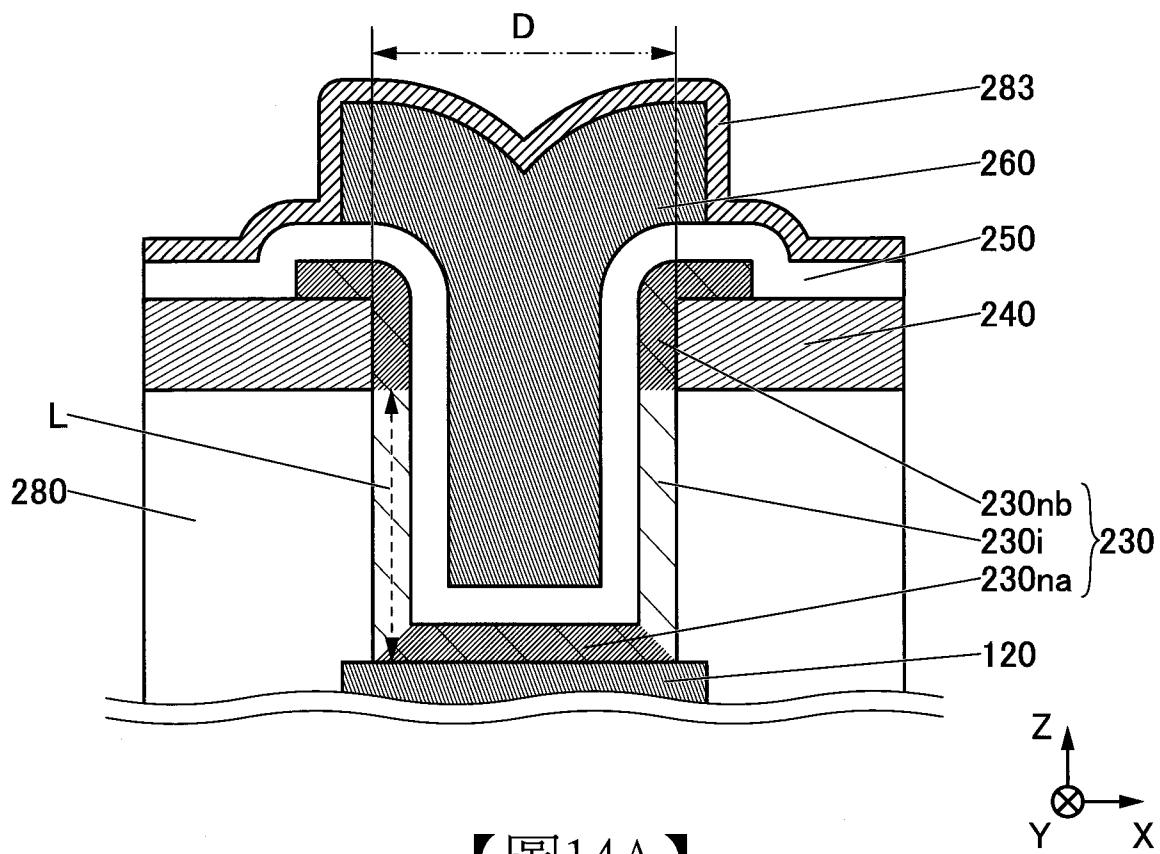
【圖13B】



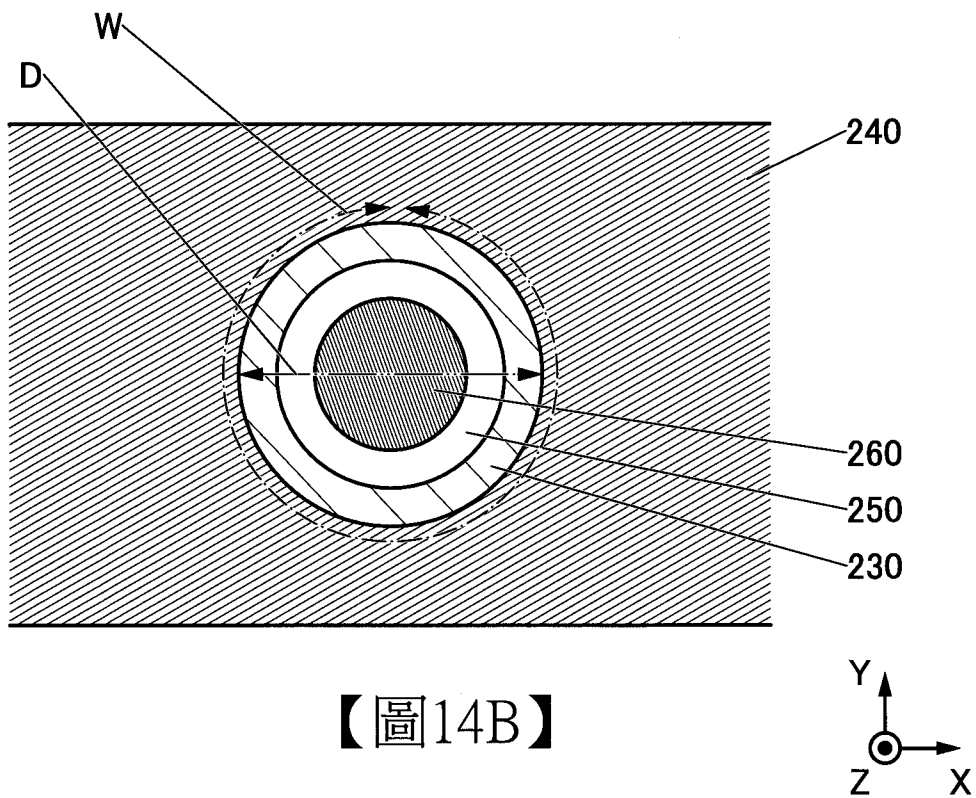
【圖13C】



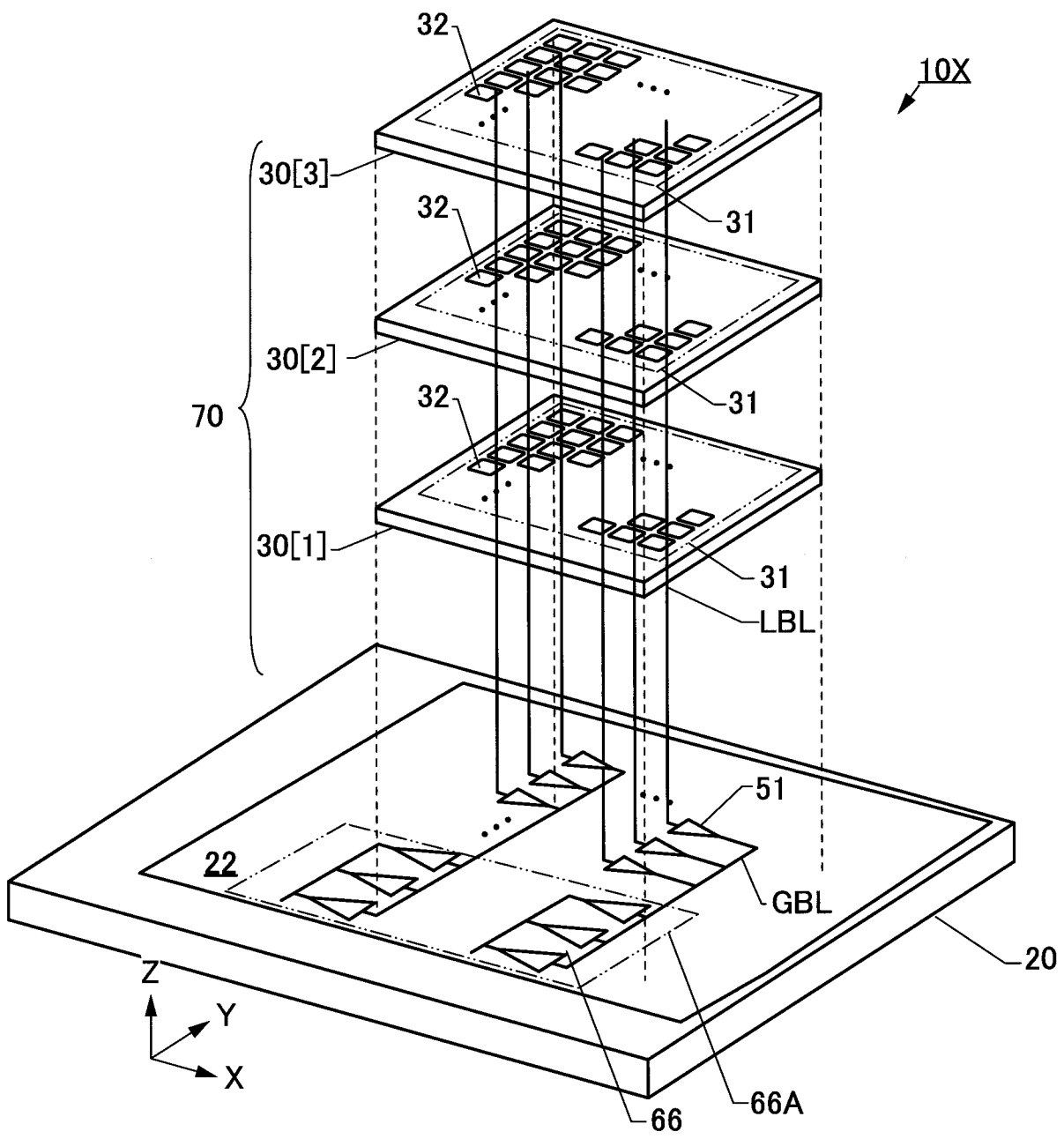
【圖13D】



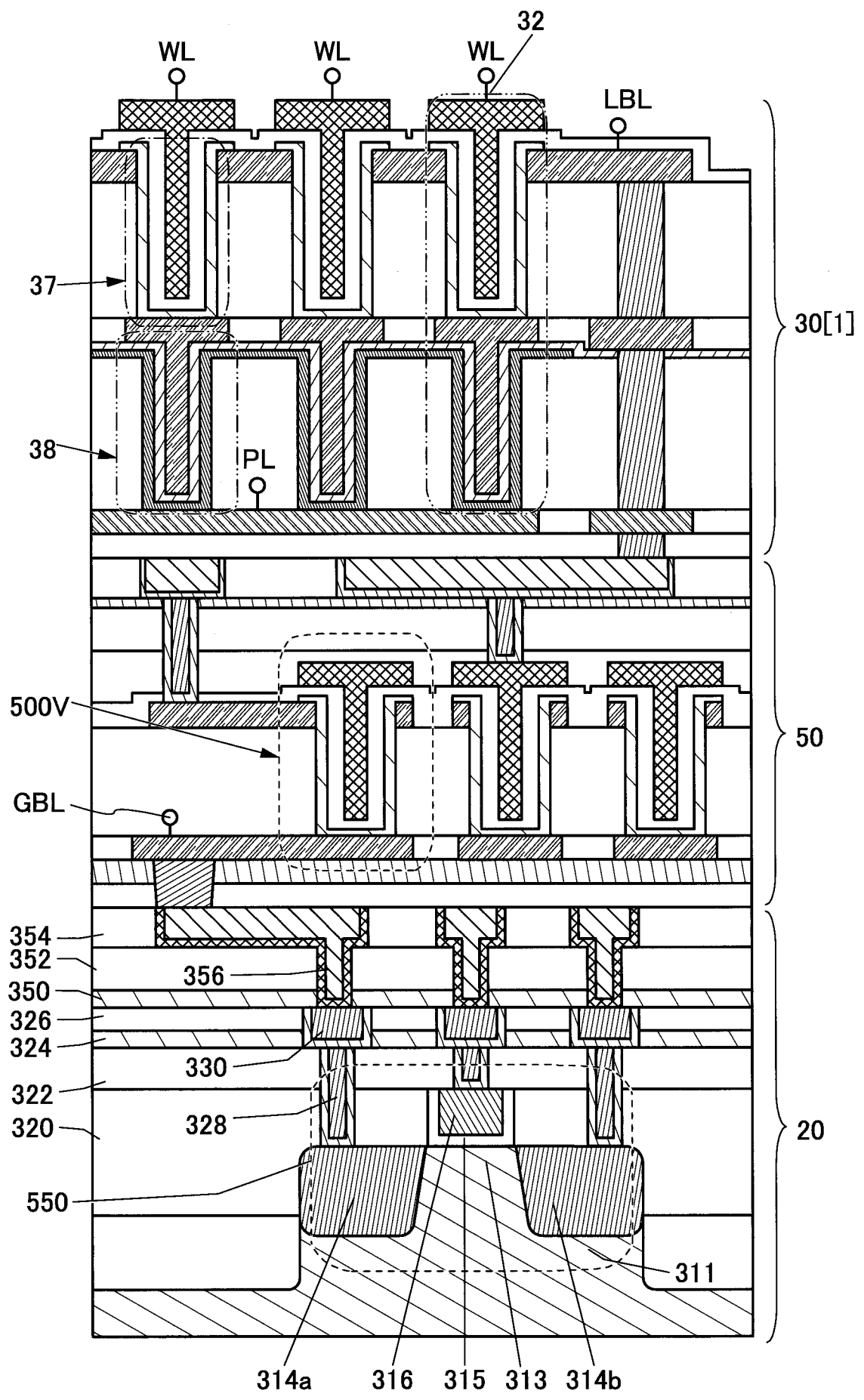
【圖14A】



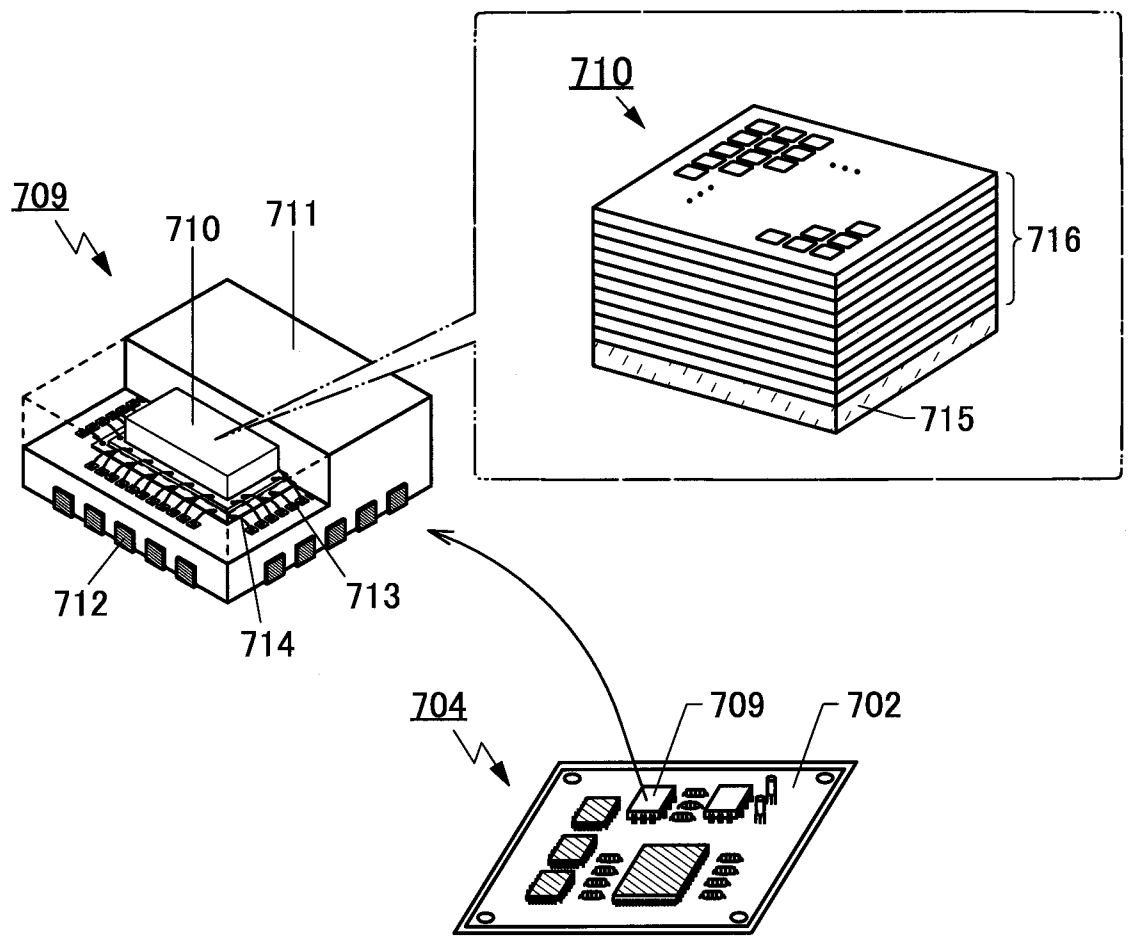
【圖14B】



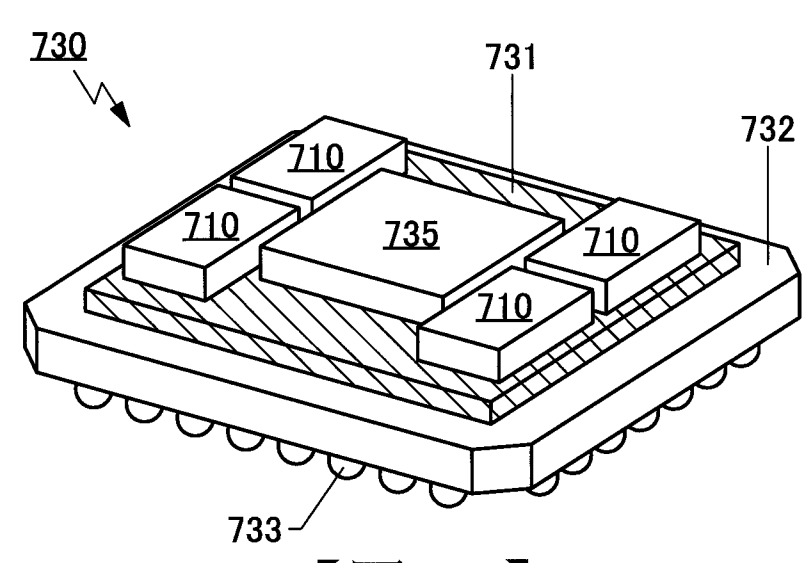
【圖15】



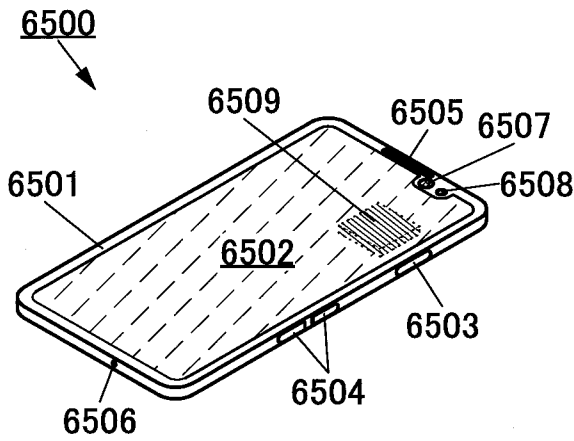
【圖16】



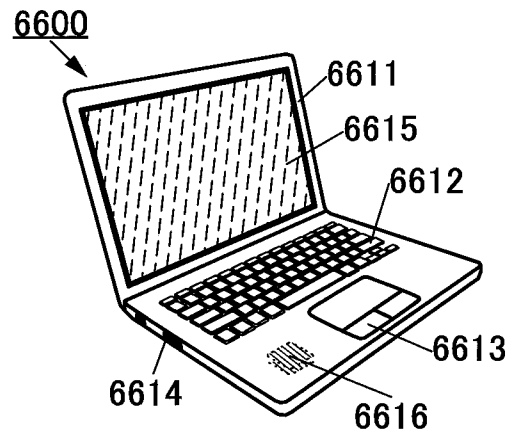
【圖17A】



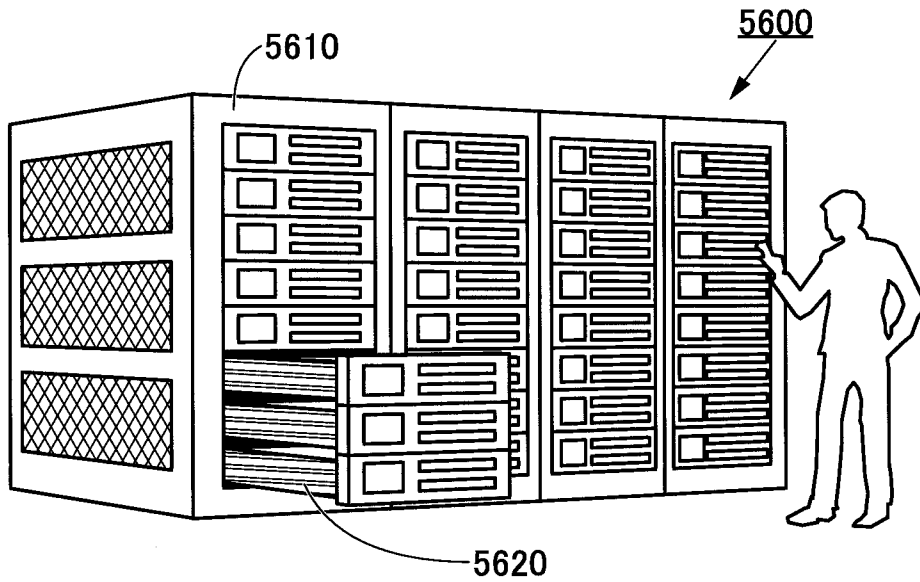
【圖17B】



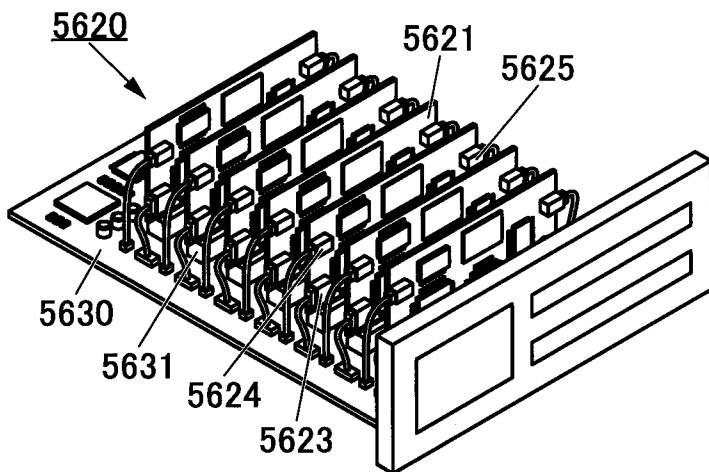
【圖18A】



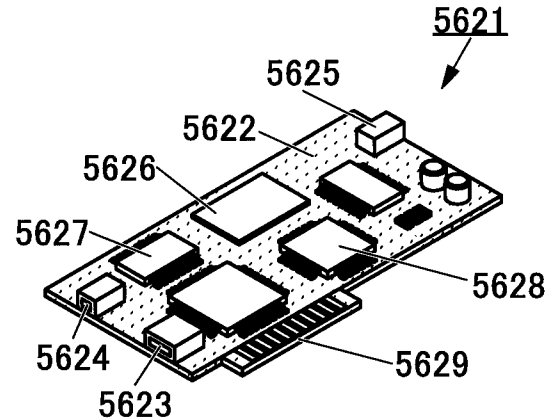
【圖18B】



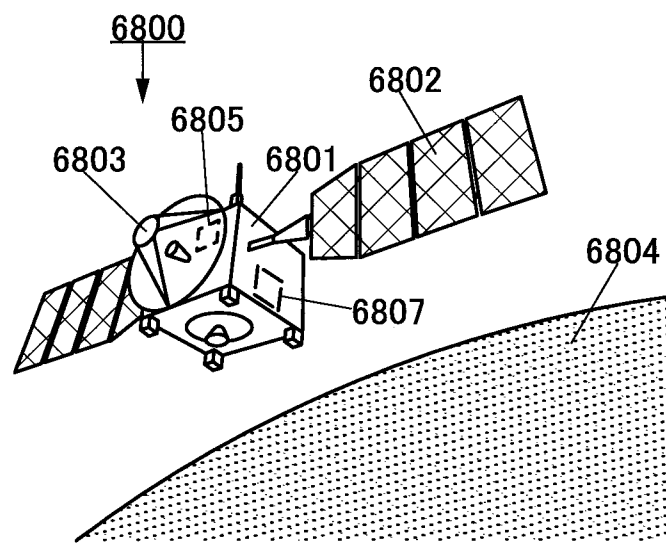
【圖18C】



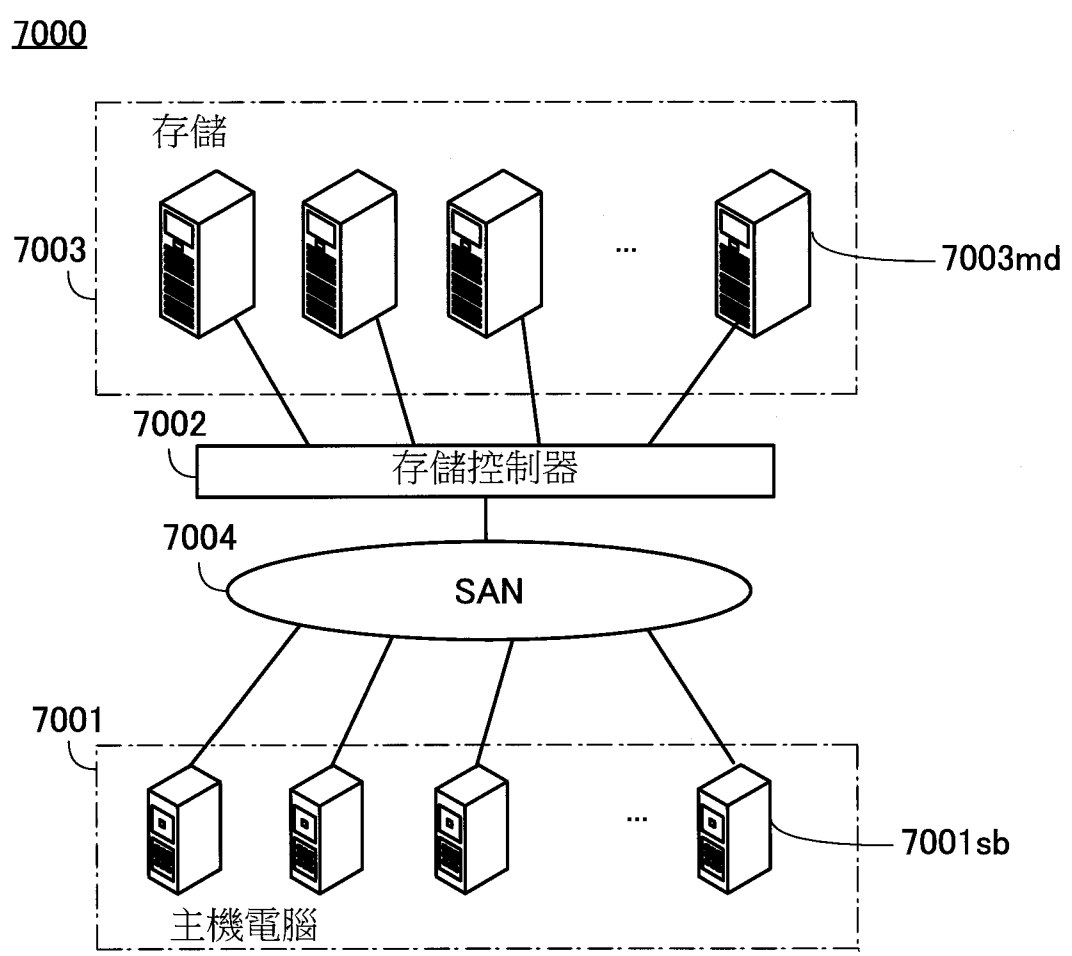
【圖18D】



【圖18E】



【圖19】



【圖20】