

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 2 年 11 月 12 日 (2020.11.12)

【公開番号】特開 2019-68266 (P2019-68266A)

【公開日】平成 31 年 4 月 25 日 (2019.4.25)

【年通号数】公開・登録公報 2019-016

【出願番号】特願 2017-192052 (P2017-192052)

【国際特許分類】

H 0 4 N 5/369 (2011.01)

H 0 4 N 5/3745 (2011.01)

H 0 4 N 5/378 (2011.01)

H 0 4 N 5/335 (2011.01)

H 0 4 N 5/361 (2011.01)

H 0 1 L 27/146 (2006.01)

【 F I 】

H 0 4 N 5/369

H 0 4 N 5/3745 5 0 0

H 0 4 N 5/378

H 0 4 N 5/335 5 0 0

H 0 4 N 5/361

H 0 1 L 27/146 F

H 0 1 L 27/146 A

【手続補正書】

【提出日】令和 2 年 9 月 25 日 (2020.9.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 行に、複数列に渡って配された有効画素と、

前記第 1 行に配されたオプティカルブラック画素とを有する第 1 チップと、

前記オプティカルブラック画素が出力する信号を A/D 変換する A/D 変換部を有する第 2 チップとが積層された撮像装置であって、

前記 A/D 変換部が、前記オプティカルブラック画素に対して、平面視において重なる部分を備えることを特徴とする撮像装置。

【請求項 2】

第 2 行に、前記第 1 行に配された全ての前記有効画素の列数よりも多い列数に渡ってオプティカルブラック画素が配され、

前記 A/D 変換部が複数配され、

複数の前記 A/D 変換部のうちの 1 の A/D 変換部が、前記第 2 行のオプティカルブラック画素に対して、平面視において重なる部分を備えることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

第 3 行に、複数列に渡ってリファレンス画素が配され、

前記第 2 行は、前記第 1 行と前記第 3 行の間の行であり、

前記複数の A/D 変換部のうちの 1 の A/D 変換部が、前記第 3 行のリファレンス画素に対

して、平面視において重なる部分を備えることを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記第 1 行は、複数の前記オプティカルブラック画素が配された領域を有し、
前記複数の A D 変換部の、前記第 1 行の行に沿った方向における幅が、前記領域の、前記方向における幅よりも小さいことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 1 行は、複数の前記オプティカルブラック画素が配された領域を有し、
前記複数の A D 変換部の、前記第 1 行の行に沿った方向における幅が、前記領域の、前記方向における幅よりも大きいことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記第 1 行は、複数の前記オプティカルブラック画素が配された領域を有し、
前記複数の A D 変換部の、前記第 1 行の行に沿った方向における幅が、前記領域の、前記方向における幅と等しいことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記 A D 変換部は参照信号と、前記オプティカルブラック画素が出力する信号とを比較する比較器を有することを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記第 1 行に、複数列の前記オプティカルブラック画素が配され、
前記第 2 チップは、前記複数列のオプティカルブラック画素の信号の中から、前記 A D 変換器に出力する信号を選択するマルチプレックス回路をさらに有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記マルチプレックス回路が、前記オプティカルブラック画素に対して、平面視において重なる部分を備えることを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記第 1 チップには、前記有効画素、前記オプティカルブラック画素を含む複数の画素回路が J 行かつ K 列の行列状に配され、

前記第 2 チップには、A D 変換器を各々が含む複数の電気回路が T 行かつ U 列の行列状に配され、

前記第 1 チップは、前記複数の画素回路を構成する複数の半導体素子が設けられた第 1 半導体層と、前記複数の画素回路を構成する M 層の配線層を含む第 1 配線構造と、を含み、

前記第 2 チップは、前記複数の電気回路を構成する複数の半導体素子が設けられた第 2 半導体層と、前記複数の電気回路を構成する N 層の配線層を含む第 2 配線構造と、を含み、

前記第 1 配線構造が前記第 1 半導体層と前記第 2 半導体層との間に配され、

前記第 2 配線構造が前記第 2 配線構造と前記第 2 半導体層との間に配され、

前記第 1 配線構造の前記第 1 半導体層から M 番目の配線層に含まれ、前記複数の画素回路のうちの第 1 回路に接続された第 1 導電部と、前記第 2 配線構造の前記第 2 半導体層から N 番目の配線層に含まれ、前記複数の電気回路のうちの第 2 回路に接続された第 2 導電部と、が電氣的に接続されており、

前記 M 番目の配線層に含まれ前記複数の画素回路のうちの第 3 回路に接続された第 3 導電部と、前記 N 番目の配線層に含まれ、前記複数の電気回路のうちの第 4 回路に接続された第 4 導電部と、が電氣的に接続されており、

前記第 2 導電部から前記複数の画素回路を構成する前記複数の半導体素子までの最短の配線経路が第 1 の長さであり、前記第 1 導電部から前記複数の電気回路を構成する前記複数の半導体素子までの最短の配線経路が第 2 の長さであり、

前記第 4 導電部から前記複数の画素回路を構成する前記複数の半導体素子までの最短の配線経路が第 3 の長さであり、前記第 3 導電部から前記複数の電気回路を構成する前記複数の半導体素子までの最短の配線経路が第 4 の長さであり、

前記第 3 の長さと前記第 4 の長さとの和が、前記第 1 の長さと前記第 2 の長さとの和よりも大きいことを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の撮像装置。

【請求項 1 1】

前記第 3 の長さが前記第 1 の長さよりも大きい、請求項 1 0 に記載の撮像装置。

【請求項 1 2】

前記第 1 の長さが前記第 4 の長さよりも大きい、請求項 1 0 または 1 1 に記載の撮像装置。

【請求項 1 3】

前記第 1 チップには、前記有効画素、前記オブティカルブラック画素を含む複数の画素回路が J 行かつ K 列の行列状に配され、

前記第 2 チップには、A D 変換器を各々が含む複数の電気回路が T 行かつ U 列の行列状に配され、

前記第 1 チップは、前記複数の画素回路を構成する複数の半導体素子が設けられた第 1 半導体層と、前記複数の画素回路を構成する M 層の配線層を含む第 1 配線構造と、を含み、

前記第 2 チップは、前記複数の電気回路を構成する複数の半導体素子が設けられた第 2 半導体層と、前記複数の電気回路を構成する N 層の配線層を含む第 2 配線構造と、を含み、

前記第 1 配線構造が前記第 1 半導体層と前記第 2 半導体層との間に配され、

前記第 2 配線構造が前記第 2 配線構造と前記第 2 半導体層との間に配され、

前記第 1 配線構造の前記第 1 半導体層から M 番目の配線層に含まれ、前記複数の画素回路のうちの第 1 回路に接続された第 1 導電部と、前記第 2 配線構造の前記第 2 半導体層から N 番目の配線層に含まれ、前記複数の電気回路のうちの第 2 回路に接続された第 2 導電部と、が電氣的に接続されており、

前記第 2 導電部から前記複数の画素回路を構成する前記複数の半導体素子までの最短の配線経路が第 1 の長さであり、前記第 1 導電部から前記複数の電気回路を構成する前記複数の半導体素子までの最短の配線経路が第 2 の長さであり、

前記第 1 の長さが前記第 2 の長さよりも大きいことを特徴とする請求項 1 ～ 1 2 のいずれか 1 項に記載の撮像装置。

【請求項 1 4】

請求項 1 ～ 1 3 のいずれか 1 項に記載の撮像装置と、

前記撮像装置が出力する信号を処理することによって画像を生成する信号処理部とを有することを特徴とする撮像システム。

【請求項 1 5】

請求項 1 ～ 1 3 のいずれか 1 項に記載の撮像装置と、

前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、

前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

【請求項 1 6】

第 1 行に、複数列に渡って配された有効画素と、前記第 1 行に配されたオブティカルブラック画素とが配された画素チップに対して積層するための回路チップであって、

前記回路チップは、前記オブティカルブラック画素が出力する信号を A D 変換する A D 変換部を有し、

前記回路チップは、前記オブティカルブラック画素に対して、平面視において重なる位置に、前記画素チップに接続し、前記オブティカルブラック画素が出力する信号を受けるための接続部を備えることを特徴とする回路チップ。

【請求項 17】

前記回路チップは、前記画素チップから出力される複数列のオプティカルブラック画素の信号の中から、前記ＡＤ変換器に出力する信号を選択するマルチプレックス回路をさらに有することを特徴とする請求項 16 に記載の回路チップ。

【請求項 18】

前記マルチプレックス回路が、前記オプティカルブラック画素に対して、平面視において重なる部分を備えることを特徴とする請求項 16 または 17 に記載の回路チップ。