

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 18 年 3 月 23 日 (2006.3.23)

【公表番号】特表 2002-502070 (P2002-502070A)  
 【公表日】平成 14 年 1 月 22 日 (2002.1.22)  
 【出願番号】特願 2000-529662 (P2000-529662)  
 【国際特許分類】

**G 0 6 F 13/14 (2006.01)**

**G 0 6 F 15/177 (2006.01)**

【F I】

G 0 6 F 13/14 3 1 0 A

G 0 6 F 15/177 6 8 2 F

【手続補正書】  
 【提出日】平成 18 年 1 月 27 日 (2006.1.27)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】

【請求項 1】 共有メモリリソースへのアクセスを要する複数の処理エレメントを含むコンピュータシステムであって、

前記処理エレメント間において前記メモリリソースへのアクセスを制御するための優先度競合解消回路を含み、前記優先度競合解消回路は前記複数の前記処理エレメントの各々に対応して割当てられる予め定められた異なる初期優先度を含み、前記複数の前記処理エレメントのうち選択された処理エレメントが、その前記初期優先度が最高の優先度である場合に、前記メモリリソースへのアクセスを与えられると、前記複数の前記処理エレメントのうちの前記選択された処理エレメントの前記初期優先度は最低の優先度に変えられ、前記複数の前記処理エレメントのうちの他のすべての処理エレメントの前記優先度は次のより高い優先度に増分され、前記複数の前記処理エレメントのうちの他のすべての処理エレメントは共通の最高優先度に達するまで次のより高い優先度に増分可能であり、前記処理エレメントの部分集合の前記優先度は前記異なる初期優先度にデフォルトで戻る、コンピュータシステム。

【請求項 2】 前記優先度競合解消回路が、前記複数の処理エレメント間の誤った優先度を動的に訂正するためのコンパレータを含む、請求項 1 に記載のコンピュータシステム。

【請求項 3】 前記コンパレータが、前記誤った優先度を訂正するために「より大きいまたは同等」機能を実行するよう動作する、請求項 2 に記載のコンピュータシステム。

【請求項 4】 前記優先度競合解消回路が、前記複数の処理エレメント間の優先度拘束を動的に解消するためのコンパレータを含み、優先度拘束は前記複数の処理エレメントのうちの 1 つより多くの処理エレメントが増分されて共通の最高優先度になることに起因する、請求項 1 に記載のコンピュータシステム。

【請求項 5】 前記複数の前記処理エレメントの各々に対して割当てられた前記初期優先度が、前記動的優先度競合解消回路の各々の出力ポートによって維持される、請求項 1 に記載のコンピュータシステム。

【請求項 6】 前記動的優先度競合解消回路が、いくつかのデータ経路付けリソースを通じて結合された第 1 複数個の入力ポートと第 2 複数個の出力ポートとを含む、請求項 1 に記載のコンピュータシステム。

【請求項 7】 前記データ経路付けリソースがいくつかの競合解消リソースによって作動的に制御される、請求項 6 に記載のコンピュータシステム。

【請求項 8】 20 個の入力ポートと 16 個の出力ポートとを含む、請求項 6 に記載のコンピュータシステム。

【請求項 9】 複数の処理エレメントと共有メモリリソースとを含む、コンピュータシステム中の動的優先度競合解消の方法であって、

前記複数の処理エレメントの各々に対応して予め定められた異なる初期優先度を割当てるステップと、

前記複数の処理エレメントのうち最高の初期優先度を有する、アクセスを要求している処理エレメントに前記メモリリソースへのアクセスを与えるステップと、

前記複数の処理エレメントのうち前記メモリリソースへのアクセスを要求して与えられた処理エレメントの前記初期優先度を減少させて最低の優先度にするステップと、

前記複数の処理エレメントのうち残った処理エレメントの各々の前記優先度を次のより高い優先度に増分するステップとを含み、前記複数の処理エレメントのうち残った処理エレメントの各々は共通の最高優先度に達するまで増分可能であり、前記方法はさらに

前記複数の処理エレメントの残った各々のうち、増加されて共通の最高優先度になった 1 つより多くの処理エレメントの部分集合の前記優先度を、前記予め定められた異なる初期優先度にデフォルトするステップを含む、方法。

【請求項 10】 アクセスを与える前記ステップ、減少させる前記ステップ、および増分する前記ステップが優先度競合解消回路によって行なわれる、請求項 9 に記載の方法。

【請求項 11】 前記複数の処理エレメント間の優先度を比較するステップと、

前記複数の処理エレメント間の誤った優先度を動的に訂正するステップとをさらに含む、請求項 9 に記載の方法。

【請求項 12】 前記誤った優先度を訂正するために、「より大きいまたは同等」機能によって前記比較するステップが行なわれる、請求項 11 に記載の方法。

【請求項 13】 前記複数の処理エレメント間の優先度を比較するステップと、

前記複数の処理エレメント間の優先度拘束を動的に解消するステップとをさらに含み、優先度拘束は前記複数の処理エレメントのうちの 1 つより多くの処理エレメントが増分されて共通の最高優先度になることに起因する、請求項 9 に記載の方法。

【請求項 14】 前記複数の前記処理エレメント各々に対応して割当てられた前記初期優先度を、前記優先度競合解消回路のそれぞれの出力ポートで維持するステップをさらに含む、請求項 10 に記載の方法。