

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3871381号

(P3871381)

(45) 発行日 平成19年1月24日(2007. 1. 24)

(24) 登録日 平成18年10月27日(2006. 10. 27)

(51) Int. Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 101F

H03H 11/28 (2006.01)

H03H 11/28

請求項の数 2 (全 17 頁)

(21) 出願番号	特願平8-253815	(73) 特許権者	504199127
(22) 出願日	平成8年9月4日(1996.9.4)		フリースケール セミコンダクター イン
(65) 公開番号	特開平9-130229		コーポレイテッド
(43) 公開日	平成9年5月16日(1997.5.16)		アメリカ合衆国テキサス州78729, オ
審査請求日	平成15年8月25日(2003.8.25)		ースティン, ウェスト・パーマー・レーン
(31) 優先権主張番号	08/523, 165		7700
(32) 優先日	平成7年9月5日(1995.9.5)	(74) 代理人	100083574
(33) 優先権主張国	米国 (US)		弁理士 池内 義明
		(74) 代理人	100116322
			弁理士 桑垣 衛
		(72) 発明者	アリ・レザ・ファーハン
			アメリカ合衆国オレゴン州97007、ビ
			ーバートン、サウスウエスト・ランド・
			ドライブ 7708

最終頁に続く

(54) 【発明の名称】 可変出力インピーダンスを有するバッファ回路

(57) 【特許請求の範囲】

【請求項 1】

可変出力インピーダンスを有するバッファ回路(20)であって、
 前記バッファ回路(20)の入力端子(30)に結合された抵抗素子(32)、
 電源電圧端子に結合された第1の電流電極、制御電極、および前記バッファ回路(20)
)の入力端子(30)に結合された第2の電流電極を有する第1のトランジスタ(33)

、
 前記抵抗素子(32)の第1の端子に結合された第1の入力端子、基準電圧を受けるた
 めの第2の入力端子、および前記第1のトランジスタ(33)の制御電極に結合された出
 力端子を有するフィードバック増幅器(40)、

前記電源電圧端子に結合された第1の電流電極、前記フィードバック増幅器(40)の
 出力端子に結合された制御電極、および第2の電流電極を有する第2のトランジスタ(3
 4)、

前記第2のトランジスタ(34)の第2の電流電極に結合され入力電圧を受けるための
 入力端子、および前記入力電圧の電圧レベルに対応するデジタルコードを提供するた
 めの複数の出力端子を有するアナログ-デジタル変換器(24)、そして

各々前記電源電圧端子に結合された第1の電流電極、前記デジタルコードの対応するビ
 ットの所定の論理状態に応じてデータ信号を受けるために選択的に結合される制御電極、
 そして前記出力ドライバ回路の出力端子に結合されて出力信号を提供するための第2の電
 流電極を有する、複数の2進重み付けトランジスタ(150, 151, 152)を有する

10

20

出力ドライバ回路（５３）、

を具備することを特徴とする可変出力インピーダンスを有するバッファ回路（２０）。

【請求項２】

可変出力インピーダンスを有するバッファ回路（２０）であって、

第１の所定の入力電圧を提供するよう結合された抵抗器であって、該抵抗器は前記バッファ回路の外部に設けられかつ所望の出力インピーダンスの倍数の抵抗値を有するもの、

前記第１の所定の入力電圧を受けるための入力端子、および前記第１の所定の入力電圧の電圧レベルに対応するプルアップデジタルコードを提供するための複数の出力端子を有するプルアップアナログ - デジタル変換器（２２）、

第２の所定の入力電圧を受けるための入力端子、および前記第２の所定の入力電圧の電圧レベルに対応するプルダウンデジタルコードを提供するための複数の出力端子を有するプルダウンアナログ - デジタル変換器（２４）、そして

出力ドライバ回路（５３）であって、

各々第１の電源電圧端子に結合された第１の電流電極、前記プルアップデジタルコードの対応するビットの所定の論理状態に応じて第１のデータ信号を受けるよう選択的に結合される制御電極、そして出力端子に結合され出力信号をプルアップするための第２の電流電極を有する、複数の２進重み付けプルアップトランジスタ（１５０，１５１，１５２）、そして

各々第２の電源電圧端子に結合された第１の電流電極、前記プルダウンデジタルコードの対応するビットの所定の論理状態に応じて第２のデータ信号を受けるよう選択的に結合される制御電極、そして前記出力端子に結合され前記出力信号をプルダウンするための第２の電流電極を有する、複数の２進重み付けプルダウントランジスタ（１５３，１５４，１５５）、

を具備する前記出力ドライバ回路（５３）、

を具備することを特徴とする可変出力インピーダンスを有するバッファ回路（２０）。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は一般的には回路に関し、かつより特定的には、可変出力インピーダンスを有する出力バッファ回路に関する。

【０００２】

【従来の技術】

マイクロプロセッサ、メモリ、その他のような、集積回路においては、信号は伝送ラインを使用して比較的長い距離にわたり導かれることがある。伝送ラインはデジタル信号を伝送するためにバス、プリント回路基板トレース、または他の形式の比較的長い金属ラインとすることができる。典型的には、プリント回路基板トレースは５０および７５オームの間の特性インピーダンスを有する。該伝送ラインの受信端、または遠端（far end）、は典型的には論理回路の入力に接続され、該論理回路は入力インピーダンスが伝送ラインの特性インピーダンスより高い。もし伝送ラインの遠端に結合されたインピーダンスが伝送ラインのインピーダンスと異なれば、信号は送信端へと反射し戻され、該信号をその論理状態に対して予定された定常状態の電圧をオーバシュートさせる。該信号は近端（near end）および遠端の間を何回も行き来して反射し、両方の端部において信号の発振的ふるまいを生じさせる。この反復される信号のオーバシュートおよびアンダーシュートは通常「リングング」として知られ、かつその結果はノイズ耐性の低下、および信号が遠端において有効になり、かつ有効な状態に留まるようになるための時間が増大することになる。

【０００３】

【発明が解決しようとする課題】

伝送ラインの長さにより信号を「ドライブ」するのに十分な電流を提供するためにドライバ回路が使用される。ＣＭＯＳ（相補型金属酸化物半導体）ドライバ回路は一般に正電

10

20

30

40

50

圧電源端子およびグランド端子の間に直列に接続されたPチャネルトランジスタおよびNチャネルトランジスタを含む。該トランジスタのゲートは入力信号を受け、かつ該ドライバ回路の出力端子は前記トランジスタの間に配置される。Pチャネルトランジスタは「プルアップ」トランジスタとして機能し、かつNチャネルトランジスタは「プルダウン」トランジスタとして機能する。ドライバ回路の出力インピーダンスは該ドライバ回路が反射した信号を吸収しかつインギングを防止するために伝送ラインの特性インピーダンスと整合すべきである。これによってより落ちついた波形、良好なノイズ耐性および改善された信号タイミングマージンを生じる結果となる。しかしながら、ドライバ回路がドライブすることを要求される負荷インピーダンスは該ドライバ回路が導入される特定の用途に応じて変化する。

10

【0004】

GTL (ガニングトランシーバロジック: Gunning transceiver Logic) はますます普及しつつあるロジック形式である。GTLはよく知られたECL (エミッタカップルドロジック) ロジック形式と比較し得る論理スイングを有する。しかしながら、GTLは比較的低い電力消費、高速度を有し、かつCMOSプロセスによって実施できる。GTLレベルのような、比較的低い論理スイングを有する論理レベルを使用する集積回路においては、小さな量のリングングでもノイズ耐性が大幅に低下することがあり得る。また、例えばCMOS論理レベル、と比較して信号タイミングのマージンが大幅に悪化することがある。

【0005】

したがって、本発明の目的は、このような従来の装置の不都合を除去することにある。

20

【0006】

【課題を解決するための手段】

一般に、本発明は調整可能な出力インピーダンスを有する出力バッファ回路を提供する。外部抵抗が該出力バッファ回路の入力とグランドに結合された電源電圧端子の間に接続される。前記抵抗は出力バッファの所望の出力インピーダンスの倍数の抵抗を有する。出力インピーダンスは前記抵抗にわたって検知された電圧レベルをアナログ-デジタル (A/D) 変換器を使用してデジタル符号に変換することにより調整される。該A/D変換器はデジタル信号を2進カウンタに提供するための比較器を含む。前記2進カウンタは前記比較器からのデジタル信号に応じてカウントアップまたはカウントダウンを行ない外部抵抗の抵抗値と整合するよう2進重み付けされたトランジスタアレイの抵抗を調整する。前記カウンタからのデジタル符号はまた出力ドライバのインピーダンスを調整するために提供され、該出力ドライバは複数の2進重み付けプルアップトランジスタおよび2進重み付けプルダウントランジスタを有する。示された実施形態では、複数のプルアップトランジスタのための2進カウンタおよびプルアップA/D変換器ならびに複数のプルダウントランジスタのための2進カウンタおよびプルダウンA/D変換器がある。前記カウンタは出力バッファ回路の出力ノードに結合された、伝送ラインのような、負荷の特性インピーダンスに整合させるため前記プルアップトランジスタおよび前記プルダウントランジスタのドライブ強度およびインピーダンスを調整するために2進重み付けプルアップトランジスタおよび2進重み付けプルダウントランジスタの内の1つまたはそれ以上を選択するためにデジタル符号を提供する。

30

40

【0007】

出力バッファ回路のインピーダンスを負荷の特性インピーダンスに整合させることにより反射された信号が吸収されるようにすることができ、したがってリングングを防止する。この結果より落ちついた波形、良好なノイズ耐性、および改善された信号タイミングのマージンが得られる。また、前記出力バッファ回路の出力インピーダンスは外部抵抗の抵抗値を変えることにより容易に調整でき、出力バッファ回路を導入した集積回路メモリのような、集積回路が種々の負荷インピーダンスをドライブできるようにする。また、前記A/D変換器はダイの温度および電源電圧の変化を補償するためにフィードバックを使用する。

50

【 0 0 0 8 】

【 発明の実施の形態 】

本発明は図 1 ～ 図 6 を参照することによりさらに完全に説明することができる。図 1 は、部分的ブロック図形式、部分的回路図形式、および部分的論理図形式で、本発明の一実施形態に係わる可変出力インピーダンスを有する出力バッファ回路 20 を示す。出力バッファ回路 20 はプルアップ A / D 変換器 22、プルダウン A / D 変換器 24、プルアップレジスタ 49、プルダウンレジスタ 52、および出力ドライバ 53 を含む。プルアップ A / D 変換器 22 は N チャンネルソースフォロアトランジスタ 35、37 および 38、抵抗 36 および 39、フィードバック増幅器 43、比較器 44、2 進重み付けプルアップトランジスタアレイ 46、プルアップアービタ (pull - up arbiter) 47、および 8 ビット 2 進カウンタ 48 を含む。プルダウン A / D 変換器 24 は N チャンネルソースフォロワトランジスタ 33 および 34、フィードバック増幅器 40、ローパスフィルタ 41、比較器 42、2 進重み付けプルダウントランジスタアレイ 45、プルダウンアービタ (pull - down arbiter) 50、および 8 ビット 2 進カウンタ 51 を含む。

【 0 0 0 9 】

プルダウン A / D 変換器 24 においては、N チャンネルソースフォロワトランジスタ 33 は “ V_{DD} ” と名付けられた電源電圧端子に接続されたドレイン (電流電極)、ゲート (制御電極)、および “ ZQ ” と名付けられた電圧を受けるためにパッド 30 に接続されたソース (電流電極) を有する。抵抗 32 はパッド 30 に接続された第 1 の端子、および “ $V_{SS\text{EXT}}$ ” と名付けられた電源電圧端子に接続された第 2 の端子を有する。フィードバック増幅器 40 はパッド 30 に接続された第 1 の入力端子、“ HV_{DDQ} ” と名付けられた基準電圧を受けるための第 2 の入力端子、および出力端子を有する。ローパスフィルタ 41 はフィードバック増幅器 40 の出力端子に接続された入力端子、および N チャンネルトランジスタ 33 のゲートに接続された出力端子を有する。N チャンネルトランジスタ 34 は V_{DD} に接続されたドレイン、N チャンネルトランジスタ 33 のゲートに接続されたゲート、およびノード 101 に接続されたソースを有する。比較器 42 は N チャンネルトランジスタ 34 のソースに接続された第 1 の入力端子、基準電圧 HV_{DDQ} を受けるための第 2 の入力端子、および出力端子を有する。プルダウンアービタ 50 は比較器 42 の出力端子に接続された第 1 の入力端子、“ $ICLK$ ” と名付けられたクロック信号を受けるための第 2 の入力端子、および出力端子を有する。8 ビット 2 進カウンタ 51 はプルダウンアービタ 50 の出力端子に接続された第 1 の入力端子、クロック信号 $ICLK$ を受けるための第 2 の入力端子、および “ $PDQ(0:7)$ ” と名付けられたデジタルカウント値を提供するための複数の出力端子を有する。プルダウントランジスタアレイ 45 はカウンタ 51 の複数の出力端子に接続された複数の入力端子、および比較器 42 の第 1 の入力に接続された “ $PDA R Y$ ” と名付けられたプルダウンアレイ電圧を提供するための出力端子を有する。

【 0 0 1 0 】

プルアップ A / D 変換器 22 においては、N チャンネルソースフォロワトランジスタ 35 は V_{DD} に接続されたドレイン (電流電極)、N チャンネルトランジスタ 34 のゲートに接続されたゲート (制御電極)、およびノード 102 に接続されたソース (電流電極) を有する。N チャンネルソースフォロワトランジスタ 37 は V_{DD} に接続されたドレイン、ゲート、およびノード 102 において N チャンネルトランジスタ 35 のソースに接続されたソースを有する。抵抗 36 は N チャンネルトランジスタ 35 および 37 のソースに接続された第 1 の端子、および “ V_{SS} ” と名付けられた電源電圧端子に接続された第 2 の端子を有する。フィードバック増幅器 43 は N チャンネルトランジスタ 35 および 37 のソースに接続された第 1 の入力端子、および基準電圧 HV_{DDQ} を受けるための第 2 の入力端子、および N チャンネルトランジスタ 37 のゲートに接続された出力端子を有する。N チャンネルソースフォロワトランジスタ 38 は V_{DD} に接続されたドレイン、N チャンネルトランジスタ 37 のゲートに接続されたゲート、およびノード 103 に接続されたソースを有する。抵抗 39 はノード 103 において N チャンネルトランジスタ 38 のソースに接続された第 1 の端子

10

20

30

40

50

、および V_{SS} に接続された第2の端子を有する。比較器44はNチャネルトランジスタ38のソースに接続された第1の入力端子、 HV_{DDQ} を受けるための第2の入力端子、および出力端子を有する。プルアップアレイ46は " V_{DDQc} " と名付けられた電圧を受けるための入力端子、" $PUQ(0:7)$ " と名付けられたデジタルカウント値を受けるための複数の入力端子、および比較器44の第1の入力端子に接続された出力端子を有する。プルアップアービタ47は比較器44の出力端子に接続された第1の入力端子、クロック信号 ICK を受けるための第2の入力端子、および出力端子を有する。8ビット2進カウンタ48はプルアップアービタ47の出力端子に接続された第1の入力端子、クロック信号 ICK を受けるための第2の入力端子、およびデジタルカウント値 $PUQ(0:7)$ を提供するための複数の出力端子を有する。

10

【0011】

プルダウンレジスタ52はカウンタ51の複数の出力端子に接続された複数の入力端子、" K " と名付けられたクロック信号を受けるための入力端子、および " $OZD(0:7)$ " と名付けられたプルダウンレジスタード(*registered*)デジタルカウント値を提供するための複数の出力端子を有する。プルアップレジスタ49はカウンタ48の複数の出力端子に接続された複数の入力端子、クロック信号 K を受けるための入力端子、および " $OZU(0:7)$ " と名付けられたプルアップレジスタード(*registered*)デジタルカウント値を提供するための複数の出力端子を有する。出力ドライバ53はプルアップレジスタ49の複数の出力端子に接続された第1の複数の入力端子、プルダウンレジスタ52の複数の出力端子に接続された第2の複数の入力端子、" D " と名付けられたデータ信号を受けるための第1の入力端子、" D^* " と名付けられたデータ信号を受けるための第2の入力端子、および「データ($DATA$)」と名付けられた出力信号を提供するための出力端子を有する。データ信号 D および D^* は差動データ信号である。

20

【0012】

出力バッファ回路20は電圧をデジタル符号に変換するためにアナログ-デジタル(A/D)変換器を使用する。該デジタル符号またはデジタルコードは出力バッファ回路20によってドライブされる負荷のインピーダンスに整合するため出力バッファ回路20の出力インピーダンスを調整するために出力ドライバのプルアップおよびプルダウントランジスタ双方の出力ドライブ強度を調整するために使用される。抵抗32は外部抵抗でありかつ出力バッファ回路20の入力端子に結合される。該抵抗は出力バッファの所望の出力インピーダンスの倍数となるよう選択される抵抗値を有する。例えば、もし伝送ラインのインピーダンスが50オームであれば、抵抗32の抵抗値は50の5倍、または250オームとすることができる。

30

【0013】

動作においては、出力バッファ回路20は、伝送ラインのような、負荷を $GT L$ レベルで入力データ信号に応答してドライブする。出力ドライバ53の出力インピーダンスは外部抵抗32における検知された電圧レベルをデジタルコードに変換することにより調整される。該デジタルコードは複数の2進重み付けプルアップトランジスタの内の少なくとも1つおよび複数の2進重み付けプルダウントランジスタの内の少なくとも1つを選択して出力ドライバ53(図6を参照)のドライブ強度を調整する。プルアップドライブ強度は出力ドライバ53の前記複数の2進重み付けプルアップトランジスタの間で選択するためにプルアップ A/D 変換器22を使用してセットされる。プルダウンドライブ強度は出力ドライバ53の前記複数の2進重み付けプルダウントランジスタの間で選択するためにプルダウン A/D 変換器24を使用してセットされる。

40

【0014】

フィードバック増幅器40、ローパスフィルタ41、およびNチャネルトランジスタ33はフィードバック増幅器40の第1の入力端子における電圧を基準電圧 HV_{DDQ} に整合させるために使用される。フィードバック増幅器40の入力端子の電圧を基準電圧 HV_{DDQ} にセットすることにより、Nチャネルトランジスタ33をとる比較的一定の電流がNチャネルトランジスタ34をとる比較的一定の電流を生じさせる。Nチャネルトラン

50

ジスタ34をとおりプルダウンアレイ45に流れる電流はノード101に電圧を生じさせる。ノード101の電圧PDARYは比較器42の第1の入力端子に提供される。比較器42は基準電圧HV_{DDQ}に対し電圧PDARYの相対振幅の比較を行なう。もしノード101の電圧が基準電圧HV_{DDQ}より大きければ、比較器42からの論理ハイの出力信号がプルダウンアービタ50に提供されてカウンタ51がPDQ(0:7)の値を1だけ増大するようにさせる。これはプルダウンアレイ45の抵抗を減少させ、したがって電圧PDARYの振幅を低減する。カウンタ51はプルダウンアレイ45において抵抗値が所定の許容範囲内で抵抗32の抵抗値に整合するまでカウントアップを行なう。2進カウンタ50は同期カウンタである。したがって、プルダウンアービタ50がカウンタ51によって受信された信号をクロック信号ICKに同期させるために使用される。他の実施形態では、もし2進カウンタが同期的なものでなければ、アービタ47および50は必要ではなくなる。

10

【0015】

もし電圧PDARYが依然として電圧HV_{DDQ}より大きければ、比較器42の出力信号は論理ハイの電圧でありカウンタ51を1だけカウントアップさせ、プルダウンアレイ45の抵抗を低下させ、したがって電圧PDARYを低下させる。カウンタ51の出力ビットはプルダウンアレイ45の抵抗を低減するためにプルダウンアレイ45に与えられる。PDQ(0:7)のデジタル値もまたプルダウンレジスタ52に提供される。クロック信号Kにตอบสนองして、プルダウンレジスタ52は登録されたまたはレジスタード(register)カウント値OZD(0:7)を提供しプルダウントランジスタの出力インピーダンスを調整する。登録されたカウント値OZD(0:7)は前記カウント値PDQ(0:7)に対応する。比較器42は電圧PDARYが基準電圧HV_{DDQ}に等しくなるまでHV_{DDQ}に対してPDARYの比較を続ける。

20

【0016】

逆に、もし電圧ノード101が基準電圧HV_{DDQ}より低ければ、比較器42からの論理ローの出力信号がプルダウンアービタ50に提供されてカウンタ51にPDQ(0:7)の値を1だけ低減させる。これはプルダウンアレイ45の抵抗を増大させ、したがって電圧PDARYの振幅を増大させる。カウンタ51はプルダウンアレイ45において抵抗値が所定の許容範囲内で抵抗32の抵抗値と整合する値に到達するまでカウントダウンを行なう。2進カウンタ48および51は伝統的な8ビット同期カウンタであり2進数00000000および11111111の間でカウントアップおよびカウントダウンを行なうことができるものであるが上限および下限に到達したとき循環(wrap around)しない。

30

【0017】

また、出力バッファ回路20は出力データ信号をGTLレベルでドライブするから、基準電圧HV_{DDQ}はV_{DDQ}に提供される電源電圧のほぼ半分である。V_{DDQ}は出力ドライバ53のための電源端子である。もしV_{DD}が3.0ボルトであれば、V_{DDQ}は1.2ボルトでありかつHV_{DDQ}は約0.6ボルトである。V_{DDQc}はV_{DDQ}のローパス波されたものであり、かつしたがって約1.2ボルトに等しい。他の実施形態では、電源および基準電圧レベルは異なるものとすることができる。

40

【0018】

プルダウンA/D変換器24が出力ドライバ53の前記複数のプルダウントランジスタのドライブ強度を調整すると同時に、プルアップA/D変換器22は出力ドライバ53の前記複数のプルアップトランジスタのドライブ強度を調整している。プルアップA/D変換器22はプルダウンA/D変換器24と同様に動作する。Nチャネルトランジスタ35および37を流れる電流は抵抗36の間に所定の電圧降下を生じさせる。ノード102において結果として生じる所定の電圧はフィードバック増幅器43の第1の入力端子に提供される。

【0019】

フィードバック増幅器43はノード102の電圧を基準電圧HV_{DDQ}と比較し、かつ出

50

力信号をNチャネルトランジスタ37および38のゲートに提供してノード102の電圧をほぼ基準電圧 HV_{DDQ} に等しくなるよう調整する。フィードバック増幅器43は図2に示されるフィードバック増幅器40と同様のものである。Nチャネルトランジスタ37を流れる電流はNチャネルトランジスタ38を流れる電流を比較的一定のものにし、それによってノード103に抵抗39における電圧降下を生じさせる。抵抗36および39は整合した抵抗であり、かつ抵抗36および39の抵抗値は示された実施形態ではほぼ等しい。抵抗36および39の値はNチャネルトランジスタ37が全ての動作条件および全てのプロセスのコーナー条件に対してノード102を基準電圧 HV_{DDQ} に等しくするのに十分な電流をドライブするように選択される。“PUARY”と名付けられた、ノード103の電圧は2進重み付けプルアップアレイ46および抵抗39の電圧降下の関数であり、かつ比較器44の第1の入力端子に提供される。プルアップアレイ46によってドライブされる電流は電圧PUARYが基準電圧 HV_{DDQ} に整合するためにNチャネルトランジスタ35と同じ電流をドライブしなければならない。比較器44は電圧PUARYを基準電圧 HV_{DDQ} と比較し、かつそれに応じて、アービタ47を介してデジタルカウント信号を2進カウンタ48に提供する。比較器44は、図3に示された、比較器42と同様のものである。

【0020】

もし電圧PUARYが基準電圧 HV_{DDQ} より大きければ、比較器44は論理ハイの電圧を提供してカウンタ48をカウントダウンさせる。デジタルカウント値PUQ(0:7)はプルアップアレイ46に提供されてプルアップアレイ46の実効抵抗を増大させ、したがって電圧PUARYの振幅を低減する。デジタルカウント値PUQ(0:7)もまたプルアップレジスタ49に提供される。レジスタ49はクロック信号Kにตอบสนองして登録されたデジタルカウント値OZU(0:7)を出力ドライバ53の複数のプルアップトランジスタに提供し出力ドライバ53のプルアップ出力インピーダンスを調整する。該プルアップインピーダンスはPUARYが基準電圧 HV_{DDQ} に等しい場合に整合される。

【0021】

もし電圧PUARYが基準電圧 HV_{DDQ} より小さければ、比較器44は論理ローの電圧をプルアップアービタ47をとおしてカウンタ48に提供し2進カウンタ48をカウントアップさせ、プルアップアレイ46の実効抵抗を低減し、かつある増分量だけ電圧PUARYを増大させる。デジタルカウント値PUQ(0:7)が増分され、かつ対応する登録されたデジタルカウント値OZU(0:7)がクロック信号Kにตอบสนองして増分される。該登録されたデジタルカウント値OZU(0:7)は出力ドライバ53に提供されて出力ドライバ53の前記複数の2進重み付けプルアップトランジスタのインピーダンスを調整する。上に述べたように、出力ドライバ53はGTLレベルで信号を提供するためのものである。GTLはECL(エミッタカップルドロジック)に比較し得る論理スイングを有する。GTLに対する論理ハイレベルの電圧は1.14および1.26ボルトの間に等しくすることができる。論理ローレベルの電圧はゼロボルトに等しくすることができる。他の実施形態では、出力ドライバ53は、CMOS, ECLまたはTTL(トランジスタ-トランジスタロジック)のような、他の論理レベルで信号を提供することができる。

【0022】

出力バッファ回路20は比較的小さなスイング論理レベルを使用したシステムにおいて動作することを意図したものであるから、特にノイズの影響を低減することが重要である。ローパスフィルタ41は内部電源電圧端子 V_{SS} および外部電源電圧端子 $V_{SS_{EXT}}$ の間で高周波ノイズをろ波除去し、この場合 V_{SS} は内部グランドでありかつ $V_{SS_{EXT}}$ は外部グランドに接続されている。前記高周波ノイズはNチャネルトランジスタ33, 34および35のゲート電圧によりかつ、集積回路上の他の回路からのような、他の発生源によって導入される。ローパスフィルタ41はまたフィードバック増幅器40の出力端子からフィードバック増幅器40の第1の入力端子への間のフィードバックループに安定性を加える。さらに、フィードバック増幅器40および43によって提供されるフィードバックはまたNチャネルトランジスタ33, 34, 35, 37および38を通る電流に影響

10

20

30

40

50

を与え得るダイの温度および供給電圧の変化に対して補償を行なう。図示された実施形態では、抵抗 32 は $V_{SS}EX_T$ を通して外部グラウンドに接続されていることに注意を要する。しかしながら、他の実施形態では、抵抗 32 は該抵抗 32 を内部グラウンド (V_{SS}) に結合するためにパッド 30 および他のパッド (図示せず) の間に結合し、 V_{SS} から $V_{SS}EX_T$ へのノイズの問題を除去することができる。 $V_{DD}QC$ および基準電圧 $HV_{DD}Q$ における電源ノイズはローパスフィルタ (図示せず) および $V_{DD}Q$ を $V_{DD}QC$ および $HV_{DD}Q$ に変換するために使用される回路中の単一利得増幅器 (図示せず) を通して波除去し $V_{DD}Q$ を通過させる。

【0023】

内部 V_{DD} ノイズはカレントミラーとして接続された P チャネルトランジスタを使用する代わりにソースフォロワ構成の N チャネルトランジスタ 33, 34, 35, 37 および 38 を使用することにより低減される。もしソースフォロワ構成の N チャネルトランジスタのドレイン電圧 V_D がゲート電圧 V_G からしきい値電圧 V_T を減算したものより小さければ、 V_G の変調によってソース電圧 V_S に変調を生じさせ、かつ N チャネルトランジスタは比較的貧弱な電源ノイズ排除を有することになる。しかしながら、もし V_D が V_G から V_T を減算したものより大きければ、 V_D の変調はソースによって排除され、その結果比較的良好な電源ノイズ排除が得られる。したがって、N チャネルトランジスタ 33, 34, 35, 37 および 38 は $V_G - V_T$ より大きな V_D によって動作する。N チャネルトランジスタ 33, 34, 35, 37 および 38 に対するボディタイ (body ties) (図示せず) はさらに $V_G - V_T$ を低減するために V_{SS} に接続されることに注意を要する。

【0024】

図 2 は、回路図形式で、図 1 のフィードバック増幅器 40 を示す。フィードバック増幅器 40 は差動増幅器 60、レベルシフト回路 61 および 62、P チャネルトランジスタ 79、および抵抗 80 を含む。差動増幅器 60 は P チャネルトランジスタ 63 および 64、NPN トランジスタ 65 および 66、そして抵抗 67 を含む。レベルシフト回路 61 は P チャネルトランジスタ 75 および 76、NPN トランジスタ 70、および N チャネルトランジスタ 71 を含む。レベルシフト回路 62 は P チャネルトランジスタ 77 および 78、NPN トランジスタ 72、および N チャネルトランジスタ 73 を含む。

【0025】

P チャネルトランジスタ 63 は V_{DD} に接続されたソース、および一緒に接続されたゲートおよびドレインを有する。P チャネルトランジスタ 64 は V_{DD} に接続されたソース、P チャネル 63 のゲートに接続されたゲート、およびドレインを有する。NPN トランジスタ 65 は P チャネルトランジスタ 63 のドレインに接続されたコレクタ、ベース、およびエミッタを有する。NPN トランジスタ 66 は P チャネルトランジスタ 64 のドレインに接続されたコレクタ、ベース、および NPN トランジスタ 65 のエミッタに接続されたエミッタを有する。抵抗 67 は NPN トランジスタ 65 および 66 のエミッタに接続された第 1 の端子、および V_{SS} に接続された第 2 の端子を有する。NPN トランジスタ 70 は V_{DD} に接続されたコレクタ、ベース、および NPN トランジスタ 65 のベースに接続されたエミッタを有する。N チャネルトランジスタ 71 は NPN トランジスタ 70 のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。NPN トランジスタ 72 は V_{DD} に接続されたコレクタ、ベース、および NPN トランジスタ 66 のベースに接続されたエミッタを有する。N チャネルトランジスタ 73 は NPN トランジスタ 72 のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。P チャネルトランジスタ 75 は V_{DD} に接続されたソース、バイアス電圧 P_{BIAS} を受けるためのゲート、および NPN トランジスタ 70 のベースに接続されたドレインを有する。N チャネルトランジスタ 76 は P チャネルトランジスタ 75 のドレインに接続されたソース、電圧 ZQ を受けるためのゲート、および V_{SS} に接続されたドレインを有する。P チャネルトランジスタ 77 は V_{DD} に接続されたソース、バイアス電圧 P_{BIAS} を

10

20

30

40

50

受けるためのゲート、およびNPNトランジスタ72のベースに接続されたドレインを有する。Pチャネルトランジスタ78はPチャネルトランジスタ77のドレインに接続されたソース、基準電圧 HV_{DDQ} を受けるためのゲート、および V_{SS} に接続されたドレインを有する。Pチャネルトランジスタ79は V_{DD} に接続されたソース、NPNトランジスタ66のコレクタに接続されたゲート、およびローパスフィルタ41(図1)の入力端子に接続されたドレインを有する。抵抗80はPチャネルトランジスタ79のドレインに接続された第1の端子、および V_{SS} に接続された第2の端子を有する。

【0026】

バイアス電圧 P_{BIAS} はPチャネルトランジスタ75および77のゲートに供給されてPチャネルトランジスタ75および77を比較的一定の電流源として機能させる。同様に、バイアス電圧 N_{BIAS} がNチャネルトランジスタ71および73のゲートに供給されてNチャネルトランジスタ71および73を比較的一定の電流源として機能させる。

10

【0027】

動作においては、フィードバック増幅器40は電圧 ZQ を基準電圧 HV_{DDQ} と比較し、かつそれに応じて出力電圧をローパスフィルタ41に提供する。レベルシフト回路61および62は電圧 ZQ および HV_{DDQ} を、それぞれ、差動増幅器60によって使用できるレベルにレベルシフトする。差動増幅器60はPチャネルトランジスタ63および64を負荷素子として使用した伝統的な差動増幅器である。電圧 ZQ が基準電圧 HV_{DDQ} より低い場合は、NPNトランジスタ65を通るよりも多くの電流がNPNトランジスタ66を通して流れ、かつ差動増幅器60はローの電圧をPチャネルトランジスタ79のゲートに提供し、Pチャネルトランジスタ79がより導通するようにさせる。Pチャネルトランジスタ79のドレインはハイの電圧をローパスフィルタ41(図1に示されている)の入力端子に提供する。抵抗80はNチャネルトランジスタ79のドレイン電圧に対するレベルシフト機能を提供する。Nチャネルトランジスタ33(図1)のゲート電圧が増大し、Nチャネルトランジスタ33のドレイン-ソース電流を増大させ、それによって電圧 ZQ の電圧レベルを該電圧 ZQ がほぼ基準電圧 HV_{DDQ} に等しくなるまで上昇させる。

20

【0028】

もし電圧 ZQ が基準電圧 HV_{DDQ} より高ければ、NPNトランジスタ66よりも多くの電流がNPNトランジスタ65を通して流れ、差動増幅器60は比較的ハイの電圧をPチャネルトランジスタ79のゲートに提供し、Pチャネルトランジスタ79が実質的に非導通となるようにする。Pチャネルトランジスタ79のドレインはローの電圧をローパスフィルタ41の入力端子に提供する。Nチャネルトランジスタ33のゲート電圧が低下し、Nチャネルトランジスタ33のドレイン-ソース電流を減少させ、それによって電圧 ZQ の電圧レベルを該電圧 ZQ がほぼ基準電圧 HV_{DDQ} に等しくなるまで低下させる。

30

【0029】

図3は、電気回路図形式で、図1の比較器42を示す。比較器42は差動増幅器85、Pチャネルトランジスタ93, 94, 95, 96, 117および120、Nチャネルトランジスタ105, 107, 112, 114, 116, 118, 119および121、NPNトランジスタ99, 106, 109, 111, 113および115、そしてインバータ122~124を含む。差動増幅器85は抵抗86および87、NPNトランジスタ88および89、およびNチャネルトランジスタ90を含む。

40

【0030】

抵抗86は V_{DD} に接続された第1の端子、および第2の端子を有する。抵抗87は V_{DD} に接続された第1の端子、および第2の端子を有する。NPNトランジスタ88は抵抗86の第2の端子に接続されたコレクタ、ベース、およびエミッタを有する。NPNトランジスタ89は抵抗87の第2の端子に接続されたコレクタ、ベース、およびNPNトランジスタ88のエミッタに接続されたエミッタを有する。Nチャネルトランジスタ90はNPNトランジスタ88および89のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。Pチャネルトランジスタ93は V_{DD} に接続されたソース、バイアス電圧 P_{BIAS} を受けるためのゲ

50

ート、およびNPNトランジスタ88のベースに接続されたドレインを有する。Pチャネルトランジスタ94はPチャネルトランジスタ93のドレインに接続されたソース、基準電圧 HV_{DDQ} を受けるためのゲート、そして V_{SS} に接続されたドレインを有する。Pチャネルトランジスタ95は V_{DD} に接続されたソース、バイアス電圧 P_{BIAS} を受けるためのゲート、NPNトランジスタ89のベースに接続されたドレインを有する。Pチャネルトランジスタ96はPチャネルトランジスタ95のドレインに接続されたソース、プルダウンアレイ電圧 PDA_{RY} を受けるためのゲート、そして V_{SS} に接続されたドレインを有する。NPNトランジスタ99は V_{DD} に接続されたコレクタ、NPNトランジスタ88のコレクタに接続されたベース、およびエミッタを有する。Nチャネルトランジスタ105はNPNトランジスタ99のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、そして V_{SS} に接続されたソースを有する。NPNトランジスタ106は V_{DD} に接続されたコレクタ、NPNトランジスタ89のコレクタに接続されたベース、およびエミッタを有する。Nチャネルトランジスタ107はNPNトランジスタ106のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるよう接続されたゲート、そして V_{SS} に接続されたソースを有する。

【0031】

抵抗108は V_{DD} に接続された第1の端子、および第2の端子を有する。NPNトランジスタ109は抵抗108の第2の端子に接続されたコレクタ、NPNトランジスタ99のエミッタに接続されたベース、およびエミッタを有する。Nチャネルトランジスタ112はNPNトランジスタ109のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。抵抗110は V_{DD} に接続された第1の端子、および第2の端子を有する。NPNトランジスタ111は抵抗110の第2の端子に接続されたコレクタ、NPNトランジスタ106のエミッタに接続されたベース、およびNチャネルトランジスタ112のドレインに接続されたエミッタを有する。NPNトランジスタ113は V_{DD} に接続されたコレクタ、NPNトランジスタ109のコレクタに接続されたベース、およびエミッタを有する。Nチャネルトランジスタ114はNPNトランジスタ113のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。NPNトランジスタ115は V_{DD} に接続されたコレクタ、NPNトランジスタ111のコレクタに接続されたベース、およびエミッタを有する。Nチャネルトランジスタ116はNPNトランジスタ115のエミッタに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。Pチャネルトランジスタ117は V_{DD} に接続されたソース、および一緒に接続されたゲートおよびドレインを有する。Nチャネルトランジスタ118はPチャネルトランジスタ117のゲートおよびドレインに接続されたドレイン、NPNトランジスタ113のエミッタに接続されたゲート、およびソースを有する。Nチャネルトランジスタ119はNチャネルトランジスタ118のソースに接続されたドレイン、バイアス電圧 N_{BIAS} を受けるためのゲート、および V_{SS} に接続されたソースを有する。Pチャネルトランジスタ120は V_{DD} に接続されたソース、Pチャネルトランジスタ117のゲートに接続されたゲート、およびドレインを有する。Nチャネルトランジスタ121はPチャネルトランジスタ120のドレインに接続されたドレイン、NPNトランジスタ115のエミッタに接続されたゲート、およびNチャネルトランジスタ119のドレインに接続されたソースを有する。インバータ122, 123および124はPチャネルトランジスタ120のドレインとプルダウンアーク50の第1の入力端子の間に直列に接続されている。

【0032】

バイアス電圧 P_{BIAS} はPチャネルトランジスタ93および95のゲートに提供されて該Pチャネルトランジスタ93および95が比較的一定の電流源として機能するようにさせる。同様に、バイアス電圧 N_{BIAS} がNチャネルトランジスタ90, 105, 107, 112, 114, 116および119のゲートに供給されて該Nチャネルトランジスタ90, 105, 107, 112, 114, 116および119を比較的一定の電流源とし

10

20

30

40

50

て機能させる。

【 0 0 3 3 】

動作においては、比較器 4 2 はフィードバック増幅器 4 0 と同様に動作し、かつデジタル信号をアーク 5 0 を介して 2 進カウンタ 5 1 に提供し該カウンタ 5 1 をカウントアップまたはカウントダウンさせる。もしプルダウンアレイ電圧 PDA_{RY} が基準電圧 HV_{DDQ} より高ければ、NPNトランジスタ 8 9 のベース電圧はNPNトランジスタ 8 8 のベース電圧よりも相対的に高く、かつより多くの電流が差動増幅器 8 5 のNPNトランジスタ 8 8 よりもNPNトランジスタ 8 9 を通って流れる。NPNトランジスタ 1 0 6 のベース電圧は低下し、NPNトランジスタ 1 1 1 のベース電圧を低下させる。抵抗 1 0 8 および 1 1 0 はNPNトランジスタ 1 0 9 および 1 1 1 からなる差動対のための負荷素子として機能する。NPNトランジスタ 1 1 5 のベース電圧は増大し、Nチャネルトランジスタ 1 2 1 のゲートの電圧を増大させる。インバータ 1 2 2 の入力端子の電圧は論理ローの電圧へと低下し、かつ直列接続されたインバータ 1 2 2 , 1 2 3 および 1 2 4 はアーク 5 0 にバッファリングされた論理ハイの電圧を提供する。差動増幅器 8 5 は負荷素子として作用する抵抗 8 6 および 8 7 を有する伝統的な差動増幅器である。

10

【 0 0 3 4 】

もしプルダウンアレイ電圧 PDA_{RY} が基準電圧 HV_{DDQ} より低ければ、NPNトランジスタ 8 8 のベース電圧はNPNトランジスタ 8 9 のベース電圧より高く、かつより多くの電流が差動増幅器 8 5 のNPNトランジスタ 8 5 よりもNPNトランジスタ 8 8 を通って流れる。NPNトランジスタ 1 0 6 のベース電圧が増大し、NPNトランジスタ 1 1 1 のベース電圧を増大させる。NPNトランジスタ 1 1 5 のベース電圧は低下し、Nチャネルトランジスタ 1 2 1 のゲート電圧を低下させる。インバータ 1 2 2 の入力端子の電圧は論理ハイの電圧へと増大し、かつ直列接続されたインバータ 1 2 2 , 1 2 3 および 1 2 4 はバッファリングされた論理ローの電圧をアーク 5 0 に提供する。

20

【 0 0 3 5 】

図 4 は、電気回路図形式で、図 1 のプルダウン 2 進重み付けトランジスタアレイ 4 5 を示す。プルダウン 2 進重み付けトランジスタアレイ 4 5 はNチャネルトランジスタ 1 3 0 , 1 3 1 , 1 3 2 および 1 3 3、直列接続されたNチャネルトランジスタ 1 3 4、直列接続されたNチャネルトランジスタ 1 3 5、直列接続されたNチャネルトランジスタ 1 3 6、および直列接続されたNチャネルトランジスタ 1 3 7を含む。

30

【 0 0 3 6 】

Nチャネルトランジスタ 1 3 0 はノード 1 0 1 に接続されたドレイン、デジタルカウント値ビット PDQ_7 を受けるためのゲート、および V_{SS} に接続されたソースを有する。Nチャネルトランジスタ 1 3 1 はノード 1 0 1 に接続されたドレイン、デジタルカウント値ビット PDQ_6 を受けるためのゲート、および V_{SS} に接続されたソースを有する。Nチャネルトランジスタ 1 3 2 はノード 1 0 1 に接続されたドレイン、デジタルカウント値ビット PDQ_5 を受けるためのゲート、および V_{SS} に接続されたソースを有する。Nチャネルトランジスタ 1 3 3 はノード 1 0 1 に接続されたドレイン、デジタルカウント値ビット PDQ_4 を受けるためのゲート、および V_{SS} に接続されたソースを有する。直列接続されたNチャネルトランジスタ 1 3 4 はノード 1 0 1 と V_{SS} の間に接続されている。直列接続されたNチャネルトランジスタ 1 3 4 のの各々のゲートはデジタルカウント値ビット PDQ_3 を受けるためのものである。直列接続されたNチャネルトランジスタ 1 3 5 はノード 1 0 1 と V_{SS} の間に接続されている。各々の直列接続されたNチャネルトランジスタ 1 3 5 のゲートはデジタルカウント値ビット PDQ_2 を受けるためのものである。直列接続されたNチャネルトランジスタ 1 3 6 はノード 1 0 1 と V_{SS} の間に接続されている。各々の直列接続されたNチャネルトランジスタ 1 3 6 のゲートはデジタルカウント値ビット PDQ_1 を受けるためのものである。直列接続されたNチャネルトランジスタ 1 3 7 はノード 1 0 1 と V_{SS} の間に接続されている。各々の直列接続されたNチャネルトランジスタ 1 3 7 のゲートはデジタルカウント値ビット PDQ_0 を受けるためのものである。ノード 1 0 1 は前記デジタルカウント値 $PDQ(0:7)$ の関数としてプルダウンアレ

40

50

イ電圧 P D A R Y を提供する。

【 0 0 3 7 】

プルダウン 2 進重み付けトランジスタアレイ 4 5 の N チャンネルトランジスタはデジタルカウント値 P D Q (0 : 7) の値に依存してノード 1 0 1 と V_{SS} の間に調整可能なインピーダンスを提供するよう寸法が与えられている。ノード 1 0 1 と V_{SS} の間のインピーダンスは増大するデジタルカウント値に対して低減され、かつデジタルカウント値の低減に対して増大される。

【 0 0 3 8 】

図 5 は、電気回路図形式で、図 1 のプルアップ 2 進重み付けトランジスタアレイ 4 6 を示す。プルアップ 2 進重み付けトランジスタアレイ 4 6 は N チャンネルトランジスタ 1 4 0 , 1 4 1 , 1 4 2 , 1 4 3 および 1 4 4 、直列接続された N チャンネルトランジスタ 1 4 5 、直列接続された N チャンネルトランジスタ 1 4 6 、および直列接続された N チャンネルトランジスタ 1 4 7 を含む。N チャンネルトランジスタ 1 4 0 は V_{DDQc} に接続されたドレイン、デジタルカウント値ビット P U Q 7 を受けるためのゲート、およびノード 1 0 3 に接続されたソースを有する。N チャンネルトランジスタ 1 4 1 は V_{DDQc} に接続されたドレイン、デジタルカウント値ビット P U Q 6 を受けるためのゲート、およびノード 1 0 3 に接続されたソースを有する。N チャンネルトランジスタ 1 4 2 は V_{DDQc} に接続されたドレイン、デジタルカウント値ビット P U Q 5 を受けるためのゲート、およびノード 1 0 3 に接続されたソースを有する。N チャンネルトランジスタ 1 4 3 は V_{DDQc} に接続されたドレイン、デジタルカウント値ビット P U Q 4 を受けるためのゲート、およびノード 1 0 3 に接続されたソースを有する。N チャンネルトランジスタ 1 4 4 は V_{DDQc} に接続されたドレイン、デジタルカウント値ビット P U Q 3 を受けるためのゲート、およびノード 1 0 3 に接続されたソースを有する。

【 0 0 3 9 】

直列接続された N チャンネルトランジスタ 1 4 5 は V_{DDQc} とノード 1 0 3 の間に接続されている。各々の直列接続された N チャンネルトランジスタ 1 4 5 のゲートはデジタルカウント値ビット P U Q 2 を受けるためのものである。直列接続された N チャンネルトランジスタ 1 4 6 は V_{DDQc} とノード 1 0 3 の間に接続されている。各々の直列接続された N チャンネルトランジスタ 1 4 6 のゲートはデジタルカウント値ビット P U Q 1 を受けるためのものである。直列接続された N チャンネルトランジスタ 1 4 7 は V_{DDQc} とノード 1 0 3 の間に接続されている。各々の直列接続された N チャンネルトランジスタ 1 4 7 のゲートはデジタルカウント値ビット P U Q 0 を受けるためのものである。ノード 1 0 3 は前記デジタルカウント値 P U Q (0 : 7) の関数としてプルアップアレイ電圧 P U A R Y を提供する。

【 0 0 4 0 】

プルアップ 2 進重み付けトランジスタアレイ 4 6 の N チャンネルトランジスタは前記デジタルカウント値 P U Q (0 : 7) の値に依存して V_{DDQc} およびノード 1 0 1 の間で調整可能なインピーダンスを提供するよう寸法とされる。プルダウン 2 進重み付けトランジスタアレイ 4 5 と同様に、 V_{DDQc} およびノード 1 0 1 の間のインピーダンスはデジタルカウント値の増大に対して低減され、かつデジタルカウント値の低減に対して増大される。

【 0 0 4 1 】

図 6 は、部分的電気回路図形式でかつ部分的論理図形式で、図 1 の出力ドライバ 5 3 を示す。出力ドライバ 5 3 は N チャンネルトランジスタ 1 5 0 , 1 5 1 および 1 5 2 を含む複数の N チャンネルプルアップトランジスタ、N チャンネルトランジスタ 1 5 3 , 1 5 4 および 1 5 5 を含む複数の N チャンネルプルダウントランジスタ、伝送ゲート 1 5 7 , 1 6 0 , 1 6 3 , 1 6 7 , 1 7 1 および 1 7 5 、N チャンネルトランジスタ 1 5 9 , 1 6 2 , 1 6 5 , 1 6 9 , 1 7 3 および 1 7 7 、そしてインバータ 1 5 8 , 1 6 1 , 1 6 4 , 1 6 8 , 1 7 2 および 1 7 6 を含む。N チャンネルプルアップトランジスタ 1 5 0 , 1 5 1 および 1 5 2 は入力データ信号 D およびプルアップ制御信号 O Z U (0 : 7) の受信に応じて出力データ

10

20

30

40

50

信号DATAをプルアップするための複数の2進重み付けプルアップトランジスタを例示的に表わすものである。プルアップ制御信号OZU(0:7)は出力ドライバ53のプルアップトランジスタによりドライブされる負荷と共にインピーダンスを整合するために使用される。Nチャネルプルダウントランジスタ153, 154および155は入力データ信号D*およびプルダウン制御信号OZD(0:7)の受信に応じて出力信号DATAをプルダウンするための複数の2進重み付けプルダウントランジスタを例示的に表わしている。プルダウン制御信号OZD(0:7)は出力ドライバ53のプルダウントランジスタによってドライブされる負荷とのインピーダンスの整合のために使用される。

【0042】

Nチャネルプルアップトランジスタ150は V_{DDQ} に接続されたドレイン、伝送ゲート157を介して入力データ信号Dを受けるためのゲート、および出力端子105に接続されたソースを有する。プルアップ制御信号OZU0は伝送ゲート157の伝導度を制御する。Nチャネルトランジスタ159はNチャネルトランジスタ150のゲートに接続されたドレイン、インバータ158の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

10

【0043】

Nチャネルプルアップトランジスタ151は V_{DDQ} に接続されたドレイン、伝送ゲート160を介して入力データ信号Dを受けるためのゲート、および出力端子105に接続されたソースを有する。プルアップ制御信号OZU1は伝送ゲート160の伝導度(conductivity)を制御する。Nチャネルトランジスタ162はNチャネルトランジスタ151のゲートに接続されたドレイン、インバータ161の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

20

【0044】

Nチャネルプルアップトランジスタ152は V_{DDQ} に接続されたドレイン、伝送ゲート163を介して入力データ信号Dを受けるためのゲート、および出力端子105に接続されたソースを有する。プルアップ制御信号OZU7は伝送ゲート163の伝導度を制御する。Nチャネルトランジスタ165はNチャネルトランジスタ152のゲートに接続されたドレイン、インバータ164の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

【0045】

Nチャネルプルダウントランジスタ153は出力端子105に接続されたドレイン、入力データ信号D*を伝送ゲート167を介して受けるためのゲート、および V_{SS} に接続されたソースを有する。プルダウン制御信号OZD0は伝送ゲート167の伝導度を制御する。Nチャネルトランジスタ169はNチャネルトランジスタ153のゲートに接続されたドレイン、インバータ168の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

30

【0046】

Nチャネルプルダウントランジスタ154は出力端子105に接続されたドレイン、入力データ信号D*を伝送ゲート171を介して受けるためのゲート、および V_{SS} に接続されたソースを有する。プルダウン制御信号OZD1は伝送ゲート171の伝導度を制御する。Nチャネルトランジスタ173はNチャネルトランジスタ154のゲートに接続されたドレイン、インバータ172の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

40

【0047】

Nチャネルプルダウントランジスタ155は出力端子105に接続されたドレイン、入力データ信号D*を伝送ゲート175を介して受けるためのゲート、および V_{SS} に接続されたソースを有する。プルダウン制御信号OZD7は伝送ゲート175の伝導度を制御する。Nチャネルトランジスタ177はNチャネルトランジスタ155のゲートに接続されたドレイン、インバータ176の出力端子に接続されたゲート、および V_{SS} に接続されたソースを有する。

50

【 0 0 4 8 】

出力ドライバ 5 3 の伝送ゲートは結合素子として機能しかつプルアップデジタルカウント値 0 Z U (0 : 7) およびプルダウンデジタルカウント値 0 Z D (0 : 7) によってゲーティングされてノード 1 0 5 における出力インピーダンスをノード 1 0 5 に接続された負荷のインピーダンスに調整する。インバータ 1 5 8 , 1 6 1 , 1 6 4 , 1 6 8 , 1 7 2 および 1 7 6 はそれらの対応するデジタルカウント値を受けかつ前記伝送ゲートの P チャンネルトランジスタを対応するデジタルカウント値が論理ハイの電圧になったことに応じて導通させる。

【 0 0 4 9 】

【 発明の効果 】

出力ドライバ 5 3 のノード 1 0 5 のインピーダンスを伝送ラインのインピーダンスに整合させることにより反射信号が吸収でき、したがってリングングを防止する。これはより静かな波形、より良好なノイズ耐性、および改善された信号タイミングマージンを生じる結果となる。また、ノード 1 0 5 のインピーダンスは抵抗 3 2 (図 1) の抵抗値を変えることにより容易に調整可能であり、出力バッファ 2 0 を導入した集積回路メモリのような、集積回路が種々の負荷インピーダンスをドライブできるようにする。

【 0 0 5 0 】

本発明が好ましい実施形態に関して説明されたが、当業者には本発明は種々の方法で変更できかつ上に特に示しかつ説明したもの以外の数多くの実施形態を取り得ることは明らかであろう。例えば、ソースフォロワ N チャンネルトランジスタ 3 3 , 3 4 , 3 5 , 3 7 および 3 8 は同様にノイズに対して敏感でない実施形態において P チャンネルトランジスタと置き換えることができる。また、プルアップレジスタ 4 9 およびプルダウンレジスタ 5 2 は 1 つの多ビットレジスタの部分とすることができる。さらに、前記デジタルカウント値は集積回路上の数多くの出力ドライバ回路のインピーダンスを制御するために使用できる。したがって、添付の特許請求の範囲により本発明の真の精神および範囲内に入る発明の全ての変更をカバーすることを意図している。

【 図面の簡単な説明 】

【 図 1 】 図 1 は、本発明の 1 つの実施形態に係わる可変出力インピーダンスを有する出力バッファ回路を部分的にブロック図形式で、部分的に電気回路図形式で、かつ部分的に論理図形式で示す構成説明図である。

【 図 2 】 図 1 のプルダウン A / D 変換器のフィードバック増幅器を示す電気回路図である。

【 図 3 】 図 1 のプルダウン A / D 変換器の比較器を示す部分的電気回路図である。

【 図 4 】 図 1 のプルダウン 2 進重み付けトランジスタアレイを示す電気回路図である。

【 図 5 】 図 1 のプルダウン 2 進重み付けトランジスタアレイを示す電気回路図である。

【 図 6 】 図 1 の出力ドライバを、部分的に電気回路図形式でかつ部分的に論理図形式で示すブロック回路図である。

【 符号の説明 】

2 0 出力バッファ回路

2 2 プルアップ A / D 変換器

2 4 プルダウン A / D 変換器

3 0 パッド

3 2 抵抗

3 3 , 3 4 N チャンネルソースフォロワトランジスタ

3 5 , 3 7 , 3 8 N チャンネルソースフォロワトランジスタ

3 6 , 3 9 抵抗

4 0 フィードバック増幅器

4 1 ローパスフィルタ

4 2 比較器

4 3 フィードバック増幅器

10

20

30

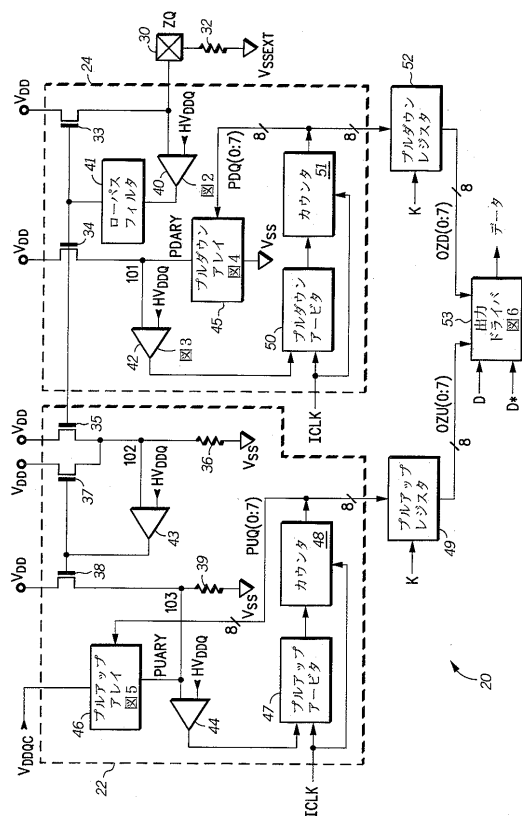
40

50

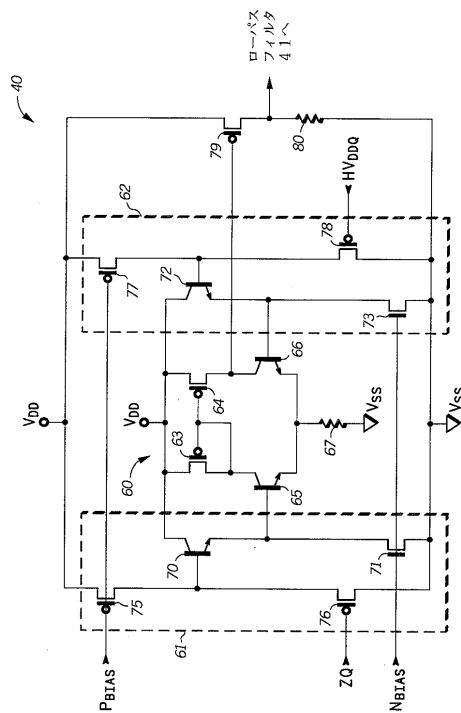
- 4 4 比較器
- 4 5 2進重み付けプルダウントランジスタアレイ
- 4 6 2進重み付けプルアップトランジスタアレイ
- 4 7 プルアップアービタ
- 4 8 8ビット2進カウンタ
- 4 9 プルアップレジスタ
- 5 0 プルダウンアービタ
- 5 1 8ビット2進カウンタ
- 5 2 プルダウンレジスタ
- 5 3 出力ドライバ

10

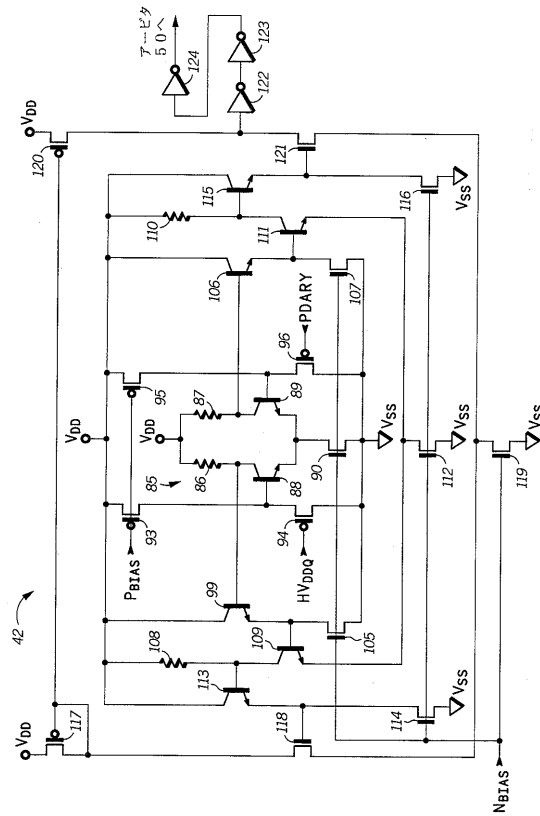
【図1】



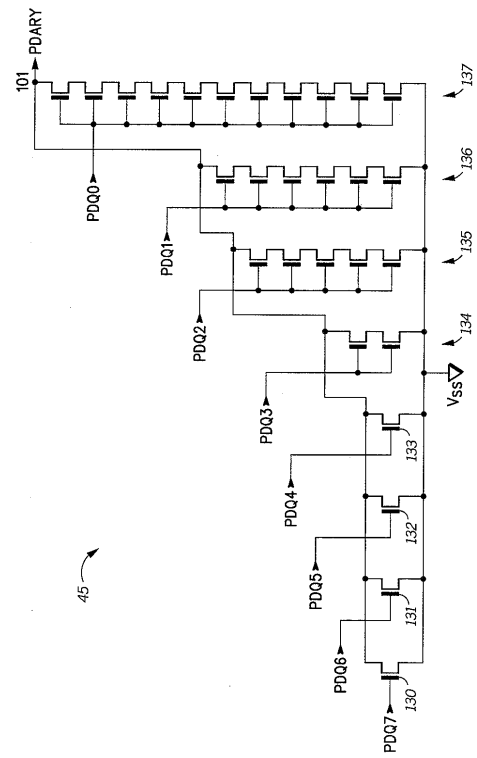
【図2】



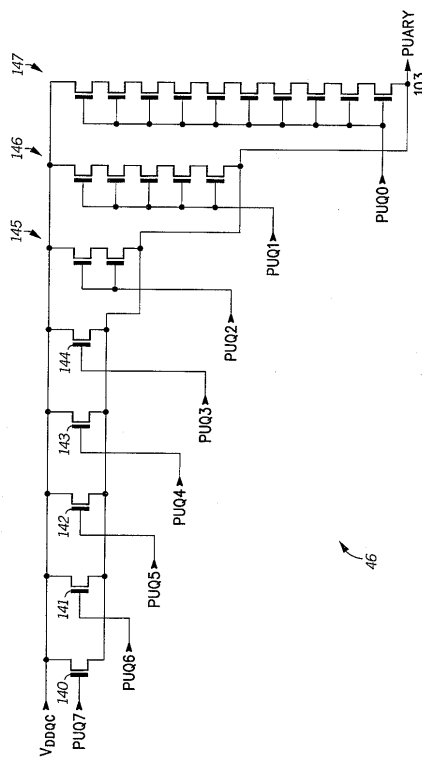
【図 3】



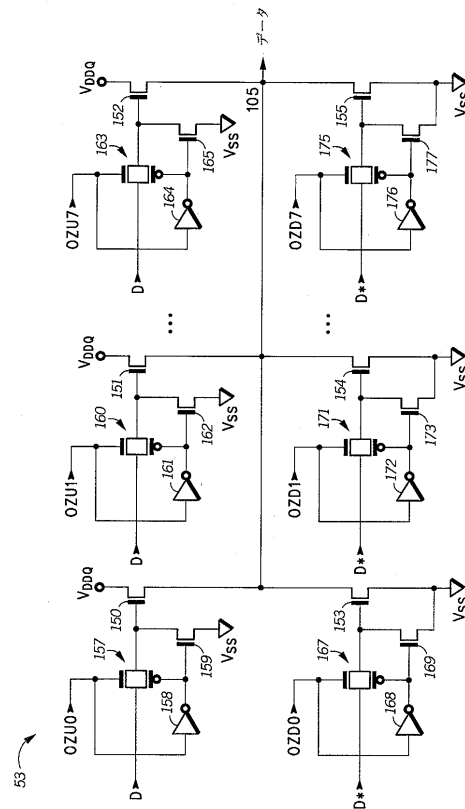
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 スコット・ジョージ・ノゲル
アメリカ合衆国テキサス州 7 8 7 2 7、オースティン、ミーハン・ドライブ 1 2 8 1 1

審査官 宮島 郁美

(56)参考文献 特開平 0 6 - 2 6 0 9 2 2 (J P , A)
特開昭 6 2 - 0 3 8 6 1 6 (J P , A)
特開平 0 7 - 1 4 2 9 8 5 (J P , A)
特開平 0 7 - 0 4 6 4 3 9 (J P , A)
特開平 0 8 - 3 2 1 7 6 9 (J P , A)
特開平 0 8 - 0 6 5 1 2 3 (J P , A)
特開平 0 8 - 0 3 2 4 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H03K19/00, 19/01-19/082, 19/092-19/096
H03H11/00-11/54