

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 7 月 2 日(02.07.2015)



(10) 国際公開番号
WO 2015/098246 A1

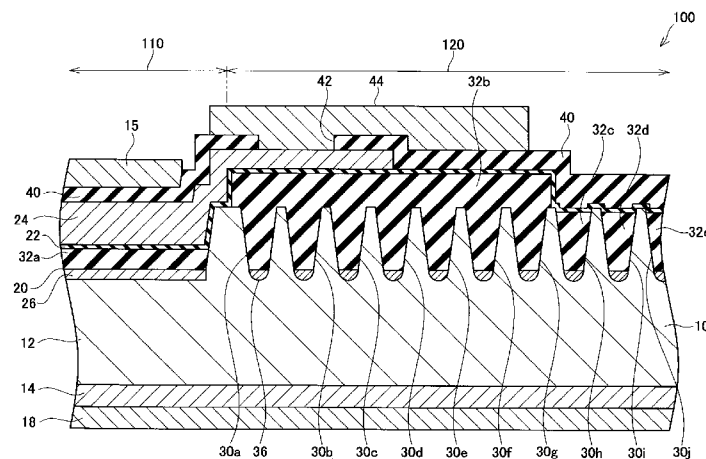
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2014/077497
- (22) 国際出願日: 2014 年 10 月 16 日(16.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-267786 2013 年 12 月 25 日(25.12.2013) JP
- (71) 出願人 (米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 添野 明高(SOENO Akitaka) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 福岡 佑二(FUKUOKA Yuji) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: Disclosed is a technique which is capable of suppressing deterioration of an insulating layer in a termination region. This semiconductor device (100) comprises a semiconductor substrate (10) that is provided with an element region (110) and a termination region (120) that surrounds the element region (110). The element region (110) comprises, a gate trench (20), a gate insulating film (22) that covers the inner surface of the gate trench (20), and a gate electrode (24) that is arranged inside the gate insulating film (22). The termination region (120) comprises a plurality of termination trenches (30a-30j) which are formed around the element region (110), and buried insulating layers (32b-32e) which are respectively arranged inside the plurality of termination trenches (30a-30j). The buried insulating layer (32b) is formed also on the upper surface of the semiconductor substrate (10). An interlayer insulating film (40) is formed on the upper surface of the semiconductor substrate (10). A gate wiring line (44) is formed above the buried insulating layer (32b), but is not formed above the buried insulating layers (32c-32e).

(57) 要約:

[続葉有]



WO 2015/098246 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

終端領域の絶縁層が劣化することを抑制することができる技術を開示する。半導体装置 100 は、素子領域 110 と、素子領域 110 を取り囲む終端領域 120 が形成されている半導体基板 10 を有する。素子領域 110 は、ゲートトレンチ 20 と、ゲートトレンチ 20 の内面を覆うゲート絶縁膜 22 と、ゲート絶縁膜 22 の内側に配置されているゲート電極 24 と、を有している。終端領域 120 は、素子領域 110 の周囲に形成されている複数の終端トレンチ 30a~30j と、複数の終端トレンチ 30a~30j のそれぞれの内側に配置されている埋込絶縁層 32b~32e を有している。埋込絶縁層 32b は、半導体基板 10 の上面にも形成されている。半導体基板 10 の上面には層間絶縁膜 40 が形成されている。ゲート配線 44 は、埋込絶縁層 32b の上方に形成されており、埋込絶縁層 32c~32e の上方には形成されていない。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本出願は、2013年12月25日に出願された日本特許出願特願2013-267786の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書で開示する技術は、半導体装置に関する。

背景技術

[0003] 日本特許第4735235号公報（以下、特許文献1という）には、素子領域と、素子領域の外側に配置された終端領域とが形成されている半導体基板を有する半導体装置が開示されている。素子領域は、ゲートトレンチと、ゲートトレンチの内面を覆うゲート絶縁膜と、ゲート絶縁膜の内側に設けられているゲート電極とを有している。終端領域は、終端トレンチと、終端トレンチの内部を充填するとともに、半導体基板の上面を覆う終端絶縁層とを有している。終端絶縁層の上面には、ゲート電極と電氣的に接続するゲート配線が配置されている。

発明の概要

発明が解決しようとする課題

[0004] 終端絶縁層は、絶縁材料を堆積させ、その後熱処理を行うことによって形成される。特許文献1の技術のように、終端絶縁層を、終端領域の半導体基板の上面全域に均一に堆積させると、その後の熱処理温度が高い場合に絶縁材料が収縮し、劣化が生じやすくなる。

[0005] 本明細書では、終端領域の絶縁層が劣化することを抑制することができる半導体装置及びその製造方法を開示する。

課題を解決するための手段

[0006] 本明細書で開示する一つの半導体装置は、素子領域と、素子領域を取り囲

む終端領域が形成されている半導体基板を有する半導体装置である。素子領域は、ゲートトレンチと、ゲートトレンチの内面を覆うゲート絶縁膜と、ゲート絶縁膜の内側に配置されているゲート電極と、を有している。終端領域は、素子領域の周囲に形成されている複数の終端トレンチと、複数の終端トレンチのそれぞれの内側に配置されているトレンチ内絶縁層と、終端領域内の半導体基板の上面に配置されている上面絶縁層と、を有している。上面絶縁層は、第1部分と、第1部分よりも厚みが薄く、第1部分よりも素子領域から離れた位置に配置されている第2部分を有している。ゲート配線は、第1部分の上面に配置されており、第2部分の上面に配置されていない。

[0007] 上記の半導体装置では、上面絶縁層は、第1部分と、第1部分よりも厚みが薄く、第1部分よりも素子領域から離れた位置に配置されている第2部分を有している。ゲート配線は、第1部分の上面に配置されており、第2部分の上面に配置されていない。即ち、ゲート配線が配置されていない第2部分を第1部分よりも薄く形成したことで、均一の厚みを有する上面絶縁層を終端領域の全域に形成する場合に比べて、上面絶縁層に用いる絶縁材料の総量を少なくすることができる。絶縁材料の総量を少なくすることにより、半導体装置を製造過程での絶縁材料の収縮量を小さく抑えることができる。これにより、半導体装置の製造過程で絶縁材料に過大な応力が生じることが防止される。従って、絶縁層が劣化することを抑制することができる。

[0008] 上面絶縁層は、第1層と、リンとボロンの単位体積当たりの含有量が第1層よりも多く、第1層の上面に配置されている第2層を有していてもよい。第1領域内の上面絶縁層が、第1層と第2層を有していてもよい。第1領域よりも素子領域から離れた位置の第2領域内の上面絶縁層が、第2層と第1領域内の第1層よりも薄い第1層を有している、または、第2層を有しており第1層を有していなくてもよい。ゲート配線は、第1領域内の上面絶縁層の上面に配置されており、第2領域内の上面絶縁層の上面に配置されていなくてもよい。

[0009] この構成によると、ゲート配線が配置される第1領域内の第1層を厚く形

成することができる。従って、第2領域よりも厚い第1領域を適切に形成することができる。

[0010] 本明細書で開示する一つの半導体装置の製造方法は、絶縁層を、複数のトレンチを有する半導体基板の各トレンチ内と、半導体基板の上面に形成する工程と、複数のトレンチのうちの一部のトレンチが形成されている領域の半導体基板の上面に形成されている絶縁層をエッチバックする工程と、エッチバックをしなかった絶縁層の上面に、エッチバックした領域に対して非接触となるように、ゲート配線を形成する工程、を有する。

[0011] 上記の製造方法によると、エッチバックをしなかった領域に厚い絶縁層を形成し、その上面にゲート配線が配置された半導体装置を形成することができる。即ち、ゲート配線が配置されていない領域の絶縁層を薄く形成することで、絶縁層を形成する絶縁材料の総量を少なくすることができる。絶縁材料の総量を少なくすることにより、半導体装置の製造過程における絶縁層の収縮量を小さく抑えることができる。これにより、半導体装置の製造過程で絶縁材料の収縮による過大な応力が生じることが防止されることにより、絶縁層が劣化することを抑制することができる。

[0012] 本明細書で開示するもう一つの半導体装置は、素子領域と、素子領域を取り囲む終端領域が形成されている半導体基板を有する半導体装置である。素子領域は、ゲートトレンチと、ゲートトレンチの内面を覆うゲート絶縁膜と、ゲート絶縁膜の内側に配置されているゲート電極と、を有している。終端領域は、素子領域の周囲に形成されている複数の終端トレンチと、複数の終端トレンチのそれぞれの内側、及び、半導体基板の上面に形成されている絶縁層を有している。絶縁層は、第1層と、リンとボロンの単位体積当たりの含有量が第1層よりも多く、第1層の上面に配置されている第2層を有している。第1層の上面に、複数の凹部が形成されている。各凹部は、隣り合う終端トレンチの間の隔壁に沿って延設されている。隣り合う凹部の間隔は、隣り合う終端トレンチの間隔よりも長い。各凹部内に、第2層が充填されている。絶縁層の上面に、ゲート配線が配置されている。

- [0013] 上記の半導体装置では、第1層に凹部が形成されている。凹部では第1層の厚みが薄いため、第1層に応力が生じ難い。したがって、第1層が収縮等することによって第1層に応力が生じたとしても、凹部によって応力が緩和されるため、第1層に過大な応力が生じることが防止されることにより、絶縁層が劣化することを抑制することができる。
- [0014] 第1層が、複数の終端トレンチのそれぞれの内面を覆う第1の絶縁層と、第1の絶縁層で覆われた複数の終端トレンチの内側に充填されている第2の絶縁層を有していてもよい。第1の絶縁層の屈折率は、第2の絶縁層の屈折率よりも大きくてもよい。
- [0015] 上記の半導体装置では、第1の絶縁層の屈折率は、第2の絶縁層の屈折率よりも大きい。第1の絶縁層は、半導体装置の製造過程において収縮し難い。第2の絶縁層は、半導体装置の製造過程において収縮し易い。第1の絶縁層と第2の絶縁層が終端トレンチ内に配置されていることで、半導体装置の製造過程において絶縁材料に過大な応力が生じることが防止される。従って、この半導体装置の製造過程では、終端トレンチ内の絶縁層が劣化することを抑制することができる。また、第1の絶縁層は半導体装置の製造過程において埋め込み性があまり良くないが、第1の絶縁層は終端トレンチの内面を覆うように形成されるため、第1の絶縁層の形成時には絶縁材料の埋め込み性は問題とならない。その後、第1の絶縁層の表面に第2の絶縁層を形成する際には、絶縁材料の埋め込み性が良いので、好適に第2の絶縁層を形成することができる。従って、この半導体装置の製造過程では、終端トレンチ内の絶縁層にボイドが発生し難い。
- [0016] 凹部に対応する隔壁上に、第1の絶縁層と第2層が積層されており、第2の絶縁層が積層されていなくてもよい。凹部に対応しない隔壁上に、第1の絶縁層と、第2の絶縁層と、第2層が積層されていてもよい。
- [0017] この構成によると、半導体装置の製造過程で収縮し易い第2の絶縁層が凹部において不連続となるため、第2の絶縁層に生じる応力を緩和することができる。これによって、絶縁層の劣化をより適切に抑制することができる。

[0018] 第1層は、第2の絶縁層の上面に形成されている第3の絶縁層を有していてもよい。第3の絶縁層の屈折率は、第2の絶縁層の屈折率よりも大きくてもよい。

[0019] 屈折率が大きい第3の絶縁層は、半導体装置の製造過程において収縮し難い。この構成によると、半導体基板の上面の第1層（即ち、第1の絶縁層、第2の絶縁層、及び、第3の絶縁層）が劣化することを抑制することができる。また、半導体基板の上面に厚い第1層を形成することができるため、半導体装置を高耐圧化することもできる。

図面の簡単な説明

[0020] [図1]第1実施例及び第2実施例の半導体装置の平面図。

[図2]第1実施例の半導体装置のⅠ－Ⅰ断面図。

[図3]第1実施例の半導体装置のⅠ－Ⅰ断面図。

[図4]第1実施例の半導体装置の製造方法を模式的に示す断面図（1）。

[図5]第1実施例の半導体装置の製造方法を模式的に示す断面図（2）。

[図6]第1実施例の半導体装置の製造方法を模式的に示す断面図（3）。

[図7]第1実施例の半導体装置の製造方法を模式的に示す断面図（4）。

[図8]第1実施例の半導体装置の製造方法を模式的に示す断面図（5）。

[図9]第2実施例の半導体装置のⅠ－Ⅰ断面図。

[図10]第2実施例の半導体装置のⅠ－Ⅰ断面図。

[図11]第2実施例の半導体装置の製造方法を模式的に示す断面図（1）。

[図12]第2実施例の半導体装置の製造方法を模式的に示す断面図（2）。

[図13]第2実施例の半導体装置の製造方法を模式的に示す断面図（3）。

[図14]第2実施例の半導体装置の製造方法を模式的に示す断面図（4）。

[図15]第2実施例の半導体装置の製造方法を模式的に示す断面図（5）。

[図16]第2実施例の半導体装置の製造方法を模式的に示す断面図（6）。

[図17]第2実施例の半導体装置の製造方法を模式的に示す断面図（7）。

発明を実施するための形態

[0021] （第1実施例）

(半導体装置 100 の構造)

図 1 に示すように、本実施例の半導体装置 100 は、半導体基板 10 中に、電流が流れる素子領域 110 と、その素子領域 110 を取り囲む終端領域 120 とを有している。本実施例の半導体装置 100 は、パワー MOSFET である。

[0022] 図 1 に示すように、素子領域 110 には、複数本のゲートトレンチ 20 が平行に形成されている。終端領域 120 には、素子領域 110 の外側を囲む複数本の終端トレンチ 30 が形成されている。各終端トレンチ 30 は、素子領域 110 の外側を一巡している。なお、図 1 では、理解の容易のために、半導体基板 10 の上面に形成されている各種絶縁層、電極、配線等の図示を省略している。

[0023] 図 2、図 3 を参照して、素子領域 110 内及び終端領域 120 内の構造を説明する。図 2 に示すように、素子領域 110 の半導体基板 10 の中には、 n 型のドリフト領域 12 が形成されている。また、図 3 に示すように、半導体基板 10 の表面に臨む範囲には、 n^+ 型のソース領域 11 が形成されている。また、ソース領域 11 の下方であって、ドリフト領域 12 の上方には、 p 型のボディ領域 13 が形成されている。半導体基板 10 の裏面に臨む範囲には、 n^+ 型のドレイン領域 14 が形成されている。ソース領域 11 の上面は、ソース電極 15 に対してオーミック接続している。ドレイン領域 14 の下面は、ドレイン電極 18 に対してオーミック接続している。

[0024] また、上記の通り、素子領域 110 内の半導体基板 10 の表面には複数のゲートトレンチ 20 が形成されている。ゲートトレンチ 20 の下端部には、 p 型のフローティング領域 26 が形成されている。ゲートトレンチ 20 の内側の下部には、埋込絶縁層 32a が形成されている。埋込絶縁層 32a の上方、及び、ゲートトレンチ 20 の内側面には、ゲート絶縁膜 22 が形成されている。ゲート絶縁膜 22 の内側には、ゲートトレンチ 20 内に充填されるゲート電極 24 が形成されている。ゲート電極 24 の上面には、層間絶縁膜 40 が形成される。層間絶縁膜 40 により、ゲート電極 24 は、ソース電極

15から電氣的に絶縁されている。層間絶縁膜40における単位体積当たりのリンとボロンの含有量は、埋込絶縁層32における単位体積当たりのリンとボロンの含有量よりも多い。

[0025] 図2に示すように、終端領域120の半導体基板10の中にも、n型のドリフト領域12、及び、n⁺型のドレイン領域14が形成されている。終端領域120内のドリフト領域12及びドレイン領域14は、素子領域110内のドリフト領域12及びドレイン領域14と連続している。終端領域120でも、ドレイン領域14の下面は、ドレイン電極18に対してオーミック接続している。

[0026] 終端領域120内の半導体基板10の表面には複数の終端トレンチ30a～30jが形成されている。各終端トレンチ30a～30jは、素子領域110内のゲートトレンチ20と略同じ深さに形成されている。各終端トレンチ30a～30jの下端部には、p型のフローティング領域36が形成されている。本明細書では、図2に示す複数の終端トレンチ30a～30jのことを「終端トレンチ30」と総称する場合がある。

[0027] 複数の終端トレンチ30a～30jのうち、素子領域110に近い終端トレンチ30a～30gの内側には、埋込絶縁層32bが形成されている。埋込絶縁層32bは、終端領域120内の半導体基板10の上面にも積層されている。終端領域120内の埋込絶縁層32bは、素子領域110内の埋込絶縁層32aと同様の特性を有する絶縁層である。

[0028] 複数の終端トレンチ30a～30jのうち、終端トレンチ30a～30gよりも素子領域110から離れた位置に設けられている終端トレンチ30h、30i、30jのそれぞれの内側には、埋込絶縁層32c、32d、32eが形成されている。埋込絶縁層32c、32d、32eは、半導体基板10の上面には形成されていない。埋込絶縁層32c、32d、32eの上面は、終端トレンチ30h、30i、30j内に位置している。即ち、埋込絶縁層32c、32d、32eは、互いに連続していない。また、埋込絶縁層32cは、埋込絶縁層32bとも連続していない。なお、埋込絶縁層32c

、32d、32eも、素子領域110内の埋込絶縁層32aと同様の特性を有する絶縁層である。

[0029] 埋込絶縁層32b、32c、32d、32eの上面には、ゲート絶縁膜22が形成されている。終端領域120のゲート絶縁膜22は、素子領域110のゲート絶縁膜22と連続している。ゲート絶縁膜22は、終端トレンチ30gと30hの間の隔壁の上面、終端トレンチ30hと30iの間の隔壁の上面、及び、終端トレンチ30iと30jの間の隔壁の上面にも形成されている。

[0030] 終端領域120のゲート絶縁膜22のうち、埋込絶縁層32bの上面に形成されている部分の上面には、素子領域110内に形成されているゲート電極24の一部が延伸されている。そのゲート電極24の上面、及び、ゲート電極24が形成されていない範囲のゲート絶縁膜22の上面には、層間絶縁膜40が形成されている。終端領域120の層間絶縁膜40は、素子領域110の層間絶縁膜40と連続している。終端領域120の層間絶縁膜40のうち、ゲート電極24の上面に形成されている部分には、コンタクトホール42が形成されている。終端領域120の層間絶縁膜40の上面には、ゲート配線44が形成されている。ゲート配線44は、コンタクトホール42を通過して、ゲート電極24と電氣的に接続されている。

[0031] 本実施例の半導体装置100では、ゲート配線44は、埋込絶縁層32bの上方に形成されており、埋込絶縁層32c、32d、32eの上方には形成されていない。言い換えると、本実施例の半導体装置100では、ゲート配線44は、半導体基板10の上面に埋込絶縁層32bと層間絶縁膜40が形成されている部分（即ち、厚い絶縁層が形成されている部分）の上面に形成されており、半導体基板10の上面に層間絶縁膜40しか形成されていない部分（即ち、薄い絶縁層が形成されている部分。終端トレンチ30h～30jの上方）には形成されていない。

[0032] （製造方法）

次いで、本実施例の半導体装置100の製造方法を説明する。まず、図4

に示すように、複数のゲートトレンチ 20 と、複数の終端トレンチ 30 a ~ 30 j とが形成された半導体基板 10 を準備する。本実施例では、半導体基板 10 は SiC によって形成されている。なお、図 4 では、ゲートトレンチ 20 は 1 本のみを図示している。図 4 の時点で、各ゲートトレンチ 20 の下端部には、フローティング領域 26 が形成されている。また、各終端トレンチ 30 a ~ 30 j の下端部には、フローティング領域 36 が形成されている。また、この時点で、半導体基板 10 には、ドリフト領域 12、ボディ領域 13、及び、ソース領域 11 が形成されている。

[0033] 次いで、図 5 に示すように、各ゲートトレンチ 20 の内面、各終端トレンチ 30 a ~ 30 j、及び、半導体基板 10 の上面（即ち、ゲートトレンチ 20 と終端トレンチ 30 a の間の隔壁 28 の上面、及び、各終端トレンチ 30 間の隔壁の上面）に、埋込絶縁層 32 を堆積させる。埋込絶縁層 32 は、各トレンチを充填するとともに、半導体基板 10 の上面にも積層される。埋込絶縁層 32 は、TEOS (Tetra Ethyl Ortho Silicate) を原料とする CVD (Chemical Vapor Deposition) を行うことによって形成される。

[0034] 次いで、図 6 に示すように、エッチバックによって、ゲートトレンチ 20 内の埋込絶縁層 32 の一部を除去する。それとともに、ゲートトレンチ 20 と終端トレンチ 30 a との間の隔壁の上面の埋込絶縁層 32 の一部も除去する。さらに、終端トレンチ 30 h、30 i、30 j の上方の埋込絶縁層 32 も除去する。エッチバックは、終端トレンチ 30 a ~ 30 g の上方に保護膜を形成した上でドライエッチングを行うことによって行う。このエッチバックにより、図 5 で形成された埋込絶縁層 32 が複数の部分に分断される。即ち、ゲートトレンチ 20 内では、下部付近に一部の埋込絶縁層 32 a が残存する。また、終端トレンチ 30 a ~ 30 g の内側、及び、終端トレンチ 30 a ~ 30 g の上方には、埋込絶縁層 32 b が形成される。また、終端トレンチ 30 h、30 i、30 j のそれぞれの内側には、埋込絶縁層 32 c、32 d、32 e が形成される。埋込絶縁層 32 c、32 d、32 e は、半導体基板 10 の上面には形成されておらず、埋込絶縁層 32 c、32 d、32 e の

上面は、終端トレンチ30h、30i、30j内に位置している。即ち、埋込絶縁層32c、32d、32eは、互いに連続していない。また、埋込絶縁層32cは、埋込絶縁層32bとも連続していない。

[0035] 次いで、半導体基板10に対して熱酸化処理を行う。これにより、CVDによって形成された埋込絶縁層32a～32eが緻密化し、安定化する。熱処理中に、各埋込絶縁層は収縮する。上記の通り、複数の終端トレンチ30a～30jの内側及び上方の埋込絶縁層32b～32eは、互いに連続していない。そのため、各埋込絶縁層32b～32eの絶縁材料の総量が少なく、熱処理時の収縮量を小さく抑えることができる。そのため、各埋込絶縁層に高い応力が生じることが抑制される。その結果、埋込絶縁層32b～32eが劣化すること、具体的には例えばクラックが生じることが抑制することができる。また、この熱酸化処理は、ゲートトレンチ20の内壁面への犠牲酸化膜の形成処理も兼ねている。そのため、この熱酸化処理により、ゲートトレンチ20の内壁面には犠牲酸化膜が形成される。その後、ゲートトレンチ20の内壁面に形成された酸化膜をウェットエッチングによって除去する。これにより、ドライエッチングによるダメージ層が除去される。

[0036] 次いで、図7に示すように、CVD等によってゲート絶縁膜22を形成する。

[0037] 次いで、図8に示すように、エッチバックによって確保されたトレンチゲート20内のスペースにポリシリコンを堆積させることにより、トレンチゲート20内にゲート電極24を形成する。この際、ゲート電極24の一部は、終端トレンチ30a～30dの上方に形成されたゲート絶縁膜22の上面まで伸びる。

[0038] その後、半導体基板10の上面に層間絶縁膜40を形成する（図2参照）。層間絶縁膜40は、BPSG（Boron Phosphorus Silicon Glass）をCVDで堆積させることによって形成される。上記の通り、BPSGにより形成される層間絶縁膜40における単位体積当たりのリンとボロンの含有量は、TEOS膜である埋込絶縁層32a～32eにおける単位体積当たりのリン

とボロンの含有量よりも多い。この結果、ゲート電極 24 の上面、及び、ゲート電極 24 が形成されていない範囲のゲート絶縁膜 22 の上面に、層間絶縁膜 40 が形成される。

[0039] その後、層間絶縁膜 40 のうちゲート電極 24 の上面に形成されている部分に、コンタクトホール 42 を形成する（図 2 参照）。次いで、層間絶縁膜 40 の上面に金属製のゲート配線 44 を形成する。ゲート配線 44 は、コンタクトホール 42 を通過して、ゲート電極 24 と電氣的に接続される。これにより、埋込絶縁層 32 b の上方にゲート配線 44 が形成される。埋込絶縁層 32 c、32 d、32 e の上方にはゲート配線 44 は形成されない。言い換えると、エッチバックをしなかった領域（即ち、終端トレンチ 30 a～30 g が形成されている領域）の埋込絶縁層 32 b の上方に、エッチバックをした領域（即ち、終端トレンチ 30 h、30 i、30 j が形成されている領域）に対して非接触となるように、ゲート配線 44 が形成される。

[0040] さらにその後、半導体基板 10 の裏面にドレイン領域 14 を形成する。ドレイン領域 14 は、半導体基板 10 の裏面に不純物を注入した後に、レーザーアニールを行うことで形成される。次いで、半導体基板 10 の裏面全面にドレイン電極 18 を形成する。ドレイン電極 18 は、例えば、スパッタリングによって形成することができる。

[0041] 以上の各工程を行うことにより、図 2 の半導体装置 100 が完成する。

[0042] 本実施例の半導体装置 100 では、複数の終端トレンチ 30 a～30 j の内側及び上方の埋込絶縁層 32 b～32 e は、互いに連続していない。埋込絶縁層 32 b～32 e のそれぞれの絶縁材料の総量が少ないため、熱処理時の収縮量を小さく抑えることができる。そのため、各埋込絶縁層に高い応力が生じることが抑制される。その結果、埋込絶縁層 32 b～32 e が劣化すること、具体的には例えばクラックが生じることを抑制することができる。

[0043] 図 2 に示すように、本実施例の半導体装置 100 では、ゲート配線 44 は、埋込絶縁層 32 b の上方に形成されており、埋込絶縁層 32 c、32 d、32 e の上方には形成されていない。即ち、本実施例の半導体装置 100 で

は、ゲート配線44は、半導体基板10の上面に埋込絶縁層32bと層間絶縁膜40が形成されている部分（即ち、厚い絶縁層が形成されている部分）の上面に形成されており、半導体基板10の上面に層間絶縁膜40しか形成されていない部分（即ち、薄い絶縁層が形成されている部分。終端トレンチ30h～30jの上方）には形成されていない。厚い絶縁層が形成されている部分にゲート配線を配置しているため、半導体装置100の耐圧を十分確保することができる。

[0044] また、本実施例の製造方法では、エッチバックにより、終端トレンチ30h、30i、30jの上方の埋込絶縁層32を除去する。その後、エッチバックをしなかった領域（即ち、終端トレンチ30a～30gが形成されている領域）の埋込絶縁層32bの上方に、エッチバックをした領域（即ち、終端トレンチ30h、30i、30jが形成されている領域）に対して非接触となるように、ゲート配線44を形成する。そのため、上記の特性を備える半導体装置100を適切に形成することができる。

[0045] 本実施例と請求の範囲の記載の対応関係を説明しておく。埋込絶縁層32bのうち終端トレンチ30a～30gの内側に配置されている部分、及び、埋込絶縁層32c、32d、32eが「トレンチ内絶縁層」の一例である。埋込絶縁層32bのうち半導体基板10の上面に配置されている部分、及び、層間絶縁膜40が「上面絶縁層」の一例である。終端トレンチ30e～30gの上方に形成されている埋込絶縁層32b及び層間絶縁膜40が「第1部分」の一例である。終端トレンチ30h～30jの上方に形成されている層間絶縁膜40が「第2部分」の一例である。埋込絶縁層32bのうち半導体基板10の上面に配置されている部分が「第1層」の一例である。層間絶縁膜40が「第2層」の一例である。終端トレンチ30e～30gが形成されている領域が「第1領域」の一例である。終端トレンチ30h～30jが形成されている領域が「第2領域」の一例である。

[0046] （第2実施例）

（半導体装置200の構造）

続いて、図 1、図 9～図 17 を参照して、第 2 実施例の半導体装置 200 について説明する。図 1 に示すように、本実施例の半導体装置 200 も、半導体装置 100 と同様に、半導体基板 10 中に素子領域 110 と、その素子領域 110 を取り囲む終端領域 120 とを有している。本実施例の半導体装置 200 も、パワー MOSFET である。

[0047] 図 9、図 10 を参照して、素子領域 110 内及び終端領域 120 内の構造を説明する。図 9、図 10 では、第 1 実施例の半導体装置 100（図 2 参照）と共通する要素については同じ符号を用いて示し、詳しい説明を省略する。

[0048] 図 1 に示すように、本実施例でも、素子領域 110 内の半導体基板 10 の表面には複数のゲートトレンチ 20 が形成されている。図 10 に示すように、ゲートトレンチ 20 の下端部には、p 型のフローティング領域 26 が形成されている。ゲートトレンチ 20 の下端部付近の内側には、第 1 の絶縁層 232a が形成されている。第 1 の絶縁層 232a の上方には、第 2 の絶縁層 234a が形成されている。第 1 の絶縁層 232a の屈折率は、第 2 の絶縁層 234a の屈折率よりも大きい。第 2 の絶縁層 234a の上方、及び、ゲートトレンチ 20 の内側面には、ゲート絶縁膜 222 が形成されている。ゲート絶縁膜 222 の内側には、ゲートトレンチ 20 内に充填されるゲート電極 224 が形成されている。ゲート電極 224 の上面には、層間絶縁膜 240 が形成される。層間絶縁膜 240 により、ゲート電極 224 は、ソース電極 15 と電氣的に絶縁されている。層間絶縁膜 240 における単位体積当たりのリンとボロンの含有量は、第 1 及び第 2 の絶縁層 232a、234a における単位体積当たりのリンとボロンの含有量よりも多い。

[0049] 図 9 に示すように、終端領域 120 内の半導体基板 10 の表面には複数の終端トレンチ 30a～30j が形成されている。各終端トレンチ 30a～30j は、素子領域 110 内のゲートトレンチ 20 と略同じ深さに形成されている。各終端トレンチ 30a～30j の下端部には、p 型のフローティング領域 36 が形成されている。

[0050] 終端トレンチ30a～30jの内側には、第1の絶縁層232bが形成されている。第1の絶縁層232bは、各終端トレンチ30a～30j間の隔壁の上面部分にも形成されている。

[0051] 終端トレンチ30a～30e内の第1の絶縁層232bの内側には、第2の絶縁層234bが形成されている。第2の絶縁層234bは、終端トレンチ30a～30e内に充填されている。また、第2の絶縁層234bは、終端トレンチ30a～30eが形成されている範囲の半導体基板10の上面（即ち、各終端トレンチ間の隔壁の上面）にも積層されている。第1の絶縁層232b及び第2の絶縁層234bは、それぞれ、素子領域110内の第1の絶縁層232a及び第2の絶縁層234aと同様の特性を有する絶縁層である。即ち、第1の絶縁層232bの屈折率は、第2の絶縁層234bの屈折率よりも大きい。第2の絶縁層234bの上面には、第3の絶縁層236bが形成されている。第3の絶縁層236bの屈折率は、第2の絶縁層234aの屈折率よりも大きい。なお、第3の絶縁層236bの屈折率と、第1の絶縁層232bの屈折率は、どちらが大きいてもよいし、等しくてもよい。

[0052] 同様に、終端トレンチ30f～30i内の第1の絶縁層232bの内側には、第2の絶縁層234cが形成されている。また、第2の絶縁層234cは、終端トレンチ30f～30i内に充填されている。また、第2の絶縁層234cは、終端トレンチ30f～30iが形成されている範囲の半導体基板10の上面にも積層されている。第2の絶縁層234cの上面には、第3の絶縁層236cが形成されている。第2の絶縁層234c及び第3の絶縁層236cは、第2の絶縁層234b及び第3の絶縁層236bと同様の特性を有する。

[0053] 同様に、終端トレンチ30j内の第1の絶縁層232bの内側には、第2の絶縁層234dが形成されている。また、第2の絶縁層234dは、終端トレンチ30j内に充填されている。また、第2の絶縁層234dは、終端トレンチ30jが形成されている範囲の半導体基板10の上面にも積層され

ている。第2の絶縁層234dの上面には、第3の絶縁層236dが形成されている。第2の絶縁層234d及び第3の絶縁層236dも、第2の絶縁層234b及び第3の絶縁層236bと同様の特性を有する。

[0054] 第2の絶縁層234b及び第3の絶縁層236bと、第2の絶縁層234c及び第3の絶縁層236cとは、凹部250aによって区画されている。凹部250a内には、ゲート絶縁膜222の一部と、層間絶縁膜240の一部が充填されている。凹部250aは、終端トレンチ30e、30fの間の隔壁の上方に形成されている。凹部250aの下端部と、終端トレンチ30e、30fの間の隔壁の上面との間には、第1の絶縁層232bが存在している。即ち、凹部250aに対応する隔壁（即ち、終端トレンチ30e、30fの間の隔壁）の上方には、第1の絶縁層232bと層間絶縁膜240が積層され、第2の絶縁層及び第3の絶縁層は積層されていない。一方、凹部250aに対応しない隔壁（例えば、終端トレンチ30a、30bの間の隔壁）の上方には、第1の絶縁層232b、第2の絶縁層234b、第3の絶縁層236bが積層されている。

[0055] 同様に、第2の絶縁層234c及び第3の絶縁層236cと、第2の絶縁層234d及び第3の絶縁層236dとは、凹部250bによって区画されている。凹部250b内にも、ゲート絶縁膜222の一部と、層間絶縁膜240の一部が充填されている。凹部250bは、終端トレンチ30i、30jの間の隔壁の上方に形成されている。凹部250bの下端部と、終端トレンチ30i、30jの間の隔壁の上面との間には、第1の絶縁層232bが存在している。即ち、凹部250bに対応する隔壁（即ち、終端トレンチ30i、30jの間の隔壁）の上方には、第1の絶縁層232bと層間絶縁膜240が積層され、第2の絶縁層及び第3の絶縁層は積層されていない。一方、凹部250bに対応しない隔壁（例えば、終端トレンチ30f、30gの間の隔壁）の上方には、第1の絶縁層232b、第2の絶縁層234c、第3の絶縁層236cが積層されている。

[0056] 即ち、本実施例の半導体装置200では、終端領域120内において、半

導体基板 10 の上面に形成されている絶縁層（具体的には、第 2 の絶縁層及び第 3 の絶縁層）は、凹部 250 a、250 b によって、3 つの部分に分断されている。また、隣り合う 2 つの凹部 250 a、250 b 同士の間隔は、隣り合う 2 本の終端トレンチ（例えば終端トレンチ 30 a、30 b）同士の間隔よりも長い。

[0057] 終端領域 120 における第 3 の絶縁層 236 b、236 c、236 d の上面、及び、凹部 250 a、250 b の内面には、ゲート絶縁膜 222 が形成されている。終端領域 120 のゲート絶縁膜 222 は、素子領域 110 のゲート絶縁膜 222 と連続している。終端領域 120 のゲート絶縁膜 222 の上面の一部（具体的には、第 3 の絶縁層 236 b の上方）には、素子領域 110 内に形成されているゲート電極 224 の一部が延伸されている。

[0058] ゲート電極 224 の上面、及び、ゲート電極 224 が形成されていない範囲のゲート絶縁膜 222 の上面には、層間絶縁膜 240 が形成されている。終端領域 120 の層間絶縁膜 240 は、素子領域 110 の層間絶縁膜 240 と連続している。上記の通り、層間絶縁膜 240 の一部は、凹部 250 a、250 b 内に充填されている。終端領域 120 の層間絶縁膜 240 のうち、ゲート電極 224 の上面に形成されている部分には、コンタクトホール 242 が形成されている。終端領域 120 の層間絶縁膜 240 の上面には、ゲート配線 244 が形成されている。ゲート配線 244 は、コンタクトホール 242 を通過して、ゲート電極 224 と電氣的に接続されている。

[0059] （製造方法）

次いで、本実施例の半導体装置 100 の製造方法を説明する。まず、複数のゲートトレンチ 20 と、複数の終端トレンチ 30 とが形成された半導体基板 10 を準備する（図 4 参照）。

[0060] 次いで、図 11 に示すように、各ゲートトレンチ 20 の内面、各終端トレンチ 30 a～30 j の内面、及び、半導体基板 10 の上面（即ち、ゲートトレンチ 20 と終端トレンチ 30 a の間の隔壁 28 の上面、及び、各終端トレンチ 30 間の隔壁の上面）に、第 1 の絶縁層 232 を堆積させる。この工程

では、第1の絶縁層232は、各ゲートトレンチ20の内面、各終端トレンチ30の内面、及び、半導体基板10の上面を覆う程度の厚さに形成される。第1の絶縁層232は、各トレンチを充填する厚さには形成されない。第1の絶縁層232は、TEOSを原料とするCVDを行うことによって形成される。第1の絶縁層232を形成する際には、低い圧力の下でCVDを実行する。低い圧力の下でCVDを実行することにより、成膜レート（即ち、成膜速度）が遅くなり、密な絶縁層である第1の絶縁層232を形成することができる。なお、低い圧力の下でCVDを実行すると、第1の絶縁層232の埋め込み性があまり良くない。しかしながら、第1の絶縁層232は、各表面を覆う程度に薄く形成されるので、埋め込み性は問題とならない。好適に第1の絶縁層232を成長させることができる。

[0061] 次いで、図12に示すように、形成された第1の絶縁層232の上面に、第2の絶縁層234を堆積させる。この工程では、第2の絶縁層234は、各ゲートトレンチ20及び各終端トレンチ30a~30jを充填するとともに、半導体基板10の上面にも積層される。第2の絶縁層234は、第1の絶縁層232と同様に、TEOSを原料とするCVDを行うことによって形成される。ただし、第2の絶縁層234を形成する際には、第1の絶縁層232を形成する場合よりも高い圧力の下でCVDを実行する。高い圧力の下でCVDを実行することにより、成膜レートが早くなり、疎な絶縁層である第2の絶縁層234を形成することができる。疎な絶縁層である第2の絶縁層234は、トレンチへの埋め込み性に優れるため、トレンチ内にボイドが形成されることを抑制することができる。従って、トレンチ内にボイドが形成されることなく、好適に第2の絶縁層234を形成することができる。

[0062] 次いで、図13に示すように、形成された第2の絶縁層234の上面に、第3の絶縁層236を堆積させる。第3の絶縁層236は、第1の絶縁層232及び第2の絶縁層234と同様に、TEOSを原料とするCVDを行うことによって形成される。第3の絶縁層236を形成する際には、第2の絶縁層234を形成する場合よりも低い圧力の下でCVDを実行する。これに

より、第2の絶縁層234の上面に、密な絶縁層である第3の絶縁層236を形成することができる。低い圧力の下でのCVDでは絶縁材料の埋め込み性が悪いが、第3の絶縁層236は平坦な表面上に形成されるので、埋め込み性は問題とならない。

[0063] 次いで、図14に示すように、エッチバックによって、ゲートトレンチ20の上方の第3の絶縁層236を除去する。この際、ゲートトレンチ20内の第1及び第2の絶縁層232、234の一部も併せて除去する。なお、ゲートトレンチ20と終端トレンチ30aとの間の隔壁28の上面の絶縁層232、234、236の一部も併せて除去する。エッチバックは、終端トレンチ30a～30jの上方に保護膜を形成した上でドライエッチングを行うことによって行う。これにより、ゲートトレンチ20内には、一部の第1の絶縁層232a、及び、一部の第2の絶縁層234aが残存する。また、終端トレンチ30a～30jの内側及び上方には、第1の絶縁層232b、第2の絶縁層234x、第3の絶縁層236xが残存する。上述の通り、第2の絶縁層234の形成時にボイドが形成され難いため、ゲートトレンチ20内に残存する第2の絶縁層234aの上面形状は平坦になる。この結果、ゲートトレンチ20内に残存する第2の絶縁層234aに凹部等が形成されないため、ゲートトレンチ20内の第2の絶縁層234aは好適な絶縁性能を発揮することができる。

[0064] 次いで、図15に示すように、第2の絶縁層234x及び第3の絶縁層236xの一部をドライエッチングし、凹部250a、250bを形成する。ドライエッチングは、凹部250a、250bを形成する位置を開口した保護膜を半導体基板10の上方に形成して行う。凹部250a、250bは、下端部が、第2の絶縁層234x及び第3の絶縁層236xを貫通し、第1の絶縁層232bに達する深さに形成する。凹部250aが形成されることにより、第2の絶縁層234b及び第3の絶縁層236bと、第2の絶縁層234c及び第3の絶縁層236cとが互いに分断される。また、凹部250bが形成されることにより、第2の絶縁層234c及び第3の絶縁層23

6 c と、第2の絶縁層 2 3 4 d 及び第3の絶縁層 2 3 6 d とが互いに分断される。

[0065] 次いで、半導体基板 1 0 に対して熱酸化処理を行う。これにより、C V D によって形成された第1の絶縁層 2 3 2 a、2 3 2 b、第2の絶縁層 2 3 4 a～2 3 4 d、第3の絶縁層 2 3 6 b～2 3 6 d が緻密化し、安定化する。熱処理中に各絶縁層は収縮する。ここで、密な絶縁層である第1の絶縁層 2 3 2 a、2 3 2 b 及び第3の絶縁層 2 3 6 b～2 3 6 d は、疎な絶縁層である第2の絶縁層 2 3 4 a～2 3 4 d よりも収縮し難い。さらに、半導体基板 1 0 の上面に形成されている絶縁層（具体的には、第2の絶縁層及び第3の絶縁層）は、凹部 2 5 0 a、2 5 0 b によって、3つの部分に分断されている。分断された一部分あたりの絶縁層の総量が少なくなるため、収縮による影響が小さくなる。そのため、絶縁層に高い応力が生じることが抑制される。その結果、第1の絶縁層 2 3 2 a、2 3 2 b、第2の絶縁層 2 3 4 a～2 3 4 d、第3の絶縁層 2 3 6 b～2 3 6 d が劣化すること、具体的には例えばクラックが生じることが抑制できる。このような熱処理によって緻密化した後においては、第1の絶縁層 2 3 2 a、2 3 2 b、及び、第3の絶縁層 2 3 6 b～2 3 6 d の屈折率は、第2の絶縁層 2 3 4 a～2 3 4 d よりも大きい。また、この熱酸化処理は、ゲートトレンチ 2 0 の内壁面への犠牲酸化膜の形成処理も兼ねている。そのため、この熱酸化処理により、ゲートトレンチ 2 0 の内壁面には犠牲酸化膜が形成される。その後、ゲートトレンチ 2 0 の内壁面に形成された酸化膜をウェットエッチングによって除去する。これにより、ドライエッチングによるダメージ層が除去される。

[0066] 次いで、図 1 6 に示すように、C V D 等によってゲート絶縁膜 2 2 2 を形成する。

[0067] 次いで、図 1 7 に示すように、エッチバックによって確保されたスペース内にポリシリコンを堆積させることにより、トレンチゲート 2 0 内にゲート電極 2 2 4 を形成する。この際、ゲート電極 2 2 4 の一部は、第3の絶縁層 2 3 6 b の上方に形成されたゲート絶縁膜 2 2 2 の上面まで伸びる。

[0068] その後、半導体基板 10 の上面に層間絶縁膜 240 を形成する（図 9 参照）。層間絶縁膜 240 は、BPSG を CVD で堆積させることによって形成される。上記の通り、BPSG により形成される層間絶縁膜 240 における単位体積当たりのリンとボロンの含有量は、TEOS 膜である第 1 及び第 2 の絶縁層 232 a、234 a における単位体積当たりのリンとボロンの含有量よりも多い。この結果、ゲート電極 224 の上面、及び、ゲート電極 224 が形成されていない範囲のゲート絶縁膜 222 の上面に、層間絶縁膜 240 が形成される。

[0069] その後、層間絶縁膜 240 のうち、ゲート電極 224 の上面に形成されている部分に、コンタクトホール 242 を形成する（図 9 参照）。次いで、層間絶縁膜 240 の上面に金属製のゲート配線 244 を形成する。ゲート配線 244 は、コンタクトホール 242 を通過して、ゲート電極 224 と電氣的に接続される。

[0070] さらにその後、半導体基板 10 の裏面にドレイン領域 14 を形成する。ドレイン領域 14 は、半導体基板 10 の裏面に不純物を注入した後に、レーザーアニールを行うことで形成される。次いで、半導体基板 10 の裏面全面にドレイン電極 18 を形成する。ドレイン電極 18 は、例えば、スパッタリングによって形成することができる。

[0071] 以上の各工程を行うことにより、図 9 の半導体装置 200 が完成する。

[0072] 本実施例の半導体装置 200 では、終端領域 120 内において、半導体基板 10 の上面に形成されている絶縁層（具体的には、第 2 の絶縁層及び第 3 の絶縁層）は、凹部 250 a、250 b によって、3 つの部分に分断されている。分断された一部分あたりの絶縁層の総量が少なくなるため、製造過程における絶縁材料の収縮の影響が小さくなる。そのため、半導体装置の製造過程において、絶縁材料に過大な応力が生じることが抑制される。その結果、第 1 の絶縁層 232 a、232 b、第 2 の絶縁層 234 a～234 d、第 3 の絶縁層 236 b～236 d にクラックが生じることを抑制できる。

[0073] 本実施例の半導体装置 200 では、第 1 の絶縁層 232 a、232 b 及び

第3の絶縁層236b～236dの屈折率は、第2の絶縁層234a～234dの屈折率よりも大きい。上述の通り、第1の絶縁層232a、232b及び第3の絶縁層236b～236dは、半導体装置200の製造過程において収縮し難い。第2の絶縁層234a～234dは、半導体装置200の製造過程において収縮し易い。第1の絶縁層232a、232bと第2の絶縁層234a～234dがトレンチ（即ち、ゲートトレンチ20及び終端トレンチ30）内に配置されていることで、半導体装置200の製造過程において絶縁材料の収縮による過大な応力が生じることが防止される。従って、この半導体装置200の製造過程では、トレンチ内の絶縁層にクラックが生じ難い。また、第1の絶縁層232a、232bは半導体装置200の製造過程において埋め込み性があまり良くないが、第1の絶縁層232a、232bはトレンチの内面を覆うように形成されるため、第1の絶縁層232a、232bの形成時には絶縁材料の埋め込み性は問題とならない。その後、第1の絶縁層232a、232bの表面に第2の絶縁層234a～234bを形成する際には、絶縁材料の埋め込み性が良いので、好適に第2の絶縁層234a～234bを形成することができる。従って、この半導体装置200の製造過程では、トレンチ内の絶縁層にボイドが発生し難い。即ち、この半導体装置200は、製造過程において絶縁層にボイドやボイドに起因するクラックが生じ難い。

[0074] また、本実施例の半導体装置200は、第2の絶縁層234b～234dの上面に第3の絶縁層236b～236dを備える。ゲート配線44の下側に厚い絶縁層を形成することができるため、半導体装置200を高耐圧化することができる。

[0075] 上記の通り、本実施例の製造方法では、密な絶縁層である第1の絶縁層232、疎な絶縁層である第2の絶縁層234、密な絶縁層である第3の絶縁層236をこの順に堆積させた後に（図11～図13参照）、凹部250a、250bを形成する（図15参照）。このような工程で半導体装置200を製造するため、本実施例の製造方法によると、上記の利点を備える半導体

装置 200 を好適に形成することができる。

[0076] 本実施例と請求の範囲の記載の対応関係を説明しておく。第 1 の絶縁層 232 a、232 b、第 2 の絶縁層 234 a～234 d、及び、第 3 の絶縁層 236 b～236 d が「第 1 層」の一例である。層間絶縁膜 240 が「第 2 層」の一例である。

[0077] 以上、本明細書に開示の技術の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。例えば、以下の変形例を採用してもよい。

[0078] (変形例 1) 上記の第 2 実施例では、図 9 に示すように、終端領域 120 において、第 2 の絶縁層 234 b～234 d の上面に、第 3 の絶縁層 236 b～236 d が形成されている。これに限られず、第 2 の実施例の半導体装置 200 では、第 3 の絶縁層 236 b～236 d を省略してもよい。その場合、第 2 の絶縁層 234 b～234 d の上面にゲート絶縁膜 222 が形成されればよい。

[0079] (変形例 2) 上記の第 1 実施例では、図 2 に示すように、終端トレンチ 30 h、30 i、30 j が形成されている範囲の半導体基板 10 の上面には埋込絶縁層が形成されていない。これに限られず、終端トレンチ 30 h、30 i、30 j が形成されている範囲の半導体基板 10 の上面にも、埋込絶縁層の一部が形成されてもよい。その場合、終端トレンチ 30 h、30 i、30 j の上方の埋込絶縁層は、終端トレンチ 30 a～30 g の上方の埋込絶縁層よりも薄いことが好ましい。

[0080] (変形例 3) 上記の第 2 実施例において、凹部 250 a、250 の下方に、第 2 の絶縁層 234 又は第 3 の絶縁層 236 が薄く配置されていてもよい。

[0081] (変形例 4) 上記の各実施例では、半導体基板 10 は SiC によって形成されている。これに限られず、半導体基板 10 は Si によって形成されていてもよい。

[0082] (変形例 5) 上記の各実施例では、半導体装置 100、200 は、パワー M

OSFETであるが、半導体装置100、200は、トレンチゲート型の半導体装置であれば、任意の半導体装置とすることができる。例えば、半導体装置100、200は、IGBTであってもよい。

[0083] また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

- [請求項1] 素子領域と、前記素子領域を取り囲む終端領域が形成されている半導体基板を有する半導体装置であって、
- 前記素子領域は、
- ゲートトレンチと、
- 前記ゲートトレンチの内面を覆うゲート絶縁膜と、
- 前記ゲート絶縁膜の内側に配置されているゲート電極と、を有しており、
- 前記終端領域は、
- 前記素子領域の周囲に形成されている複数の終端トレンチと、
- 前記複数の終端トレンチのそれぞれの内側に配置されているトレンチ内絶縁層と、
- 前記終端領域内の前記半導体基板の上面に配置されている上面絶縁層と、
- を有しており、
- 前記上面絶縁層は、第1部分と、前記第1部分よりも厚みが薄く、前記第1部分よりも前記素子領域から離れた位置に配置されている第2部分を有しており、
- ゲート配線が、前記第1部分の上面に配置されており、前記第2部分の上面に配置されていない、
- 半導体装置。
- [請求項2] 前記上面絶縁層は、
- 第1層と、
- リンとボロンの単位体積当たりの含有量が前記第1層よりも多く、前記第1層の上面に配置されている第2層、
- を有しており、
- 第1領域内の前記上面絶縁層が、前記第1層と前記第2層を有しており、

前記第 1 領域よりも前記素子領域から離れた位置の第 2 領域内の前記上面絶縁層が、前記第 2 層と前記第 1 領域内の前記第 1 層よりも薄い前記第 1 層を有している、または、前記第 2 層を有しており前記第 1 層を有しておらず、

前記ゲート配線が、前記第 1 領域内の前記上面絶縁層の上面に配置されており、前記第 2 領域内の前記上面絶縁層の上面に配置されていない、

請求項 1 の半導体装置。

[請求項3] 絶縁層を、複数のトレンチを有する半導体基板の各トレンチ内と、前記半導体基板の上面に形成する工程と、

前記複数のトレンチのうちの一部のトレンチが形成されている領域の前記半導体基板の上面に形成されている前記絶縁層をエッチバックする工程と、

前記エッチバックをしなかった前記絶縁層の上面に、前記エッチバックした領域に対して非接触となるように、ゲート配線を形成する工程、

を有する半導体装置の製造方法。

[請求項4] 素子領域と、前記素子領域を取り囲む終端領域が形成されている半導体基板を有する半導体装置であって、

前記素子領域は、

ゲートトレンチと、

前記ゲートトレンチの内面を覆うゲート絶縁膜と、

前記ゲート絶縁膜の内側に配置されているゲート電極と、を有しており、

前記終端領域は、

前記素子領域の周囲に形成されている複数の終端トレンチと、

前記複数の終端トレンチのそれぞれの内側、及び、前記半導体基板の上面に形成されている絶縁層、

を有しており、
前記絶縁層は、
第1層と、
リンとボロンの単位体積当たりの含有量が前記第1層よりも多く、
前記第1層の上面に配置されている第2層、
を有しており、
前記第1層の上面に、複数の凹部が形成されており、
各凹部は、隣り合う終端トレンチの間の隔壁に沿って延設されてお
り、
隣り合う凹部の間隔が、前記隣り合う終端トレンチの間隔よりも長
く、
前記各凹部内に、前記第2層が充填されており、
前記絶縁層の上面に、ゲート配線が配置されている、
半導体装置。

[請求項5]

前記第1層が、
前記複数の終端トレンチのそれぞれの内面を覆う第1の絶縁層と、
前記第1の絶縁層で覆われた前記複数の終端トレンチの内側に充填
されている第2の絶縁層、
を有し、
前記第1の絶縁層の屈折率は、前記第2の絶縁層の屈折率よりも大
きい、
請求項4の半導体装置。

[請求項6]

前記凹部に対応する前記隔壁上に、前記第1の絶縁層と前記第2層
が積層されており、前記第2の絶縁層が積層されておらず、
前記凹部に対応しない前記隔壁上に、前記第1の絶縁層と、前記第
2の絶縁層と、前記第2層が積層されている、
請求項5の半導体装置。

[請求項7]

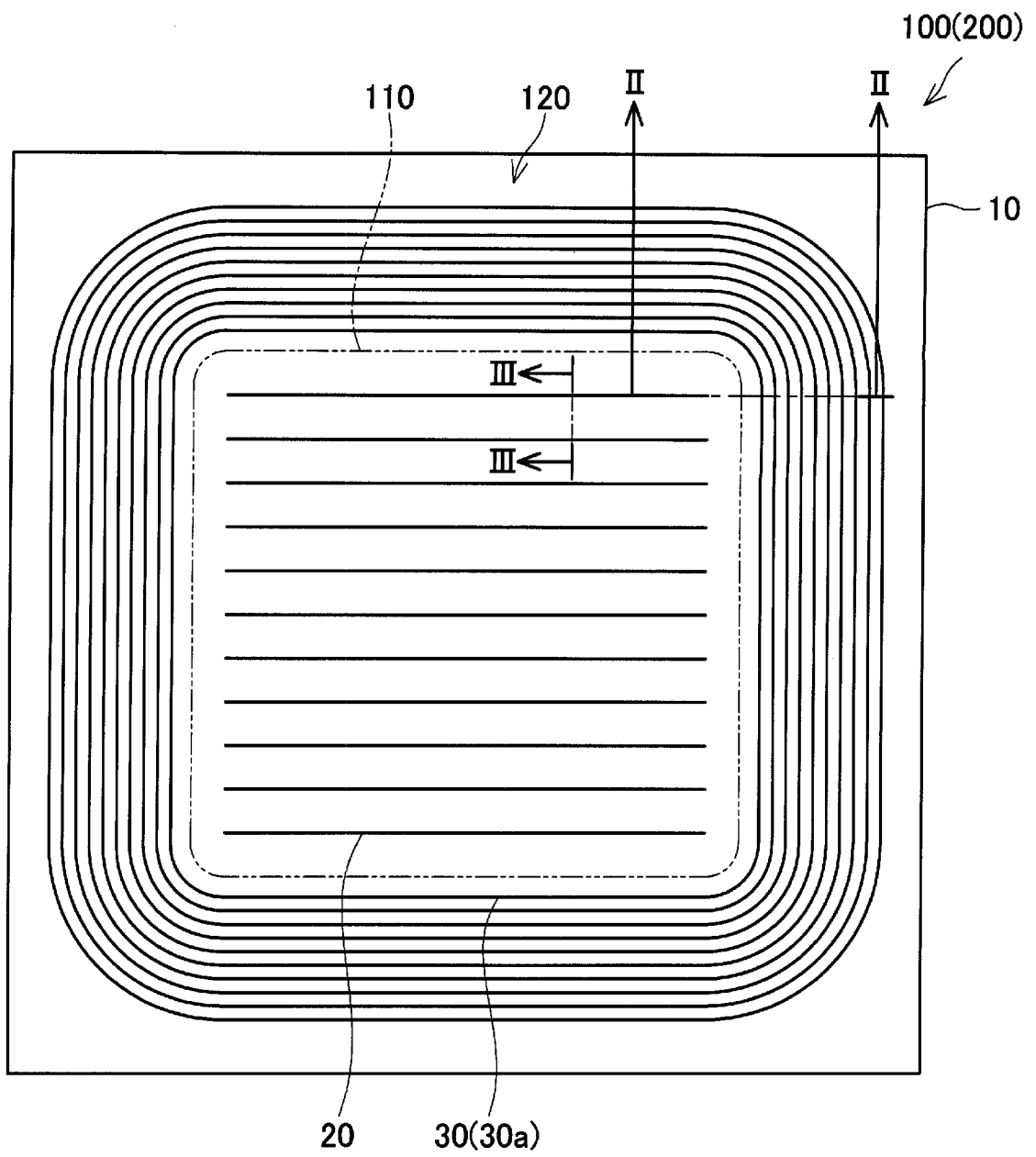
前記第1層は、前記第2の絶縁層の上面に形成されている第3の絶

縁層を有しており、

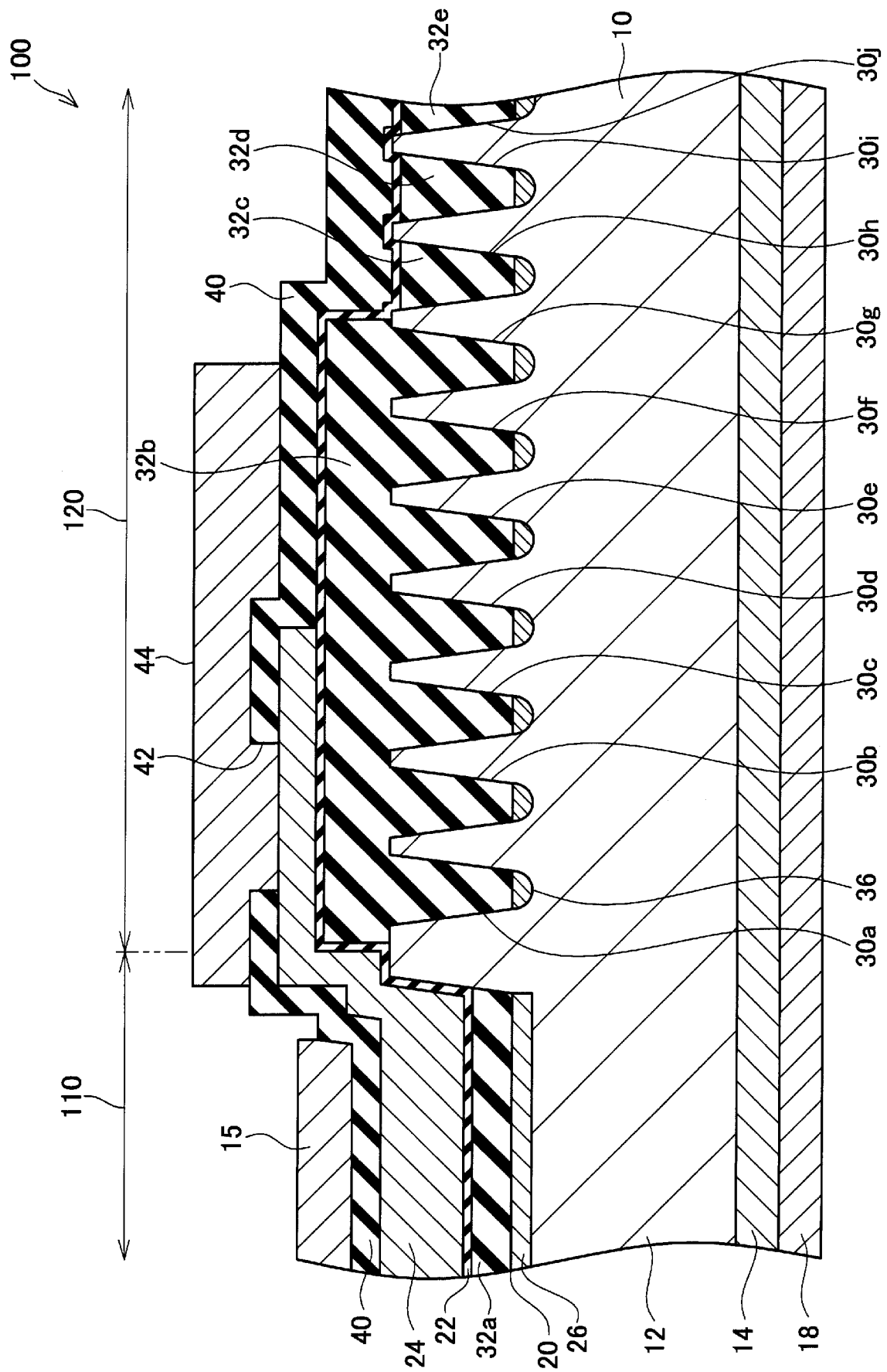
前記第 3 の絶縁層の屈折率は、前記第 2 の絶縁層の屈折率よりも大きい、

請求項 6 の半導体装置。

[図1]

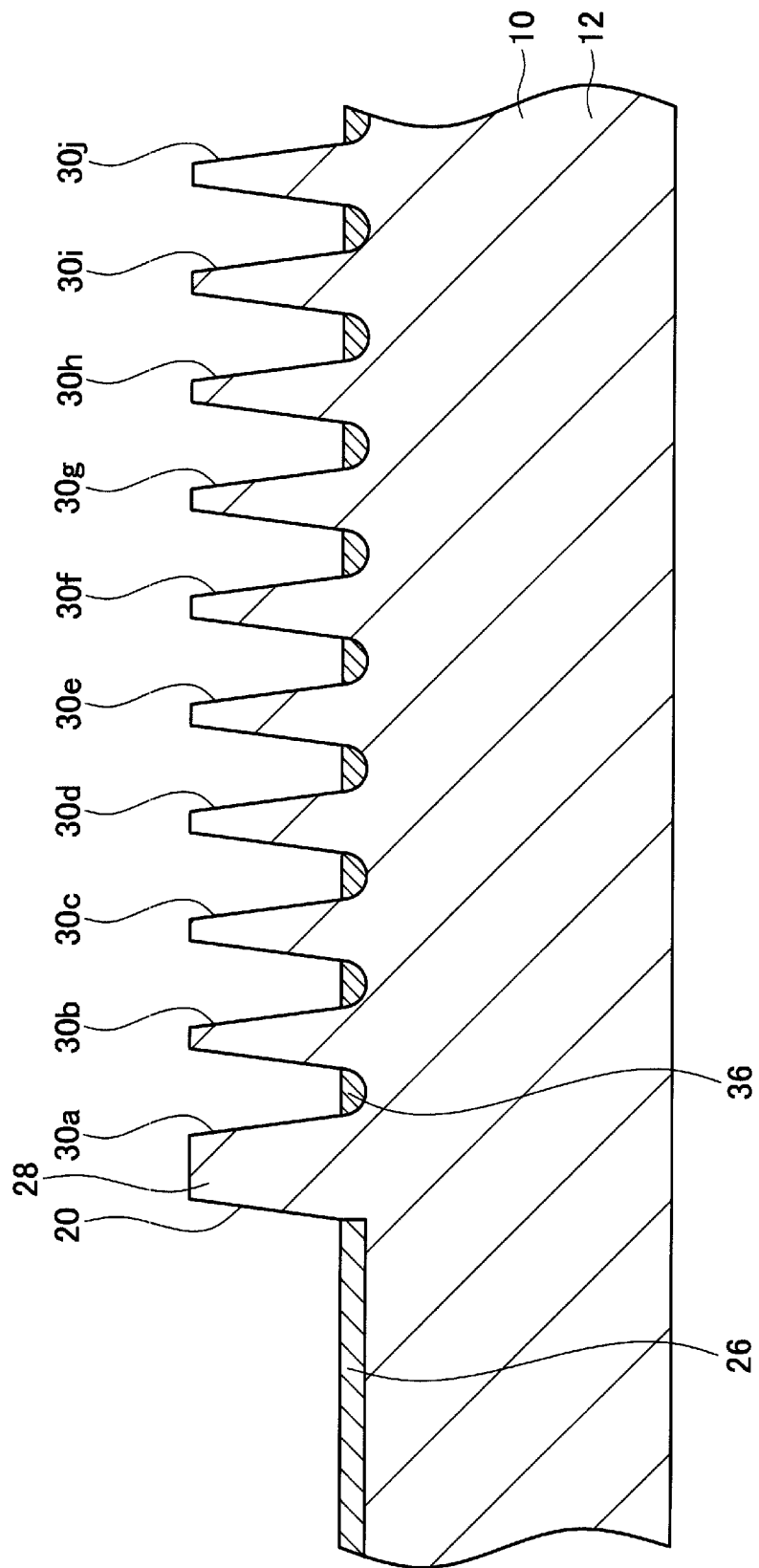


[図2]

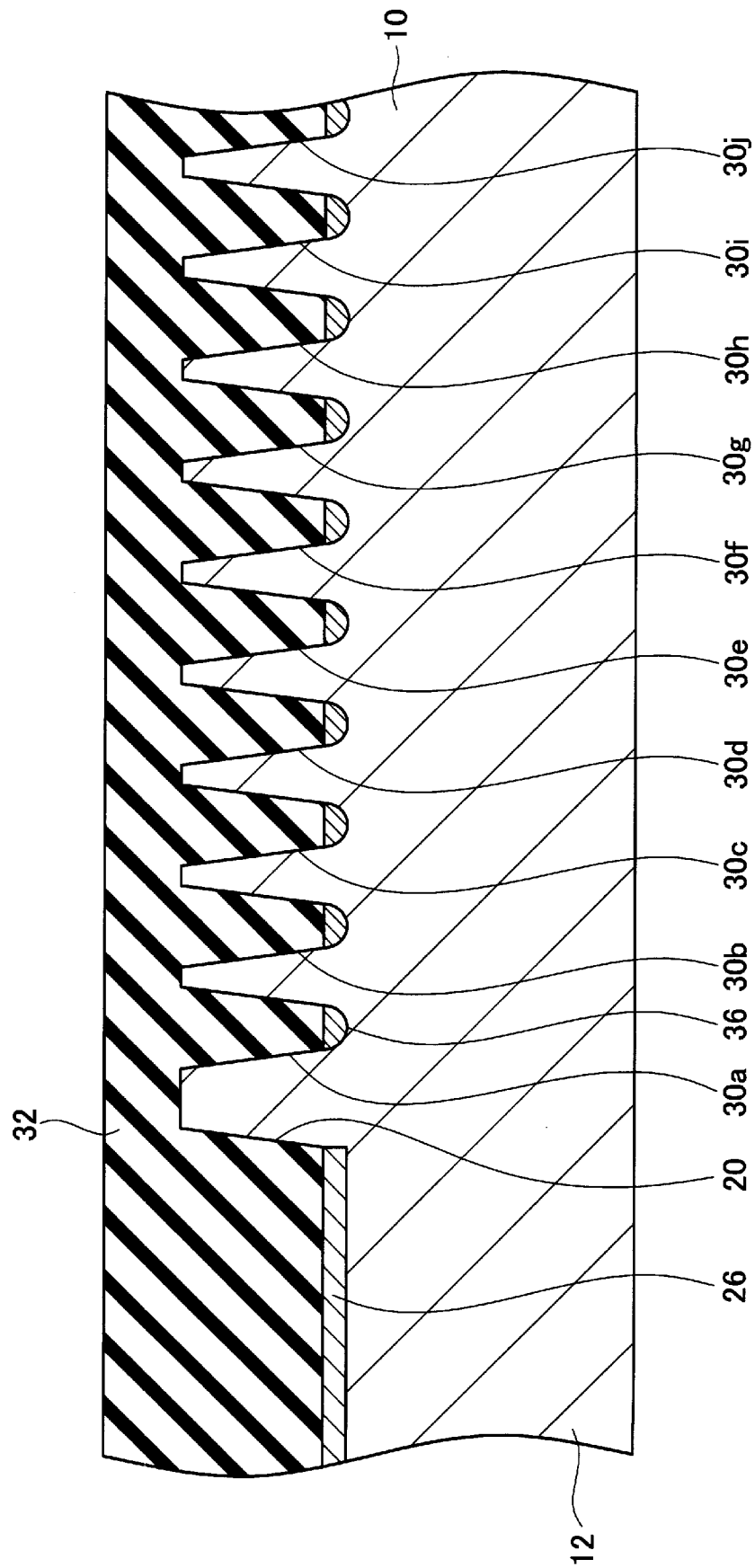


This cross-sectional view illustrates a semiconductor device. The substrate consists of several layers: 10 (top), 12, 14, and 18 (bottom). Two vertical structures are formed, each containing a central core (11) and an outer layer (15). The structures are embedded in a layer (40). Other layers shown include 13, 24, 22, 32a, and 26, which form part of the device's internal structure.

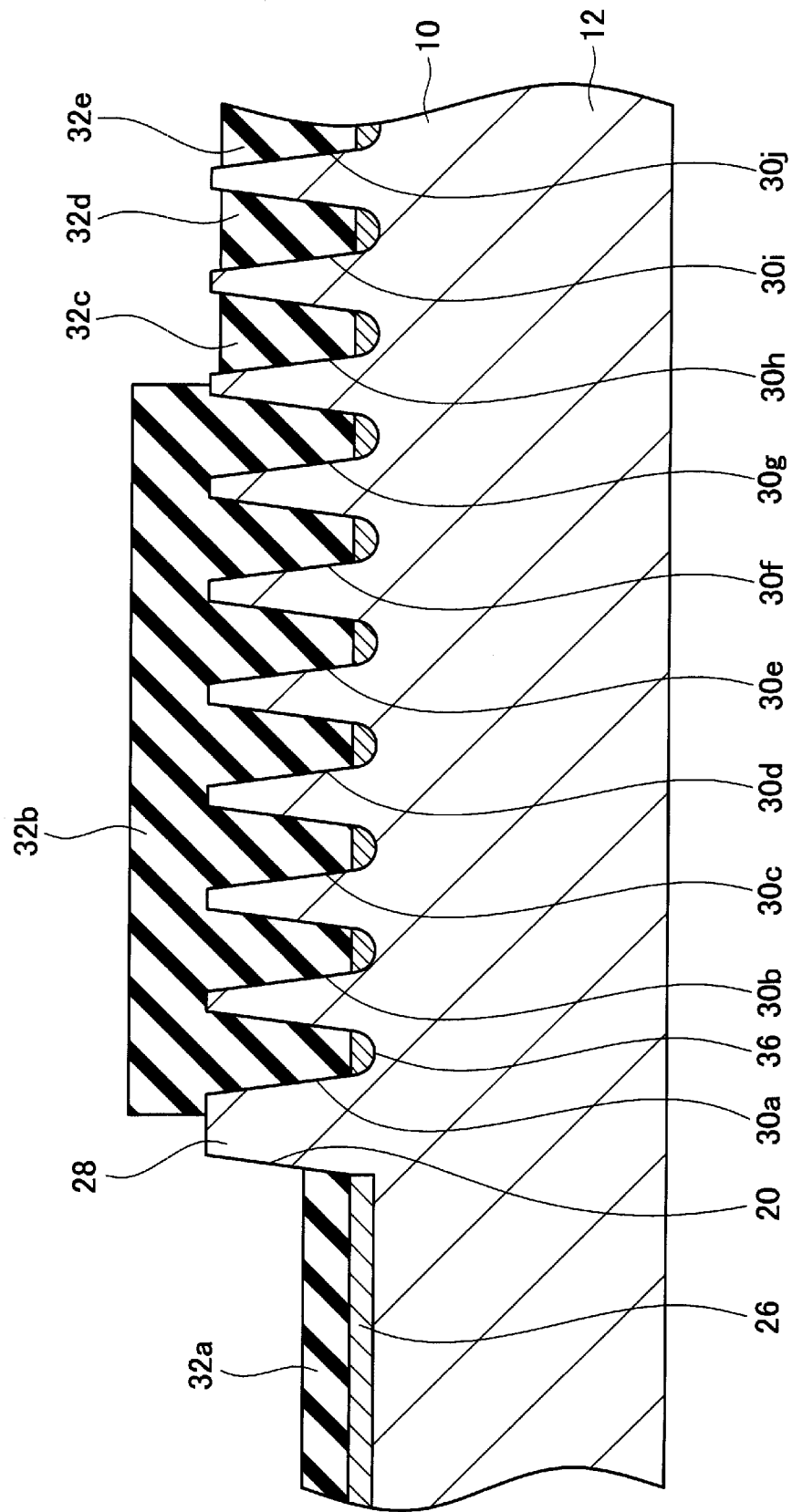
[図4]



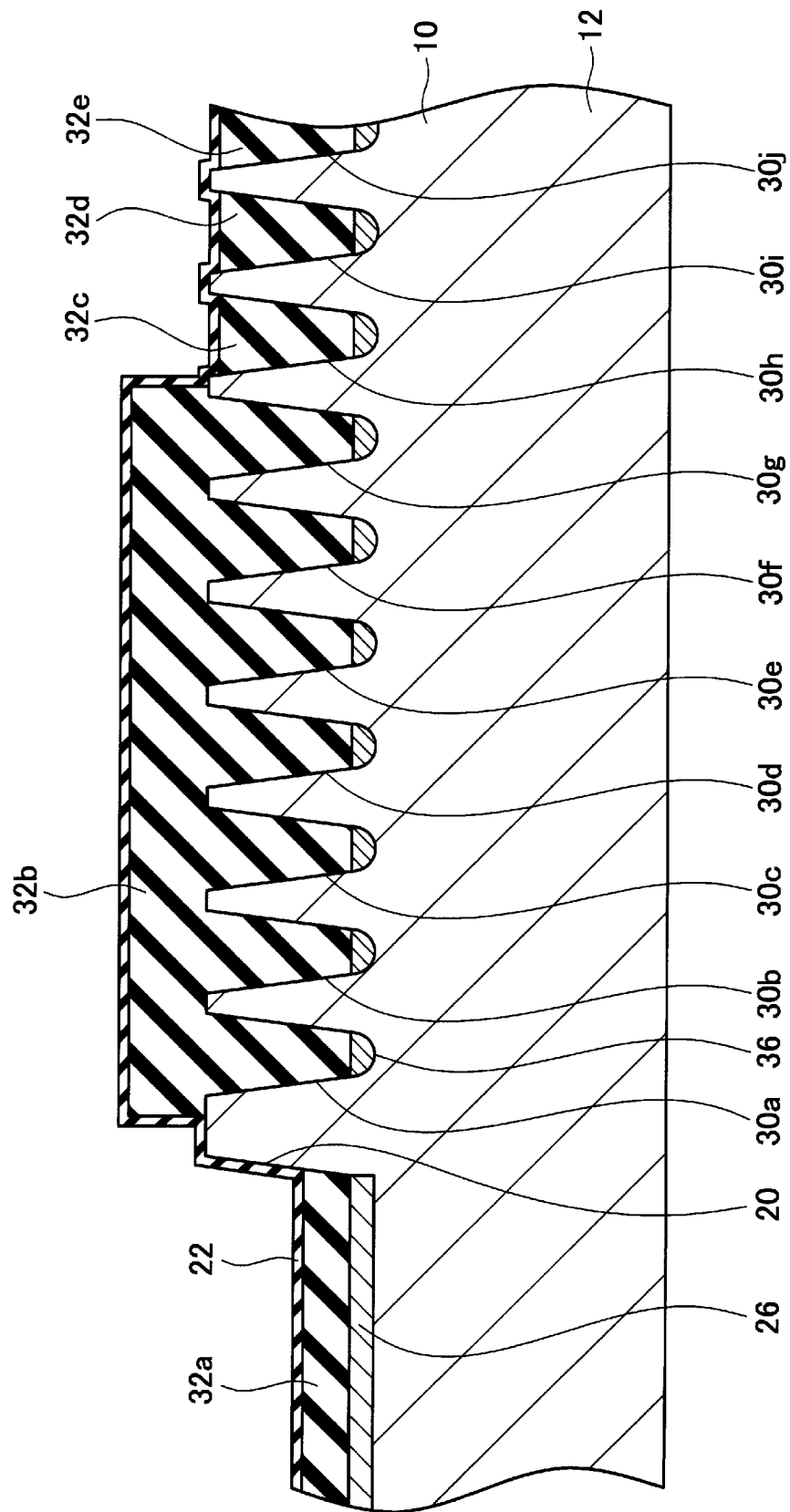
[図5]



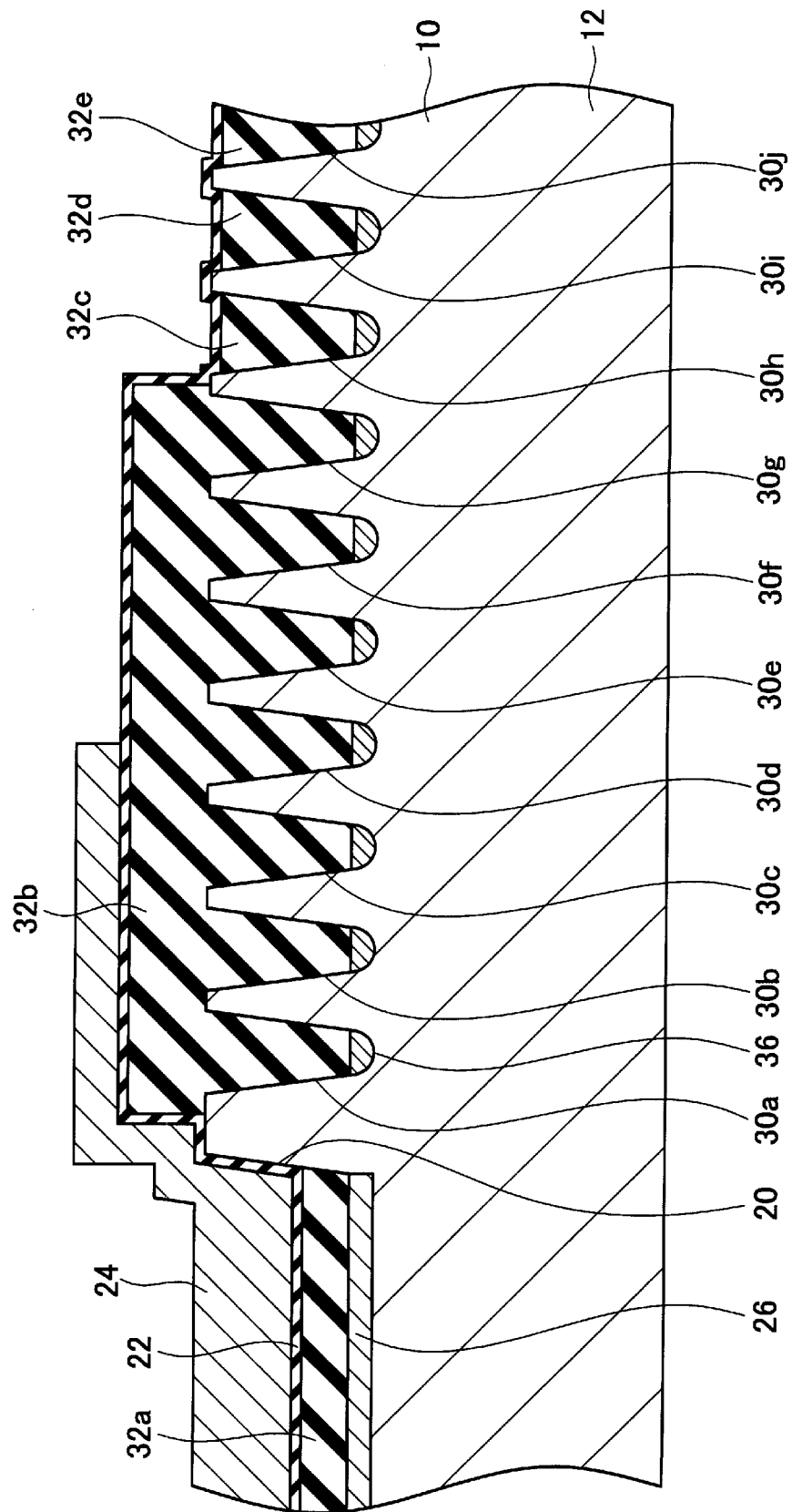
[図6]



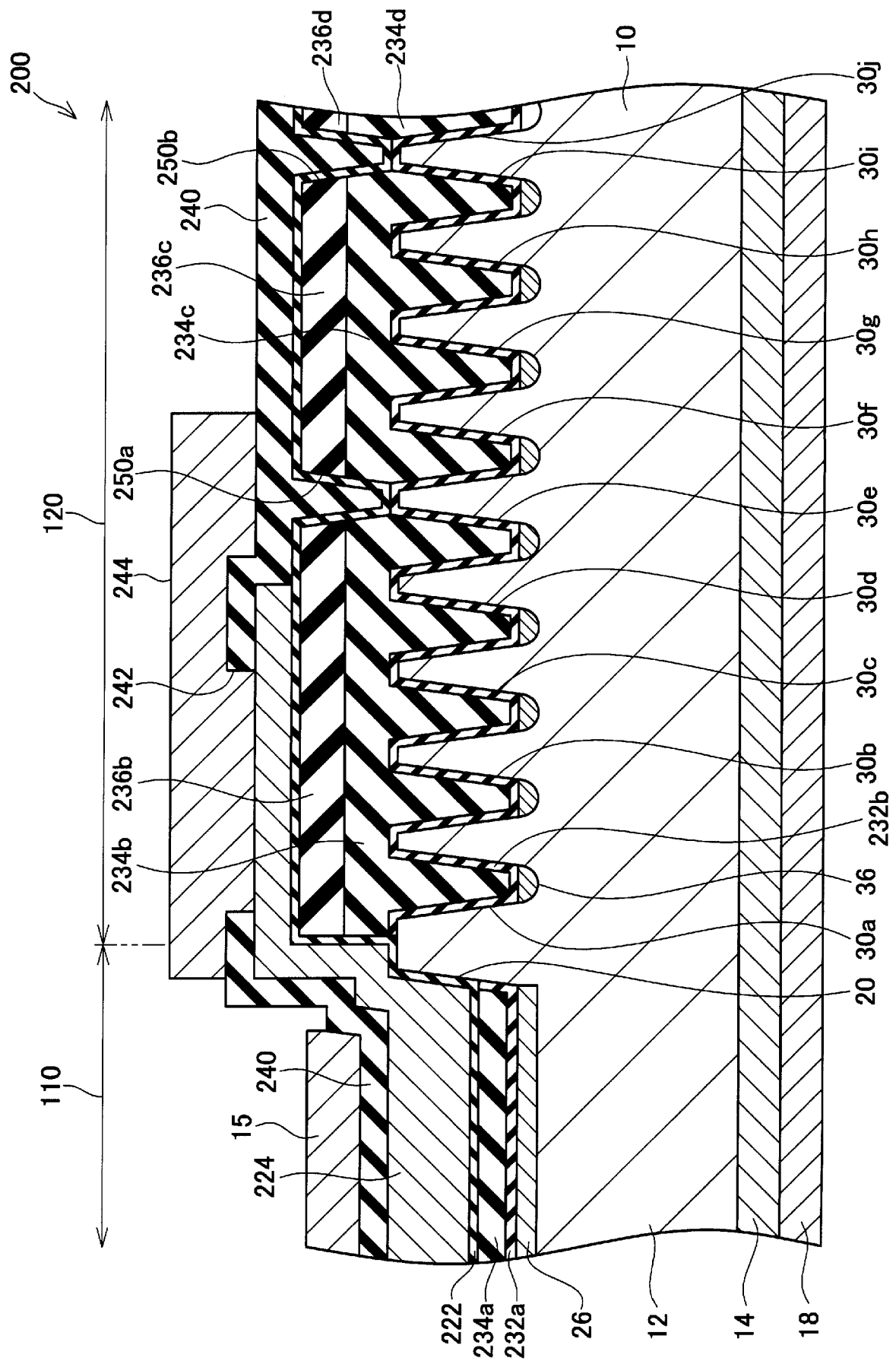
[図7]



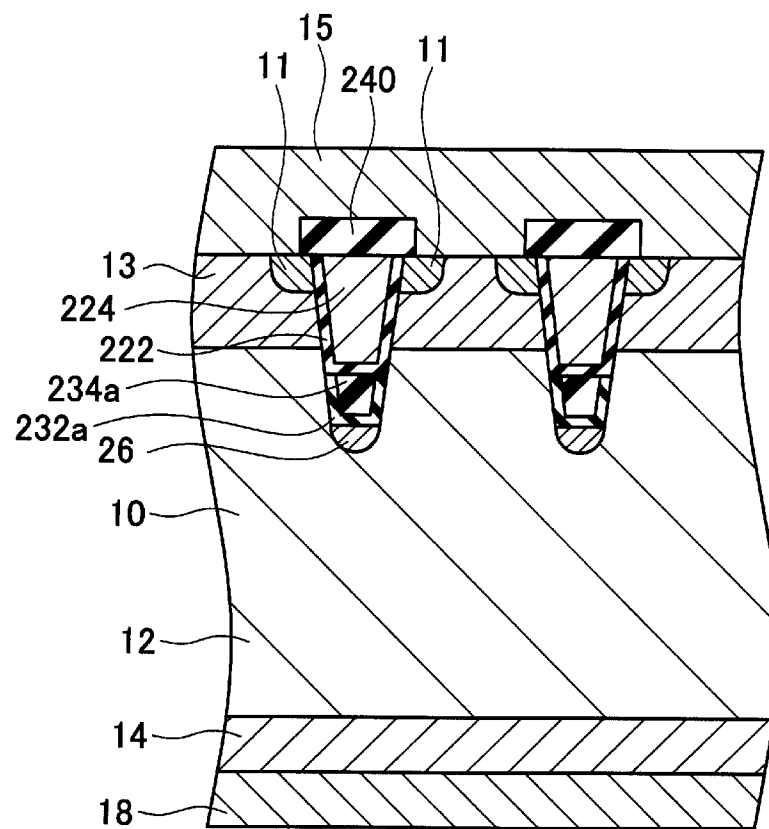
[図8]



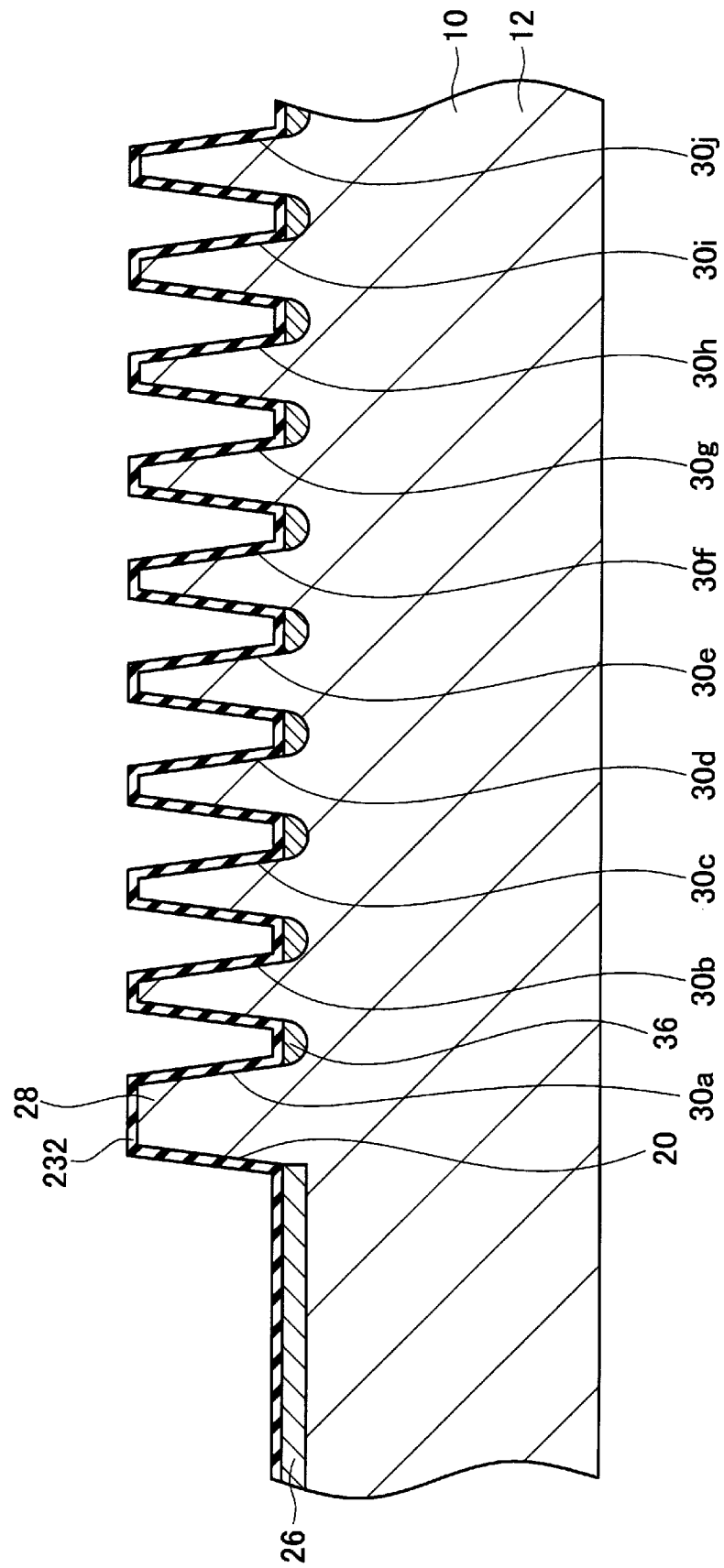
[図9]



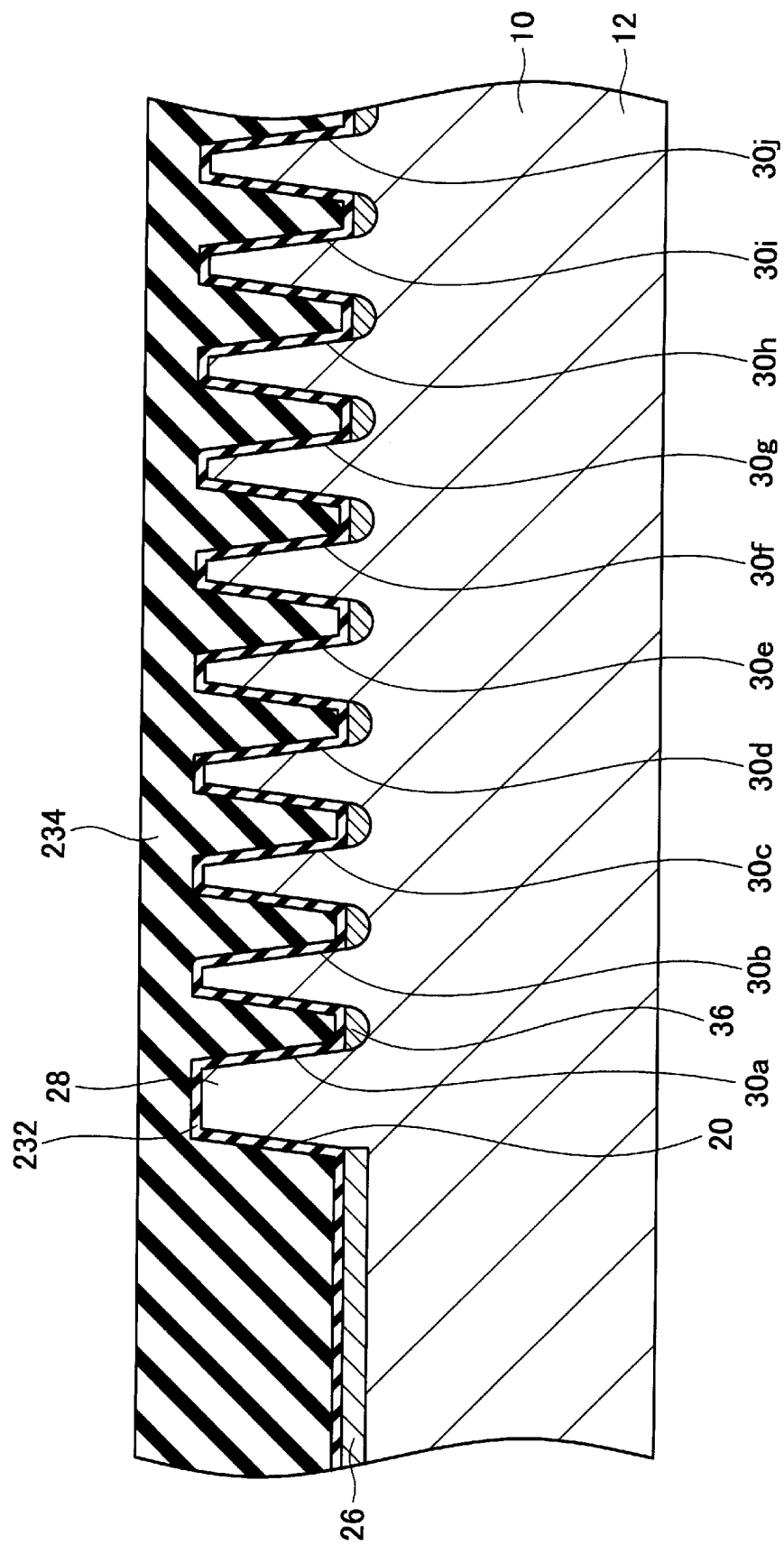
[図10]



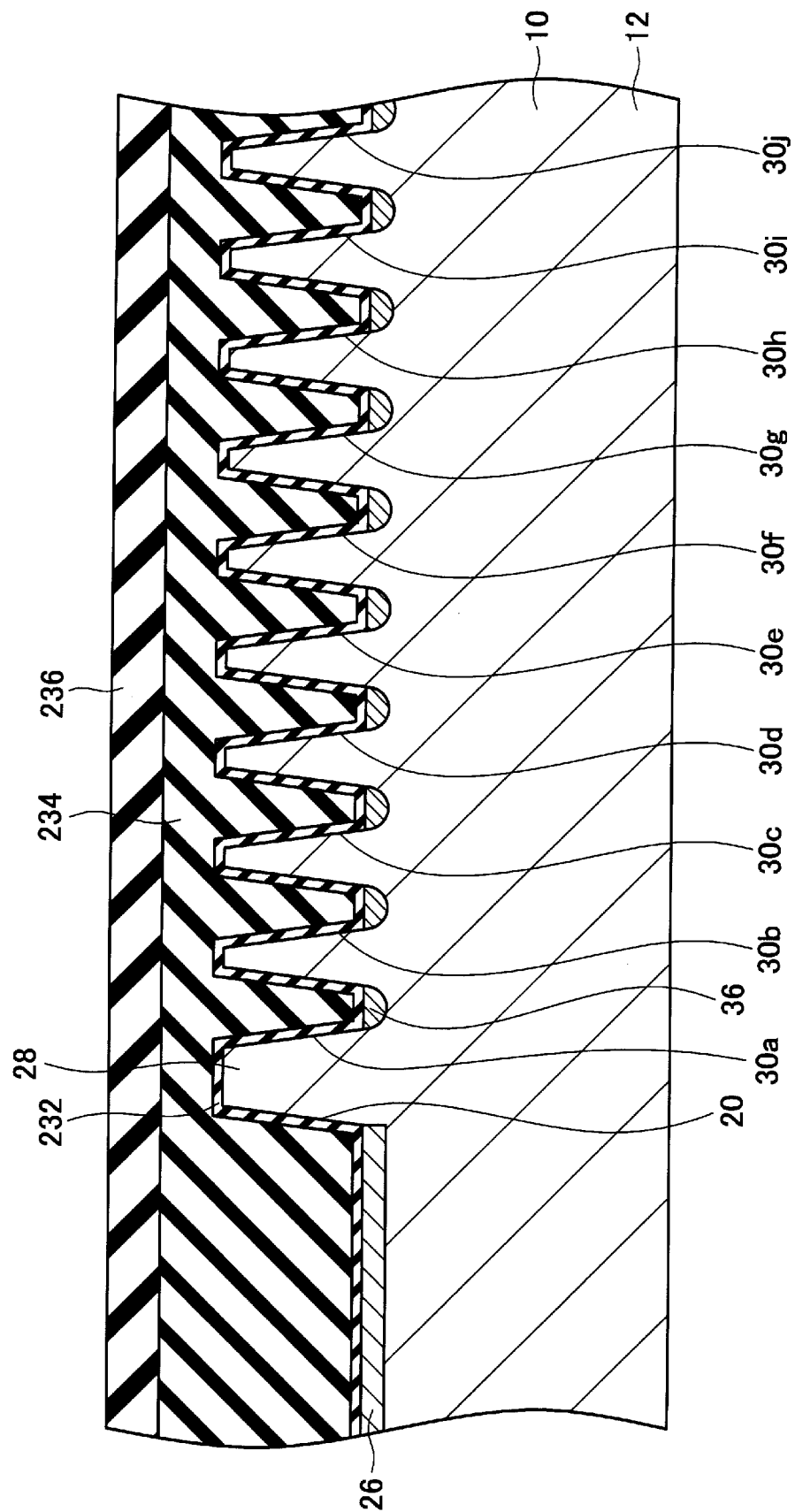
[図11]



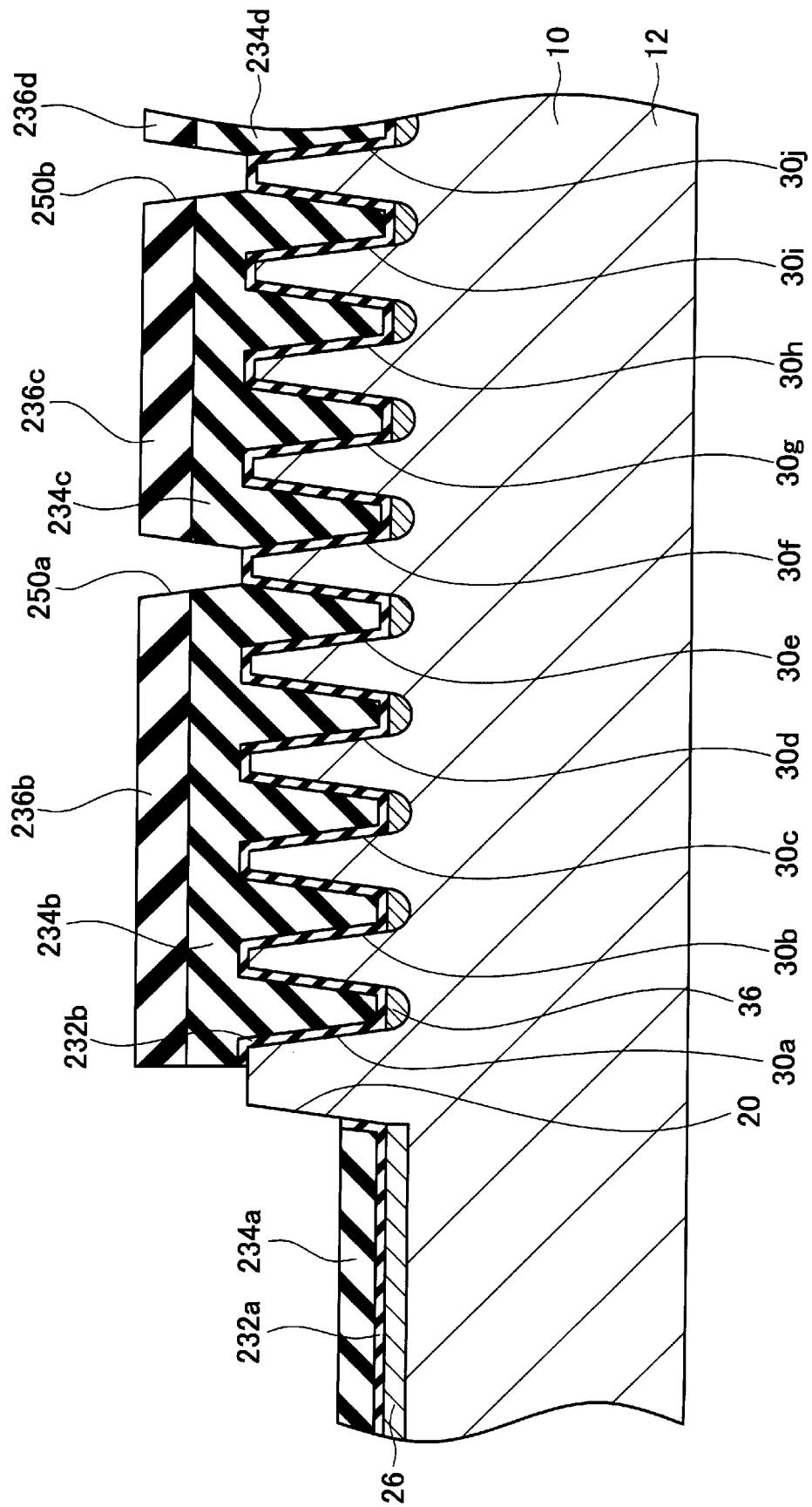
[図12]



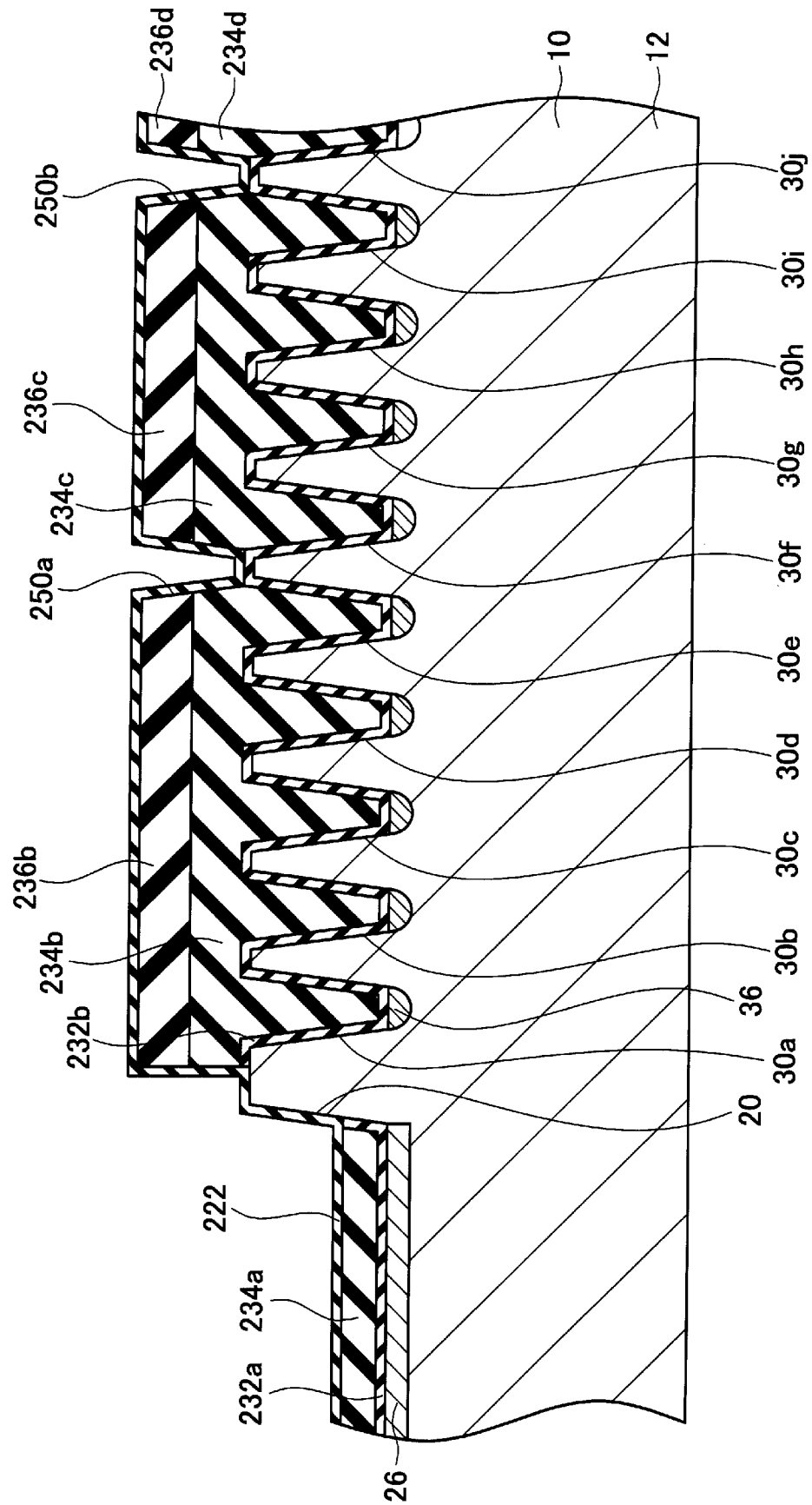
[図13]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077497

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-33931 A (Rohm Co., Ltd.), 14 February 2013 (14.02.2013), entire text; all drawings & US 2012/0326207 A1	1-7
A	JP 2010-135677 A (Denso Corp.), 17 June 2010 (17.06.2010), entire text; all drawings (Family: none)	1-7
A	JP 2005-286042 A (Toyota Motor Corp.), 13 October 2005 (13.10.2005), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 January 2015 (06.01.15)

Date of mailing of the international search report
20 January 2015 (20.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/077497

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-502204 A (Koninklijke Philips Electronics N.V.), 20 January 2005 (20.01.2005), entire text; all drawings & US 2003/0042556 A1 & WO 2003/021684 A1	3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 1 3 - 3 3 9 3 1 A （ローム株式会社）2 0 1 3 . 0 2 . 1 4、全文全図 & U S 2 0 1 2 / 0 3 2 6 2 0 7 A 1	1 - 7
A	J P 2 0 1 0 - 1 3 5 6 7 7 A （株式会社デンソー）2 0 1 0 . 0 6 . 1 7、全文全図（ファミリーなし）	1 - 7
A	J P 2 0 0 5 - 2 8 6 0 4 2 A （トヨタ自動車株式会社） 2 0 0 5 . 1 0 . 1 3、全文全図（ファミリーなし）	1 - 7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 1 . 2 0 1 5

国際調査報告の発送日

2 0 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

工藤 一光

5 F

9 2 7 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2005-502204 A (コーニンクレッカ フィ リップス エレクトロニクス エヌ ヴィ) 2005.01.20、 全文全図 & US 2003/0042556 A1 & WO 2003/021684 A1	3