

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94107124

※申請日期：94.3.9

※IPC 分類：G09G 3/28
G09G 3/20

一、發明名稱：(中文/英文)

用於驅動諸如電漿顯示器面板內之像素的電容性負載之電容性負載驅動電路、與電漿顯示器裝置

CAPACITIVE LOAD DRIVING CIRCUIT FOR DRIVING CAPACITIVE LOADS
SUCH AS PIXELS IN PLASMA DISPLAY PANEL, AND PLASMA DISPLAY
APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通日立等離子顯示器股份有限公司 / FUJITSUHITACHI PLASMA DISPLAY LIMITED

代表人：(中文/英文)

森本洋一 / MORIMOTO, YOICHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市高津區坂戸 3 丁目 2 番 1 號

2-1, SAKADO 3-CHOME, TAKATSU-KU, KAWASAKI-SHI, KANAGAWA 213-0012
JAPAN

國 籍：(中文/英文)

日本 / JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 小野澤誠 / ONOZAWA, MAKOTO

2. 富尾重壽 / TOMIO, SHIGETOSHI

國 籍：(中文/英文)

日本 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本； 2004.05.18； 特願 2004-147752

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

相關申請案之交互參照

5 本案係基於前案日本專利申請案第2004-147752號，申請日2004年5月18日且請求該案之權益，該案全文內容以引用方式併入此處。

發明領域

● 本發明係有關一種電容性負載驅動電路及一種電漿顯示器裝置，更特別係有關一種於電漿顯示器面板(PDP)驅動
10 諸如像素之電容性負載驅動電路，以及也關於一種電漿顯示器裝置。

【先前技術】

發明背景

● 近年來，電漿顯示器裝置已經於商業上實作為薄型顯示器裝置。此處，於電漿顯示器面板驅動諸如像素之電容性負載之電容性負載驅動電路，當延遲時間使用延遲電路調整時，可改變維持脈波之脈波寬度。舉例言之，若延遲脈波之脈波寬度加大，則可能導致時間邊際縮小、出現異常電流等。相反地，若維持脈波之脈波寬度縮小，則雜訊
20 可能疊加至維持電壓之上升波形及下降波形，其可能縮小電漿顯示器裝置之操作邊際，且可能造成螢幕的閃爍。

因此希望提供一種電容性負載驅動電路，該電路經由減少當使用延遲電路調整延遲時間之情況下可能出現之輸出脈波寬度變化，而供給適當輸出電壓給該電容性負載。

也希望提供一種電漿顯示器裝置，其可對電漿顯示器面板提供驅動電壓，而無時間邊際縮小、出現異常電流、雜訊疊加等問題。

於先前技術，提示一種電漿顯示器裝置，其具有維持
5 電路設計成可消除維持脈波之上升/下降時間及形狀之變化，藉此可達成低功率消耗，同時避免功能異常(例如日本專利公開案第2001-282181號:EP1139323-A2)。

於先前技術，也提示一種電漿顯示器面板之驅動裝置、驅動方法及驅動電路，其目的係為了經由降低驅動裝置所含之各種元件之崩潰電壓來簡化電路組配結構及降低
10 製造成本(例如日本專利公開案第2002-062844號:US-6686912-B1)。

此外於AC PDP之驅動裝置，若電源回復電路無法適當操作，則驅動裝置之輸出耗損增加，形成該驅動裝置之各個組成元件所產生之熱量增加；為了解決此項問題，先前
15 技術提出一種電漿顯示器裝置，其無需經由使用高崩潰電壓元件來組成驅動裝置，而仍可防止於電源回復電路功能異常之情況下諸如元件崩潰所造成之損害(例如日本專利公開案第2002-215087號:US-2002/0097203-A1)。

20 先前技術及其相關問題於後文將參照附圖說明。

【發明內容】

發明概要

根據本發明提供一種電容性負載驅動電路，包含一輸入端；一前緣延遲電路，其延遲經由該輸入端輸入之一輸

入信號前緣；一後緣延遲電路，其係延遲該輸入信號後緣；
一放大電路，其係放大經由該前緣延遲電路及該後緣延遲
電路所得之驅動控制信號；以及一輸出切換裝置，其係經
由該放大電路所驅動，其中該前緣延遲電路包括一第一時
5 間常數電路，其包含一第一電阻器及一第一電容器；該後
緣延遲電路包括一第二時間常數電路，其包含一第二電阻
器及一第二電容器；以及該驅動控制信號係經由一信號組
合電路所產生，其係組合該第一時間常數電路之輸出信號
與該第二時間常數電路之輸出信號。

10 一緩衝電路可設置於第一時間常數電路及第二時間常
數電路之任一者或二者個別之前端。信號組合電路可為及
閘。前緣之延遲時間可經由調整第一時間常數電路之第一
電阻器值而調整；後緣之延遲時間可經由調整第二時間常
數電路之第二電阻器值而調整。前緣之延遲時間可經由調
15 整第一時間常數電路之第一電容器值而調整；後緣之延遲
時間可經由調整第二時間常數電路之第二電容器值而調
整。

此外，根據本發明，提供一種用於矩陣定址平板顯示
器裝置之電容性負載驅動電路，該電路施加载明之電壓至
20 形成一顯示器元件之一電容性負載，該驅動電路包含一第
一信號線，其供給一第一電位給該電容性負載之一端；一
第一切換元件，其供給該第一電位至該第一信號線；一第
一驅動電路，其驅動該第一切換元件；一第二切換元件，
其供給一第二電位至該第一信號線；一第二驅動電路，其

驅動該第二切換元件；一第二信號線，其供給一第三電位至該電容性負載之一端，該第三電位係與該第一電位不同；一第一電容器連結於該第一信號線與該第二信號線間，且可供給比第一電位及第二電位更低之電位給第一信號線；一第三切換元件，其供給該第二電位給該第二信號線；一第三驅動電路，其驅動該第三切換元件；一第四切換元件，其連結該第一信號線至該電容性負載之一端；一第四驅動電路，其係驅動該第四切換元件；一第五切換元件，其係連結該第二信號線至該電容性負載之一端；一第五驅動電路，其係驅動該第五切換元件；以及一線圈電路，其係連結於該第一信號線及第二信號線中之至少一者與供給第二電位之一電源線間，其中該電容性負載驅動電路進一步包括，於該第一驅動電路至第五驅動電路之一之前端，一輸入端；一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；以及一後緣延遲電路，其係延遲該輸入信號後緣。

該輸入端、該延遲經由輸入端輸入之輸入信號前緣之前緣延遲電路、以及該延遲輸入信號後緣之後緣延遲電路可設置於第一驅動電路之前端。電容性負載驅動電路進一步於該第二驅動電路之前端包括一輸入端，以及一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路。該電容性負載驅動電路進一步於該第五驅動電路之前端包括一輸入端，以及一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路；以及也包括於該第二驅動電路及第四驅動電

路各自之前端，一輸入端，以及一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路。

該第三切換元件可包含一電流輸出元件及一電流輸入元件；以及該第三驅動電路可包含一電流輸出元件驅動電路其係驅動該電流輸出元件，以及包含一電流輸入元件驅動電路其係驅動該電流輸入元件。電流輸出元件可為P通道功率MOSFET，以及電流輸入元件可為N通道功率MOSFET或IGBT。

延遲欲供給該電流輸出元件驅動電路之驅動信號前緣之前緣延遲電路、以及延遲欲供給該電流輸出元件驅動電路之驅動信號後緣之後緣延遲電路可設置於該電流輸出元件驅動電路之前端。延遲欲供給對應之驅動電路之驅動信號前緣之前緣延遲電路、以及延遲欲供給對應驅動電路之驅動信號後緣之後緣延遲電路可設置於該第一驅動電路、第二驅動電路、第四驅動電路、第五驅動電路、電流輸出元件驅動電路、及電流輸入元件驅動電路各自之前端。

該前緣延遲電路可包括一第一時間常數電路，其包含一第一電阻器及一第一電容器；該後緣延遲電路包括一第二時間常數電路，其包含一第二電阻器及一第二電容器；以及欲供給第一驅動電路至第五驅動電路之驅動控制信號各自係經由一信號組合電路而產生，該信號組合電路係組合第一時間常數電路之輸出信號與第二時間常數電路之輸出信號。緩衝電路可設置於第一時間常數電路及第二時間常數電路之任一者或二者各自之前端。

該信號組合電路可為及閘。前緣之延遲時間可經由調整第一時間常數電路之第一電阻器值而調整；後緣之延遲時間可經由調整第二時間常數電路之第二電阻器值而調整。前緣之延遲時間可經由調整第一時間常數電路之第一電容器值而調整；後緣之延遲時間可經由調整第二時間常數電路之第二電容器值而調整。

一閘極耦合器係經由使用一發光元件、一光接收元件、以及一放大電路組成，該閘極耦合器可用於第一驅動電路至第五驅動電路中之至少一者。該閘極耦合器可個別用於第四驅動電路及第五驅動電路。該閘極耦合器可個別用於第一驅動電路、第二驅動電路、第四驅動電路及第五驅動電路。

根據本發明也提供一種電漿顯示器裝置，包含多個X電極；多個Y電極，Y電極係實質上平行於該多個X電極排列，且介於多個Y電極與多個X電極間產生放電；一X電極驅動電路，其係施加放電電壓至該多個X電極；以及一Y電極驅動電路，其係施加放電電壓至該多個Y電極，以及其中該X電極驅動電路或該Y電極驅動電路係使用電容性負載驅動電路組成，其中該電容性負載驅動電路包含一輸入端；一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；一後緣延遲電路，其係延遲該輸入信號後緣；一放大電路，其係放大經由該前緣延遲電路及該後緣延遲電路所得之驅動控制信號；以及一輸出切換裝置，其係經由該放大電路所驅動，其中該前緣延遲電路包括一第一時

間常數電路，其包含一第一電阻器及一第一電容器；該後緣延遲電路包括一第二時間常數電路，其包含一第二電阻器及一第二電容器；以及該驅動控制信號係經由一信號組合電路所產生，其係組合該第一時間常數電路之輸出信號
5 與該第二時間常數電路之輸出信號。

此外，根據本發明也提供一種電漿顯示器裝置，包含多個X電極；多個Y電極，Y電極係實質上平行於該多個X電極排列，且介於多個Y電極與多個X電極間產生放電；一X電極驅動電路，其係施加放電電壓至該多個X電極；以及
10 一Y電極驅動電路，其係施加放電電壓至該多個Y電極，以及其中該X電極驅動電路或該Y電極驅動電路係使用電容性負載驅動電路組成，該驅動電路施加一載明之電壓至形成一顯示器元件之一電容性負載，其中該電容性負載驅動電路包含一第一信號線，其供給一第一電位給該電容性負載之一端；一第一切換元件，其供給該第一電位至該第一信號線；一第一驅動電路，其驅動該第一切換元件；一第二
15 切換元件，其供給一第二電位至該第一信號線；一第二驅動電路，其驅動該第二切換元件；一第二信號線，其供給一第三電位至該電容性負載之一端，該第三電位係與該第一電位不同；一第一電容器連結於該第一信號線與該第二信號線間，且可供給比第一電位及第二電位更低之電位給第一信號線；一第三切換元件，其供給該第二電位給該第二信號線；一第三驅動電路，其驅動該第三切換元件；
20 一第四切換元件，其連結該第一信號線至該電容性負載之

一端；一第四驅動電路，其係驅動該第四切換元件；一第五切換元件，其係連結該第二信號線至該電容性負載之一端；一第五驅動電路，其係驅動該第五切換元件；以及一線圈電路，其係連結於該第一信號線及第二信號線中之至少一者與供給第二電位之一電源線間，其中該電容性負載驅動電路進一步包括，於該第一驅動電路至第五驅動電路之一之前端，一輸入端；一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；以及一後緣延遲電路，其係延遲該輸入信號後緣。

該電容性負載驅動電路可為一維持電路，其係於一段維持期間供給維持脈波給一電漿顯示器面板。該電容性負載驅動電路可為一掃描電路，其於一段掃描期間供給掃描脈波給一電漿顯示器面板。該電容性負載驅動電路可為一維持/掃描共通電路，其係於一段維持期間供給維持脈波給一電漿顯示器面板，以及於一段掃描期間供給掃描脈波給一電漿顯示器面板。

圖式簡單說明

由後文參照附圖陳述之較佳具體例之說明將更了解本發明，附圖者：

第1圖為概略組態圖，示意顯示可應用本發明之電漿顯示器裝置；

第2圖為略圖，顯示用於驅動第1圖所示電漿顯示器裝置之波形圖；

第3圖為概略組態圖，示意顯示可應用本發明之電漿顯

示器裝置之另一實施例；

第4A及4B圖為略圖，顯示於第3圖所示電漿顯示器裝置，於維持放電期間所施加之驅動波形圖；

第5圖為電路圖，顯示先前技術之電漿顯示器裝置使用
5 之維持電路之一實施例；

第6圖為電路圖，顯示第5圖所示維持電路之延遲電路之一實施例；

第7A、7B、7C及7D圖為略圖，說明於先前技術之維持電路之放大電路，臨限值電壓與輸出脈波寬度間之關係；

10 第8A、8B及8C圖為略圖，說明於先前技術之維持電路，延遲時間與輸出脈波寬度間之關係；

第9圖為略圖，顯示於先前技術之維持電路，當輸出脈波寬度為大時之操作波形圖；

第10圖為略圖，顯示於先前技術之維持電路，當輸出
15 脈波寬度為小時之操作波形圖；

第11圖為方塊電路圖，顯示根據本發明之電容性負載驅動電路之一實施例之概略組態；

第12圖為電路圖，顯示根據本發明之電容性負載驅動電路之第一具體例之主要部分；

20 第13圖為略圖，說明第12圖所示電容性負載驅動電路之操作；

第14圖為電路圖，顯示根據本發明之電容性負載驅動電路之第二具體例之主要部分；

第15圖為電路圖，顯示根據本發明之電容性負載驅動

電路之第三具體例之主要部分；

第16圖為電路圖，顯示根據本發明之電容性負載驅動
電路之第四具體例之主要部分；

第17圖為電路圖，示意顯示根據本發明之電容性負載
5 驅動電路之另一實施例之概略組態；

第18圖為略圖，說明第17圖所示電容性負載驅動電路
之操作；

第19圖為電路圖，顯示根據本發明之電容性負載驅動
電路之第五具體例；

10 第20圖為電路圖，顯示根據本發明之電容性負載驅動
電路之第六具體例；

第21圖為電路圖，顯示根據本發明之電容性負載驅動
電路之第七具體例；

第22圖為電路圖，顯示根據本發明之電容性負載驅動
15 電路之第八具體例；以及

第23圖為電路圖，顯示根據本發明之電容性負載驅動
電路之修改例。

【實施方式】

較佳實施例之詳細說明

20 近年來，電漿顯示器面板(PDP)已經於商業上實作為顯示器面板來替代傳統的陰極射線管(CRT)，原因在於電漿顯示器由於可自行發光性質因而可提供絕佳可視性，結構薄，因而可達成大螢幕且快速回應之顯示。

於說明根據本發明之電容性負載驅動電路及電漿顯示

器裝置之較佳具體例之細節之前，後文將參照附圖說明根據先前技術之電容性負載驅動電路及電漿顯示器裝置及其相關問題。

第1圖為概略組態略圖，示意顯示應用本發明之電漿顯示器裝置；此處所示電漿顯示器裝置為習知三電極表面放電式交流電漿顯示器裝置。第1圖中，參考號碼10為PDP、11為第一電極(X電極)、12為第二電極(Y電極)、13為定址電極以及14為掃描驅動器。

如第1圖所示，於習知PDP 10， n 個X電極11以及相等數目之Y電極12(Y1至Y n)係彼此交錯以交插方式排列，形成各由一個X電極11及其相鄰Y電極12組成之 n 對電極，於各對X電極11與Y電極12間引發放電造成發光。Y電極及X電極被稱作為顯示電極；偶爾也稱作為維持電極。 m 個定址電極13(A1至A m)係與顯示電極成直角配置，一個顯示器單元形成於各個定址電極13與各對X電極11及Y電極12間之交叉點。

Y電極12係連結至掃描驅動器14。掃描驅動器14包括開關16，開關16之數目係等於Y電極之數目，開關16之切換方式讓來自一掃描信號產生電路15之掃描脈波於一段定址期間循序施加；以及讓來自Y維持電路19之維持脈波於一段維持放電期間同時施加。X電極11係共通連結至X維持電路18，以及定址電極13係連結至定址驅動器17。影像信號處理電路21係於將影像信號轉換成為可於電漿顯示器裝置內部處理之形式後，供給影像信號給定址電路17。一驅動控

制電路20產生且供給信號，該信號係用來控制該電漿顯示器裝置之各個零組件。

第2圖為略圖，顯示驅動第1圖所示電漿顯示器裝置之波形圖。

5 該電漿顯示器裝置係經由以預定時間間隔重新整理畫面來顯示一畫面，一段顯示期稱作為一欄位。為了達成灰階顯示，一欄位進一步被劃分成為多個子欄位，經由對各個顯示單元之發光組合多個子欄位來產生該顯示。各個子欄位係由一段復置期、一段定址期、及一段維持放電(維持)
10 期組成，於該復置期間全部顯示器單元皆被初始化；於該定址期間全部顯示器單元皆被設定為對應於欲顯示之影像之狀態；以及於該維持期間各個顯示器單元係根據如此設定之狀態發光。於該維持放電期間，維持脈波係以交替方式施加至X電極及Y電極，造成於定址期間已經被設定的顯示器單元出現維持放電而發光，如此可維持由顯示單元發
15 光。

於該電漿顯示器裝置，於維持放電期間，需要以高頻脈波形式，介於電極間施加最高約200伏特電壓；特別於使用子欄位顯示體系之灰階顯示器情況下，脈波寬度為數微
20 秒。因電漿顯示器裝置係藉如此高電壓、高頻信號驅動，故電漿顯示器裝置通常耗電量大，希望降低電漿顯示器裝置之耗電量。

第3圖為概略組態圖，示意顯示應用本發明之電漿顯示器裝置之另一範例；此處顯示採用稱作為ALIS(表面交替點

亮)方法之電漿顯示器裝置。

如第3圖所示，於採用ALIS方法之PDP， n 個Y電極(第二電極)12-O及12-E及 $(n+1)$ 個X電極(第一電極)11-O及11-E以交插方式交錯排列，介於每個相鄰顯示電極(Y電極與X電極)間造成顯示用發光。如此使用 $(2n+1)$ 顯示電極，形成 $2n$ 顯示線。換言之ALIS方法經由使用第1圖組配結構使用之實質相等數目之顯示電極，可達成兩倍高之解析度。此外，由於可有效使用放電空間，由於被電極等阻擋之光量減少，故該方法具有可達成高開口率因而達成高亮度之優點。於ALIS方法，每個相鄰顯示電極間之空間係用來產生顯示用放電，但此種放電並非跨整個螢幕同時出現。因此採用所謂之交插掃描技術，其經由以時間分割方式掃描奇編號線及偶編號線而產生顯示。換言之，於奇編號欄位，奇編號線被掃描，而於偶編號欄位偶編號線被掃描，如此經由組合奇編號欄位產生之顯示與偶編號欄位產生之顯示而獲得完整顯示。

Y電極係連結至掃描驅動器14。掃描驅動器14包括開關16，開關16之切換方式為掃描脈波係於定址期間循序施加，而於維持放電期間，奇編號Y電極12-O係連結至第一Y維持電路19-O，以及偶編號Y電極12-E係連結至第二Y維持電路19-E。此時，奇編號X電極11-O係連結至第一X維持電路18-O，以及偶編號X電極11-E係連結至第二X維持電路18-E。定址電極13係連結至定址驅動器17。影像信號處理電路21及驅動控制電路20係進行如同前文參照第1圖說明

之相同操作。

第4A圖及第4B圖為略圖，顯示於第3圖所示電漿顯示器裝置，於維持放電期間施加之驅動波形圖：第4A圖顯示奇編號欄位之波形圖，以及第4B圖顯示偶編號欄位之波形圖。於奇編號欄位，電壓 V_s 施加至電極Y1及X2，同時維持電極X1及Y2於地電位，如此造成電極X1與Y1間以及電極X2與Y2間出現放電，換言之奇編號顯示線出現放電。此時於電極Y1與X2間之偶編號顯示線並未出現放電，原因在於二電極間之電位差為零。同理，於偶編號欄位，電壓 V_s 施加至電極X1及Y2，同時維持電極Y1及X2於地電位，如此造成電極Y1與X1間以及電極Y2與X2間出現放電，換言之偶編號顯示線出現放電。此處不說明復置期及定址期之驅動波形。

於先前技術，提出一種電漿顯示器裝置，其具有維持電路設計成可消除維持脈波之上升/下降時間及形狀變化，藉此達成低耗電量，同時避免功能的異常(例如日本專利公開案第2001-282181:EP-1139323-A2)。

第5圖為電路圖，顯示先前技術電漿顯示器裝置使用之維持電路(電容性負載驅動電路)之範例；此處所示維持電路具有電源回復電路，其中回復電力之回復電路係與施加儲存電力之施加電路分開。也設置產生信號V1至V4之電路，但未顯示於此處。參考符號 C_p 表示於PDP(10)介於X電極與Y電極間所形成之顯示器單元之驅動電容器(電容性負載)。第5圖中，顯示電極之一之維持電路，但須注意可對

另一電極提供類似之維持電路。

首先，不含電源回復電路之維持電路包含切換元件(維持輸出元件:n通道MOS電晶體)31及33、放大電路(驅動電路)32及34及延遲電路(前緣延遲電路)51及52；另一方面，

5 電源回復電路包含切換元件37及40、放大電路38及41、及延遲電路(前緣延遲電路)54及53。

輸入信號V1及V2係經由個別延遲電路51及52輸入放大電路32及34；由個別放大電路32及34輸出之信號VG1及VG2供給個別切換元件31及33之閘極。此處，當輸入信號

10 V1係於高位準「H」時，切換元件31被導通，高位準「H」信號施加至電極(X電極或Y電極)。此時，輸入信號V2係於低位準「L」，因此切換元件33為OFF。於輸入信號V1變成低位準「L」之同時，造成切換元件31的關斷，輸入信號V2變成高位準「H」，造成切換元件33被導通，如此接地位

15 準電位施加至該電極。

另一方面，當於具有電源回復電路之維持電路施加維持脈波時，於輸入信號V1變成高位準「H」前，輸入信號V2變成低位準「L」，如此造成切換元件33被關斷；隨後輸入信號V3進入高位準「H」，且切換元件40被導通，經由電

20 容器39、二極體42、線圈(電感)43及電容器Cp形成諧振電路；儲存於電容器39之電力被供給電極，造成電極電位的升高。恰在電極電位升高結束前，輸入信號V3進入低位準「L」，造成切換元件40的關斷；且同時，輸入信號V1進入高位準「H」，造成切換元件31的導通，如此維持電極電位

固定於 V_s 。

當維持脈波之施加結束時，首先，輸入信號 V_1 進入低位準「L」，如此造成切換元件31之關斷；隨後，輸入信號 V_4 變成高位準「H」以及切換元件37導通，經由電容器39、
 5 二極體36、線圈35及電容器 C_p 形成諧振電路，儲存於電容器 C_p 之電荷供給電容器39，如此造成電容器39之電壓升高。藉此方式藉施加至該電極之維持脈波儲存於電容器 C_p 之電力被回復，且儲存於電容器39。恰在電極電位下降結束前，輸入信號 V_4 進入低位準「L」，造成切換元件37之關
 10 斷，以及同時，輸入信號 V_2 進入高位準「H」，造成切換元件33之導通，如此維持電極電位固定於地電位。於維持放電期，前述操作重複與維持脈波同等多次。使用前述組配結構，可減少與維持放電關聯之電力消耗。

第6圖為電路圖，顯示第5圖所示維持電路中之延遲電
 15 路範例。

如第6圖所示，延遲電路51(52至54)為延遲經由輸入端輸入之輸入信號 V_1 (V_2 至 V_4)之前緣之電路，包含延遲電路51(52至54)包含一電阻器(可變電阻元件) R 及一電容器(電容元件) C ，且經由改變電阻器 R 之電阻值而控制輸入信號之
 20 延遲時間。換言之，延遲電路51、52、53及54補償於隨後階段連結之個別放大電路32、34、41及38之延遲時間之變化，藉此調整欲施加至各個切換元件之驅動脈波位相，讓切換元件31、33、40及37可於適當時序被驅動。

如此變成可供給正確時序之維持脈波給電漿顯示器面

板，同時抑制由於放大電路之延遲時間變化所造成之耗電量的增高。

第7A、7B、7C及7D圖為略圖，說明於先前技術維持電路之放大電路之臨限值電壓與輸出脈波寬度間之關係，更特別說明前文參照第5圖所述維持電路相關之問題。此外，第8A、8B及8C圖為略圖，說明於先前技術維持電路，延遲時間與輸出脈波寬度間之關係；以及第9圖為略圖，顯示於先前技術維持電路，當輸出脈波寬度大時之操作波形圖。

第7A圖顯示驅動一個切換元件(31)之主要電路部分(延遲電路51及放大電路32)；此處，第6圖之電路組配結構係採用於第5圖所示維持電路之延遲電路(51)。於第7A圖之電路中， $V_{in}(V1)$ 表示輸入信號， V_{rc} 表示於延遲電路51之電阻器R與電容器C間之連結節點之電壓， V_{th} 表示放大電路32之臨限值電壓，以及 V_o 表示放大電路之輸出電壓。個別電壓 V_{in} 、 V_{rc} 、 V_{th} 、及 V_o 之波形圖顯示於第7B至7D圖。為求說明簡單，放大電路32之延遲時間假設為零。前文說明也適用於使用其它延遲電路(52、53及54)及放大電路(34、41及38)組成之主要電路部分。

首先，當放大電路32之臨限值電壓 V_{th} 為 $V_{th}=V_{th1}=V_{cc}/2$ 時，此處 V_{cc} 為輸入信號 V_{in} 之高位準「H」電壓，通過電阻器R及電容器C之前緣(上升緣)之延遲時間 $T1$ 係等於後緣(下降緣)之延遲時間 $T2$ 。如此，輸入信號之脈波寬度 T_{win} 係等於放大電路32之輸出信號 V_o 之脈波寬度 T_{wo} 。即使經由增加延遲電路51中之電阻器R之電阻值，來

延長延遲時間 T_1 時，脈波寬度 T_{wo} 維持恆定(參考第8A圖)。

其次，當臨限值電壓 V_{th} 為 $V_{th}=V_{th2}<V_{cc}/2$ 時，輸出波形圖係如第7D圖之虛線顯示，換言之 $T_1<T_2$ ，因此 $T_{win}<T_{wo}$ 。此種情況下， T_1 與 T_{wo} 間之關係為如第8B圖所示，輸出信號 V_o 之脈波寬度 T_{wo} 係隨著延遲時間 T_1 之增加而增加。則第5圖所示維持電路之個別信號之波形圖係如第9圖之虛線顯示。第9圖中，實線顯示 $T_{win}=T_{wo}$ 之波形圖。

結果如第9圖所示，由信號 VG_2 下降時間至信號 VG_1 升高時間容許之時間邊際 TM_1 縮小，以及由信號 VG_1 下降時間至信號 VG_2 升高時間容許之時間邊際 TM_2 縮小。提供時間邊際 TM_1 及 TM_2 係為了防止切換元件31(切換元件 CU)及33(CD)同時導通，且造成流過擊穿電流。此種時間邊際的縮小將導致電路可靠度的劣化。

此外，如第9圖所示，因由信號 VG_2 下降時間至信號 VG_3 上升時間之時間邊際 TM_3 、以及由信號 VG_1 下降時間至信號 VG_4 升高時間之時間邊際 TM_4 也縮小，故某些情況下可能出現切換元件33(CD)及40(LU)或切換元件31(CU)及37(LD)之同時導通，結果造成異常電流之流經此等切換元件。

當臨限值電壓 V_{th} 為 $V_{th}=V_{th3}>V_{cc}/2$ 時，輸出波形圖係如第7D圖之半虛線顯示，換言之 $T_1>T_2$ ，因而 $T_{win}>T_{wo}$ 。此種情況下， T_1 與 T_{wo} 間之關係為輸出信號 V_o 之脈波寬度(輸出脈波寬度) T_{wo} 隨著延遲時間 T_1 之延長而縮小，如第8C圖所示。第5圖所示維持電路之個別信號之波形圖係如第9

圖之虛線顯示。第9圖中，實線顯示 $T_{in}=T_{wo}$ 時之波形圖。

第10圖為略圖，顯示於先前技術維持電路，當輸出脈波寬度小之時之操作波形圖。

如第10圖所示，當信號VG1及VG2之脈波寬度縮小時，
5 時，切換元件31及33之ON時間縮短。如此導致即使於波形圖必須固定於維持電源電壓 V_s 或地電位GND之期間，仍然出現高阻抗態。結果，雜訊可能疊加於維持電壓(維持電路之輸出電壓) V_{out} 之高位準「H」期或低位準「L」期之波形上。

10 另一方面，當信號VG3及VG4之脈波寬度縮小時，出現下列可能:當切換元件37及40個別導通時，當信號VG3及VG4下降時，切換元件37及40分別被迫關斷。若切換元件37及40被迫關斷，切換元件37及40之耗電量增加，或雜訊可能疊加於第10圖所示維持電壓 V_{out} 之上升波形及下降波
15 形。

若因高阻抗態導致出現雜訊，或雜訊疊加於維持電壓之上升波形及下降波形，則電漿顯示器裝置之操作邊際縮小，結果導致發生螢幕閃爍。

前文說明中，放大電路之延遲時間假設為零，但實際上，
20 延遲時間也出現於放大電路，延遲時間因放大電路之零組件變化等因素而改變。第5圖所示四個延遲電路(51、52、53及54)個別組成為可彼此獨立調整前緣之延遲時間 T_1 ，俾便吸收於對應放大電路(32、34、41及38)之延遲時間變化。結果，與輸出信號 V_o 之脈波寬度(輸出脈波寬

度)Two相關之特性因各個放大電路而異。如此導致另一項必須解決的問題；換言之，當輸出脈波寬度增加時出現諸如時間邊際縮小及異常電流發展等問題，以及當輸出脈波寬度縮小時可能出現諸如雜訊疊加於維持電壓 V_{out} 之問題

5 更加可能發生。

本發明之目的係提供一種電容性負載驅動電路，其經由縮小當例如使用延遲電路調整延遲時間之情況下，可能出現之輸出信號脈波寬度變化，來供給適當輸出電壓給電容性負載。本發明之另一目的係提供一種電漿顯示器裝置，其可對電漿顯示器面板提供驅動電壓，而不會發生例如時間邊際縮小、出現異常電流、雜訊疊加等問題。

後文將參照附圖說明根據本發明之電容性負載驅動電路及電漿顯示器裝置之具體例之細節。此處須了解根據本發明之顯示器裝置及其驅動方法非僅限於應用於採用ALIS方法之電漿顯示器裝置，反而可寬廣應用於採用多種其它方法之電漿顯示器裝置。

第11圖為方塊電路圖，顯示根據本發明之電容性負載驅動電路之一範例之產生組態。

由比較第11圖與第5圖顯然易知，第11圖所示根據本發明之電容性負載驅動電路之範例係對應於一種電路，其中第5圖所示先前技術維持電路(電容性負載驅動電路)之延遲電路51至54分別係由前緣延遲電路651至654及後緣延遲電路751至754組成。如此，驅動電容器 C_p 藉切換元件(維持輸出元件:n通道MOS電晶體)31及33及放大電路(驅動電路)32

及34之驅動操作、電源回復電路藉切換元件37及40、放大電路38及41、二極體36及42、線圈35及43及電容器39(Cp)之操作等係與參照第5圖詳細說明之操作相同，此處不再重複說明。

5 如第11圖所示，根據本發明之電容性負載驅動電路之一實施例包含供延遲個別輸入信號V1及V2之前緣之前緣延遲電路651及652；供延遲個別輸入信號V1及V2之後緣之後緣延遲電路751及752；供放大經由個別前緣延遲電路651及652及後緣延遲電路751及752所得之驅動控制信號之放大電路32及34；及藉個別放大電路32及34所驅動之切換元件31及33。此處前緣延遲電路(651、652)及後緣延遲電路(751、752)係彼此並聯連結。

 根據本發明之電容性負載驅動電路之該實施例進一步包含供延遲個別輸入信號V3及V4之前緣之前緣延遲電路653及654；供延遲個別輸入信號V3及V4之後緣之後緣延遲電路753及754；供放大經由個別前緣延遲電路653及654及後緣延遲電路753及754所得之驅動控制信號之放大電路41及38；以及電源回復電路，如參照第5圖之說明，包含由個別放大電路41及38所驅動之切換元件40及37、二極體36及42、線圈35及43、及電容器39。此處前緣延遲電路(653、654)與後緣延遲電路(753、754)係彼此並聯連結。

 第12圖為電路圖，顯示根據本發明之電容性負載驅動電路之第一具體例之主要部分；以及第13圖為略圖，說明第12圖所示電容性負載驅動電路之操作。

如第12圖所示，於第一具體例之電容性負載驅動電路，前緣延遲電路651係由一時間常數電路組成，該時間常數電路包含一非反相緩衝電路MA1、一電阻器RA1及一電容器CA1；以及該後緣延遲電路751係由一時間常數電路組成，該時間常數電路包含一非反相緩衝電路MA2、一電阻器RA2及一電容器CA2。前緣延遲時間及後緣延遲時間分別係經由調整電阻器RA1及RA2之值而調整。

此外，前緣延遲電路651之輸出信號及後緣延遲電路751之輸出信號係於隨後階段藉及閘AND1組合而獲得輸出信號(輸出電壓) V_o ，如第13圖所示。

藉此方式，經由使用第12圖所示電路，可彼此獨立調整前緣延遲時間及後緣延遲時間。此處，於第12圖所示電路，前緣延遲電路651及後緣延遲電路751分別於個別時間常數電路之前端設置緩衝電路MA1及MA2，來防止因前緣延遲時間調整所造成之干擾導致後緣延遲時間的改變，同時也防止因後緣延遲時間調整造成之干擾所導致前緣延遲時間的改變。換言之，設置緩衝電路MA1及MA2，第一具體例之電容性負載驅動電路可以較高準確度設定輸出電壓 V_o 之脈波寬度。

第14圖為電路圖，顯示根據本發明之電容性負載驅動電路之第二具體例之主要部分。

經由比較第14圖與第12圖顯然易知，於第二具體例之電容性負載驅動電路，緩衝電路MA1由第12圖所示第一具體例之電容性負載驅動電路之前緣延遲電路651刪除，以及

緩衝電路MA2設置於後緣延遲電路751之時間常數電路前端，來防止因後緣延遲時間調整時造成的干擾，導致前緣延遲時間的改變。換言之，於第二具體例之電容性負載驅動電路，輸出信號之脈波寬度可準確設定，設定方式係經由首先改變電阻器RA1而調整前緣延遲時間，然後改變電阻器RA2來調整後緣延遲時間。根據第二具體例之電容性負載驅動電路，由於無需於前緣延遲電路651設置緩衝電路MA1，因而電路組配結構變簡化。

第15圖為電路圖，顯示根據本發明之電容性負載驅動電路之第三具體例之主要部分。

由比較第15圖與第12圖顯然易知，於第三具體例之電容性負載驅動電路，前緣延遲電路651之緩衝電路MA1及後緣延遲電路751之緩衝電路MA2皆由第12圖所示第一具體例之電容性負載驅動電路刪除。此種情況下，經由改變電阻器RA1進行前緣延遲時間調整與經由改變電阻器RA2進行後緣延遲時間調整彼此干擾，但可設定輸出信號Vo之脈波寬度，例如經由重複調整電阻器RA1及RA2而設定脈波寬度；此種組配結構適合用於需要經由刪除緩衝電路MA1及MA2來進一步簡化電路之應用用途。

第16圖為電路圖，顯示根據本發明之電容性負載驅動電路之第四具體例之主要部分。

經由比較第16圖與第12圖顯然易知，於第四具體例之電容性負載驅動電路，第12圖所示第一具體例之電容性負載驅動電路之電阻器RA1及RA2係以定值電阻器替代，反而

電容器CA1及CA2形成為可變電容器，讓前緣延遲時間及後緣延遲時間可經由改變個別電容器CA1及CA2而調整。即使電容器CA1及CA2形成為可變電容器，如同前文第二具體例及第三具體例之說明，仍可刪除設置於個別時間常數電路

5 前端之緩衝電路MA1及MA2中之一者或二者。

第17圖為電路圖，示意顯示根據本發明之電容性負載驅動電路之另一範例之概略組配結構；第18圖為略圖，說明第17圖所示電容性負載驅動電路之操作。第17圖所示電路大致上係與例如日本專利申請案第2003-425666號揭示

10 之電路相同。

將參照第18圖，說明第17圖所示電容性負載驅動電路之操作。

第18圖中，波形SW1至SW5為第17圖驅動開關SW1至SW5之信號波形，當對應波形為高「H」時，開關SW1至SW5

15 為ON。換言之，如第18圖所示，於第17圖之電容性負載驅動電路，開關SW4係於時間t12被轉開，電源回復電流流經線圈(電感)LA、二極體DA及開關SW4。於時間t12，開關SW1被轉開，充電電流由 $1/2 V_s$ 電源供應器，經由開關SW1及SW4流至電容性負載(驅動電容器)Cp。此時，開關SW3也被

20 轉開，充電電流經由開關SW3及電容器C1，流至電容性負載Cp。

其次，於時間t13，開關SW1、SW3及SW4被轉關；以及於時間t14，開關SW5被轉開。當開關SW5被轉開時，電源回復電流由電容性負載Cp，經由二極體DB及線圈LB流

出。此外，於時間 t_{15} ，開關SW2被轉開，放電電流經開關SW5、電容器C1及開關SW2而由電容性負載 C_p 流出。

於前述操作中，第18圖以OUTC顯示之波形供給電容性負載 C_p 。此外，本操作中，第17圖之電路圖之波形OUTA及OUTB分別於第18圖以實線曲線及虛線曲線之波形顯示。

第17圖所示電容性負載驅動電路中，當供給驅動脈波給電容性負載 C_p 時，讓電源回復電流於脈波之上升期間係經由線圈LA流動，以及於脈波之下降期間係經由線圈LB流動，藉此減少開關SW1及SW2之切換電力損耗。當第17圖所示電容性負載驅動電路用來驅動電漿顯示器裝置時，以簡單電路可降低驅動電路之耗電量。

第19至22圖為電路圖，顯示根據本發明之電容性負載驅動電路之第五至第八具體例，各自顯示第17圖之電路之特定組配結構範例。

由比較第19圖至第22圖與第17圖顯然易知，於根據第五至第八具體例之電容性負載驅動電路，功率MOSFET用作為開關SW1至SW5。此處，開關SW1、SW2、SW4及SW5各自係由n通道MOS電晶體組成。另一方面，開關SW3包含p通道MOS電晶體SW3P及n通道MOS電晶體SW3N，於該等電晶體附接二極體DSW3P、DSW3N、及D3P、電阻器R3P及電容器C3P。因開關SW3P(p通道MOS電晶體)為主動-低元件，故反相器IN3P設置於驅動開關SW3P之放大電路(173P)前端。根據第19至22圖所示第五至第八具體例之電容性負載驅動電路個別之操作係與前文參照第17圖及第18圖

所述之操作大致相同。

如第19圖所示，於第五具體例之電容性負載驅動電路中，閘極耦合器161、164及165分別用來驅動開關(功率MOSFET)SW1、SW4及SW5，而放大電路172、173P及173N分別用來驅動開關SW2、SW3P及SW3N。此外，於第五具體例之電容性負載驅動電路，閘極耦合器161、164及165及放大電路172、173P及173N前方分別有延遲電路151、154及155及延遲電路152、153P及153N。

此處，先前於第14圖顯示之電路組配結構例如被採用於各個延遲電路151、152、153P、153N、154及155，延遲電路各自獨立調整個別輸入信號Vin1、Vin2、Vin3P、Vin3N、Vin4及Vin5之前緣及後緣，來正確控制對應開關SW1、SW2、SW3P、SW3N、SW4及SW5之切換操作。延遲電路之組配結構非僅限於第4圖所示之組配結構，也可採用第12、15或16圖所示之電路組配結構；此外，也可採用多種其它電路組配結構，包括後文將參照第23圖說明之電路組配結構，其中前緣延遲電路611與後緣延遲電路711係串聯連結。閘極耦合器161、164及165各自係使用一發光元件、一光接收元件、及一放大電路組成，因此即使輸入端與輸出端之參考電壓不同，仍可準確傳輸信號。閘極耦合器161、164及165也分別設置電阻器R161、R164及R165。

藉此方式，根據第五具體例之電容性負載驅動電路，對各個開關SW1、SW2、SW3P、SW3N、SW4及SW5設置延遲電路151、152、153P、153N、154及155，個別輸入信

號Vin1、Vin2、Vin3P、Vin3N、Vin4及Vin5之前緣延遲時間及後緣延遲時間係彼此獨立調整，故可準確設定驅動脈波位相及脈波寬度。

第20圖為電路圖，顯示根據本發明之電容性負載驅動
5 電路之第六具體例。

如第20圖所示，於第六具體例之電容性負載驅動電路，開關SW2及SW4之延遲電路152及154各自係組成為包含一可變電阻器及一電容器之前緣延遲電路。特定言之，各自具有例如第14圖所示之相同組配結構之延遲電路151
10 及155，係設置於個別閘極耦合器161及165前端，閘極耦合器供給驅動脈波給需要以高度準確度設定前緣延遲時間及脈波寬度之開關SW1及SW5；另一方面，前緣延遲電路152a及154a分別係設置於放大電路172及閘極耦合器164前端，放大電路172及閘極耦合器164係供給驅動脈波給需要以高
15 度準確度設定前緣延遲時間之開關SW2及SW4。此處刪除第19圖所示第五具體例之開關SW3P及SW3N之延遲電路153P及153N。

換言之，於第六具體例之電容性負載驅動電路，用於以高度準確度設定前緣延遲時間及脈波寬度之延遲電路
20 151及155、以及用於以高度準確度設定前緣延遲時間之前緣延遲電路152a及154a，係經由限制於第19圖之第五具體例之電容性負載驅動電路要求高度準確度部分而設置；如此比較第五具體例可簡化電路組配結構。此處須了解，延遲電路151及155各自之組態非僅限於第14圖所示組態，以

及前緣延遲電路152a及154a之組態非僅限於第20圖所示組態。

第21圖為電路圖，顯示根據本發明之電容性負載驅動電路之第七具體例。

- 5 經由比較第21圖與第20圖顯然易知，第七具體例之電容性負載驅動電路與前文說明之第六具體例之電容性負載驅動電路之差異在於，放大電路(緩衝電路)172係由閘極耦合器162替換，以及差異在於開關SW1之延遲電路151係由前緣延遲電路151a所替換。當閘極耦合器162係用作為驅動
- 10 開關SW2之驅動電路時，因開關SW1及SW2之驅動電路之組配結構製作為完全相同，故可減少例如當周圍溫度改變時，於驅動電路所出現之輸入/輸出延遲時間之變化量。

第22圖為電路圖，顯示根據本發明之電容性負載驅動電路之第八具體例。

- 15 如由比較第22圖與第20圖顯然易知，第八具體例之電容性負載驅動電路與第六具體例之電容性負載驅動電路之差異在於，開關SW4之前緣延遲電路154a及開關SW5之延遲電路55更進一步被刪除。

- 換言之，於第八具體例之電容性負載驅動電路，要求
- 20 高度準確度部分進一步限於第20圖所示第六具體例之電容性負載驅動電路，以及用於以高度準確度設定前緣延遲時間及脈波寬度之延遲電路151係設置於閘極耦合器161前端，閘極耦合器驅動開關SW1至SW5中於設定前緣延遲時間及脈波寬度時要求最高準確度之開關SW1；而前緣延遲

電路152a係設置於放大電路172前端，放大電路172係驅動設定前緣延遲時間時要求高度準確度之開關SW2。

第八具體例之電容性負載驅動電路例如係用作為電漿顯示器裝置之驅動電路；此處，經由轉開開關SW1，供給正向維持電壓給屬於電容性負載之電漿顯示器面板，以及經由轉開開關SW2，供給負向維持電壓給電漿顯示器面板，讓氣體放電電流流動。

藉此方式，第22圖所示第八具體例之電容性負載驅動電路，比第20圖所示第六具體例之電容性負載驅動電路達成電路組配結構之更進一步簡化。

如前述第19圖至第22圖之具體例顯示，對於第19圖之延遲電路151、152、153P、153N、154及155，經由組合前緣延遲電路及後緣延遲電路組成之一延遲電路、經由組合前緣延遲電路及一脈波寬度調整電路組成之一電路、以及單獨由一前緣延遲電路組成之一電路，例如於使用電容性負載驅動電路作為電漿顯示器裝置之驅動電路時，可根據所需驅動信號之時序準確度、以及容許之電路數量而將該等電路以各種方式組合。

第23圖為電路圖，顯示根據本發明之電容性負載驅動電路之延遲電路之修改例，其中前緣延遲電路611與後緣延遲電路711係串聯連結。

如第23圖所示，前緣延遲電路611包含一可變電阻器(可變電阻元件)101、一電容器(電容元件)102、及一二極體103；以及後緣延遲電路711包含一可變電阻器201、一電容

器202、及一二極體203。此處，於該前緣延遲電路611，可變電阻器101係並聯連結於相對於輸入信號 $V_{in}(V1)$ 為反向取向之二極體103，以及電容器102之一端係連結至可變電阻器101與二極體103間之輸出端連結節點，而電容器102之
5 另一端係連結接地GND。另一方面，於後緣延遲電路711，可變電阻器201係並聯至相對於輸入信號 V_{in} 為正向取向之二極體203，以及電容器202之一端係連結至可變電阻器201與二極體203間之輸出端連結節點，而其另一端係連結接地GND。此處，正極性脈波信號係用作為輸入信號 V_{in} 。

10 藉此方式，對第19至22圖所示本發明之第五至第八具體例之電容性負載驅動電路之延遲電路而言，可採用其中前緣延遲電路與後緣延遲電路係串聯連結之電路組態，以及可採用其中前緣延遲電路與後緣延遲電路係並聯連結之電路組態，如第12圖及第14至16圖所示。

15 前述電容性負載驅動電路之具體例各自當應用於電漿顯示器裝置之維持電路(諸如參照第1圖至第4B圖之說明)時可解決各項問題，諸如當調整維持電路之延遲時間時，可能出現之時間邊際縮小、異常電流發生、以及雜訊疊加等問題。

20 根據本發明，可提供一種電容性負載驅動電路，其係組配成經由減少於使用延遲電路調整延遲時間之情況下可能發生之輸出信號脈波寬度改變之方式，供給適當輸出電壓給該電容性負載。此外，根據本發明，可達成一種電漿顯示器裝置，該裝置可對電漿顯示器面板提供驅動電壓而

不會出現諸如時間邊際縮小、異常電流發生、以及雜訊疊加等問題。

本發明可寬廣應用於電漿顯示器裝置；例如本發明可應用至用作為個人電腦、工作站等之顯示器裝置之電漿顯示器裝置，或用作為掛在牆壁上之平板螢幕電視或廣告等資訊顯示裝置之電漿顯示器裝置。

可未悖離本發明之範圍組構成多個不同之本發明之具體例，但須了解除非如隨附之申請專利範圍定義，本發明非僅囿限於本說明書所述之特定具體例。

10 【圖式簡單說明】

第1圖為概略組態圖，示意顯示可應用本發明之電漿顯示器裝置；

第2圖為略圖，顯示用於驅動第1圖所示電漿顯示器裝置之波形圖；

15 第3圖為概略組態圖，示意顯示可應用本發明之電漿顯示器裝置之另一實施例；

第4A及4B圖為略圖，顯示於第3圖所示電漿顯示器裝置，於維持放電期間所施加之驅動波形圖；

第5圖為電路圖，顯示先前技術之電漿顯示器裝置使用
20 之維持電路之一實施例；

第6圖為電路圖，顯示第5圖所示維持電路之延遲電路之一實施例；

第7A、7B、7C及7D圖為略圖，說明於先前技術之維持電路之放大電路，臨限值電壓與輸出脈波寬度間之關係；

第8A、8B及8C圖為略圖，說明於先前技術之維持電路，延遲時間與輸出脈波寬度間之關係；

第9圖為略圖，顯示於先前技術之維持電路，當輸出脈波寬度為大時之操作波形圖；

5 第10圖為略圖，顯示於先前技術之維持電路，當輸出脈波寬度為小時之操作波形圖；

第11圖為方塊電路圖，顯示根據本發明之電容性負載驅動電路之一實施例之概略組態；

10 第12圖為電路圖，顯示根據本發明之電容性負載驅動電路之第一具體例之主要部分；

第13圖為略圖，說明第12圖所示電容性負載驅動電路之操作；

第14圖為電路圖，顯示根據本發明之電容性負載驅動電路之第二具體例之主要部分；

15 第15圖為電路圖，顯示根據本發明之電容性負載驅動電路之第三具體例之主要部分；

第16圖為電路圖，顯示根據本發明之電容性負載驅動電路之第四具體例之主要部分；

20 第17圖為電路圖，示意顯示根據本發明之電容性負載驅動電路之另一實施例之概略組態；

第18圖為略圖，說明第17圖所示電容性負載驅動電路之操作；

第19圖為電路圖，顯示根據本發明之電容性負載驅動電路之第五具體例；

第20圖為電路圖，顯示根據本發明之電容性負載驅動電路之第六具體例；

第21圖為電路圖，顯示根據本發明之電容性負載驅動電路之第七具體例；

5 第22圖為電路圖，顯示根據本發明之電容性負載驅動電路之第八具體例；以及

第23圖為電路圖，顯示根據本發明之電容性負載驅動電路之修改例。

【主要元件符號說明】

10...PDP，電漿顯示器面板	36...二極體
11...第一電極、X電極	37、40...切換元件
12...第二電極、Y電極	38、41...放大電路
13...定址電極	39...電容器
14...掃描電極	42...二極體
15...掃描信號產生電路	43...線圈
16...開關	51、52...延遲電路
17...定址驅動器	53、54...延遲電路
18...X維持電路	101、201...可變電阻器
19...Y維持電路	102、202...電容器
20...驅動控制電路	103、203...二極體
21...影像信號處理電路	151-155...延遲電路
31、33...切換元件	152a、154a...前緣延遲電路
32、34...放大電路	161-165...閘極耦合器
35...線圈	172、173P、173N...放大電路

611、651-654...前緣延遲電路	SW1-5...開關
711、751-754...後緣延遲電路	T1-2...延遲時間
AND1...及閘	TM1-2...時間邊際
CA1-2...電容器	Twin...輸入信號之脈波寬度
Cp...驅動電容器、電容性負載	Two...輸出信號之脈波寬度
DA、DB...二極體	Vin(V1)...輸入信號(輸入電壓)
LA、LB...線圈	Vo...輸出信號(輸出電壓)
MA1-2...非反相緩衝電路	Vrc...連結節點電壓
RA1-2...電阻器	Vth...臨限值電壓

五、中文發明摘要：

一種電容性負載驅動電路其具有一輸入端；一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；一後緣延遲電路，其係延遲該輸入信號後緣；一放大電路，其係放大經由該前緣延遲電路及該後緣延遲電路所得之驅動控制信號；以及一輸出切換裝置，其係經由該放大電路所驅動。該前緣延遲電路包括一第一時間常數電路，其具有一第一電阻器及一第一電容器；該後緣延遲電路包括一第二時間常數電路，其具有一第二電阻器及一第二電容器；以及該驅動控制信號係經由一信號組合電路所產生，其係組合該第一時間常數電路之輸出信號與該第二時間常數電路之輸出信號。

六、英文發明摘要：

A capacitive load driving circuit has an input terminal, a front-edge delay circuit delaying a front edge of an input signal input via the input terminal, a back-edge delay circuit delaying a back edge of the input signal, an amplifying circuit amplifying a drive control signal obtained through the front-edge delay circuit and the back-edge delay circuit, and an output switch device which is driven by the amplifying circuit. The front-edge delay circuit includes a first time-constant circuit having a first resistor and a first capacitor, the back-edge delay circuit includes a second time-constant circuit having a second resistor and a second capacitor, and the drive control signal is generated by a signal combining circuit which combines an output signal of the first-time constant circuit with an output signal of the second-time constant circuit.

十、申請專利範圍：

1. 一種電容性負載驅動電路，包含：

一輸入端；

5 一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；

一後緣延遲電路，其係延遲該輸入信號後緣；

一放大電路，其係放大經由該前緣延遲電路及該後緣延遲電路所得之驅動控制信號；以及

10 一輸出切換裝置，其係經由該放大電路所驅動，其中該前緣延遲電路包括一第一時間常數電路，其包含一第一電阻器及一第一電容器；

該後緣延遲電路包括一第二時間常數電路，其包含一第二電阻器及一第二電容器；以及

15 該驅動控制信號係經由一信號組合電路所產生，其係組合該第一時間常數電路之輸出信號與該第二時間常數電路之輸出信號。

2. 如申請專利範圍第1項之電容性負載驅動電路，其中一緩衝電路可設置於第一時間常數電路及第二時間常數電路之任一者或二者個別之前端。

20 3. 如申請專利範圍第1項之電容性負載驅動電路，其中該信號組合電路為一及閘。

4. 如申請專利範圍第1項之電容性負載驅動電路，其中該前緣之延遲時間可經由調整第一時間常數電路之第一電阻器值而調整；後緣之延遲時間可經由調整第二時間

常數電路之第二電阻器值而調整。

5. 如申請專利範圍第1項之電容性負載驅動電路，其中該前緣之延遲時間可經由調整第一時間常數電路之第一電容器值而調整；後緣之延遲時間可經由調整第二時間常數電路之第二電容器值而調整。

6. 一種用於矩陣定址平板顯示器裝置之電容性負載驅動電路，該電路施加载明之電壓至形成一顯示器元件之一電容性負載，該驅動電路包含：

一第一信號線，其供給一第一電位給該電容性負載之一端；

一第一切換元件，其供給該第一電位至該第一信號線；

一第一驅動電路，其驅動該第一切換元件；

一第二切換元件，其供給一第二電位至該第一信號線；

一第二驅動電路，其驅動該第二切換元件；

一第二信號線，其供給一第三電位至該電容性負載之一端，該第三電位係與該第一電位不同；

一第一電容器連結於該第一信號線與該第二信號線間，且可供給比第一電位及第二電位更低之電位給第一信號線；

一第三切換元件，其供給該第二電位給該第二信號線；

一第三驅動電路，其驅動該第三切換元件；

一第四切換元件，其連結該第一信號線至該電容性負載之一端；

一第四驅動電路，其係驅動該第四切換元件；

5 一第五切換元件，其係連結該第二信號線至該電容性負載之一端；

一第五驅動電路，其係驅動該第五切換元件；以及

一線圈電路，其係連結於該第一信號線及第二信號線中之至少一者與供給第二電位之一電源線間，其中該電容性負載驅動電路進一步包括，於該第一驅動電路至
10 第五驅動電路之一之前端，

一輸入端；

一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；以及

一後緣延遲電路，其係延遲該輸入信號後緣。

15 7. 如申請專利範圍第6項之電容性負載驅動電路，其中該輸入端、該延遲經由輸入端輸入之輸入信號前緣之前緣延遲電路、以及該延遲輸入信號後緣之後緣延遲電路可設置於第一驅動電路之前端。

8. 如申請專利範圍第7項之電容性負載驅動電路，其中該
20 電容性負載驅動電路進一步於該第二驅動電路之前端包括，

一輸入端，以及

一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路。

9. 如申請專利範圍第7項之電容性負載驅動電路，其中該電容性負載驅動電路進一步於該第五驅動電路之前端包括，

一輸入端，以及

5 一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路，以及

也包括於該第二驅動電路及第四驅動電路各自之前端，

一輸入端，以及

10 一延遲經由該輸入端輸入之輸入信號前緣之前緣延遲電路。

10. 如申請專利範圍第6項之電容性負載驅動電路，其中該第三切換元件可包含一電流輸出元件及一電流輸入元件；以及該第三驅動電路可包含一電流輸出元件驅動電路其係驅動該電流輸出元件，以及包含一電流輸入元件
15 驅動電路其係驅動該電流輸入元件。

11. 如申請專利範圍第10項之電容性負載驅動電路，其中該電流輸出元件可為P通道功率MOSFET，以及電流輸入元件可為N通道功率MOSFET或IGBT。

20 12. 如申請專利範圍第11項之電容性負載驅動電路，其中該延遲欲供給該電流輸出元件驅動電路之驅動信號前緣之前緣延遲電路、以及延遲欲供給該電流輸出元件驅動電路之驅動信號後緣之後緣延遲電路可設置於該電流輸出元件驅動電路之前端。

13. 如申請專利範圍第11項之電容性負載驅動電路，其中該
延遲欲供給對應之驅動電路之驅動信號前緣之前緣延
遲電路、以及延遲欲供給對應驅動電路之驅動信號後緣
之後緣延遲電路可設置於該第一驅動電路、第二驅動電
5 路、第四驅動電路、第五驅動電路、電流輸出元件驅動
電路、及電流輸入元件驅動電路各自之前端。

14. 如申請專利範圍第6項之電容性負載驅動電路，其中，
該前緣延遲電路可包括一第一時間常數電路，其包
含一第一電阻器及一第一電容器；

10 該後緣延遲電路包括一第二時間常數電路，其包含
一第二電阻器及一第二電容器；以及

欲供給第一驅動電路至第五驅動電路之驅動控制
信號各自係經由一信號組合電路而產生，該信號組合電
路係組合第一時間常數電路之輸出信號與第二時間常
15 數電路之輸出信號。

15. 如申請專利範圍第14項之電容性負載驅動電路，其中一
緩衝電路可設置於第一時間常數電路及第二時間常數
電路之任一者或二者個別之前端。

16. 如申請專利範圍第14項之電容性負載驅動電路，其中該
20 信號組合電路為一及閘。

17. 如申請專利範圍第14項之電容性負載驅動電路，其中該
前緣之延遲時間可經由調整第一時間常數電路之第一
電阻器值而調整；後緣之延遲時間可經由調整第二時間
常數電路之第二電阻器值而調整。

18. 如申請專利範圍第14項之電容性負載驅動電路，其中該前緣之延遲時間可經由調整第一時間常數電路之第一電容器值而調整；後緣之延遲時間可經由調整第二時間常數電路之第二電容器值而調整。

5 19. 如申請專利範圍第6項之電容性負載驅動電路，其中一閘極耦合器係經由使用一發光元件、一光接收元件、以及一放大電路組成，該閘極耦合器可用於第一驅動電路至第五驅動電路中之至少一者。

10 20. 如申請專利範圍第19項之電容性負載驅動電路，其中該閘極耦合器可個別用於第四驅動電路及第五驅動電路。

21. 如申請專利範圍第19項之電容性負載驅動電路，其中該閘極耦合器可個別用於第一驅動電路、第二驅動電路、第四驅動電路及第五驅動電路。

22. 一種電漿顯示器裝置，包含：

15 多個X電極；

多個Y電極，Y電極係實質上平行於該多個X電極排列，且介於多個Y電極與多個X電極間產生放電；

一X電極驅動電路，其係施加放電電壓至該多個X電極；以及

20 一Y電極驅動電路，其係施加放電電壓至該多個Y電極，以及其中：

該X電極驅動電路或該Y電極驅動電路係使用電容性負載驅動電路組成，其中該電容性負載驅動電路包含：

一輸入端；

一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；

一後緣延遲電路，其係延遲該輸入信號後緣；

一放大電路，其係放大經由該前緣延遲電路及該後緣延遲電路所得之驅動控制信號；以及

一輸出切換裝置，其係經由該放大電路所驅動，其中

該前緣延遲電路包括一第一時間常數電路，其包含一第一電阻器及一第一電容器；

該後緣延遲電路包括一第二時間常數電路，其包含一第二電阻器及一第二電容器；以及

該驅動控制信號係經由一信號組合電路所產生，其係組合該第一時間常數電路之輸出信號與該第二時間常數電路之輸出信號。

23. 如申請專利範圍第22項之電漿顯示器裝置，其中該電容性負載驅動電路為一維持電路，其係於維持期期間供給維持脈波給一電漿顯示器面板。

24. 如申請專利範圍第22項之電漿顯示器裝置，其中該電容性負載驅動電路為一掃描電路，其係於掃描期期間供給掃描脈波給一電漿顯示器面板。

25. 如申請專利範圍第22項之電漿顯示器裝置，其中該電容性負載驅動電路為一維持/掃描共通電路，其係於維持期期間供給維持脈波給一電漿顯示器面板，以及於一掃描期期間供給掃描脈波給一電漿顯示器面板。

26. 一種電漿顯示器裝置，包含：

多個X電極；

多個Y電極，Y電極係實質上平行於該多個X電極排列，且介於多個Y電極與多個X電極間產生放電；

5 一X電極驅動電路，其係施加放電電壓至該多個X電極；以及

一Y電極驅動電路，其係施加放電電壓至該多個Y電極，以及其中：

10 該X電極驅動電路或該Y電極驅動電路係使用電容性負載驅動電路組成，該驅動電路施加一載明之電壓至形成一顯示器元件之一電容性負載，其中該電容性負載驅動電路包含：

一第一信號線，其供給一第一電位給該電容性負載之一端；

15 一第一切換元件，其供給該第一電位至該第一信號線；

一第一驅動電路，其驅動該第一切換元件；

一第二切換元件，其供給一第二電位至該第一信號線；

一第二驅動電路，其驅動該第二切換元件；

20 一第二信號線，其供給一第三電位至該電容性負載之一端，該第三電位係與該第一電位不同；

一第一電容器連結於該第一信號線與該第二信號線間，且可供給比第一電位及第二電位更低之電位給第一信號線；

一第三切換元件，其供給該第二電位給該第二信號線；

一第三驅動電路，其驅動該第三切換元件；

5 一第四切換元件，其連結該第一信號線至該電容性負載之一端；

一第四驅動電路，其係驅動該第四切換元件；

一第五切換元件，其係連結該第二信號線至該電容性負載之一端；

一第五驅動電路，其係驅動該第五切換元件；以及

10 一線圈電路，其係連結於該第一信號線及第二信號線中之至少一者與供給第二電位之一電源線間，其中該電容性負載驅動電路進一步包括，於該第一驅動電路至第五驅動電路之一之前端，

一輸入端；

15 一前緣延遲電路，其延遲經由該輸入端輸入之一輸入信號前緣；以及

一後緣延遲電路，其係延遲該輸入信號後緣。

27. 如申請專利範圍第26項之電漿顯示器裝置，其中該電容性負載驅動電路為一維持電路，其係於維持期期間供給維持脈波給一電漿顯示器面板。

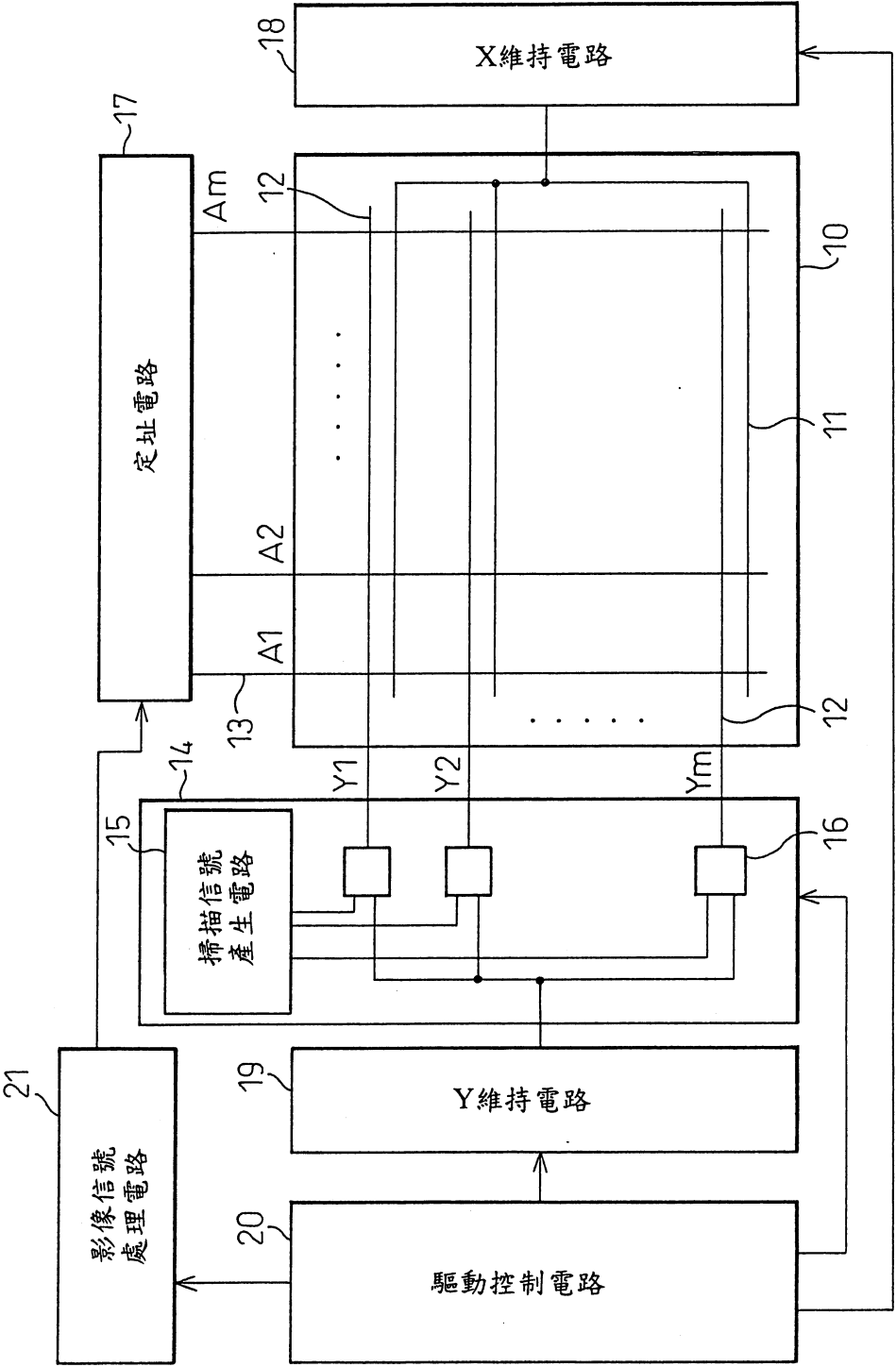
20

28. 如申請專利範圍第26項之電漿顯示器裝置，其中該電容性負載驅動電路為一掃描電路，其係於掃描期期間供給掃描脈波給一電漿顯示器面板。

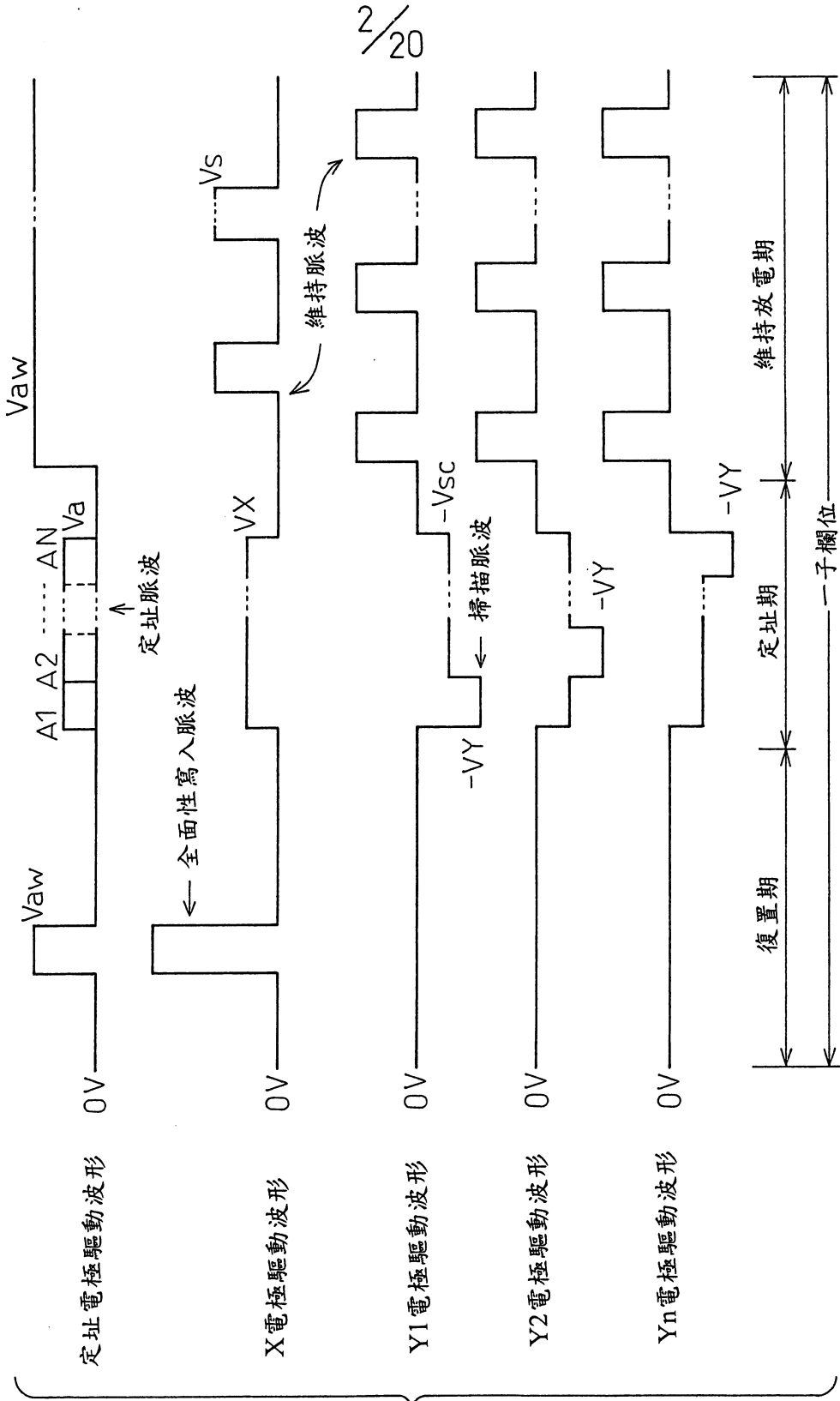
29. 如申請專利範圍第26項之電漿顯示器裝置，其中該電容

性負載驅動電路為一維持/掃描共通電路，其係於維持期期間供給維持脈波給一電漿顯示器面板，以及於一掃描期期間供給掃描脈波給一電漿顯示器面板。

第 1 圖

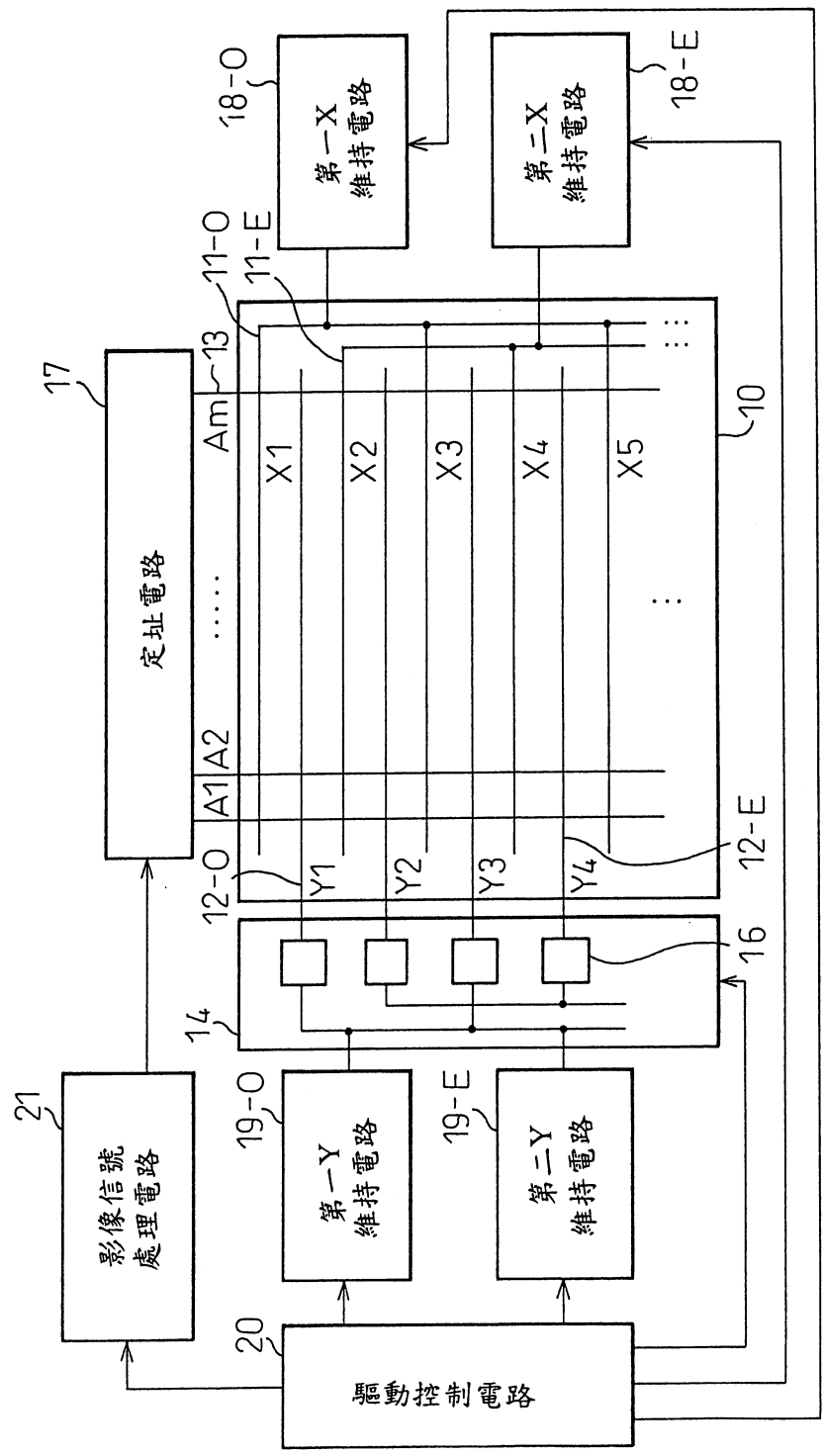


驅動PDP裝置之波形圖

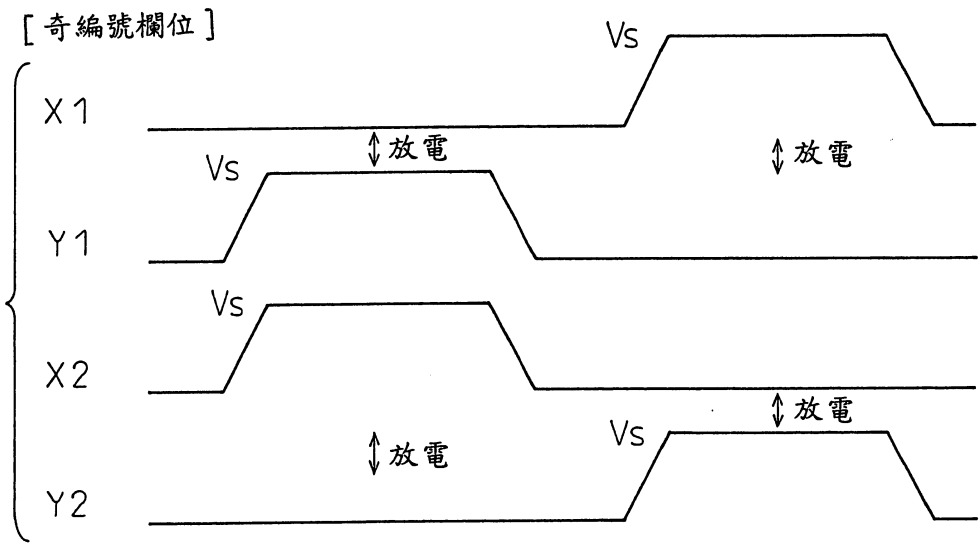


第 2 圖

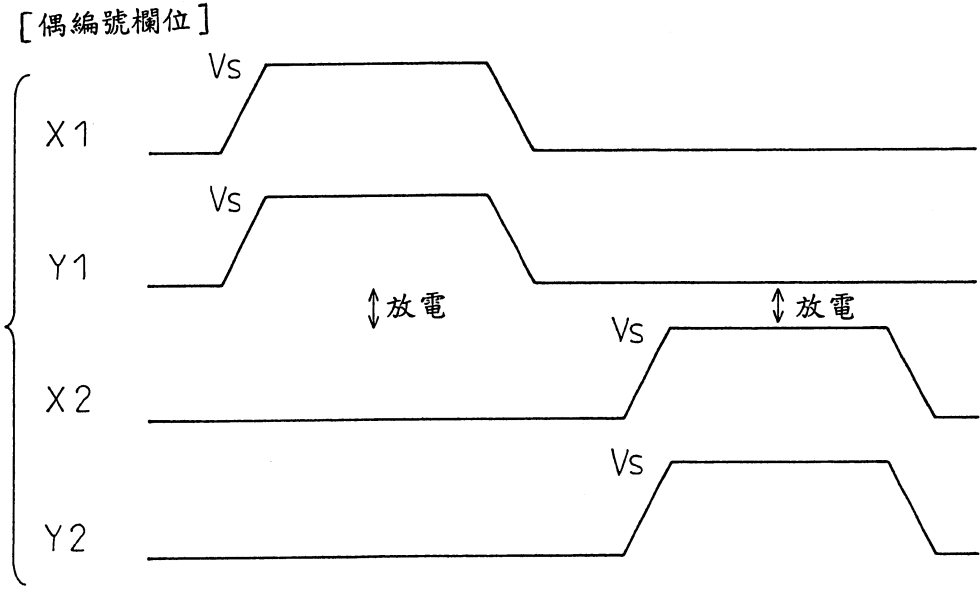
第 3 圖



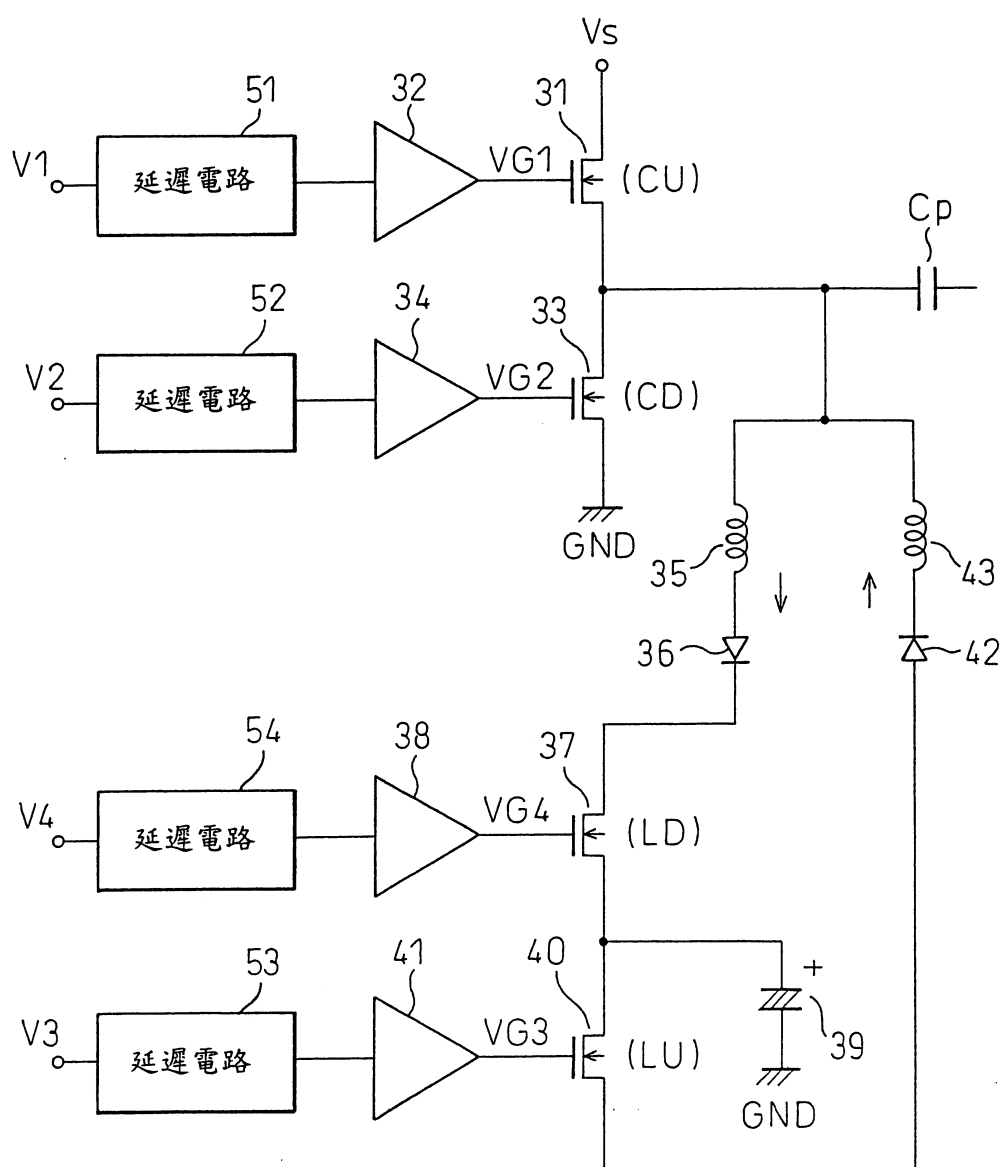
第 4A 圖



第 4B 圖

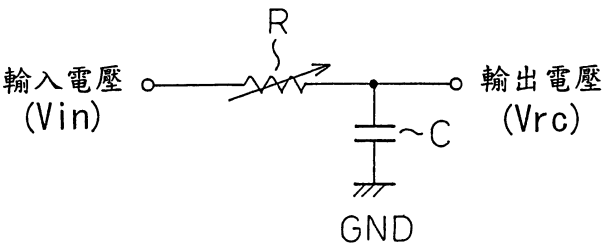


第 5 圖

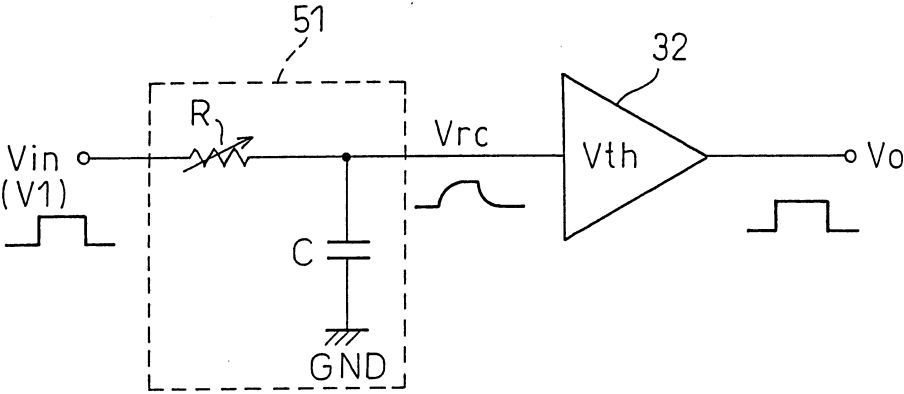


第 6 圖

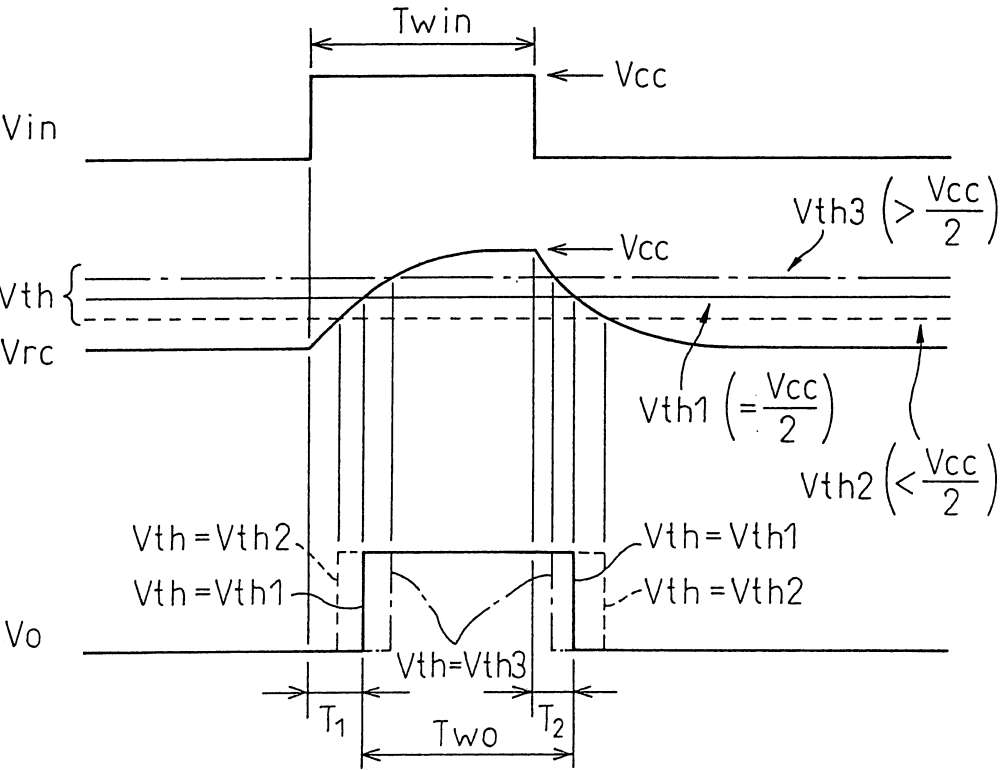
51 (52~53)



第 7A 圖



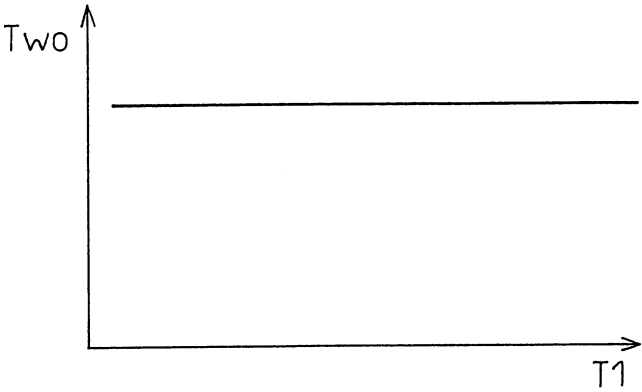
第 7B 圖



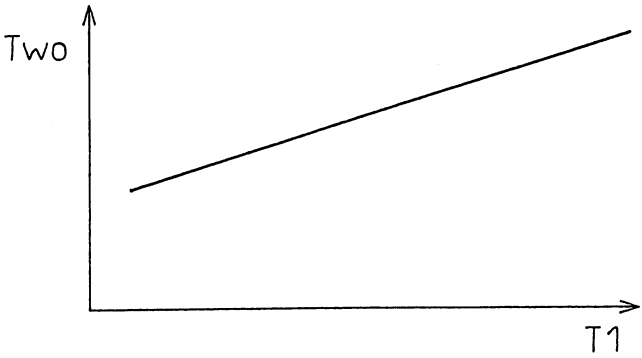
第 7D 圖

8/20

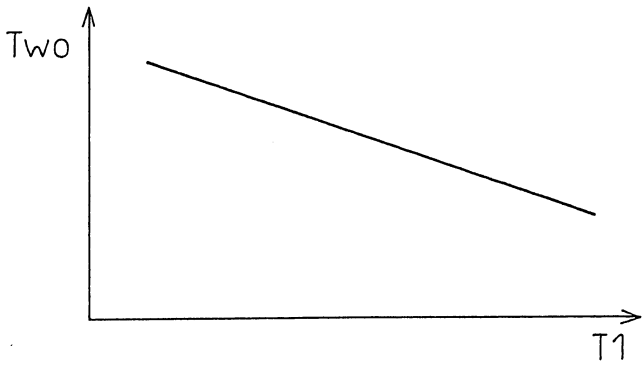
第 8A 圖



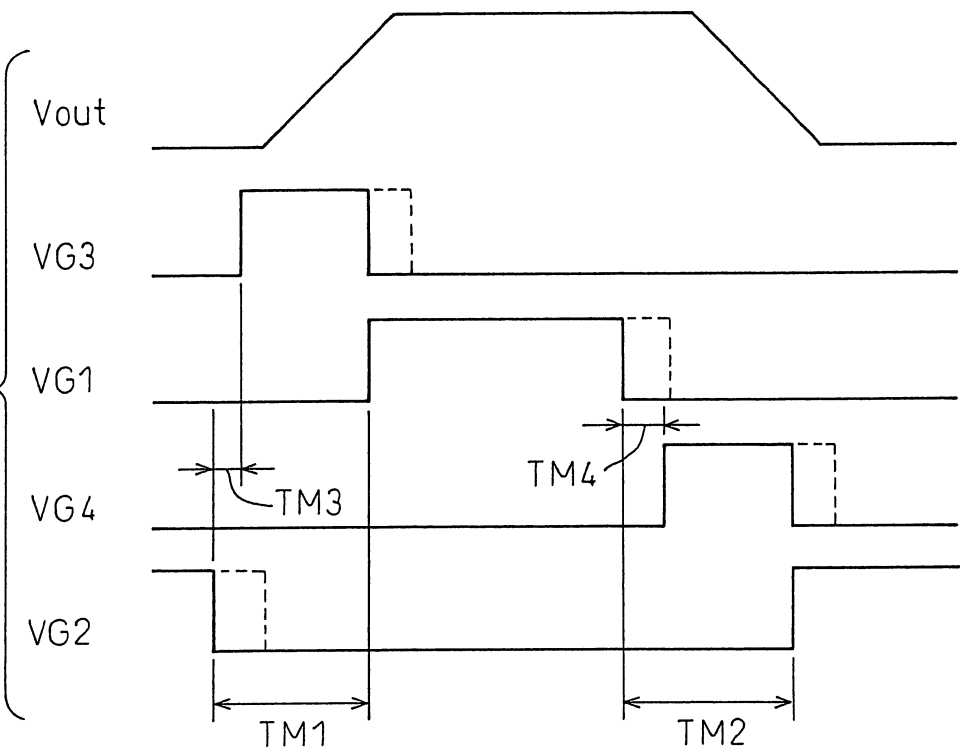
第 8B 圖



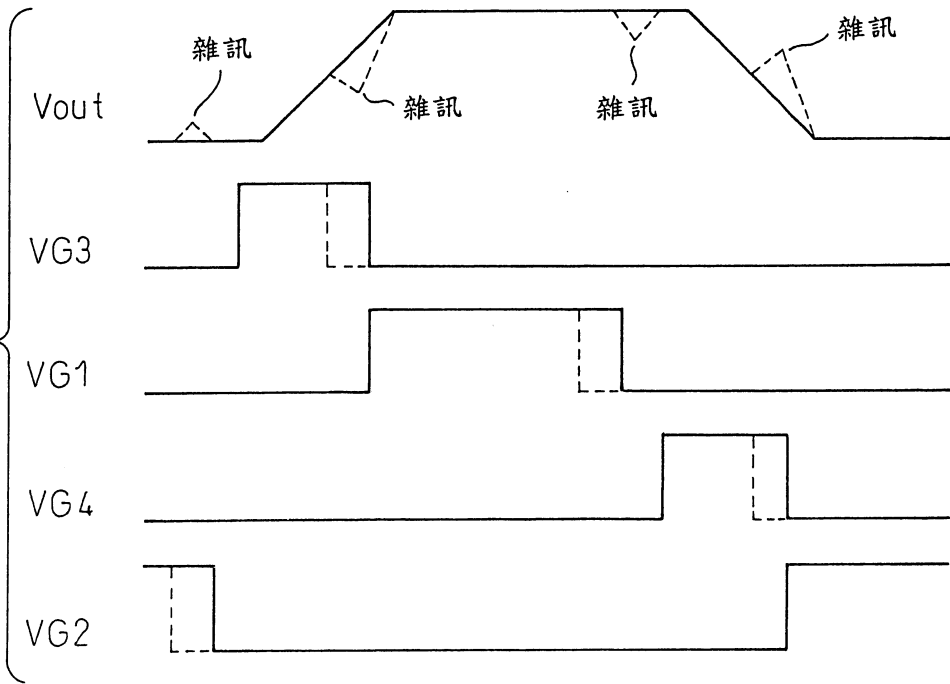
第 8C 圖



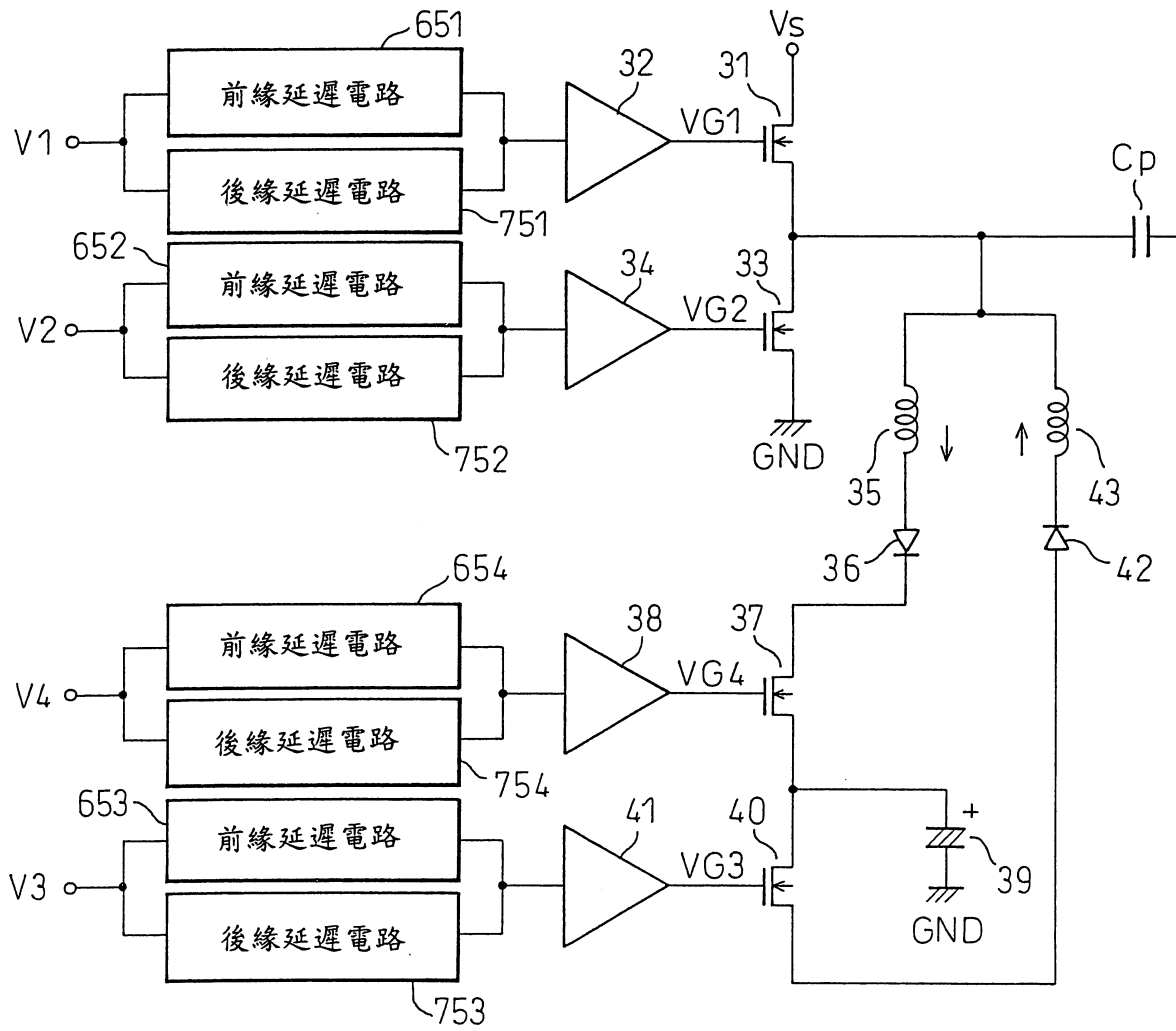
第 9 圖



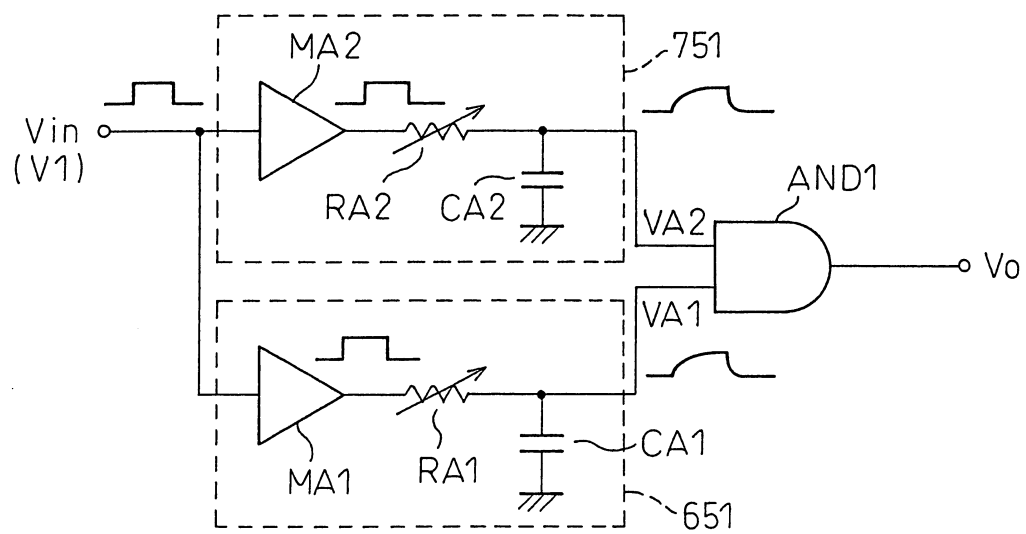
第 10 圖

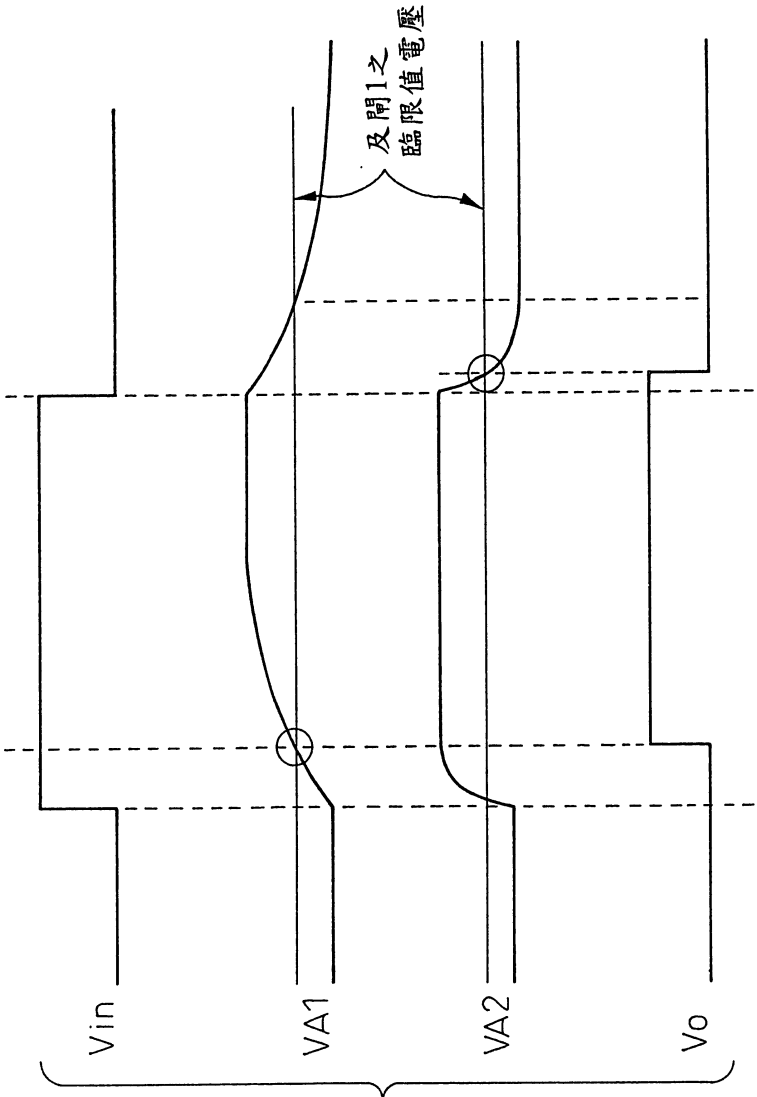


第 11 圖



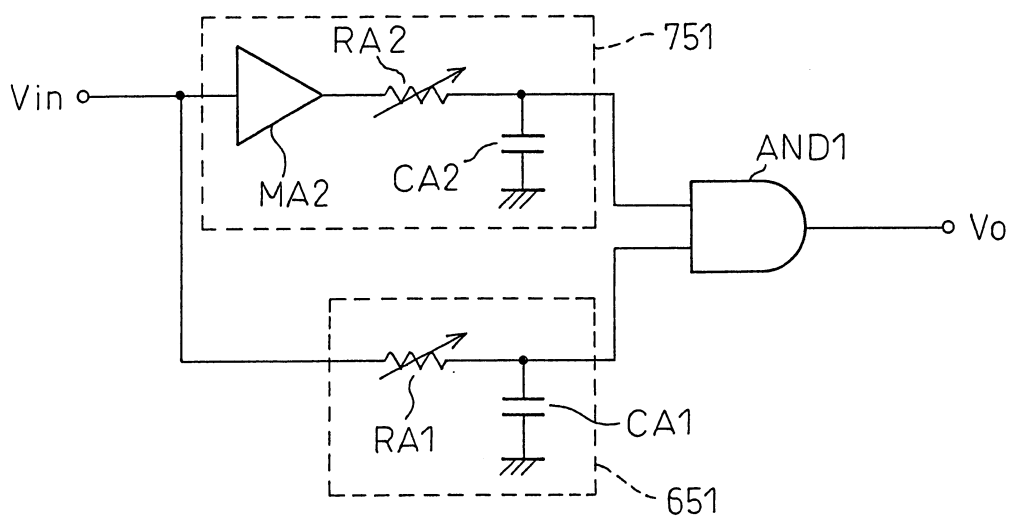
第 12 圖



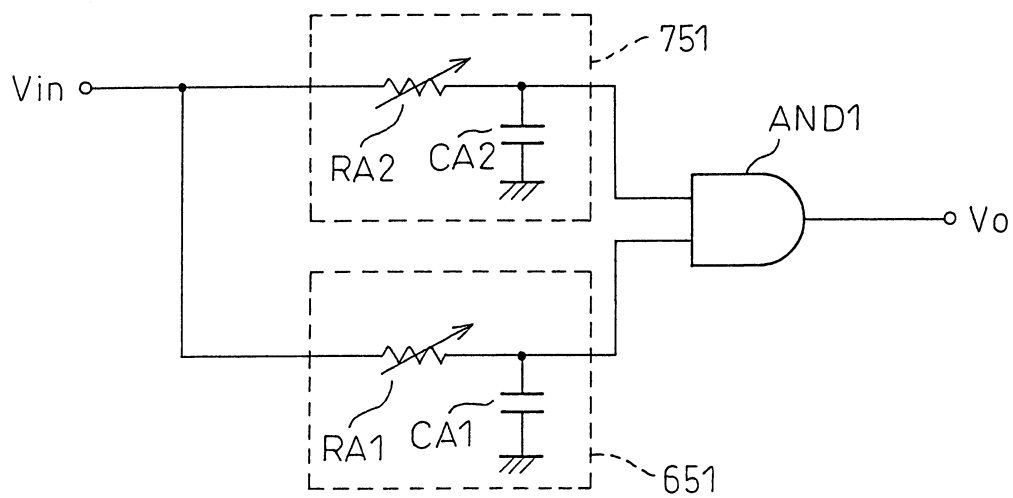


第 13 圖

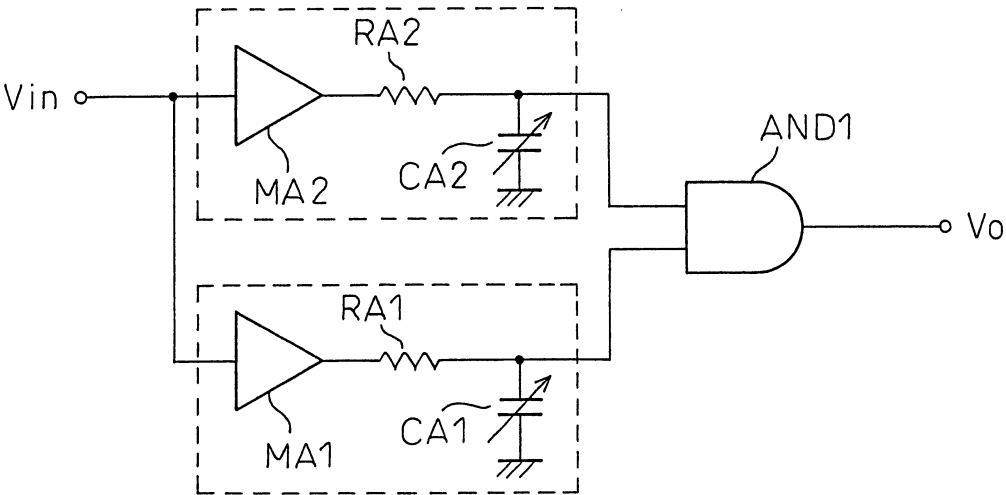
第 14 圖



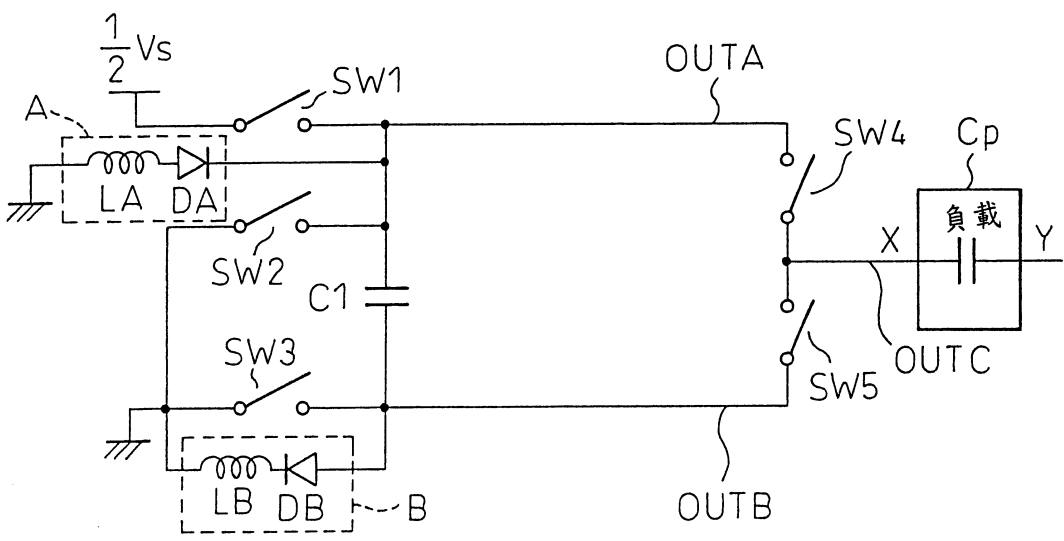
第 15 圖

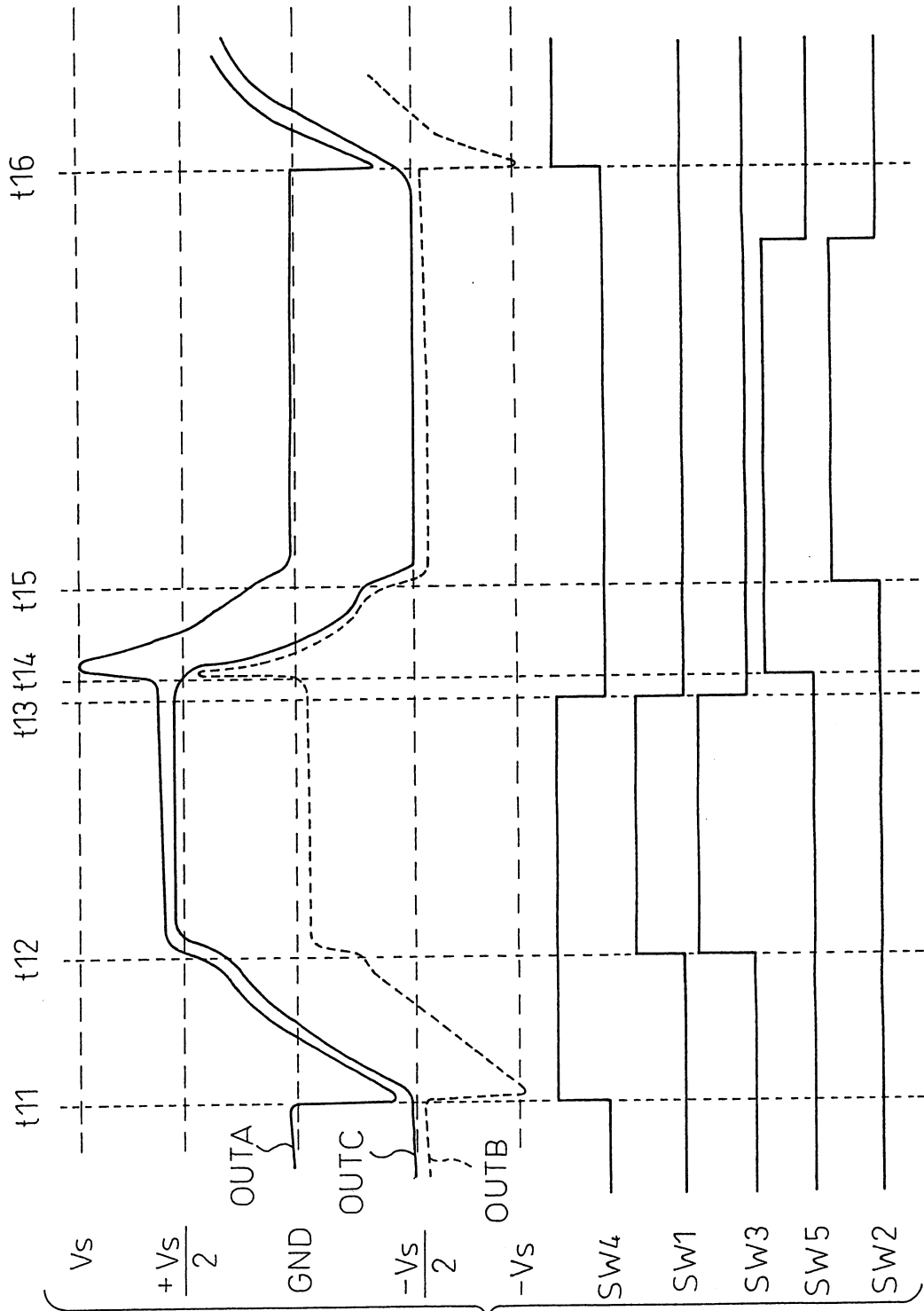


第 16 圖



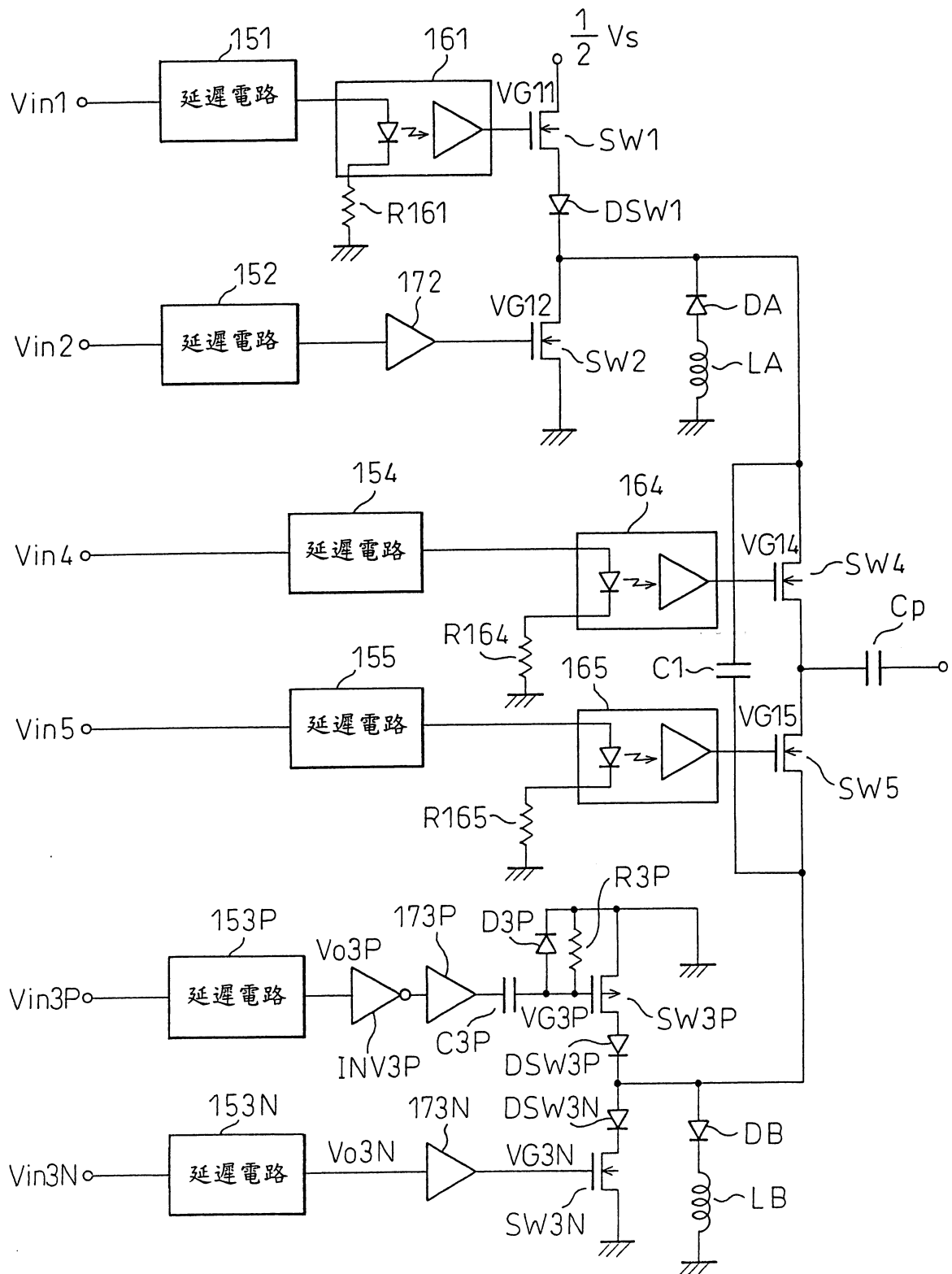
第 17 圖



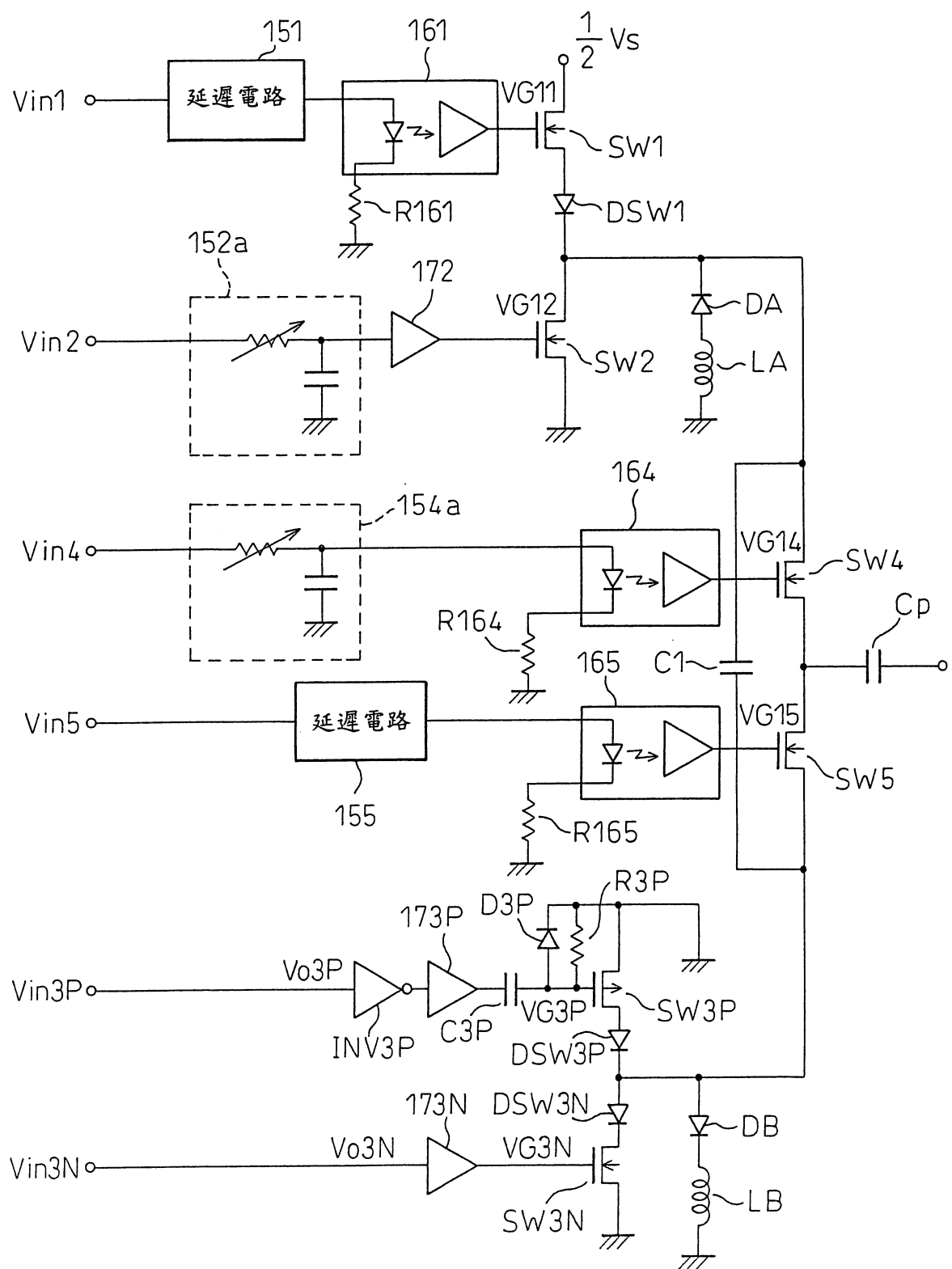


第 18 圖

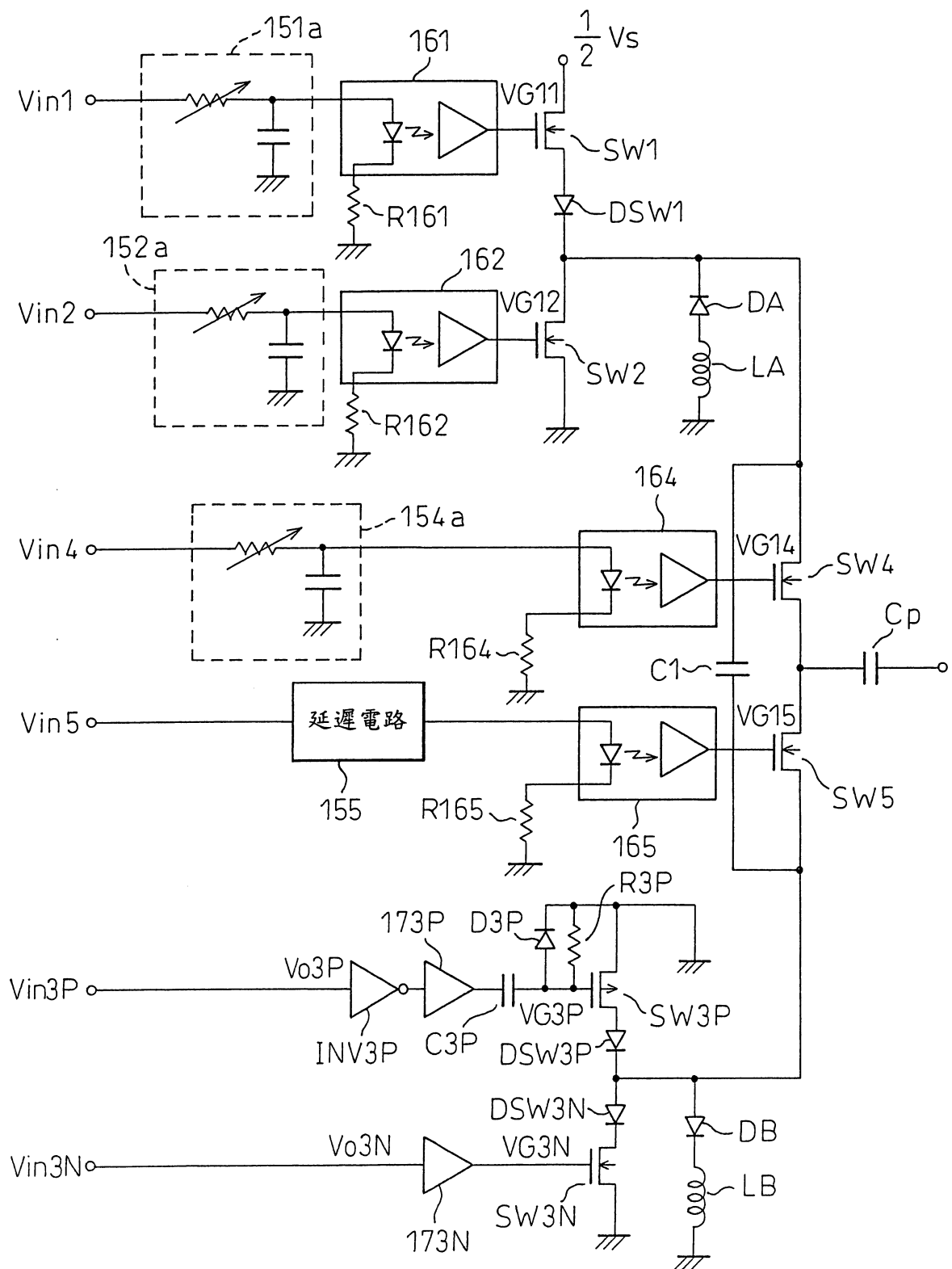
第 19 圖



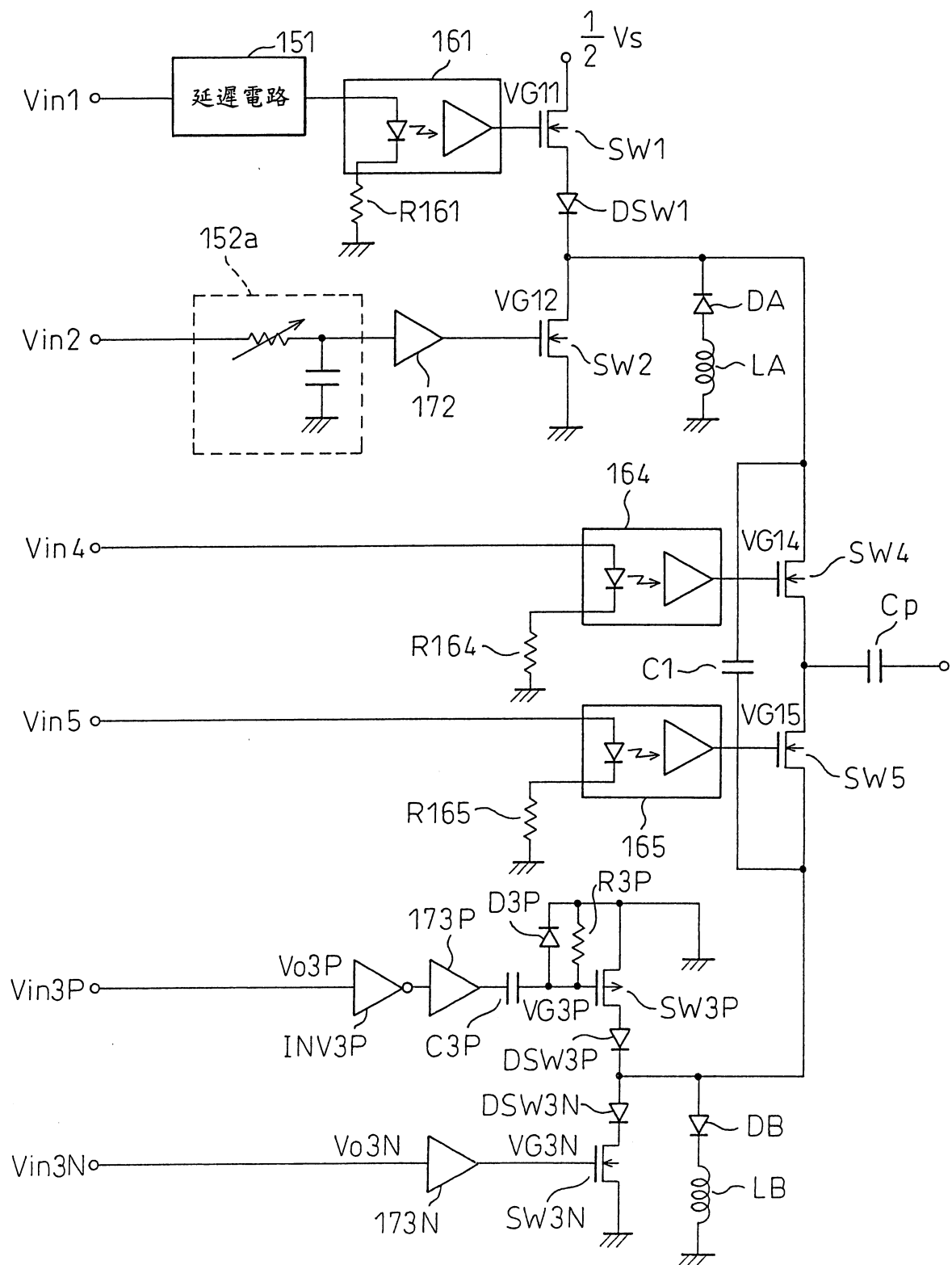
第 20 圖



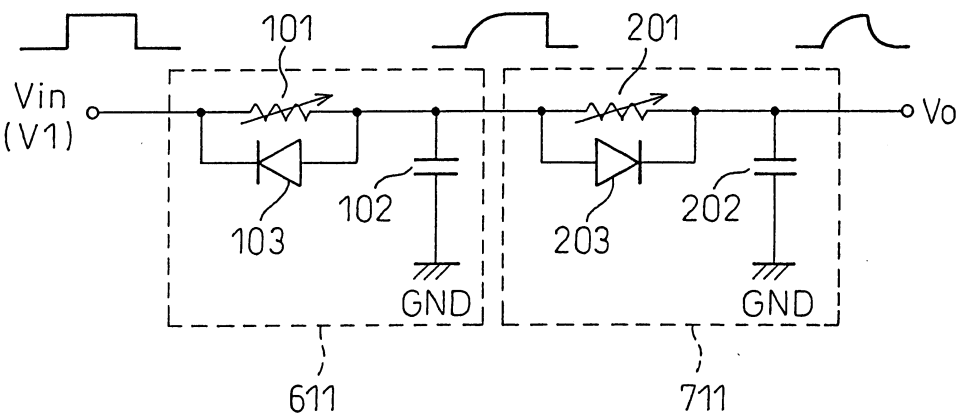
第 21 圖



第 22 圖



第 23 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

651...前緣延遲電路

751...後緣延遲電路

AND1...及閘

CA1-2...電容器

MA1-2...非反相緩衝電路

RA1-2...電阻器

Vin(V1)...輸入信號(輸入電壓)

Vo...輸出信號(輸出電壓)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：