

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-290874
(P2009-290874A)

(43) 公開日 平成21年12月10日(2009.12.10)

(51) Int.Cl.
H04J 11/00 (2006.01)

F I
H04J 11/00

テーマコード(参考)
5K022

審査請求 未請求 請求項の数 14 O L (全 27 頁)

(21) 出願番号 特願2009-131110 (P2009-131110)
(22) 出願日 平成21年5月29日(2009.5.29)
(31) 優先権主張番号 0809910.3
(32) 優先日 平成20年5月30日(2008.5.30)
(33) 優先権主張国 英国(GB)

(71) 出願人 593081408
ソニー・ユナイテッド・キングダム・リミ
テッド
Sony United Kingdom
Limited
イギリス国 サリー, ウェーブブリッジ, ブ
ルックランズ, ザ ハイツ (番地なし)
(74) 代理人 100104215
弁理士 大森 純一
(74) 代理人 100117330
弁理士 折居 章
(72) 発明者 サミュエル アサンベン アツングシリ
イギリス ハンプシャー ベイジングスト
ーク シモンズウォーク 13

最終頁に続く

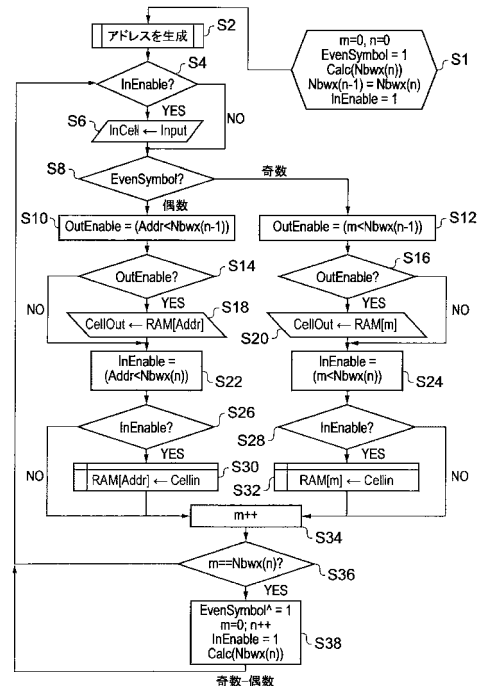
(54) 【発明の名称】 データ処理装置及びデータ処理方法

(57) 【要約】 (修正有)

【課題】連続したOFDMシンボル間でサブキャリアの数の変化に対処し、且つ必要なインターバメモリの量を最小にする。

【解決手段】送信すべき入力データシンボルを第1のセットと第2のセットに分割し、偶数インターバ処理において、第1のセットを、インターバメモリから偶数OFDMシンボルのサブキャリア信号に読み出し、第2のセットを、インターバメモリに書き込む。また、奇数インターバ処理において、第1のセットを、インターバメモリから奇数OFDMシンボルのサブキャリア信号に読み出し、第2のセットを、インターバメモリに書き込む。前回と現在のOFDMシンボルで利用可能なサブキャリアの数が異なるため、第1のセットを読み出す前に、読み出しアドレスが前のOFDMシンボルに対して有効であるか否かを判定し、第2のセットを書き込む前に、書き込みアドレスが現在のOFDMシンボルに対して有効であるか否かを判定する。

【選択図】図7



【特許請求の範囲】**【請求項 1】**

第 1 のセットの入力データシンボルと第 2 のセットの入力データシンボルとを有する、送信すべき入力データシンボルを、直交周波数分割多重 (Orthogonal Frequency Division Multiplexed: OFDM) シンボルの、複数の動作モードのうちの 1 つに従って規定される所定の数のサブキャリア信号にマッピングするデータ処理装置であって、

アドレス生成部と、

インタリーブメモリと、

制御部とを具備し、

前記制御部は、

偶数インタリーブ処理において、

前記第 1 のセットの入力データシンボルを、前記アドレス生成部によって生成された読み出しアドレスを用いて前記インタリーブメモリから偶数 OFDM シンボルの前記サブキャリア信号に読み出し、

前記第 2 のセットの入力データシンボルを、前記アドレス生成部によって生成された書き込みアドレスを用いて前記インタリーブメモリに書き込み、

奇数インタリーブ処理において、

前記第 1 のセットの入力データシンボルを、前記第 1 のセットの並び順に従って決められた読み出しアドレスを用いて前記インタリーブメモリから奇数 OFDM シンボルの前記サブキャリア信号に読み出し、

前記第 2 のセットの入力データシンボルを、前記第 1 のセットの並び順に従って決められた書き込みアドレスを用いて前記インタリーブメモリに書き込み、

前記奇数インタリーブ処理及び偶数インタリーブ処理により、前記第 1 のセットの入力データシンボルが前記インタリーブメモリ内の或る場所から読み出されるとき、前記第 2 のセットの入力データシンボルが当該読み出された場所に書き込まれることが可能となり、

現在の OFDM シンボルの前回の OFDM シンボルにおいて利用可能な前記サブキャリアの数は、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの数と異なり、

前記制御部は、

前記第 1 の入力データシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスが前記前回の OFDM シンボルに対して有効であるか否かを判定し、

前記第 2 の入力データシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスが前記現在の OFDM シンボルに対して有効であるか否かを判定する

データ処理装置。

【請求項 2】

請求項 1 に記載のデータ処理装置であって、

前記インタリーブメモリの最小サイズは、前記複数の動作モードのうち任意の動作モードにおける、前記入力データシンボルの搬送のために利用可能な前記サブキャリアの最大数に応じて定まる

データ処理装置。

【請求項 3】

請求項 1 に記載のデータ処理装置であって、

前記制御部は、

前記第 1 の入力データシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスと、前記前回の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記読み出しアドレスが有効か否かを判定し、前記読み出しアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記読み出しアドレスは有効でないと判定し、当該読み出しアドレスによっては前記第 1 の入力データシンボルの前記インタリーブメモリからの読み出しを行わず、

10

20

30

40

50

前記第 2 の入力データシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスと、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記書き込みアドレスが有効か否かを判定し、前記書き込みアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記書き込みアドレスは有効でないと判定し、当該書き込みアドレスによっては前記第 2 の入力データシンボルの前記インタリーブメモリに対する書き込みを行わない

データ処理装置。

【請求項 4】

第 1 のセットの入力データシンボルと第 2 のセットの入力データシンボルとを有する、送信すべき入力データシンボルを、直交周波数分割多重 (Orthogonal Frequency Division Multiplexed: OFDM) シンボルの、複数の動作モードのうちの 1 つに従って規定される所定の数のサブキャリア信号にマッピングするデータ処理方法であって、

偶数インタリーブ処理において、前記第 1 のセットの入力データシンボルを、アドレス生成部によって生成された読み出しアドレスを用いてインタリーブメモリから偶数 OFDM シンボルの前記サブキャリア信号に読み出し、前記第 2 のセットの入力データシンボルを、前記アドレス生成部によって生成された書き込みアドレスを用いて前記インタリーブメモリに書き込み、

奇数インタリーブ処理において、前記第 1 のセットの入力データシンボルを、前記第 1 のセットの並び順に従って決められた読み出しアドレスを用いて前記インタリーブメモリから奇数 OFDM シンボルの前記サブキャリア信号に読み出し、前記第 2 のセットの入力データシンボルを、前記第 1 のセットの並び順に従って決められた書き込みアドレスを用いて前記インタリーブメモリに書き込み、

前記奇数インタリーブ処理及び偶数インタリーブ処理により、前記第 1 のセットの入力データシンボルが前記インタリーブメモリ内の或る場所から読み出されるとき、前記第 2 のセットの入力データシンボルが当該読み出された場所に書き込まれることが可能となり、

現在の OFDM シンボルの前回の OFDM シンボルにおいて利用可能な前記サブキャリアの数は、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの数と異なり、

前記奇数インタリーブ処理又は前記偶数インタリーブ処理において前記第 1 の入力データシンボルを前記インタリーブメモリから読み出すステップは、前記第 1 の入力データシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスが前記前の OFDM シンボルに対して有効であるか否かを判定するステップを含み、

前記奇数インタリーブ処理又は前記偶数インタリーブ処理において前記第 2 のデータシンボルを前記インタリーブメモリに書き込むステップは、前記第 2 の入力データシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスが前記現在の OFDM シンボルに対して有効であるか否かを判定するステップを含む

データ処理方法。

【請求項 5】

請求項 4 に記載のデータ処理方法であって、

前記インタリーブメモリの最小サイズは、前記複数の動作モードのうち任意の動作モードにおける、前記入力データシンボルの搬送のために利用可能な前記サブキャリアの最大数に応じて定まる

データ処理方法。

【請求項 6】

請求項 4 に記載のデータ処理方法であって、

前記第 1 の入力データシンボルを前記インタリーブメモリから読み出す前に判定するステップは、前記読み出しアドレスと、前記前回の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記読み出しアドレスが有効か否かを判定するステップを含み、前記読み出しアドレスが前記利用可能な前記サブキャリアの最

10

20

30

40

50

大数よりも大きい場合、前記読み出しアドレスは有効でないと判定し、当該読み出しアドレスによっては前記第1の入力データシンボルの前記インタリーブメモリからの読み出しを行わず、

前記第2の入力データシンボルの前記インタリーブメモリに書き込む前に判定するステップは、前記書き込みアドレスと、前記現在のOFDMシンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記書き込みアドレスが有効か否かを判定するステップを含み、前記書き込みアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記書き込みアドレスは有効でないと判定し、当該書き込みアドレスによっては前記第2の入力データシンボルの前記インタリーブメモリに対する書き込みを行わない

10

データ処理方法。

【請求項7】

直交周波数分割多重(Orthogonal Frequency Division Multiplexed: OFDM)シンボルの、複数の動作モードのうちの一つに従って規定される所定の数のサブキャリア信号から受信され、第1のセットのデータシンボルと第2のセットのデータシンボルとに分割されたデータシンボルを、出力データストリームにマッピングするデータ処理装置であって、

アドレス生成部と、
インタリーブメモリと、
制御部とを具備し、
前記制御部は、

20

偶数インタリーブ処理において、

前記第1のセットのデータシンボルを、前記アドレス生成部により生成された読み出しアドレスを用いて前記インタリーブメモリから前記出力データストリームに読み出し、

偶数OFDMシンボルの前記サブキャリア信号から受信した前記第2のセットのデータシンボルを、前記アドレス生成部により生成された書き込みアドレスを用いて前記インタリーブメモリに書き込み、

奇数インタリーブ処理において、

前記第1のセットのデータシンボルを、前記第1のセットの入力データシンボルの並び順に従って決められた読み出しアドレスを用いて前記インタリーブメモリから前記出力データストリームに読み出し、

30

奇数OFDMシンボルの前記サブキャリア信号から受信した前記第2のセットのデータシンボルを、前記第1のセットの入力データシンボルの並び順に従って決められた書き込みアドレスを用いて前記インタリーブメモリに書き込み、

前記奇数インタリーブ処理及び偶数インタリーブ処理により、前記第1のセットのデータシンボルが前記インタリーブメモリ内の或る場所から読み出されるとき、前記第2のセットのデータシンボルが当該読み出された場所に書き込まれることが可能となり、

現在のOFDMシンボルの前回のOFDMシンボルにおいて利用可能な前記サブキャリアの数は、前記現在のOFDMシンボルにおいて利用可能な前記サブキャリアの数と異なり、

40

前記制御部は、

前記第1のデータシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスが前記前回のOFDMシンボルに対して有効であるか否かを判定し、

前記第2のデータシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスが前記現在のOFDMシンボルに対して有効であるか否かを判定する

データ処理装置。

【請求項8】

請求項7に記載のデータ処理装置であって、

前記インタリーブメモリの最小サイズは、前記複数の動作モードのうち任意の動作モードにおける、前記データシンボルの搬送のために利用可能な前記サブキャリアの最大数に

50

応じて定まる

データ処理装置。

【請求項 9】

請求項 7 に記載のデータ処理装置であって、

前記制御部は、

前記第 1 のデータシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスと、前記前の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記読み出しアドレスが有効か否かを判定し、前記読み出しアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記読み出しアドレスは有効でないと判定し、当該読み出しアドレスによっては前記第 1 のデータシンボルの前記インタリーブメモリからの読み出しを行わず、

10

前記第 2 のデータシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスと、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較することにより、前記書き込みアドレスが有効か否かを判定し、前記書き込みアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記書き込みアドレスは有効でないと判定し、当該書き込みアドレスによっては前記第 2 のデータシンボルの前記インタリーブメモリに対する書き込みを行わない

データ処理装置。

【請求項 10】

直交周波数分割多重 (Orthogonal Frequency Division Multiplexed: OFDM) シンボルの、複数の動作モードのうちの一つに従って規定される所定の数のサブキャリア信号から受信され、第 1 のセットのデータシンボルと第 2 のセットのデータシンボルとに分割されたデータシンボルを、出力データストリームにマッピングするデータ処理方法であって、

20

偶数インタリーブ処理において、前記第 1 のセットのデータシンボルを、アドレス生成部によって生成された読み出しアドレスを用いてインタリーブメモリから前記出力データストリームに読み出し、偶数 OFDM シンボルの前記サブキャリア信号から受信した前記第 2 のセットのデータシンボルを、前記アドレス生成部によって生成された書き込みアドレスを用いて前記インタリーブメモリに書き込み、

奇数インタリーブ処理において、前記第 1 のセットのデータシンボルを、前記第 1 のセットの並び順に従って決められた読み出しアドレスを用いて前記インタリーブメモリから奇数 OFDM シンボルの前記サブキャリア信号に読み出し、奇数 OFDM シンボルの前記サブキャリア信号から受信した前記第 2 のセットのデータシンボルを、前記第 1 のセットの並び順に従って決められた書き込みアドレスを用いて前記インタリーブメモリに書き込み、

30

前記奇数インタリーブ処理及び偶数インタリーブ処理により、前記第 1 のセットのデータシンボルが前記インタリーブメモリ内の或る場所から読み出されるとき、前記第 2 のセットのデータシンボルが当該読み出された場所に書き込まれることが可能となり、

現在の OFDM シンボルの前回の OFDM シンボルにおいて利用可能な前記サブキャリアの数は、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの数と異なり、

40

前記奇数インタリーブ処理又は前記偶数インタリーブ処理において前記第 1 のデータシンボルを前記インタリーブメモリから読み出すステップは、前記第 1 のデータシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスが前記前の OFDM シンボルに対して有効であるか否かを判定するステップを含み、

前記奇数インタリーブ処理又は前記偶数インタリーブ処理において前記第 2 のデータシンボルを前記インタリーブメモリに書き込むステップは、前記第 2 のデータシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスが前記現在の OFDM シンボルに対して有効であるか否かを判定するステップを含む

データ処理方法。

50

【請求項 1 1】

請求項 1 0 に記載のデータ処理方法であって、

前記インタリーバメモリの最小サイズは、前記複数の動作モードのうち任意の動作モードにおける、前記データシンボルの搬送のために利用可能な前記サブキャリアの最大数に応じて定まる

データ処理方法。

【請求項 1 2】

請求項 1 0 に記載のデータ処理方法であって、

前記第 1 のデータシンボルを前記インタリーバメモリから読み出す前に、前記読み出しアドレスが前記前回の OFDM シンボルに対して有効であるか否かを判定するステップは、前記読み出しアドレスと、前記前回の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較して、前記読み出しアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記読み出しアドレスは有効でないと判定するステップを含み、当該読み出しアドレスによっては前記第 1 のデータシンボルの前記インタリーバメモリからの読み出しを行わず、

前記第 2 のデータシンボルを前記インタリーバメモリに書き込む前に、前記書き込みアドレスが前記現在の OFDM シンボルに対して有効であるか否かを判定するステップは、前記書き込みアドレスと、前記現在の OFDM シンボルにおいて利用可能な前記サブキャリアの最大数とを比較して、前記書き込みアドレスが前記利用可能な前記サブキャリアの最大数よりも大きい場合、前記書き込みアドレスは有効でないと判定するステップを含み、当該書き込みアドレスによっては前記第 2 のデータシンボルの前記インタリーバメモリに対する書き込みを行わない

データ処理方法。

【請求項 1 3】

請求項 1 に記載のデータ処理装置を具備する送信装置。

【請求項 1 4】

請求項 7 に記載のデータ処理装置を具備する受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力シンボルを、OFDM (Orthogonal Frequency Division Multiplexed: 直交周波数分割多重) シンボルのサブキャリア信号にマッピングするデータ処理装置及びデータ処理方法に関する。

【0002】

本発明はまた、OFDM シンボルの所定の数のサブキャリア信号から受信されたシンボルを、出力シンボルストリームにマッピングするデータ処理装置及びデータ処理方法にも関する。

【0003】

本発明の実施の形態は、OFDM 送信装置 / 受信装置を提供し得る。

【背景技術】

【0004】

DVB-T (Digital Video Broadcasting-Terrestrial) 規格は、直交周波数分割多重 (OFDM) を利用して、ビデオ画像及び音声を表すデータを、放送無線通信信号を介して受信装置に送信する。DVB-T 規格には、2つの周知のモードがあり、これらは 2K モード及び 8K モードとして知られている。2K モードは 2048 のサブキャリアを提供し、一方、8K モードは 8192 のサブキャリアを提供する。同様に、DVB-H (Digital Video Broadcasting-Handheld) 規格には、4K モードが提供され、この 4K モードにおいては、サブキャリアの数は 4096 である。

【0005】

DVB-T 又は DVB-H を用いて送信されるデータの品位を改善するために、入力デ

10

20

30

40

50

ータシンボルがOFDMシンボルのサブキャリア信号にマッピングされるように、入力データシンボルをインタリーブするためのシンボルインタリーバが設けられる。このようなシンボルインタリーバは、アドレス生成部と共に、インタリーバメモリを有する。アドレス生成部は、各入力シンボルについてアドレスを生成する。各アドレスは、データシンボルがマッピングされるOFDMシンボルのサブキャリア信号のうちの1つを示す。2Kモード及び8Kモードの場合、DVB-T規格では、マッピングのためのアドレスを生成する構成が開示されている。同様に、DVB-H規格の4Kモードの場合、マッピングのためのアドレスを生成する構成が提供されており、また、このマッピングを実行するためのアドレス生成部が、下記特許文献1において開示されている。このアドレス生成部は、擬似乱数ビット列を生成する線形フィードバックシフトレジスタと、置換回路とを有する。置換回路は、アドレスを生成するために、線形フィードバックシフトレジスタの保持データの順序を置換する。アドレスは、入力データシンボルをOFDMシンボルのサブキャリアにマッピングするために、インタリーバメモリに格納された入力データシンボルを搬送するためのOFDMサブキャリアのうちの1つを示す情報を提供する。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】欧州特許出願公開第1463256号明細書

【特許文献2】米国特許出願公開第2005/0135493号明細書

【特許文献3】米国特許出願公開第2007/0250742号明細書

20

【非特許文献】

【0007】

【非特許文献1】ETSI発行、"Digital Video Broadcasting (DVB) Framing structure, channel coding and modulation for digital terrestrial television"、ETSI EN 300 744 V1.1.2、1997年8月

【非特許文献2】DVB発行、"Digital Video Broadcasting (DVB) Frame structure, channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2)"; Draft of EN 302 755 V1.1.1、2008年5月

【発明の概要】

【発明が解決しようとする課題】

30

【0008】

DVB-T2として知られる、地上デジタルビデオ放送規格のさらなる発展に従い、データ送信のためのさらなるモードの提案が望まれている。

本発明は、連続したOFDMシンボル間で入力データシンボルを搬送するためのサブキャリアの数の変化に対処し、且つ必要なインタリーバメモリの量を最小にするように、周波数インタリーバを実装することができる構成を提供する。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、データ処理装置が提供される。当該データ処理装置は、第1のセットの入力データシンボルと第2のセットの入力データシンボルとを有する、送信すべき入力データシンボルを、OFDMシンボルの、複数の動作モードのうちの1つに従って規定される所定の数のサブキャリア信号にマッピングする。当該データ処理装置は、アドレス生成部と、インタリーバメモリと、制御部とを具備する。当該制御部は、偶数インタリーブ処理において、前記第1のセットの入力データシンボルを、前記アドレス生成部によって生成された読み出しアドレスを用いて前記インタリーバメモリから偶数OFDMシンボルの前記サブキャリア信号に読み出し、前記第2のセットの入力データシンボルを、前記アドレス生成部によって生成された書き込みアドレスを用いて前記インタリーバメモリに書き込む。また、当該制御部は、奇数インタリーブ処理において、前記第1のセットの入力データシンボルを、前記第1のセットの並び順に従って決められた読み出しアドレスを用いて前記インタリーバメモリから奇数OFDMシンボルの前記サブキャリア信号

40

50

に読み出し、前記第2のセットの入力データシンボルを、前記第1のセットの並び順に従って決められた書き込みアドレスを用いて前記インタリーブメモリに書き込む。前記奇数インタリーブ処理及び偶数インタリーブ処理により、前記第1のセットの入力データシンボルが前記インタリーブメモリ内の或る場所から読み出されるとき、前記第2のセットの入力データシンボルが当該読み出された場所に書き込まれることが可能となる。現在のOFDMシンボルの前回のOFDMシンボルにおいて利用可能な前記サブキャリアの数は、前記現在のOFDMシンボルにおいて利用可能な前記サブキャリアの数と異なる。前記制御部は、前記第1の入力データシンボルを前記インタリーブメモリから読み出す前に、前記読み出しアドレスが前記前のOFDMシンボルに対して有効であるか否かを判定し、前記第2の入力データシンボルを前記インタリーブメモリに書き込む前に、前記書き込みアドレスが前記現在のOFDMシンボルに対して有効であるか否かを判定する。

10

【0010】

DVB-T/H(非特許文献1参照)及びDVB-T2(非特許文献2参照)に用いられるOFDM等のマルチキャリア変調システムにおいて、特に周波数選択性チャンネルにおける周波数ダイバシティを提供するために、周波数インタリーブ又はシンボルインタリーブが用いられる。双方のシステムにおいて、周波数インタリーブは、奇数シンボルと偶数シンボルとで異なる動作をする。簡潔に説明すると、奇数シンボルインタリーブ及び偶数シンボルインタリーブは、インタリーブのために用いられるメモリの量を最小のように相補的に動作するので、メモリの量を最小にすることができる。DVB-T/Hは1種類のみ OFDMシンボルを有するのに対し、DVB-T2は少なくとも3種類のOFDMシンボルを有する。結果として、DVB-T/Hにおいては、インタリーブに入力されるデータサブキャリアのベクトル長は固定であるのに対し、DVB-T2においては、入力ベクトル長はOFDMシンボルの種類に応じて変化する。

20

【0011】

本発明の実施形態は、連続したOFDMシンボル間で入力データシンボルを搬送するためのサブキャリアの数の変化に対処し、且つ必要なインタリーブメモリの量を最小にするように、周波数インタリーブを実装することができる構成を提供する。この周波数インタリーブは、複数の異なる動作モードにおいて用いることができ、複数の動作モードのうちのいずれか1つにおいて通信を行うために必要とされる。例えば、DVB-T2規格に従う動作モードには、1K、2K、4K、8K、16K及び32Kモード等がある。インタリーブメモリから第1の入力データシンボルを読み出す前に、読み出しアドレスが前回のOFDMシンボルに対して有効であるか否かを判定し、インタリーブメモリに第2の入力データシンボルを書き込む前に、書き込みアドレスが現在のOFDMシンボルに対して有効であるか否かを判定することにより、インタリーブメモリのサイズを最小にすることができる。この最小量は、複数の動作モードのうちのいずれかのモードのOFDMシンボルにおいて利用可能なサブキャリアの最大数に対応する。サブキャリアの数が最大である動作モードは、インタリーブが、入力データシンボルが奇数シンボルであるか偶数シンボルであるかに応じてインタリーブを行う動作に対応する。したがって、例えば、インタリーブメモリのメモリサイズを、サブキャリアの数が最大である動作モードにおけるOFDMシンボルのサブキャリアによって搬送可能なシンボルの数と等しくしてもよい。DVB-2の例では、これは32Kモードである。

30

40

【0012】

本発明の種々の態様及び特徴が、添付の特許請求の範囲において規定される。本発明のさらなる態様は、OFDMシンボルの所定の数のサブキャリア信号から受信したシンボルを、出力シンボルストリームにマッピングするデータ処理装置及び方法、並びに送信装置及び受信装置を含む。

【図面の簡単な説明】

【0013】

【図1】例えばDVB-T2規格で用いることができる、符号化OFDM送信装置の概略ブロック図である。

50

【図 2】シンボルマッピング部及びフレームビルダがインタリーバの動作を説明する、図 1 に示す送信装置の部分の概略ブロック図である。

【図 3】図 2 に示すシンボルインタリーバの概略ブロック図である。

【図 4】図 3 に示すインタリーバメモリ、及び受信装置における対応するシンボルデインタリーバの概略ブロック図である。

【図 5】16Kモードの場合の、図 3 に示すアドレス生成部の概略ブロック図である。

【図 6】32Kモードの場合の、図 3 に示すアドレス生成部の概略ブロック図である。

【図 7】例えば16Kモードの場合の、奇数-偶数モードにおける、図 3 に示すインタリーバの動作を示すフロー図である。

【図 8】例えば16Kモードの場合の、奇数オンリーモードにおける、図 3 に示すインタリーバの動作を示すフロー図である。

【図 9】例えばDVB-T2規格で用いることができる、符号化OFDM受信装置の概略ブロック図である。

【図 10】図 9 に示すシンボルデインタリーバの概略ブロック図である。

【発明を実施するための形態】

【0014】

これより、本発明の実施形態を、添付の図面を参照して、例示としてのみ説明する。図面において、同様の部分には対応する参照符号が付される。

【0015】

以下の説明は、本発明の実施形態の技術によるシンボルインタリーバの動作を説明するために提供されるが、このシンボルインタリーバは他のモード及び他のDVB規格と共に用いることができることを理解されたい。

【0016】

図 1 は、DVB-T2規格に従って、例えばビデオ画像及び音声信号を送信するために用いることができる符号化OFDM(Coded OFDM: COFDM)送信装置の例示的なブロック図を示す。図 1 では、プログラムソースが、COFDM送信装置によって送信されるべきデータを生成する。ビデオ符号化部 2、音声符号化部 4 及びデータ符号化部 6 は、送信されるべきビデオデータ、音声データ及び他のデータを生成し、これらのデータはプログラム多重化部 10 に供給される。プログラム多重化部 10 の出力は、ビデオデータ、音声データ及び他のデータを送信するために必要な他の情報と多重化された多重化ストリームを形成する。多重化部 10 は、接続チャネル 12 上にストリームを供給する。このような多重化ストリームは、種々の異なるブランチ A、B 等に供給されるように、多数存在してもよい。簡潔にするために、ブランチ A のみを説明する。

【0017】

図 1 に示すように、COFDM送信装置 20 は、多重適応化/エネルギー拡散ブロック 22 においてストリームを受信する。多重適応化/エネルギー拡散ブロック 22 は、データをランダム化し、適切なデータを、ストリームの誤り訂正符号化を実行する前方誤り訂正符号化部 24 に供給する。ビットインタリーバ 26 は、符号化されたデータビットをインタリーブするために設けられる。この符号化されたデータビットは、DVB-T2 の例の場合、LDP C (Low Density Parity Check: 低密度パリティチェック)/ BCH (Bose-Chaudhuri-Hocquenghem) 符号化部の出力である。ビットインタリーバ 26 からの出力は、ビットコンステレーションマッピング部 28 に供給される。ビットコンステレーションマッピング部 28 は、ビットのグループを、符号化データビットを搬送するために用いられるコンステレーションポイントにマッピングする。ビットコンステレーションマッピング部 28 からの出力は、実成分及び仮想成分を表すコンステレーションポイントラベルである。コンステレーションポイントラベルは、用いられる変調方式に応じて、2 つ以上のビットから形成されたデータシンボルを表す。これらはデータセルと呼ばれる。これらのデータセルは、タイムインタリーバ 30 を通過する。タイムインタリーバ 30 は、複数のLDP Cコードワードから得られたデータセルをインタリーブする。

【0018】

10

20

30

40

50

データセルは、図 1 においてブランチ B 等によって生成されたデータセルと共に、他のチャンネル 3 1 を介して、フレームビルダ 3 2 によって受信される。その後、フレームビルダ 3 2 は、多数のデータセルを、COFDM シンボルで搬送されるべきシーケンスに形成する。ここで、COFDM シンボルは、複数のデータセルを有し、各データセルはサブキャリアのうちの一つにマッピングされる。サブキャリアの数は、システムの動作モードに応じて、1 K、2 K、4 K、8 K、16 K 又は 32 K 等があり、これらは、例えば以下の表の例に従って、それぞれ異なる数のサブキャリアを提供する。

【 0 0 1 9 】

【表 1】

モード	アドレスの最大数 N_u	サブキャリア数 N_m
1K	1024	756
2K	2048	1512
4K	4096	3024
8K	8192	6048
16K	16384	12096
32K	32768	24192

DVB-T/HIにおけるサブキャリアの数

【 0 0 2 0 】

したがって、一実施形態では、16 K モードの場合のサブキャリアの数は 12096 であり、32 K モードの場合のサブキャリアの数は 24192 である。

【 0 0 2 1 】

各フレームが、多くのこのような COFDM シンボルを有する。各 COFDM シンボルで搬送されるべきデータセルのシーケンスは、シンボルインタリーバ 3 3 に送られる。その後、コンステレーションデータラベルを用いてコンステレーションポイントの実成分及び仮想成分を生成し、パイロット信号及び埋込信号形成部 3 6 から供給されたパイロット信号及び同期信号を挿入する COFDM シンボルビルダブロック 3 7 によって、COFDM シンボルが生成される。その後、OFDM 変調部 3 8 が、時間領域において OFDM シンボルを形成し、この OFDM シンボルは、シンボル間にガードインターバルを生成するためのガード挿入処理部 4 0 に供給され、その後、デジタル - アナログ変換部 4 2 に供給され、最後に、RF フロントエンド 4 4 内の RF 増幅部に供給され、その結果、COFDM 送信装置によってアンテナ 4 6 から放送される。

【 0 0 2 2 】

[インタリーバ]

図 2 において、ビットコンステレーションマッピング部 2 8、シンボルインタリーバ 3 3 及びフレームビルダ 3 2 をより詳細に示す。

【 0 0 2 3 】

シンボルインタリーバは、OFDM サブキャリア信号に対するデータシンボルの準最適マッピングを提供する装置を提供する。例示的な技術によれば、シミュレーション分析により検証された置換コード及び生成多項式に従って、COFDM サブキャリア信号に対する入力データシンボルの最適なマッピングを達成するために、シンボルインタリーバが提供される。

【 0 0 2 4 】

図 2 に示すように、本発明の実施形態の技術を例示的に説明するために、ビットコンステレーションマッピング部 2 8 及びフレームビルダ 3 2 のより詳細な例示的な説明が提供される。ビットインタリーバ 2 6 からチャンネル 6 2 を介して受信されたデータビットは、変調方式によって提供されるシンボル当たりのビット数に応じてグループ化され、データセルにマッピングされるビットのセットとなる。このビットのグループは、データワードを形成し、データチャンネル 6 4 を介して、並行してマッピング処理部 6 6 に供給される。その後、マッピング処理部 6 6 は、事前に割り当てられたマッピングに従って、データシ

10

20

30

40

50

ンボルのうちの1つを選択する。コンステレーションポイントは、実成分及び仮想成分によって表現されるが、そのラベルだけがフレームビルダ32への入力セットのうちの一つとして出力チャンネル29に提供される。

【0025】

フレームビルダ32は、ビットコンステレーションマッピング部28からチャンネル29を介して、他のチャンネル31からのデータセルと共にデータセルを受信する。各COFDMシンボルのセルは、多数のCOFDMセルシーケンスからなるフレームを構築した後、アドレス生成部102によって生成された書き込みアドレス及び読み出しアドレスに従って、インタリーブメモリ100に書き込まれ、インタリーブメモリ100から読み出される。適切なアドレスを生成することにより、書き込み及び読み出しの順序に従って、データセルのインタリーブが達成される。アドレス生成部102及びインタリーブメモリ100の動作を、図3、図4、図5及び図6を参照して、より詳細に説明する。その後、インタリーブされたデータセルは、データシンボルの実成分と仮想成分にマッピングされ、パイロット信号/埋込信号形成部36から受信されたパイロット信号及び同期シンボルと結合されてOFDMシンボルビルダ37に供給され、COFDMシンボルを形成し、このCOFDMシンボルは、上述のようにOFDM変調部38に供給される。

10

【0026】

図3は、シンボルをインタリーブするための本発明の実施形態の技術を説明する、シンボルインタリーブ33の部分の一例を提供する。図3では、フレームビルダ32からの入力データセルがインタリーブメモリ100に書き込まれる。データセルは、アドレス生成部102によりチャンネル104を介して供給された書き込みアドレスに従って、インタリーブメモリ100に書き込まれ、アドレス生成部102によりチャンネル106を介して供給された読み出しアドレスに従って、インタリーブメモリ100から読み出される。アドレス生成部102は、以下に説明するように、COFDMシンボルが奇数であるか偶数であるかに応じて、書き込みアドレス及び読み出しアドレスを生成する。COFDMシンボルが奇数であるか偶数であるかは、チャンネル108から供給された信号により、選択されたモードに応じて識別される。選択されたモードは、チャンネル110から供給された信号により識別される。上述のように、モードは、1Kモード、2Kモード、4Kモード、8Kモード、16Kモード、32Kモードのうちの一つであり得る。インタリーブメモリ100の例示的な実施態様を提供する図4を参照して以下に説明するように、書き込みアドレス及び読み出しアドレスは、奇数OFDMシンボルと偶数OFDMシンボルとについて別々に生成される。

20

30

【0027】

図4に示す例では、上側部分において、送信装置におけるインタリーブ33のインタリーブメモリ100の動作が説明され、下側部分において、受信装置におけるデインタリーブのデインタリーブメモリ340の動作が説明される。インタリーブメモリ100及びデインタリーブメモリ340は、動作の理解を容易にするために、共に図4に示される。図4に示すように、インタリーブメモリ100とデインタリーブメモリ340との間の、他の装置及び通信チャンネルを介した通信の表現は簡略化され、インタリーブメモリ100とデインタリーブメモリ340との間の部分140として表現される。以下において、インタリーブメモリ100の動作を説明する。

40

【0028】

図4は、4つの入力データセルを、COFDMシンボルの4つのサブキャリア信号にインタリーブする例のみを示すが、図4において説明される技術は、1Kモードの場合の756、2Kモードの場合の1512、4Kモードの場合の3024、8Kモードの場合の6048、16Kモードの場合の12096、及び32Kモードの場合の24192等、より多くの数のサブキャリアに拡大適用され得ることは理解されるであろう。

【0029】

図4に示すインタリーブメモリ100の入力アドレス及び出力アドレスの指定は、奇数シンボルの場合と、偶数シンボルの場合とについて示される。偶数COFDMシンボルの

50

場合、データセルは入力チャネルから取得され、アドレス生成部 102 によって C O F D M シンボル毎に生成されたアドレスのシーケンス 120 に従ってインタリーブメモリ 124 . 1 に書き込まれる。この書き込みアドレスは、上述のように、インタリーブが書き込みアドレスのシャッフルによって達成されるように、偶数シンボルに適用される。したがって、各インタリーブされたシンボルについて、 $y(h(q)) = y'(q)$ である。

【0030】

奇数シンボルの場合、インタリーブメモリ 124 . 1 と同じインタリーブメモリ 124 . 2 が用いられる。しかし、図 4 に示すように、奇数シンボルの場合、書き込み順序 132 は、前の偶数シンボル 126 の読み出しに用いられるアドレスシーケンスと同じアドレスシーケンスである。この特徴により、奇数シンボルインタリーブ及び偶数シンボルインタリーブの実施態様は、所与のアドレスに対する読み出し動作が書き込み動作の前に行われる場合、1つのインタリーブメモリ 100のみを用いることができる。奇数シンボルの場合にインタリーブメモリ 124 に書き込まれたデータセルは、その後、次の偶数 C O F D M シンボルの場合に、アドレス生成部 102 によって生成されたシーケンス 134 で読み出され、以下同様に処理される。したがって、シンボルにつき1つのアドレスだけが生成され、奇数/偶数 C O F D M シンボルについての書き込み及び読み出しは並行して実行される。

10

【0031】

要約すると、図 4 に表現されるように、すべてのアクティブなサブキャリアについてアドレスのセット $H(q)$ が計算されると、入力ベクトル $Y' = (y_0', y_1', y_2', \dots, y_{N_{max}-1}')$ が処理されて、インタリーブされたベクトル $Y = (y_0, y_1, y_2, \dots, y_{N_{max}-1})$ が生成される。このインタリーブされたベクトル $Y = (y_0, y_1, y_2, \dots, y_{N_{max}-1})$ は、以下の方程式によって定義される。

20

偶数シンボルの場合： $y_H(q) = y'_q (q = 0, \dots, N_{max} - 1)$

奇数シンボルの場合： $y_q = y'_H(q) (q = 0, \dots, N_{max} - 1)$

【0032】

言い換えれば、偶数 O F D M シンボルの場合、入力ワードは、置換された順序でメモリに書き込まれ、並び順で読み出されるが、奇数シンボルの場合、並び順で書き込まれ、置換された順序で読み出される。上記の場合、置換 $H(q)$ は、以下の表によって定義される。

30

【0033】

【表 2】

q	0	1	2	3
H(q)	1	3	0	2

単純なケース(Nmax = 4)における置換

【0034】

図 4 に示すように、インタリーブメモリ 340 は、インタリーブ 33 のアドレス生成部 102 と等価のアドレス生成部によって生成された、アドレス生成部 102 により生成されたアドレスのセットと同じアドレスのセットを、書き込みアドレスと読み出しアドレスとを逆転させて適用することにより、インタリーブ 100 によって適用されたインタリーブを逆転させる。したがって、偶数シンボルの場合、書き込みアドレス 342 は並び順であり、読み出しアドレス 344 は、アドレス生成部によって提供される。これに対して、奇数シンボルの場合、書き込み順序 346 は、アドレス生成部によって生成されたアドレスのセットから規定され、読み出し順序 348 は並び順である。

40

【0035】

[16 K モード及び 32 K モードにおけるアドレス生成]

16 K モードにおける置換関数 $H(q)$ の生成に用いられるアルゴリズムの概略ブロック図が図 5 に示され、32 K モードにおける置換関数 $H(q)$ の生成に用いられるアルゴリズムの概略ブロック図が図 6 に示される。

50

【 0 0 3 6 】

16Kモードにおけるアドレス生成部102の実施態様が、図5に示されている。図5では、13段のレジスタ段200と、生成多項式に従ってシフトレジスタ200の各段に接続されたxorゲート202とにより、線形フィードバックシフトレジスタが形成される。したがって、シフトレジスタ200の保持データに従って、レジスタ段R[0]、R[1]、R[4]、R[5]、R[9]、R[11]の保持データを以下の生成多項式に従ってxor演算することにより、シフトレジスタの次のビットがxorゲート202の出力から提供される。

【 0 0 3 7 】

【 数 1 】

$$R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

10

【 0 0 3 8 】

生成多項式に従って、シフトレジスタ200の保持データから、擬似ランダムビット列が生成される。しかしながら、上述したように、16Kモードについてのアドレスを生成するために、置換回路210が設けられ、この置換回路210は、その出力において、シフトレジスタ200.1内のビットの順序を順序R'_i[n]から順序R_i[n]に効果的に置換する。その後、置換回路210の出力からの13個のビットは、接続チャンネル212に供給される。接続チャンネル212には、チャンネル214を介して、トグル回路218によって提供された最上位ビットが加えられる。したがって、チャンネル212上では14ビットのアドレスが生成される。しかしながら、アドレスの信頼性を保証するために、アドレスチェック回路216が、生成されたアドレスを分析して、アドレスが所定の最大値を超えているか否かを判断する。この所定の最大値は、用いられているモードに対して利用可能であり、COFDMシンボル内のデータシンボルについて利用可能なサブキャリア信号の最大数に相当し得る。しかしながら、16Kモードにおけるインタリーバは、他のモードに用いることもでき、アドレス生成部102は、有効アドレスの最大数に従って調整することにより、2Kモード、4Kモード、8Kモード、16Kモード、及び32Kモードに用いることもできる。

20

【 0 0 3 9 】

生成されたアドレスが所定の最大値を超える場合、アドレスチェック回路216により制御信号が生成され、接続チャンネル220を介して制御部224に供給される。この場合、生成されたアドレスは廃棄され、特定のシンボルのために新たなアドレスが再生成される。

30

【 0 0 4 0 】

16Kモードの場合、LFSR (Linear Feedback Shift Register : 線形フィードバックシフトレジスタ) を用いて、(N_r - 1) のビットワードR'_iが定義される。ここで、N_r = log_2 M_maxであり、M_max = 16384である。

【 0 0 4 1 】

このシーケンスを生成するために用いられる多項式は以下の通りである。

【 0 0 4 2 】

【 数 2 】

$$16Kモード: R'_i[12] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[5] \oplus R'_{i-1}[9] \oplus R'_{i-1}[11]$$

40

【 0 0 4 3 】

式中、iは0 ~ M_max - 1の間で変化する。

【 0 0 4 4 】

R'_iワードが生成されると、R'_iワードは置換されて、R_iと呼ばれる別の(N_r - 1)のビットワードが生成される。R_iは、以下に示すビット置換によってR'_iから導き出される。

【 0 0 4 5 】

50

【表 3】

R _i ビット位置	12	11	10	9	8	7	6	5	4	3	2	1	0
R _i ビット位置	8	4	3	2	0	11	1	5	12	10	6	7	9

16Kモードにおけるビット置換

【0046】

すなわち、16Kモードの場合、例えばR_i'のビット番号12は、R_iのビット位置番号8へ移動される。

【0047】

その後、アドレスH(q)が、以下の式によりR_iから導き出される。

10

【0048】

【数3】

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

【0049】

上記の式のうち、

【0050】

【数4】

$$(i \bmod 2) \cdot 2^{N_r-1}$$

20

【0051】

の部分は、図5において、トグルブロックT218によって示されている。

【0052】

その後、生成されたアドレスが許容可能なアドレスの範囲内にあるか否かを検証するために、H(q)に対してアドレスチェックが実行される。例えば、16Kモードにおいて、(H(q) < N_{max})の場合(ここで、N_{max} = 12096)、アドレスは有効である。アドレスが有効でない場合、制御部はそれを通知され、指数iを増分することにより、新たなH(q)の生成を試みる。

【0053】

トグルブロックの役割は、1行内でN_{max}を超えるアドレスを2度生成しないことを確実にすることである。実際、N_{max}を超える値が生成された場合、これは、アドレスH(q)の最上位ビット(Most Significant Bit: MSB)(すなわち、トグルビット)が1であることを意味する。そこで、生成される次の値は、0に設定されたMSBを有し、これにより有効なアドレスが生成されることが保証される。

30

【0054】

以下の式は、以上の動作をまとめて、このアルゴリズムのループ構造を理解し易くするためのものである。

【0055】

【数5】

q = 0;

40

for (i = 0; i < M_{max}; i = i + 1)

{ H(q) = (i mod 2) · 2^{N_r-1} + ∑_{j=0}^{N_r-2} R_i(j) · 2^j;

if (H(q) < N_{max}) q = q + 1; }

【0056】

図3には、制御チャンネル110における現在の動作モードの通知を受信するルックアップテーブル105も示される。図5及び図6に示すように、制御部224は、現在のシン

50

ボルの通知（奇数／偶数）を制御チャンネル 108 から受信し、現在のモードの通知を制御チャンネル 110 から受信し、OFDMシンボルにおける、シンボルがインタリーブされるサブキャリア又はデータセルの現在の数を示すルックアップテーブル 105 からの通知を制御チャンネル 111 から受信する。また、制御部 224 は、現在のキャリアの数 $N_{bwx}(n)$ をルックアップテーブル 105 から検索するために、図 3、図 5 及び図 6 に示すように、ルックアップテーブル 105 に対して制御信号を出力する。

【0057】

図 5 及び図 6 には、同じ制御部 224 が示され、それに対応して同じアドレスチェック回路 216 及びトグル回路 218 が示される。したがって、入力インタリーブは複数の異なるモードで動作することができるため、各モードにおいて、同じ制御部が異なるモードの各々においてインタリーブメモリを制御するように、フィードバックシフトレジスタ及び置換コードを変更するだけでよい。

10

【0058】

図 6 は、32Kモードの場合のアドレス生成部の一例を提供する。このアドレス生成部は、図 5 に示す 16Kモードのアドレス生成部に対応しており、同様の部分は同様の参照符号で示される。しかしながら、32Kモードでは、線形フィードバックシフトレジスタは、13個のシフトレジスタ 200.2 から形成され、シフトレジスタ 200 の保持データに従って、レジスタ段 $R[0]$ 、 $R[1]$ 、 $R[4]$ 、 $R[5]$ 、 $R[9]$ 、 $R[11]$ の保持データを以下の生成多項式に従って xor 演算することにより、シフトレジスタの次のビットが xor ゲート 202.2 の出力から提供される。

20

【0059】

【数 6】

$$32K\text{モード}: R'_i[13] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[2] \oplus R'_{i-1}[12]$$

【0060】

式中、 i は $0 \sim M_{max} - 1$ の間で変化する。

【0061】

置換回路 210.2 は、その出力において、以下に示すビット置換に従い、シフトレジスタ 200.2 内のビットの順序を順序 $R'_i[n]$ から順序 $R_i[n]$ に置換する。

【0062】

30

【表 4】

R'iビット位置	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Riビット位置	6	5	0	10	8	1	11	12	2	9	4	3	13	7

32Kモードにおけるビット置換

【0063】

すなわち、32Kモードの場合、例えば R'_i のビット番号 12 は、 R_i のビット位置番号 5 へ移動される。

【0064】

その後、置換回路 210.2 の出力からの 14 個のビットは、接続チャンネル 212.2 に供給される。接続チャンネル 212.2 には、チャンネル 214 を介して、トグル回路 218 によって提供された最上位ビットが加えられる。したがって、チャンネル 212.2 上では 15 ビットのアドレスが生成される。32Kモードにおけるインタリーブは、他のモードに用いることもでき、アドレス生成部 102 は、有効アドレスの最大数に従って調整することにより、2Kモード、4Kモード、8Kモード及び 16Kモードに用いることもできる。

40

【0065】

生成されたアドレスが所定の最大値を超える場合、アドレスチェック回路 216 により制御信号が生成され、接続チャンネル 220 を介して制御部 224 に供給される。この場合、生成されたアドレスは廃棄され、特定のシンボルのために新たなアドレスが再生成され

50

る。

【 0 0 6 6 】

[複数のモードのためのシンボルインタリーブの開発]

典型的には、各モードにおけるアドレス生成部は、 $[0 \sim N_m - 1]$ の範囲のみにおいてアドレスを生成するように構成される。DVB-T/Hは1種類のシンボルのみを有するため、モード又は N_u を選択することで N_m も決まる。これにより、奇数-偶数インタリーブの概念が単純になる。なぜなら、インタリーブ中、シンボル $2n$ (偶数)のための書き込みアドレスの範囲及び並びは、シンボル $2n-1$ (奇数)のための読み出しアドレスの範囲及び並びと同じとなるためである。このように動作することにより、奇数-偶数インタリーブを実装するために必要とされるメモリのロケーションは、各OFDMシンボルにおけるサブキャリアの数 N_m の2倍の数ではなく、 N_m と同じ数になる。したがって、32Kモードでは、送信装置又は(受信装置における)デインタリーブにおいて必要とされるメモリのロケーションは、2倍ではなく24192個だけになる(32Kモードにおけるインタリーブのアドレス生成を図6に示す)。

10

【 0 0 6 7 】

DVB-T2規格は、1K、2K、4K、8K、16K及び32KのFFT(Fast Fourier Transform: 高速フーリエ変換)サイズ又はモードに対応しており、この場合、 N_u はそれぞれ1024、2048、4096、8192、16384、32768である。DVB-T2物理層は、それぞれ複数のシンボルからなる、いわゆる物理層フレームとして編成される。各フレームは、プリアンプル(P1)シンボルから開始し、次に1つ又は複数の第2のプリアンプル(P2)シンボルが続く。次に、複数のデータ搬送(Pd)シンボルが続き、その後、任意選択で、フレームはフレーム終結(FC)シンボルによって終結される。P1シンボルはパイロードデータを搬送しないので、周波数インタリーブの必要がないのに対し、その他の種類のシンボルはパイロードデータを搬送するので、インタリーブを必要とする。所与のシンボルについて、そのシンボルが搬送するデータセルの数は、散乱パイロットパターン、SISO/MISO(Single-Input, Single-Output/Multiple-Input, Multiple-Output)、及び一般に、送信装置のために選択されたパラメータ(システム構成)の特定の組み合わせの選択に応じて決まる。しかし、所与の構成において、任意の1つのOFDMシンボルによって搬送されるセルの数は、そのシンボルの種類に応じて決まる。したがって、典型的には、P2シンボルが搬送するデータセルは、Pdシンボルが搬送するデータセルよりも少なく、FCシンボルが搬送するデータセルは、P2シンボルが搬送するデータセルよりもさらに少ない。

20

30

【 0 0 6 8 】

例えば、上述した32Kシステムにおけるシンボル $2n$ (偶数)及びその次のシンボル $2n-1$ (奇数)を送信する場合を考える。シンボル $2n-1$ はP2シンボルであり、シンボル $2n$ はPdシンボルであると仮定する。Pdシンボルは、P2シンボルよりも多くのデータセル容量を有するため、シンボル $2n$ についての書き込みアドレスの範囲は、シンボル $2n-1$ についての読み出しアドレスの範囲よりも大きくなる。アドレスは擬似ランダムに生成されるため、シンボルの種類が異なる結果、書き込みアドレス及び読み出しアドレスの並びも異なる。これは、1つのメモリで奇数-偶数インタリーブを実行することがもはや些細な課題ではないことを意味する。それぞれサイズが N_{max} ロケーションである2つの別々のメモリを用いてインタリーブを実行することも可能である(ここで、 N_{max} は、帯域幅拡大モードにおける任意のタイプのシンボルによって搬送することができるデータセルの最大数である)。しかし、この場合、2倍のメモリ $2N_{max}$ が必要になる。なお、 N_{max} は、選択されたFFTサイズ又はOFDMモードによって決まる。

40

【 0 0 6 9 】

以下に簡潔に説明するように、本発明の実施形態は、サイズが N_{max} ロケーションである1つのメモリのみによって周波数インタリーブを実行できる構成を提供する。

【 0 0 7 0 】

50

〔奇数インタリーブの最適な使用〕

図4に示すように、2つのシンボルインタリーブ処理により、インタリーブ中に用いられるメモリの量を低減することができる。2つのシンボルインタリーブ処理のうち1つは偶数COFDMシンボルのための処理であり、もう1つは奇数COFDMシンボルのための処理である。図4に示す例において、奇数シンボルの書き込み順序は、偶数シンボルの読み出し順序と同じである。したがって、奇数シンボルがメモリから読み出されるときに、偶数シンボルを当該読み出された場所書き込むことができ、その後、偶数シンボルがメモリから読み出されると、奇数シンボルを当該読み出された場所書き込むことができる。

【0071】

係属中の英国特許出願第0722728.3号に開示されるように、DVB-Tの2Kシンボルインタリーブ及び8Kシンボルインタリーブ、並びにDVB-Hの4Kシンボルインタリーブのために設計されたインタリーブ方式は、偶数シンボルよりも奇数シンボルに対して良好に動作することが発見された。これは、インタリーブの入力において隣接していた複数のサブキャリアの、インタリーブの出力においての平均距離が、偶数シンボルのインタリーブの場合よりも、奇数シンボルのインタリーブの場合に大きいためである。

【0072】

当然のことながら、シンボルインタリーブを実装するために必要とされるインタリーブメモリの量は、COFDMキャリアシンボルにマッピングされるデータシンボルの数に応じて決まる。したがって、16Kモードのシンボルインタリーブは、32Kモードのシンボルインタリーブを実装するのに必要なメモリの半分を必要とする。同様に、8Kモードのシンボルインタリーブを実装するのに必要とされるメモリの量は、16Kモードのインタリーブを実装するのに必要なメモリの量の半分である。したがって、OFDMシンボル当たりの搬送可能なデータシンボルの最大数を設定する或るモードのシンボルインタリーブを実装するように構成された送信装置又は受信装置は、その所与の最大モードにおけるOFDMシンボル当たりのサブキャリアの最大数の半数以下のサブキャリアを提供する任意の他のモードにおいて、2つの奇数インタリーブ処理を実行するのに十分なメモリを有する。例えば、32Kインタリーブを有する受信装置又は送信装置は、各自の16Kメモリをそれぞれ有する2つの16K奇数インタリーブ処理に対応するのに十分なメモリを有する。

【0073】

したがって、偶数インタリーブ処理は奇数インタリーブ処理ほど良好に動作しないという事実に対処するために、複数の動作モードに対応可能なシンボルインタリーブを構成することができるので、最大モードにおけるサブキャリアの数、つまりOFDMシンボル当たりのサブキャリアの最大数の半数以下のサブキャリアを有するモードにおいては、奇数シンボルインタリーブ処理だけが用いられる。例えば、32Kモードが可能な送信装置/受信装置において、よりキャリアの少ない(すなわち、16K、8K、4K又は1K)モードで動作するとき、別個の奇数シンボルインタリーブ処理及び偶数シンボルインタリーブ処理を用いるのではなく、2つの奇数インタリーブ処理を用いる。英国特許出願第0722728.3号に開示されるように、1つの奇数インタリーブのみを用いるのではなく、奇数インタリーブのシーケンスを用いることにより、2つの奇数インタリーブ処理を用いるインタリーブの性能をさらに改善することができるので、インタリーブに入力されるあらゆるデータビットが、常に同じOFDMシンボルのサブキャリアを変調してしまうことがなくなる。これは、データキャリアの数を法としてインタリーブアドレスにオフセットを追加するか、又はインタリーブにおける置換シーケンスを用いるかによって実現することができる。データキャリアの数を法としてインタリーブアドレスにオフセットを追加することにより、OFDMシンボルが効果的にシフト及びラップラウンドされるので、インタリーブに入力されるあらゆるデータビットが、常に同じOFDMシンボルにおいてサブキャリアを変調してしまうことがなくなる。

【0074】

10

20

30

40

50

さらに、オフセットはランダムシーケンスであってもよい。このランダムシーケンスは、類似のOFDMシンボルインタリーブの別のアドレス生成部、又は何らかの他の手段によって生成されてもよい。上記に加え、係属中の英国特許出願第0722728.3号には、インタリーブにおいて置換シーケンスを用いて、インタリーブに入力されるあらゆるデータビットが常に同じOFDMシンボルのサブキャリアを変調してしまうことがなくなる可能性を増加させることが開示されている。

【0075】

上述のように、DVB-T2においては、周波数インタリーブに関して2つの動作方式がある。どちらの形式を選択するかは、FFTサイズ又はOFDMモードの選択によって決定される。したがって、1K、2K、4K、8K及び16Kモードにおいては、周波数インタリーブは、奇数オンリー方式で動作することができ、32Kモードにおいては、上述のような奇数-偶数方式で動作することができる。奇数オンリー方式においては、インタリーブの方程式を以下のように変形することができる。

偶数シンボルの場合： $y_q = x_{H_0(q)}$ ($q = 0, \dots, N_m - 1$)

奇数シンボルの場合： $y_q = x_{H_1(q)}$ ($q = 0, \dots, N_m - 1$)

ここで、 $H_0(q)$ は、偶数シンボルのキャリア q について生成される擬似ランダムアドレスであり、 $H_1(q)$ は、奇数シンボルのキャリア q について生成される擬似ランダムアドレスである。実際には、奇数シンボル及び偶数シンボルについて別個のアドレス生成部が存在する。各FFTサイズについてのこれらのアドレス生成回路の対については、DVB-T2勧告書の草稿（非特許文献2参照）に記載されている。奇数オンリーのインタリーブが、それぞれサイズが $N_{bw} \times$ ロケーションである2つの別個のメモリを概念的に必要とするのに対し、実際に実装されるDVB-T2送信装置及び/又は受信装置は、すべてのFFTサイズに対応する必要があると考えられる。したがって、このような実施の態様では、32Kモードの奇数-偶数インタリーブを実行するのに十分なメモリが存在する。このようなメモリは、2つの16Kモード、4つの8Kモード、16の2Kモード、及び32の1Kモードの周波数インタリーブに対応するのに十分な容量を既に有する。結果として、32Kの奇数-偶数インタリーブのために既に利用可能な大容量のメモリを、奇数オンリーのインタリーブにおける最小のFFTサイズに必要な2つのメモリブロックに分割することができるため、奇数オンリーのインタリーブのための追加のメモリは必要ない。したがって、この技術により、32Kの奇数-偶数インタリーブを最小のメモリで実行する方法が提供される。

【0076】

[最小メモリの要件]

本実施形態の手法により、32Kモードで用いられるメモリの量を最小にすることができる構成が提供される。上述のように、本実施形態の手法によれば、メモリサイズが最大である動作モード（本実施形態では32Kモード）のために、メモリ量が最小である奇数-偶数インタリーブ方式が必要とされる。さらに、上述のように、データセル又はサブキャリアの数はシンボル毎に異なるので、シンボル単位の32Kモードにおいて、必要とされるメモリの量を低減するために、本実施形態の手法により、1つのメモリだけを用いて、最大32Kモードにおいてシンボルをインタリーブすることが可能になる。この場合、書き込みアドレス及び読み出しアドレスの範囲は、連続した奇数シンボル及び偶数シンボル毎に変化する。

【0077】

図7は、本実施形態の手法の例を説明するためのフローチャートである。同図では、奇数/偶数動作モードにおける、利用可能な最大メモリサイズ（本実施形態では32Kモード）の場合の制御部224の動作を示す。同図のフローチャートに示す32Kの奇数-偶数周波数インタリーブでは、以下の用語を用いる：

・「 $N_{bw}(n)$ 」は、シンボル n におけるデータキャリアの数を表す。

・「Addr」は、図1に示す符号化OFDM送信装置と同様の32Kモード用の符号化OFDM送信装置によって生成された擬似ランダムアドレスである。

・「Input」は、周波数インタリーバに入力され、「InCell」に格納されたデータセルである。

・「Cellout」は、周波数インタリーバから出力されたデータセルである。

・「RAM」は、 N_{max} ロケーションの周波数インタリーバメモリである。ここで、 N_{max} は、拡大された帯域幅、すなわち $N_{max} = \max(N_{bw_x})$ を含む、すべての種類のシンボルを通じてのデータセルの最大数である。

・「m」は、OFDMシンボル当たりのデータセルのカウントである。

・関数 $Calc(N_{bw_x})$ は、テーブルルックアップである。DVB-T2 物理層フレーム内のシンボル数が n である場合、シンボル n の種類は、他のシステム構成パラメータとの関連で決定することができる。シンボルの種類が分かれば、 N_{bw_x} を、DVB-T2 仕様書（非特許文献 2 参照）における適切なテーブルからルックアップすることができる。

10

【0078】

本実施形態の手法によれば、図 7 に示すように、データセルは、生成されたアドレスが現在のシンボルに対して有効であるときにのみ、入力データから読み出され、そうでなければ読み出されない。同様に、データセルは、生成されたアドレスが前のシンボルに対して有効であるときにのみ、インタリーバの出力データに書き込まれる。以下に、図 7 に示すフロー図によって表現される制御部 224 の動作を説明する。

【0079】

ステップ S1 において、フロー図に示される変数が初期化される。したがって、OFDMシンボル当たりのデータセルの数のカウント m が初期化され ($m = 0$)、シンボル n のカウントが初期化され ($n = 0$)、偶数シンボルフラグが初期化されて真とされ (偶数 = 1)、シンボル n におけるキャリアの数 ($N_{bw_x}(n)$) 及びシンボル $n - 1$ におけるキャリアの数 ($N_{bw_x}(n - 1)$) が互いに等しくなるように初期化され、Inenable フラグが 1 (真) に設定される。

20

S2: ステップ S2 において、アドレス生成部 102 により、アドレスバス 212.2 の出力からアドレスが生成され、アドレスチェック回路 216 から制御部 220 に読み出される。

S4: 決定点 S4 において、Inenable フラグがチェックされ、真であれば、データセルは周波数インタリーバに入力され、バッファ InCell に格納される。フラグが偽であれば、ステップ S8 に進む。

30

S8: ステップ S8 において、偶数シンボルフラグが真に設定されていた場合、すなわち現在のシンボルが偶数シンボルである場合、ステップ S10 において、関数 ($N_{bw_x}(n - 1)$) を用いてルックアップテーブル 105 にアクセスすることにより、生成されたアドレスが、($n - 1$) 番目の OFDM シンボル、つまり前回の OFDM シンボルのデータキャリアの総数未満であるか否かに応じて、Outenable フラグが設定される。シンボルが奇数である場合、ステップ S12 に進み、関数 ($N_{bw_x}(n - 1)$) を用いて、偶数シンボルの場合と同様に、OFDM シンボルにおけるデータセルの現在のカウントが、前の OFDM シンボル ($n - 1$) において利用可能なデータキャリアの総数未満であるか否かに応じて、出力フラグが設定される。

40

S14、S16: 出力イネーブルフラグ (Outenable) がテストされ、真であるか偽であるかを判定された後、処理は奇数シンボル処理と偶数シンボル処理とに分岐する。出力イネーブルフラグが真 (yes) である場合、偶数シンボルの場合はステップ S18 に進み、奇数シンボルの場合はステップ S20 に進む。

S18: ステップ S14 からの出力イネーブルフラグが真である場合、データシンボルは、生成されたアドレスによってメモリから読み出され、インタリーバメモリから出力される (Cellout)。

S20: 出力イネーブルフラグが真である場合、データシンボルは、現在のシンボルにおけるカウント m のメモリアドレスによってインタリーバから出力される (Cellout)。

50

決定点 S 1 4 及び S 1 6 からの出力イネーブルフラグが偽である場合、偶数シンボルならばステップ S 2 2 に進み、奇数シンボルならば S 2 4 に進む。

S 2 2 : ステップ S 2 2 において、(ステップ S 2 において)生成されたアドレスが、現在のシンボルにおいて利用可能なサブキャリアの数未満であるか否かを、ルックアップテーブル関数 $N_{b w x}(n)$ から判定し、それに応じて、 $I n - e n a b l e$ フラグが設定される。

S 2 4 : O F D M シンボルにおけるデータキャリアの現在のカウンタ m が、現在の O F D M シンボルにおけるキャリアの総数 $N_{b w x}(n)$ 未満であるか否かに応じて、 $I n - e n a b l e$ フラグが設定される。

偶数シンボルの場合、処理は決定点 S 2 6 に進み、奇数シンボルの場合、処理は決定点 S 2 8 に進む。

S 2 6 : $I n - e n a b l e$ フラグが真に設定された場合、受信されたデータセル ($I n c e l l$) は、(ステップ S 2 において)アドレス生成部 1 0 2 により生成されたアドレスにより、インタリーバメモリに書き込まれる。

S 2 8 : 入力イネーブルフラグが真である場合、受信されたデータセルは、データセルの現在のカウンタ m によって示されるアドレスによりメモリに書き込まれる。

ステップ S 2 6 及び S 2 8 において $I n - e n a b l e$ フラグが偽である場合、ステップ S 3 4 に進み、カウンタ m がインクリメントされる。そして、処理はステップ S 3 6 に進む。

S 3 6 : 決定点 S 3 6 において、現在の O F D M シンボルにおけるデータセルの現在のカウンタ数がテストされ、そのカウンタ数が、現在の O F D M シンボルにおける搬送可能なデータセルの最大数 (サブキャリアの数) に現時点で等しいか否かが判定される。テストの結果が真である場合、処理はステップ S 3 8 に進む。テストの結果が偽である場合、処理はループしてステップ S 2 に戻り、ステップ S 2 において、図 5 に示すアドレス生成回路に対して次のアドレスが生成される。

S 3 8 : 決定点 S 3 6 において、現在の O F D M シンボルにおけるサブキャリアの数のカウンタ m に達していると判定された場合、偶数シンボルフラグはトグルされ、現在の O F D M シンボルにおけるサブキャリアの数のカウンタはゼロにリセットされ ($m = 0$)、シンボルの数はインクリメントされる。また、 $I n - e n a b l e$ フラグは真にセットされ、ルックアップテーブルを用いて、現在の O F D M シンボルにマッピングできるデータセルの数が、ルックアップテーブル 1 0 5 から検索される。

【 0 0 8 0 】

3 2 K 以外の F F T サイズ用の、奇数オンリーの周波数インタリーバの実装方法が、図 8 のフロー図において示される。奇数 - 偶数の場合に定義した変数に加えて、さらに以下の変数が用いられる。

- ・「 $A d d r 0$ 」は、擬似ランダムアドレス $H_0(q)$ である。
- ・「 $A d d r 1$ 」は、擬似ランダムアドレス $H_1(q)$ である (非特許文献 2 参照)

【 0 0 8 1 】

インタリーバの出力からのデータセルの読み出し及びインタリーバの入力に対する書き込みも、生成されたアドレスの有効性によってゲート制御される。インタリーバメモリに書き込まれたデータセルは、以下のように格納される。偶数シンボルからのデータセルは、ロケーション $0 \sim N_{m a x} - 1$ に格納され、奇数シンボルからのデータセルは、ロケーション $N_{m a x} \sim 2 N_{m a x} - 1$ に格納される。

【 0 0 8 2 】

図 8 に示すフロー図は、以下のように要約される。

S 5 0 : ステップ S 5 0 において、現在の O F D M シンボルのデータセルのカウンタ m がゼロに初期化され ($m = 0$)、O F D M シンボルの現在のカウンタ n がゼロに初期化されるように、処理のための変数が初期化される。偶数シンボルフラグは、1 (真) に設定され、現在の動作モードに対する、生成されたアドレスの最大数 $C a l c(N_{b w x}(n)$

10

20

30

40

50

)) が、ルックアップテーブル 105 から検索することによって確定される。前回の OFDM シンボル ($n - 1$) にマッピングできるデータセルの最大数は、現在の OFDM シンボルにおける最大数に等しくなるように設定される。入力イネーブルフラグも、真に設定される。

S 5 2 : 決定点 S 5 2 において、入力イネーブルフラグがテストされて、真であるか否かを判定される。入力イネーブルフラグが真である場合、処理はステップ S 5 4 に進み、現在のデータシンボルが入力され、変数バッファ `InCell` に格納される。入力イネーブルフラグが真ではない場合、処理はステップ S 5 6 に進む。

S 5 6 : ステップ S 5 6 において、図 6 に示すようなアドレス生成回路 102 により、現在のシンボルが偶数 OFDM シンボルであるか奇数 OFDM シンボルであるかに応じてアドレスが生成される (それぞれ、`Addr1`、`Addr0`)。 10

S 5 8 : 決定点 S 5 8 において、現在の OFDM シンボルが奇数シンボルであるか偶数シンボルであるかが判定される。現在のシンボルが偶数シンボルである場合、処理はステップ S 6 0 に進み、現在のシンボルが奇数シンボルである場合、処理はステップ S 6 2 に進む。

S 6 0 : 出力イネーブルフラグは、偶数アドレス (`Addr1`) が、前の OFDM シンボルにおいて利用可能なサブキャリアの最大数 $N_{bwx}(n-1)$ 未満であるか否かに応じて、真又は偽に設定される。

S 6 2 : 現在のシンボルが奇数シンボルである場合、出力イネーブルフラグは、生成された奇数アドレス (`Addr0`) が、前の OFDM シンボルにおいて利用可能なサブキャリアの最大数 $N_{bwx}(n-1)$ 未満であるか否かに応じて、真又は偽に設定される。 20

その後、偶数シンボルの場合は決定点 S 6 4 に進み、奇数シンボルの場合は決定点 S 6 6 に進む。

決定点 S 6 4 において、出力イネーブルフラグが真であるか否かが判定される。真である場合、処理はステップ S 6 8 に進み、データシンボルは、生成された偶数アドレス (`Addr1`) を N_{max} に足した位置においてインタリーバメモリから検索され、出力セルバッファ (`CellOut`) に格納されて、他のインタリーバから出力される。

S 7 0 : 奇数 OFDM シンボルについて、出力イネーブルフラグが真である場合、データシンボルは、生成された奇数アドレス (`Addr0`) において検索され、出力セルバッファ (`CellOut`) に格納されて、他のインタリーバから出力される。 30

決定点 S 6 4 及び S 6 6 における結果が両方とも偽である場合、出力はイネーブルされず、処理は、偶数シンボルの場合はステップ S 7 2 に、奇数シンボルの場合は S 7 4 に進む。

S 7 2 : ステップ S 7 2 において、入力イネーブルフラグは、現在の OFDM シンボルにおけるデータセルの現在のカウンタが、現在の OFDM シンボルにより搬送できるキャリアの最大数 $N_{bwx}(n)$ 未満であるか否かに応じて、真又は偽に設定される。

S 7 4 : 奇数 OFDM シンボルの場合の対応する動作として、入力イネーブルフラグは、現在の OFDM シンボル n におけるデータセルの現在のカウンタ m が、現在の OFDM シンボルにおいて利用可能なサブキャリアの数 $N_{bwx}(n)$ 未満であるか否かに応じて、真又は偽に設定される。これは、ステップ S 7 2 において行われる動作と対応している。 40

その後、偶数 OFDM シンボルの場合、処理は決定点 S 7 6 に進み、奇数 OFDM シンボルの場合、処理は決定点 S 7 8 に進む。

S 7 6 : 決定点 S 7 8 において、入力イネーブルフラグ `Inenable` が分析され、真である場合、ステップ S 8 0 において、入力バッファ (`InCell`) 内のデータシンボルが、カウンタ n によって特定されるメモリアドレスによりインタリーバメモリに書き込まれる。

S 7 8 : 奇数 OFDM シンボルの場合の対応する動作として、入力バッファ (`InCell`) 内の受信されたデータシンボルは、ステップ S 8 2 において、アドレス $N_{max} + n$ においてインタリーバメモリに書き込まれる。 50

決定点 S 7 6 及び S 7 8 において入力ネーブルフラグが真ではない場合、ステップ S 8 4 において OFDM シンボルにおけるキャリアの数のカウンタがインクリメントされ、プロセスは決定点ステップ S 8 6 に進む。

S 8 6 : 決定点 S 8 6 において、現在の OFDM シンボルにおいて受信されたデータセルの数の現在のカウンタが、ルックアップテーブル 1 0 5 から検索された現在の OFDM シンボルにマッピングできるサブキャリアの最大数 $N_{bwx}(n)$ に等しいか否かが判定される。現在の OFDM シンボルに既に最大数のサブキャリアがマッピングされている場合、処理はステップ S 8 8 に進む。そうでなければ、処理はステップ S 5 2 に戻る。

S 8 8 : 現在の OFDM シンボルのサブキャリアの数が既に搬送できる最大数に達している場合、偶数シンボルフラグがトグルされ、OFDM シンボルの数がインクリメントされ、現在の OFDM シンボルにおけるデータセルの数のカウンタがゼロにリセットされ ($m = 0$)、入力ネーブルフラグは真に設定される。その後、ルックアップテーブル 1 0 5 は、後続の OFDM シンボル n にマッピングできるデータシンボルの最大数 $N_{bwx}(n)$ について問い合わせを受ける。

10

【 0 0 8 3 】

[受信装置]

図 9 は、本発明の実施形態の技術と共に用いることができる受信装置の例を説明するための図である。図 9 に示すように、COFDM 信号は、アンテナ 3 0 0 によって受信され、チューナ 3 0 2 によって復調され、アナログ - デジタル変換部 3 0 4 によってデジタル形式に変換される。ガードインターバル除去処理部 3 0 6 は、周知の技術により、高速フーリエ変換処理部 3 0 8 をチャンネル推定 / 補正処理部 3 1 0 と共に用いて、埋込 - 信号復号部 3 1 1 と協働して、受信された COFDM シンボルからデータが再生される前に、COFDM シンボルからガードインターバルを除去する。復調されたデータは、マッピング部 3 1 2 から再生され、シンボルデインタリーバ 3 1 4 に供給される。シンボルデインタリーバ 3 1 4 は、受信したデータシンボルを逆マッピングして、デインタリーブされたデータを有する出力データストリームを再生成するように動作する。

20

【 0 0 8 4 】

シンボルデインタリーバ 3 1 4 は、図 9 に示すようなデータ処理装置に設けられ、インタリーバメモリ 3 4 0 及びアドレス生成部 3 4 2 を有する。インタリーバメモリ 3 4 0 は、図 4 に示したものと同様であり、上述したように、アドレス生成部 3 4 2 により生成されたアドレスのセットを利用することによってデインタリーブするように動作する。アドレス生成部 3 4 2 は、図 1 0 に示すように形成され、各 COFDM サブキャリア信号から再生されたデータシンボルを出力データストリームにマッピングするために、対応するアドレスを生成するように構成される。

30

【 0 0 8 5 】

図 9 に示す COFDM 受信装置の残りの部分には、誤りを訂正し、ソースデータの推定値を再生するための誤り訂正符号化部 3 1 8 が設けられる。

【 0 0 8 6 】

本発明の実施形態の技術によって提供される、受信装置及び送信装置両方にとっての利点の 1 つは、受信装置及び送信装置において動作するシンボルインタリーバ及びシンボルデインタリーバは、生成多項式及び置換順序を変更することにより、1 K モード、2 K モード、4 K モード、8 K モード、1 6 K モード、及び 3 2 K モードの間で切り替わることができることである。したがって、図 1 0 に示すアドレス生成部 3 4 2 は、モードを示す情報が供給される入力 3 4 4 と、奇数 COFDM シンボル / 偶数 COFDM シンボルが存在するか否かを示す情報が供給される入力 3 4 6 とを有する。これにより、図 5 又は図 6 に示すようなアドレス生成部を有する、図 3 及び図 4 に示すようなシンボルインタリーバ及びデインタリーバを形成することができるため、柔軟性のある実施態様が提供される。したがって、アドレス生成部は、各モードについて指示される生成多項式及び置換順序を変更することにより、種々の異なるモードに適応することができる。例えば、これは、ソフトウェアの変更を用いることにより達成される。或いは、一実施形態では、受信装置は

40

50

、埋込 - 信号処理部 3 1 1 において D V B - T 2 のモードを示す埋込信号を検出することができ、この信号を用いて、検出されたモードに従うシンボルデインタリーバを自動的に構成することができる。

【 0 0 8 7 】

2 K、4 K 及び 8 K モードでのアドレス生成部及び対応するインタリーバの例が、欧州特許出願第 0 4 2 5 1 6 6 7 . 4 号に開示されており、その内容は参照として本明細書に援用される。0 . 5 K モードのためのアドレス生成部は、係属中の英国特許出願第 0 7 2 2 5 5 3 . 5 号に開示されている。

【 0 0 8 8 】

本発明の範囲から逸脱することなく、上述した実施形態に対して種々の変更が行われてもよい。特に、本発明の態様を表すために用いられた生成多項式及び置換順序の例示的な表現は、限定を意図しておらず、等価な形式の生成多項式及び置換順序に拡大適用される。

10

【 0 0 8 9 】

当然のことながら、図 1 に示す送信装置及び図 9 に示す受信装置は、例示の目的のみで提供され、限定を意図していない。例えば、ビットインタリーバ及びマッピング部及びデマッピング部に対するシンボルインタリーバ及びデインタリーバの位置は変更されてもよい。当然のことながら、インタリーバは v - ビットベクトルの代わりに I / Q シンボルをインタリーブしてもよいが、インタリーバ及びデインタリーバは、その相対位置を変更しても同様の効果を達成することができる。受信装置において、同様の変更を行ってもよい。

20

【 0 0 9 0 】

上述したように、特定のモードの実施態様を参照して説明したインタリーバの置換コード及び生成多項式を、そのモードでのキャリアの数に従って所定の許容されるアドレスの最大数を変更することにより、他のモードに等しく適用することができる。

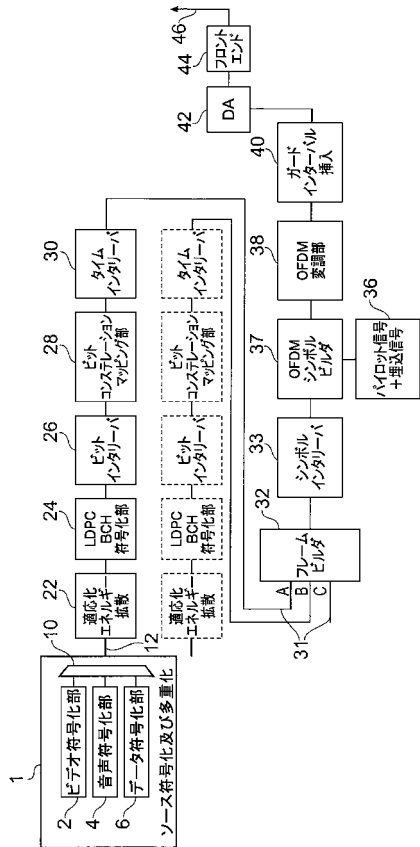
【 0 0 9 1 】

上述のように、本発明の実施形態は、D V B - T、D V B - T 2 及び D V B - H 等の D V B 規格で用いられ、これらは本明細書に参照として援用される。例えば、本発明の実施形態は、D V B - H 規格に従って、ハンドヘルド端末において動作する送信装置又は受信装置において用いられてもよい。このハンドヘルド端末は、例えば、携帯電話（第 2 世代、第 3 世代又はより高次の世代のいずれか）又は個人情報端末又はタブレット型パーソナルコンピュータに組み込まれてもよい。このようなハンドヘルド端末は、建物の中、又は例えば自動車若しくは電車での高速移動中に、D V B - H 又は D V B - T に互換性のある信号を受信可能であってもよい。このハンドヘルド端末は、電池、電気の幹線、又は低圧直流電源によって電力供給されてもよく、又は自動車のバッテリーによって電力供給されてもよい。D V B - H によって提供されるサービスは、音声、メッセージ、インターネットの閲覧、ラジオ、静止画及び / 又は動画、テレビジョンサービス、双方向サービス、ビデオオンデマンド又はニアビデオオンデマンド及びオプション等であり得る。これらのサービスは、互いに組み合わせさせて動作してもよい。しかしながら、本明細書は D V B での利用に限定されず、他の固定及び移動体の両方の送信又は受信用の規格に拡大適用されてもよいことは理解されるであろう。

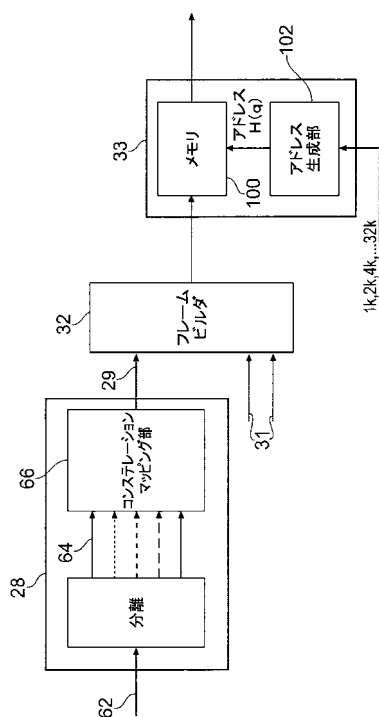
30

40

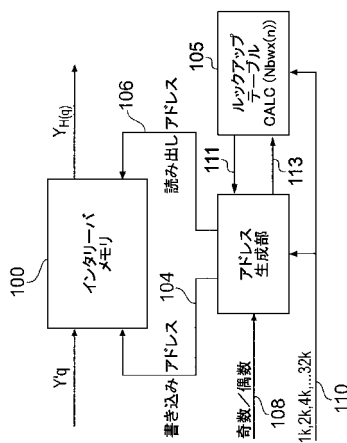
【図 1】



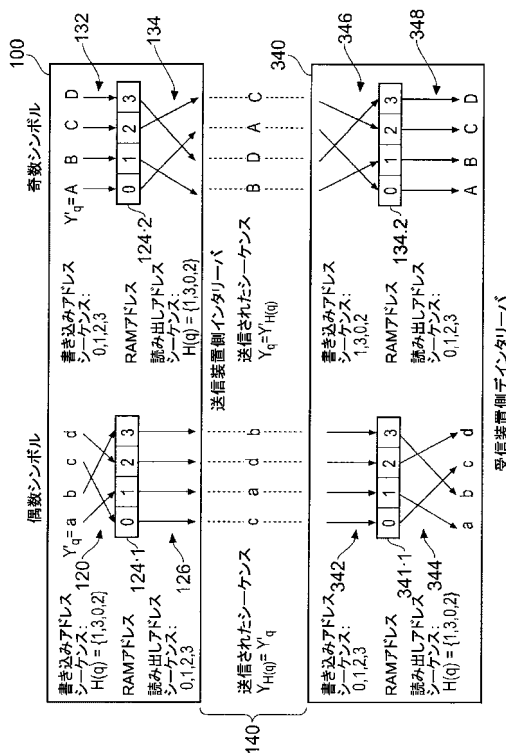
【図 2】



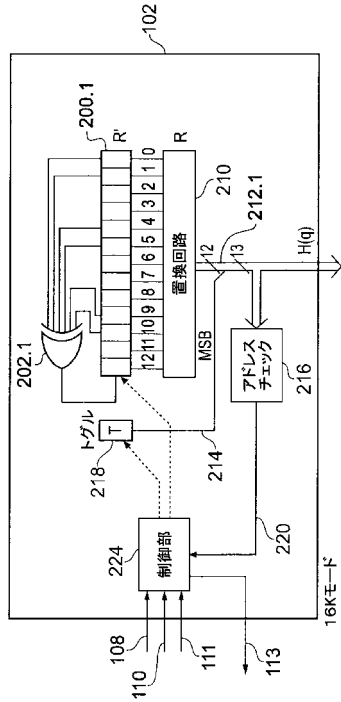
【図 3】



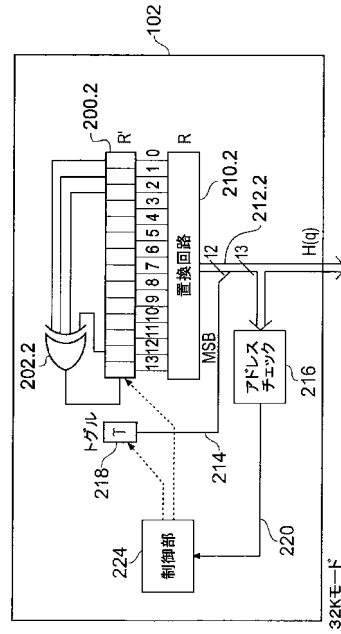
【図 4】



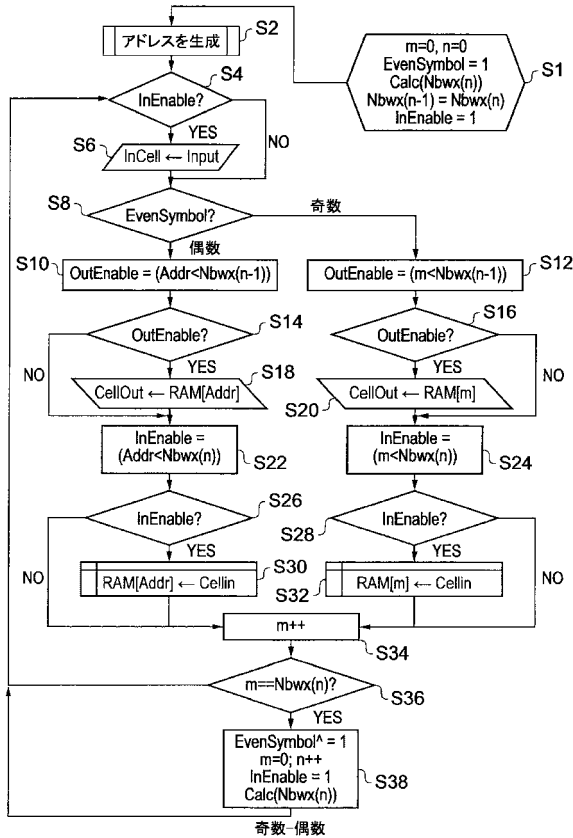
【 図 5 】



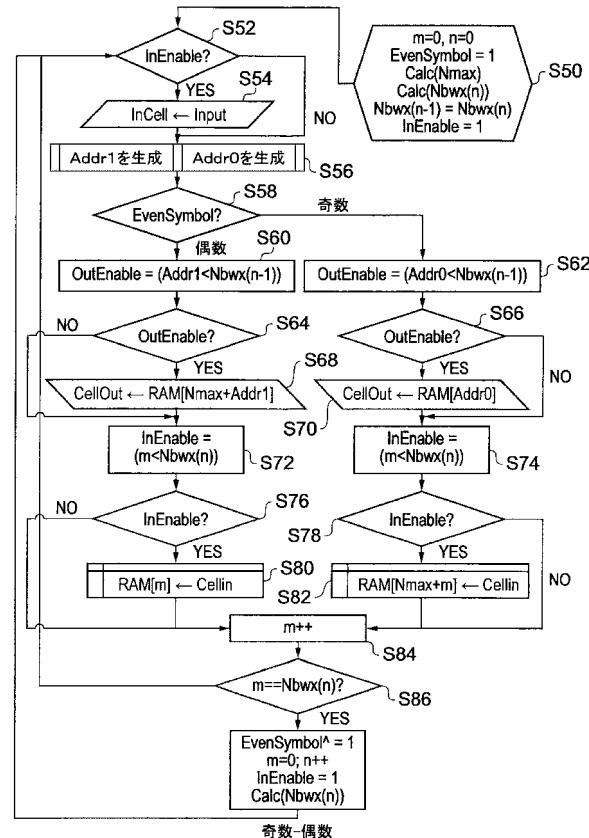
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 マシュー ポール アソール タイラー
イギリス ハンプシャー リングウッド サザンプトンロード 224
Fターム(参考) 5K022 DD01 DD13 DD19 DD21