



(10) **DE 10 2016 106 928 A1** 2017.10.19

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 106 928.0**  
(22) Anmeldetag: **14.04.2016**  
(43) Offenlegungstag: **19.10.2017**

(51) Int Cl.: **H01L 33/46 (2010.01)**  
**H01L 33/38 (2010.01)**  
**H01L 33/22 (2010.01)**

(71) Anmelder:  
**OSRAM Opto Semiconductors GmbH, 93055  
Regensburg, DE**

(72) Erfinder:  
**Höppel, Lutz, Dr., 93087 Alteglofsheim, DE**

(74) Vertreter:  
**Epping Hermann Fischer,  
Patentanwalts-gesellschaft mbH, 80639 München,  
DE**

(56) Ermittelter Stand der Technik:

DE	10 2007 022 947	A1
DE	10 2010 035 966	A1
DE	10 2014 101 492	A1
US	9 231 163	B2
US	2003 / 0 075 723	A1

Rechercheantrag gemäß § 43 PatG ist gestellt.

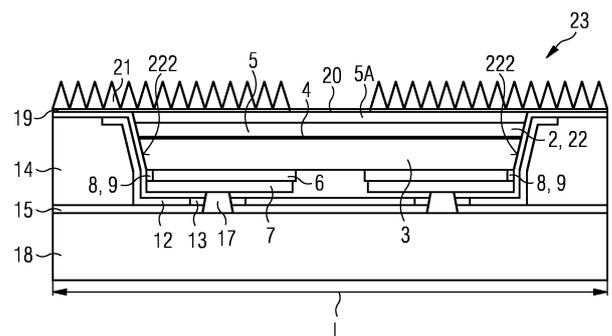
**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **Optoelektronischer Halbleiterchip und Verfahren zur Herstellung eines optoelektronischen Halbleiterchips**

(57) Zusammenfassung: Es wird ein optoelektronischer Halbleiterchip (23) angegeben mit

- einem Halbleiterkörper (22) umfassend einen ersten Halbleiterbereich (3), einen zweiten Halbleiterbereich (5) und eine zwischen dem ersten und zweiten Halbleiterbereich (3, 5) angeordnete aktive Zone (4),
- einer elektrisch leitenden Kontaktschicht (7), die auf einer dem zweiten Halbleiterbereich (5) abgewandten Seite des ersten Halbleiterbereichs (3) angeordnet ist,
- einer elektrisch leitenden Spiegelschicht (6), die zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) angeordnet ist und von dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) randseitig lateral überragt wird, so dass sich zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) ein Zwischenraum (8) befindet, in welchem zum Schutz der Spiegelschicht (6) eine Schutzschicht (9) angeordnet ist, wobei sich die elektrisch leitende Kontaktschicht (7) lateral bis zu einem Rand des ersten Halbleiterbereichs (3) erstreckt.

Ferner wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (23) angegeben.



## Beschreibung

**[0001]** Es wird ein optoelektronischer Halbleiterchip angegeben, der einen Halbleiterkörper mit einer insbesondere zur Erzeugung von elektromagnetischer Strahlung geeigneten aktiven Zone aufweist. Ferner wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips angegeben.

**[0002]** Es sind optoelektronische Halbleiterchips bekannt, die zur Reflexion der von der aktiven Zone emittierten elektromagnetischen Strahlung eine auf dem Halbleiterkörper angeordnete Spiegelschicht aufweisen. Ein mögliches Verfahren zur Herstellung eines derartigen Halbleiterchips sieht bei einer Strukturierung des Halbleiterkörpers eine vergleichsweise dicke Schutzschicht aus SiO<sub>2</sub> auf der Spiegelschicht vor, wobei die Schutzschicht als Ätzmaske zur Strukturierung des Halbleiterkörpers dient. Dabei besteht ein Nachteil darin, dass die Selektivität der Ätzmaske begrenzt ist, so dass der Halbleiterkörper nicht beliebig tief geätzt werden kann. Ein weiterer Nachteil besteht darin, dass die Spiegelschicht, die insbesondere zur elektrischen Kontaktierung des Halbleiterkörpers vorgesehen ist, elektrisch isolierend abgedeckt ist, so dass ein Öffnungsschritt zur Ankontaktierung nötig ist, der entweder die Haftung der Schutzschicht um diese Öffnung beeinträchtigt und/oder die Qualität der Spiegelschicht reduziert.

**[0003]** Eine zu lösende Aufgabe besteht darin, einen optoelektronischen Halbleiterchip mit einer im Hinblick auf die Spiegelschicht verbesserten Qualität anzugeben. Diese Aufgabe wird durch einen optoelektronischen Halbleiterchip mit den Merkmalen des unabhängigen Produktanspruchs gelöst.

**[0004]** Eine weitere zu lösende Aufgabe besteht darin, ein verbessertes Verfahren zur Herstellung eines derartigen Halbleiterchips anzugeben. Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des unabhängigen Verfahrensanspruchs gelöst.

**[0005]** Gemäß zumindest einer Ausführungsform eines Verfahrens zur Herstellung eines optoelektronischen Halbleiterchips weist dieses folgende Schritte auf:

- Bereitstellen eines Substrats,
- Aufbringen einer Halbleiterschichtenfolge umfassend einen ersten Halbleiterbereich, eine aktive Zone an einer dem Substrat zugewandten Seite des ersten Halbleiterbereichs und einen zweiten Halbleiterbereich an einer dem ersten Halbleiterbereich abgewandten Seite der aktiven Zone,
- Aufbringen einer elektrisch leitenden Spiegelschicht und einer elektrisch leitenden Kontaktschicht auf den ersten Halbleiterbereich, wobei die elektrisch leitende Spiegelschicht zwischen dem ersten Halbleiterbereich und der elektrisch leitenden Kontaktschicht angeordnet wird,

- Strukturierung der elektrisch leitenden Kontaktschicht,
- Strukturierung der elektrisch leitenden Spiegelschicht mittels der strukturierten elektrisch leitenden Kontaktschicht,
- Strukturierung der Halbleiterschichtenfolge mittels der strukturierten elektrisch leitenden Kontaktschicht.

**[0006]** Vorzugsweise werden die oben genannten Verfahrensschritte in der angegebenen Reihenfolge durchgeführt.

**[0007]** Gemäß einer bevorzugten Ausführungsform handelt es sich bei dem Substrat um ein Aufwachssubstrat, auf dem der erste und zweite Halbleiterbereich epitaktisch abgeschieden werden. Unter "epitaktisch auf dem Aufwachssubstrat abgeschieden" versteht man im vorliegenden Zusammenhang, dass das Aufwachssubstrat zur Abscheidung und/oder zum Aufwachsen des ersten und zweiten Halbleiterbereichs dient. Beispielsweise steht der zweite Halbleiterbereich mit dem Aufwachssubstrat in direktem Kontakt. Das Aufwachssubstrat kann nach dem Aufwachsen des ersten und zweiten Halbleiterbereichs abgelöst werden oder im fertigen Halbleiterchip verbleiben, wobei das Substrat in letzterem Fall einen Teil eines Halbleiterkörpers bildet.

**[0008]** Die auf der Halbleiterschichtenfolge beziehungsweise dem ersten Halbleiterbereich abgeschiedene elektrisch leitende Spiegelschicht und Kontaktschicht weisen insbesondere zwei laterale Haupterstreckungsrichtungen auf, die beide senkrecht zu einer vertikalen Richtung verlaufen, in welcher der erste und zweite Halbleiterbereich übereinander angeordnet sind. Dabei ist die Ausdehnung der beiden Schichten entlang der lateralen Haupterstreckungsrichtungen vorzugsweise größer als in vertikaler Richtung. Eine Dicke der Spiegelschicht und Kontaktschicht wird entlang der vertikalen Richtung bestimmt.

**[0009]** Gemäß zumindest einer Ausführungsform wird bei der Strukturierung der Spiegelschicht in dieser eine Hohlkehle ausgebildet. Das heißt, dass die Spiegelschicht geringfügig unter die Kontaktschicht zurückgezogen wird. Unter "geringfügig" wird im Rahmen der vorliegenden Anmeldung ein lateraler Überstand der Kontaktschicht über die Spiegelschicht verstanden, der höchstens 1 µm beträgt. Die ausgebildete Hohlkehle führt dazu, dass die Spiegelschicht von dem ersten Halbleiterbereich und der elektrisch leitenden Kontaktschicht randseitig lateral überragt und zwischen dem ersten Halbleiterbereich und der elektrisch leitenden Kontaktschicht ein Zwischenraum ausgebildet wird. Insbesondere bezeichnet "lateral" eine Anordnung in oder parallel zu einer durch die beiden lateralen Haupterstreckungsrichtungen aufgespannten Haupterstreckungsebene.

**[0010]** Bei einer bevorzugten Ausgestaltung kommt bei der Strukturierung der Kontaktschicht ein fotolithografisches Verfahren zum Einsatz. Dabei wird insbesondere das Abbild einer Maske in der Kontaktschicht erzeugt. Anschließend kann die Kontaktschicht, beispielsweise durch nasschemisches Ätzen, strukturiert werden, wobei abzulösende Bereiche der Kontaktschicht zum Beispiel mittels Salzsäure weggeätzt werden. Die nicht-abgelösten Restbereiche der Kontaktschicht dienen dann als Maske zur Strukturierung der Spiegelschicht und der Halbleiterschichtenfolge. Dabei eignen sich Dicken zwischen 100 nm und 200 nm für die Kontaktschicht. Vorzugsweise wird die elektrisch leitende Kontaktschicht aus Ni gebildet. Der Vorteil eines elektrisch leitenden Materials wie Ni besteht unter anderem darin, dass im Vergleich zu einer herkömmlichen Ätzmaske aus einem elektrisch isolierenden Material wie SiO<sub>2</sub> kein Öffnungsschritt zur Ankontaktierung der Spiegelschicht nötig ist. Vielmehr kann die Spiegelschicht mittels der elektrisch leitenden Kontaktschicht elektrisch kontaktiert werden.

**[0011]** Gemäß zumindest einer Ausführungsform des Verfahrens kann die Spiegelschicht ebenfalls durch nasschemisches Ätzen strukturiert werden. Dabei dient die strukturierte elektrisch leitende Kontaktschicht als Ätzmaske, durch welche die Struktur der Spiegelschicht bestimmt wird. Vorzugsweise wird ein Ätzmittel verwendet, das selektiv gegen das Material der Kontaktschicht wirkt und zu einer geringfügigen Unterätzung der Kontaktschicht führt. Vorzugsweise wird die Spiegelschicht aus Ag oder einem auf Ag basierenden Material gebildet.

**[0012]** Gemäß zumindest einer Ausführungsform des Verfahrens wird zwischen der Spiegelschicht und der Kontaktschicht eine Verbindungsschicht angeordnet, die aus einem transparenten elektrisch leitenden Oxid gebildet wird. Transparente elektrisch leitende Oxide (transparent conductive oxides, kurz "TCO") sind transparente, leitende Materialien, in der Regel Metalloxide, wie beispielsweise Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid oder Indiumzinnoxid (ITO). Neben binären Metallsauerstoffverbindungen, wie beispielsweise ZnO, SnO<sub>2</sub> oder In<sub>2</sub>O<sub>3</sub> gehören auch ternäre Metallsauerstoffverbindungen, wie beispielsweise Zn<sub>2</sub>SnO<sub>4</sub>, CdSnO<sub>3</sub>, ZnSnO<sub>3</sub>, MgIn<sub>2</sub>O<sub>4</sub>, GaInO<sub>3</sub>, Zn<sub>2</sub>In<sub>2</sub>O<sub>5</sub> oder In<sub>4</sub>Sn<sub>3</sub>O<sub>12</sub> oder Mischungen unterschiedlicher transparenter leitender Oxide zu der Gruppe der TCOs. Weiterhin entsprechen die TCOs nicht zwingend einer stöchiometrischen Zusammensetzung und können auch p- oder n-dotiert sein.

**[0013]** Gemäß zumindest einer Ausführungsform des Verfahrens wird in dem Zwischenraum der Spiegelschicht zum Schutz der Spiegelschicht eine Schutzschicht angeordnet. Insbesondere kann durch die Schutzschicht verhindert werden, dass die

Spiegelschicht bei weiteren Strukturierungsschritten, insbesondere beim Ätzen der Halbleiterschichtenfolge, weiter abgetragen wird. Für die Schutzschicht kommen elektrisch schwach leitende oder isolierende Materialien und/oder eines der Materialien SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> in Frage. Die Schutzschicht füllt beim fertigen Halbleiterchip den Zwischenraum zumindest teilweise aus. Bei der Herstellung der Schutzschicht kann das für die Schutzschicht verwendete Material, zum Beispiel TEOS (Tetraethylorthosilicat), in gasförmigem Zustand zunächst auch auf Bereiche des ersten Halbleiterbereichs aufgebracht werden, die außerhalb des Zwischenraums liegen. Durch einen Ablöseprozess, insbesondere mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen (sogenanntes RIE), wird das Material dann so strukturiert, dass die Bereiche des ersten Halbleiterbereichs, die außerhalb des Zwischenraums liegen, von der Schutzschicht unbedeckt sind. Dabei kann die strukturierte Kontaktschicht einen Abtrag der Schutzschicht unterhalb der Kontaktschicht weitgehend, vorzugsweise vollständig, verhindern. Als Ätzmittel kann Fluor verwendet werden. Beispielsweise kann das Material der Schutzschicht auch mittels Atomlagenabscheidung (sogenanntes ALD) auf den ersten Halbleiterbereich aufgebracht werden. Hierbei eignet sich insbesondere Al<sub>2</sub>O<sub>3</sub> als Material für die Schutzschicht.

**[0014]** Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt nach dem Aufbringen der Schutzschicht eine Strukturierung der Halbleiterschichtenfolge. Vorzugsweise wird die Halbleiterschichtenfolge mittels der strukturierten elektrisch leitenden Kontaktschicht strukturiert, das heißt die elektrisch leitende Kontaktschicht dient als formgebende Maske. Insbesondere kommt auch hier ein Trockenätzverfahren, vorzugsweise reaktives Ionenätzen, zum Einsatz. Als Ätzmittel kann dabei Chlor verwendet werden.

**[0015]** Für die Halbleiterschichtenfolge beziehungsweise den ersten und zweiten Halbleiterbereich des Halbleiterkörpers kommen vorzugsweise auf Nitrid-Verbindungshalbleitern basierende Materialien in Betracht. "Auf Nitrid-Verbindungshalbleitern basierend" bedeutet im vorliegenden Zusammenhang, dass zumindest eine Schicht der Halbleiterschichtenfolge ein Nitrid-III/V-Verbindungshalbleitermaterial, vorzugsweise Al<sub>n</sub>Ga<sub>m</sub>In<sub>1-n-m</sub>N umfasst, wobei  $0 \leq n \leq 1$ ,  $0 \leq m \leq 1$  und  $n + m \leq 1$ . Dabei muss dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen. Vielmehr kann es einen oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen, die die charakteristischen physikalischen Eigenschaften des Al<sub>n</sub>Ga<sub>m</sub>In<sub>1-n-m</sub>N-Materials im Wesentlichen nicht ändern. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, N), auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt sein

können. Vorzugsweise handelt es sich bei dem ersten Halbleiterbereich um einen p-leitenden Bereich. Weiterhin handelt es sich bei dem zweiten Halbleiterbereich insbesondere um einen n-leitenden Bereich.

**[0016]** Vorteilhafterweise kann bei dem vorliegend beschriebenen Verfahren zwischen der Halbleiterschichtenfolge und der elektrisch leitenden Kontaktschicht eine vergleichsweise hohe Selektivität von 20:1 bis 50:1 erzielt werden. Dies ermöglicht Ätztiefen, die mit Vorteil größer sind als 2 µm. Insbesondere weist der zweite Halbleiterbereich eine Anschlussschicht auf, wobei eine Strukturierung des zweiten Halbleiterbereichs bis zu einer Unterkante der Anschlussschicht erfolgt. Ein zwischen der Anschlussschicht und dem Substrat angeordneter Restbereich des zweiten Halbleiterbereichs ragt damit über die strukturierte Halbleiterschichtenfolge lateral hinaus. Bei der Anschlussschicht handelt es sich vorzugsweise um eine hoch-dotierte Halbleiterschicht des zweiten Halbleiterbereichs.

**[0017]** Insbesondere kann die Anschlussschicht eine höchste Dotierung in der Halbleiterschichtenfolge aufweisen. In anderen Worten kann die Anschlussschicht zumindest bereichsweise so hoch dotiert sein, dass sie eine höhere Dotierung aufweist als alle weiteren Bereiche der Halbleiterschichtenfolge.

**[0018]** Gemäß zumindest einer Ausgestaltung bildet sich bei der Strukturierung der Halbleiterschichtenfolge eine Mesaform heraus. In anderen Worten kann die Halbleiterschichtenfolge nach der Strukturierung im Querschnitt eine ausgehend vom ersten Halbleiterbereich bis hin zum zweiten Halbleiterbereich sich verbreiternde Form aufweisen. Eine vertikale Ausdehnung beziehungsweise Höhe des mesaförmigen Bereichs entspricht dabei der Ätztiefe.

**[0019]** Gemäß zumindest einer Ausführungsform werden die elektrisch leitende Spiegelschicht und Kontaktschicht mit einer Öffnung versehen. Vorzugsweise wird die Öffnung nasschemisch erzeugt. Die Öffnung erstreckt sich mit Vorteil in vertikaler Richtung durch die Kontaktschicht und Spiegelschicht hindurch bis zum ersten Halbleiterbereich. Insbesondere wird die Öffnung in einem zentralen Bereich der Kontaktschicht und Spiegelschicht angeordnet.

**[0020]** Gemäß zumindest einer Ausführungsform des Verfahrens wird eine dem Substrat abgewandte Außenfläche eines Verbunds, der das Substrat, die Halbleiterschichtenfolge sowie weitere auf der Halbleiterschichtenfolge angeordnete Schichten, insbesondere die Spiegelschicht und die Kontaktschicht, umfasst, mit einer Verkapselung bedeckt. Weiterhin kann die Öffnung in der Spiegel- und Kontaktschicht mit der Verkapselung ausgefüllt werden. Vorzugsweise werden für die Verkapselung schwach leitende oder isolierende Materialien wie etwa SiO<sub>2</sub> ver-

wendet. Die Verkapselung kann mittels der bereits erwähnten Atomlagenabscheidung aufgebracht werden.

**[0021]** Gemäß zumindest einer Ausführungsform des Verfahrens wird auf den Verbund, der nun zusätzlich die Verkapselung umfasst, eine weitere Spiegelschicht aufgebracht. Das Aufbringen der weiteren Spiegelschicht kann mittels Sputtern erfolgen. Insbesondere wird die weitere Spiegelschicht auf die Verkapselung aufgebracht. Vorzugsweise wird die weitere Spiegelschicht so angeordnet, dass sie die Kontaktschicht auf einer dem ersten Halbleiterbereich abgewandten Seite bereichsweise bedeckt und außerdem auf Seitenflächen des ersten und zweiten Halbleiterbereichs angeordnet ist. Bei einer bevorzugten Ausgestaltung wird die weitere Spiegelschicht aus einem metallischen Material, beispielsweise Al oder Rh, gebildet. Die weitere Spiegelschicht wird insbesondere im Bereich der Kontaktschicht mit mindestens einer Öffnung versehen, in der später zur elektrischen Kontaktierung der Kontaktschicht ein Kontaktelement angeordnet werden kann.

**[0022]** Gemäß zumindest einer Ausführungsform des Verfahrens wird der Verbund, der nun zusätzlich die weitere Spiegelschicht umfasst, mit einer Planarisierung versehen, welche Seitenflächen des ersten und zweiten Halbleiterbereichs bedeckt und die mindestens eine Öffnung der weiteren Spiegelschicht ausfüllt. Weiterhin bedeckt die Planarisierung vorzugsweise den Restbereich des zweiten Halbleiterbereichs und schließt lateral bündig mit diesem ab. Vorzugsweise werden für die Planarisierung schwach leitende oder isolierende Materialien wie etwa SiO<sub>2</sub> verwendet.

**[0023]** Gemäß zumindest einer Ausführungsform des Verfahrens wird auf einer Außenfläche des Verbunds, die auf einer dem Substrat abgewandten Seite des ersten Halbleiterbereichs angeordnet ist, eine Isolierschicht angeordnet. Vorzugsweise werden für die Isolierschicht elektrisch isolierende Materialien wie etwa SiO<sub>2</sub> verwendet.

**[0024]** Gemäß zumindest einer Ausführungsform des Verfahrens wird durch die mindestens eine Öffnung der weiteren Spiegelschicht hindurch eine weitere Öffnung erzeugt, die insbesondere einen kleineren Durchmesser aufweist als die bereits bestehende Öffnung und sich durch alle Schichten, das heißt insbesondere die Isolierschicht, die Planarisierung und die Verkapselung, hindurch bis zur Kontaktschicht erstreckt. Beispielsweise kann die weitere Öffnung mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen erzeugt werden. Insbesondere wird hierbei als Ätzmittel Fluor verwendet.

**[0025]** Gemäß zumindest einer Ausführungsform des Verfahrens wird in der mindestens einen wei-

teren Öffnung ein Kontaktelement ausgebildet. Das Kontaktelement wird vorzugsweise aus zumindest einem elektrisch leitenden Material, insbesondere aus einem Metall oder einer Metallverbindung, gebildet. Beispielsweise kann das Kontaktelement aus zwei verschiedenen Materialien, beispielsweise Rh und Ni oder anstelle von Ni aus einer Ni-Legierung wie NiSn, gebildet werden.

**[0026]** Gemäß zumindest einer Ausführungsform des Verfahrens wird auf einer dem Substrat abgewandten Seite des Verbunds ein Träger aufgebracht. Beispielsweise kommt als Material für den Träger Silizium in Frage. Dies weist eine besonders gute Wärmeleitfähigkeit auf.

**[0027]** Das Substrat, auf dem die Halbleiterschichtenfolge angeordnet wird, enthält vorzugsweise ein Halbleitermaterial oder besteht daraus. Als Materialien kommen beispielsweise Saphir, SiC und/oder GaN in Frage. Ein Saphirsubstrat ist transparent für kurzweilige sichtbare Strahlung, insbesondere im blauen bis grünen Bereich. Da die Wellenlänge der von der aktiven Zone emittierten Strahlung vorliegend insbesondere in diesem Wellenlängenbereich liegt, ist ein derartiges Aufwachssubstrat für die von der aktiven Zone emittierte Strahlung durchlässig.

**[0028]** Bei einer bevorzugten Ausgestaltung kann das Substrat im fertigen Halbleiterchip verbleiben. Dies ist insbesondere dann der Fall, wenn das Substrat für die erzeugte Strahlung durchlässig ist und es sich bei dem Halbleiterchip um einen Flip-Chip handelt, bei dem die erzeugte Strahlung durch das Substrat hindurch aus dem Halbleiterchip ausgekoppelt wird.

**[0029]** Gemäß einer alternativen Ausführungsform wird das Substrat von der Halbleiterschichtenfolge abgelöst. Beispielsweise kann das Substrat mittels Laser Lift Off von der Halbleiterschichtenfolge entfernt werden. Bei einem Halbleiterchip, bei dem das Substrat abgelöst ist, spricht man von einem Dünnschicht-Halbleiterchip.

**[0030]** Gemäß zumindest einer Ausführungsform wird das Substrat abgelöst und nach dem Ablösen der zweite Halbleiterbereich gedünnt. Dies erfolgt insbesondere bis zur Unterkante der Anschlussschicht. Vorzugsweise wird der Restbereich des zweiten Halbleiterbereichs mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen entfernt. Auf der Anschlussschicht kann eine Auskoppelstruktur angeordnet werden, welche die Strahlungsauskopplung aus dem Halbleiterkörper verbessert.

**[0031]** Insbesondere wird die Auskoppelstruktur aus einem gering absorbierenden Material wie beispielsweise TiO<sub>2</sub> oder Nb<sub>2</sub>O<sub>5</sub> gebildet. Vorzugsweise wird zwischen dem zweiten Halbleiterbereich und der

Auskoppelstruktur eine Passivierung angeordnet, die insbesondere aus SiO<sub>2</sub> gebildet wird.

**[0032]** Gemäß einer alternativen Ausführungsform wird der Restbereich des zweiten Halbleiterbereichs nicht entfernt. Insbesondere wird der Restbereich derart strukturiert, dass eine Auskoppelstruktur ausgebildet wird, welche die Strahlungsauskopplung aus dem Halbleiterkörper verbessert. Beispielsweise wird der Restbereich aufgeraut. Dies kann mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen erfolgen. Vorzugsweise wird auf der Auskoppelstruktur eine Passivierung angeordnet, die insbesondere aus SiO<sub>2</sub> oder Al<sub>2</sub>O<sub>3</sub> gebildet wird.

**[0033]** Für die elektrische Kontaktierung des Halbleiterchips beziehungsweise für die Stromeinprägung in den Halbleiterchip bestehen verschiedene Möglichkeiten.

**[0034]** Gemäß einer ersten Variante kann auf dem zweiten Halbleiterbereich ein Anschlusselement zur Stromeinprägung in den zweiten Halbleiterbereich vorgesehen werden, das insbesondere mittig angeordnet wird und nur einen kleinen Teil des zweiten Halbleiterbereichs abdeckt. Hierbei werden vorzugsweise die Spiegelschicht und die Kontaktschicht, die zur Stromeinprägung in den ersten Halbleiterbereich vorgesehen sind, wie bereits oben erwähnt mit einer Öffnung versehen, die in einem zentralen Bereich angeordnet ist. Insbesondere werden das Anschlusselement und die Öffnung in vertikaler Richtung übereinander angeordnet. Weiterhin wird die Öffnung vorzugsweise mit einem elektrisch isolierenden Material, insbesondere mit der Verkapselung, ausgefüllt. Bei der beschriebenen Anordnung gibt es im Betrieb keinen direkten Strompfad zwischen dem Anschlusselement und der Spiegelschicht. Vielmehr werden die Strompfade lateral aufgeweitet.

**[0035]** Gemäß einer zweiten Variante kann auf den zweiten Halbleiterbereich eine Kontaktierungsschicht zur Stromeinprägung in den zweiten Halbleiterbereich aufgebracht werden, die den zweiten Halbleiterbereich größtenteils bedeckt. Hierbei werden vorzugsweise die Spiegelschicht und die Kontaktschicht, die zur Stromeinprägung in den ersten Halbleiterbereich vorgesehen sind, durchgehend ausgebildet. Bei der beschriebenen Anordnung existieren im Betrieb direkte Strompfade zwischen der Spiegelschicht und der Kontaktierungsschicht.

**[0036]** Gemäß zumindest einer Ausführungsform eines optoelektronischen Halbleiterchips umfasst dieser einen Halbleiterkörper, der einen ersten Halbleiterbereich, einen zweiten Halbleiterbereich und eine zwischen dem ersten und zweiten Halbleiterbereich angeordnete aktive Zone aufweist. Ferner umfasst der optoelektronische Halbleiterchip eine elektrisch leitende Kontaktschicht, die auf einer dem zwei-

ten Halbleiterbereich abgewandten Seite des ersten Halbleiterbereichs angeordnet ist. Die elektrisch leitende Kontaktschicht erstreckt sich vorzugsweise lateral bis zu einem Rand des ersten Halbleiterbereichs. Weiterhin ist zwischen dem ersten Halbleiterbereich und der elektrisch leitenden Kontaktschicht eine elektrisch leitende Spiegelschicht angeordnet, die von der elektrisch leitenden Kontaktschicht randseitig lateral überragt wird. Zugleich kann die elektrisch leitende Spiegelschicht von dem ersten Halbleiterbereich randseitig lateral überragt werden. Damit befindet sich zwischen dem ersten Halbleiterbereich und der elektrisch leitenden Kontaktschicht ein Zwischenraum. In dem Zwischenraum ist mit Vorteil zum Schutz der Spiegelschicht eine Schutzschicht angeordnet.

**[0037]** Vorzugsweise wird der optoelektronische Halbleiterchip gemäß einem der oben beschriebenen Verfahren hergestellt. Damit kann der optoelektronische Halbleiterchip sämtliche in Verbindung mit dem Verfahren erwähnte Merkmale aufweisen.

**[0038]** Gemäß zumindest einer Ausführungsform ist die aktive Zone des Halbleiterkörpers zur Erzeugung von elektromagnetischer Strahlung vorgesehen. Unter dem Begriff "elektromagnetische Strahlung" versteht man vorliegend insbesondere eine infrarote, sichtbare und/oder ultraviolette elektromagnetische Strahlung. Im Betrieb tritt vorzugsweise ein Großteil der erzeugten Strahlung an einer Strahlungsausstrittsseite des Halbleiterchips aus, die sich auf einer dem ersten Halbleiterbereich abgewandten Seite des zweiten Halbleiterbereichs befindet. Eine Rückseite des Halbleiterchips befindet sich dabei auf einer dem zweiten Halbleiterbereich abgewandten Seite des ersten Halbleiterbereichs.

**[0039]** Der optoelektronische Halbleiterchip kann eine elektrisch leitende Kontaktschicht aufweisen, die Ni enthält oder aus Ni besteht. Weiterhin kann die elektrisch leitende Spiegelschicht Ag enthalten oder aus Ag bestehen. Insbesondere ist die Spiegelschicht dafür geeignet, einen Großteil der auftretenden Strahlung in Richtung der Strahlungsausstrittsseite zu reflektieren.

**[0040]** Weiterhin kann der optoelektronische Halbleiterchip eine Schutzschicht aufweisen, die aus einem elektrisch schwach leitenden oder isolierenden Material gebildet ist und/oder eines der Materialien SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> enthält.

**[0041]** Gemäß zumindest einer Ausführungsform ist zwischen der Spiegelschicht und der Kontaktschicht eine Verbindungsschicht angeordnet, die aus einem transparenten elektrisch leitenden Oxid gebildet ist. Beispielsweise kann die Verbindungsschicht ZnO enthalten. Mittels der Verbindungsschicht kann der Kontaktwiderstand zwischen Kontaktschicht und

Spiegelschicht erhöht werden, so dass der Stromfluss beziehungsweise die Stromeinprägung mittels der Verbindungsschicht in gewünschter Weise eingestellt werden kann.

**[0042]** Gemäß zumindest einer Ausführungsform weist der optoelektronische Halbleiterchip eine weitere Spiegelschicht auf, die auf einer dem Halbleiterkörper abgewandten Seite der elektrisch leitenden Kontaktschicht angeordnet ist, wobei sich die weitere Spiegelschicht lateral über die Kontaktschicht hinaus erstreckt und Seitenflächen des Halbleiterkörpers bedeckt. Mittels der weiteren Spiegelschicht kann der Anteil der in Richtung der Strahlungsausstrittsseite reflektierten Strahlung weiter erhöht werden. Vorzugsweise handelt es sich bei der weiteren Spiegelschicht um eine elektrisch leitende, insbesondere metallische Schicht. Beispielsweise kann die Spiegelschicht aus Al oder Rh gebildet sein.

**[0043]** Gemäß zumindest einer Ausführungsform ist zwischen dem Halbleiterkörper und der weiteren Spiegelschicht die Verkapselung angeordnet. Ferner werden insbesondere der Halbleiterkörper, die Spiegelschicht und die Kontaktschicht von der Planarisierung lateral umschlossen. Auch die weitere Spiegelschicht ist von der Planarisierung lateral umgeben.

**[0044]** Bei einer bevorzugten Ausgestaltung ist die weitere Spiegelschicht elektrisch isoliert. Insbesondere ist die weitere Spiegelschicht mittels der sie umgebenden Schichten, zu denen beispielsweise die Verkapselung und die Planarisierung gehören, elektrisch isoliert.

**[0045]** Gemäß zumindest einer Ausführungsform weist der optoelektronische Halbleiterchip mindestens ein Kontaktelement zur elektrischen Kontaktierung der Kontaktschicht auf, wobei das Kontaktelement in einer Öffnung der weiteren Spiegelschicht angeordnet ist. Das Kontaktelement enthält vorzugsweise zumindest ein elektrisch leitendes Material, insbesondere ein Metall oder eine Metallverbindung. Beispielsweise können Rh und Ni oder anstelle von reinem Ni eine Ni-Legierung wie NiSn für das Kontaktelement verwendet werden. Bei dem mindestens einen Kontaktelement kann es sich um eine sich in vertikaler Richtung erstreckende Durchkontaktierung handeln, die sich von einer dem Halbleiterkörper zugewandten Vorderseite des Trägers bis zur Kontaktschicht erstreckt. Alternativ kann es sich bei dem Kontaktelement um einen Kontaktrahmen handeln. Dieser verläuft in Draufsicht auf den Halbleiterchip vorzugsweise entlang von Seitenrändern des Trägers.

**[0046]** Gemäß zumindest einer Ausführungsform umfasst der zweite Halbleiterbereich eine Anschlussschicht, die eine höchste Dotierung im Halbleiterkörper aufweist. In anderen Worten kann die An-

schlusschicht zumindest bereichsweise so hoch dotiert sein, dass sie eine höhere Dotierung aufweist als alle weiteren Bereiche des Halbleiterkörpers. Vorzugsweise begrenzt die Anschlussschicht den Halbleiterkörper auf seiner dem ersten Halbleiterbereich abgewandten Seite des zweiten Halbleiterbereichs. Das heißt, dass die Anschlussschicht eine den Halbleiterkörper auf seiner dem ersten Halbleiterbereich abgewandten Seite des zweiten Halbleiterbereichs abschließende Schicht bildet.

**[0047]** Gemäß zumindest einer Ausführungsform weist der Halbleiterkörper im Querschnitt eine ausgehend vom ersten Halbleiterbereich bis hin zum zweiten Halbleiterbereich sich verbreiternde Form auf. In anderen Worten weist der Halbleiterkörper im Querschnitt eine invertierte Mesaform auf.

**[0048]** Mittels des oben beschriebenen Verfahrens ist es möglich, vergleichsweise kleine Halbleiterchips herzustellen. Beispielsweise kann ein vorliegend beschriebener Halbleiterchip Seitenlängen von höchstens 150 µm aufweisen.

**[0049]** Weitere Vorteile, vorteilhafte Ausführungsformen und Weiterbildungen ergeben sich aus den im Folgenden in Verbindung mit den **Fig. 1** bis **Fig. 20** beschriebenen Ausführungsformen.

**[0050]** Es zeigen:

**[0051]** **Fig. 1** bis **Fig. 17** verschiedene Schritte eines Verfahrens zur Herstellung eines optoelektronischen Halbleiterchips gemäß einem ersten Ausführungsbeispiel und **Fig. 17** einen optoelektronischen Halbleiterchip gemäß einem ersten Ausführungsbeispiel,

**[0052]** **Fig. 1** bis **Fig. 13** sowie **Fig. 18** bis **Fig. 20** verschiedene Schritte eines Verfahrens zur Herstellung eines optoelektronischen Halbleiterchips gemäß einem zweiten Ausführungsbeispiel und **Fig. 20** einen optoelektronischen Halbleiterchip gemäß einem zweiten Ausführungsbeispiel.

**[0053]** **Fig. 1** zeigt einen Schritt eines Verfahrens zur Herstellung eines optoelektronischen Halbleiterchips, bei dem ein Substrat **1** bereitgestellt und auf diesem eine Halbleiterschichtenfolge **2** aufgebracht wird. Dabei wird zunächst auf dem Substrat **1** ein n-leitender zweiter Halbleiterbereich **5** und ferner auf dem n-leitenden Halbleiterbereich **5** ein p-leitender erster Halbleiterbereich **3** angeordnet. Zwischen dem ersten und zweiten Halbleiterbereich **3, 5** wird eine aktive Zone **4** ausgebildet. In anderen Worten umfasst die Halbleiterschichtenfolge **2** einen ersten Halbleiterbereich **3**, eine aktive Zone **4** an einer dem Substrat **1** zugewandten Seite des ersten Halbleiterbereichs **3** und einen zweiten Halbleiterbereich **5** an einer dem ersten Halbleiterbereich **3** abgewandten Seite der aktiven Zone **4**. Für die Halbleiter-

schichtenfolge **2** beziehungsweise den ersten und zweiten Halbleiterbereich **3, 5** kommen vorzugsweise auf Nitrid-Verbindungshalbleitern basierende Materialien, insbesondere GaN, in Betracht. Vorzugsweise wird der erste Halbleiterbereich **3** auf dem zweiten Halbleiterbereich **5** und der zweite Halbleiterbereich **5** auf dem Substrat **1** epitaktisch, beispielsweise mittels metallorganischer Gasphasenepitaxie, abgeschieden. Insbesondere wird der zweite Halbleiterbereich **5** dicker ausgebildet als der erste Halbleiterbereich **3**. Beispielsweise kann der erste Halbleiterbereich **3** mit einer Dicke von 130 nm ausgebildet werden. Der zweite Halbleiterbereich kann mit einer Dicke von 6 µm ausgebildet werden. Dabei sind Abweichungen von 10 % tolerabel.

**[0054]** **Fig. 2** zeigt einen weiteren Verfahrensschritt, bei welchem auf den ersten Halbleiterbereich **3** eine Spiegelschicht **6** aufgebracht wird. Ferner wird auf den ersten Halbleiterbereich **3** beziehungsweise die Spiegelschicht **6** eine Kontaktschicht **7** aufgebracht. Vorzugsweise wird die Spiegelschicht **6** aus einem elektrisch leitfähigen Material, insbesondere einem Metall wie Ag, gebildet. Die Kontaktschicht **7** kann aus einem elektrisch leitfähigen Material, insbesondere einem Metall wie Ni, gebildet werden.

**[0055]** Bei einer bevorzugten Ausgestaltung des Verfahrens wird vor dem Aufbringen der Kontaktschicht **7** eine Verbindungsschicht auf der Spiegelschicht **6** angeordnet (nicht dargestellt). Mittels der Verbindungsschicht kann die elektrische Leitfähigkeit der Spiegelschicht **6** verändert werden. Beispielsweise kann die Verbindungsschicht aus einem transparenten elektrisch leitenden Oxid gebildet werden. Mittels der Verbindungsschicht kann der Kontaktwiderstand der Spiegelschicht **6** erhöht werden.

**[0056]** **Fig. 3** zeigt weitere Schritte des Verfahrens. Zunächst erfolgt eine Strukturierung der elektrisch leitenden Kontaktschicht **7**. Vorzugsweise kommt bei der Strukturierung der Kontaktschicht **7** ein fotolithografisches Verfahren zum Einsatz. Dabei wird insbesondere das Abbild einer Maske in der Kontaktschicht **7** erzeugt. Anschließend kann die Kontaktschicht **7**, beispielsweise durch nasschemisches Ätzen, strukturiert werden, wobei abzulösende Bereiche der Kontaktschicht **7**, zum Beispiel mittels Salzsäure, weggeätzt werden. Die nicht-abgelösten Restbereiche der Kontaktschicht **7** dienen dann als Maske zur Strukturierung der Spiegelschicht **6** und der Halbleiterschichtenfolge **2**. Dabei eignen sich Dicken zwischen 100 nm und 200 nm für die Kontaktschicht **7**.

**[0057]** Anschließend erfolgt eine Strukturierung der Spiegelschicht **6** mittels der strukturierten Kontaktschicht **7**. Dies kann durch nasschemisches Ätzen erfolgen. Dabei wird insbesondere ein Ätzmittel verwendet, das selektiv gegen das Material der Kontaktschicht **7** wirkt und zu einer geringfügigen Unterät-

zung der Kontaktschicht 7 führt. Dabei wird in der Spiegelschicht 6 eine Hohlkehle ausgebildet, so dass die Spiegelschicht 6 von dem ersten Halbleiterbereich 3 und der elektrisch leitenden Kontaktschicht 7 randseitig lateral überragt und zwischen dem ersten Halbleiterbereich 3 und der elektrisch leitenden Kontaktschicht 7 ein Zwischenraum 8 ausgebildet wird. Der Zwischenraum 8 weist dabei eine laterale Abmessung  $d$  auf, die höchstens  $1\ \mu\text{m}$  beträgt. In anderen Worten beträgt der laterale Überstand der Kontaktschicht 7 über die Spiegelschicht 6 höchstens  $1\ \mu\text{m}$ .

**[0058]** Fig. 4 zeigt einen weiteren Verfahrensschritt, bei welchem in dem Zwischenraum 8 eine Schutzschicht 9 erzeugt wird. Das für die Schutzschicht 8 verwendete Material kann zunächst auch auf Bereiche des ersten Halbleiterbereichs 3 aufgebracht werden, die außerhalb des Zwischenraums 8 liegen. Durch einen Ablöseprozess, insbesondere mittels eines Trockenätzverfahrens wie reaktives Ionenätzen (sogenanntes RIE), wird das Material dann so strukturiert, dass die Bereiche des ersten Halbleiterbereichs 3, die außerhalb des Zwischenraums 8 liegen, von der Schutzschicht 9 unbedeckt sind. Die Schutzschicht 9 füllt den Zwischenraum 8 zumindest teilweise aus. Dabei kann die strukturierte Kontaktschicht 7 einen Abtrag der Schutzschicht 9 unterhalb der Kontaktschicht 7 weitgehend, vorzugsweise vollständig, verhindern. Als Ätzmittel kann Fluor verwendet werden. Für die Schutzschicht 9 kommen elektrisch schwach leitende oder isolierende Materialien und/oder eines der Materialien  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$  in Frage. Beispielsweise kann als Ausgangsmaterial für  $\text{SiO}_2$  TEOS (Tetraethylorthosilicat) verwendet werden, das bei geringem Druck und geringer Flussrate mit einer Dicke zwischen  $50\ \text{nm}$  und  $400\ \text{nm}$  aufgebracht wird. Alternativ kann das Material mittels Atomlagenabscheidung (sogenanntes ALD) aufgebracht werden. Insbesondere kann durch die Schutzschicht 9 verhindert werden, dass die Spiegelschicht 6 bei weiteren Strukturierungsschritten, insbesondere beim Ätzen der Halbleiterschichtenfolge 2, angegriffen wird.

**[0059]** Fig. 5 zeigt einen weiteren Verfahrensschritt, bei dem eine Strukturierung der Halbleiterschichtenfolge 2 erfolgt. Die Halbleiterschichtenfolge 2 wird mittels der strukturierten Kontaktschicht 7 strukturiert, das heißt die strukturierte Kontaktschicht 7 dient als formgebende Maske. Insbesondere kommt hierbei ein Trockenätzverfahren, vorzugsweise reaktives Ionenätzen, zum Einsatz. Als Ätzmittel kann dabei Chlor verwendet werden.

**[0060]** Vorteilhafterweise kann bei dem vorliegend beschriebenen Verfahren zwischen Halbleiterschichtenfolge 2 und strukturierter Kontaktschicht 7 eine vergleichsweise hohe Selektivität von 20:1 bis 50:1 erzielt werden. Dies ermöglicht Ätztiefen  $T$ , die mit Vorteil größer sind als  $2\ \mu\text{m}$ . Insbesondere weist der

zweite Halbleiterbereich 5 eine Anschlussschicht 5A auf, wobei eine Strukturierung des zweiten Halbleiterbereichs 5 bis zu einer Unterkante der Anschlussschicht 5A erfolgt. Ein zwischen der Anschlussschicht 5A und dem Substrat 1 angeordneter Restbereich 5B des zweiten Halbleiterbereichs 5 ragt damit über die strukturierte Halbleiterschichtenfolge lateral hinaus. Bei der Anschlussschicht 5A handelt es sich vorzugsweise um eine hoch-dotierte Halbleiterschicht des zweiten Halbleiterbereichs 5. Insbesondere kann die Anschlussschicht 5A eine höchste Dotierung in der Halbleiterschichtenfolge 2 aufweisen. Die strukturierte Halbleiterschichtenfolge weist eine Mesaform auf, deren vertikale Ausdehnung beziehungsweise Höhe identisch ist mit der Ätztiefe  $T$ . Die strukturierte Halbleiterschichtenfolge weist im Querschnitt eine ausgehend vom ersten Halbleiterbereich 3 bis hin zum zweiten Halbleiterbereich 5 sich verbreiternde Form auf.

**[0061]** Fig. 6 zeigt einen weiteren möglichen Verfahrensschritt, bei welchem die Spiegelschicht 6 und die Kontaktschicht 7 mit einer Öffnung 10 versehen werden. Vorzugsweise wird dabei zunächst die Kontaktschicht 7, beispielsweise nasschemisch mit  $\text{HCl}$ , geöffnet. Anschließend kann die Öffnung in der Spiegelschicht 6 mittels der Öffnung in der Kontaktschicht 7, beispielsweise ebenfalls nasschemisch, erzeugt werden. Alternativ kann dieser Schritt entfallen. Das heißt, dass die Spiegelschicht 6 und die Kontaktschicht 7 unterbrechungsfrei ausgebildet sein können.

**[0062]** Fig. 7 zeigt einen weiteren Verfahrensschritt, bei dem ein Verbund, der sich aus dem Substrat 1, der Halbleiterschichtenfolge 2 sowie weiterer auf der Halbleiterschichtenfolge 2 angeordneter Schichten 6, 7, 9 zusammensetzt, mit einer Verkapselung 11 versehen wird. Insbesondere wird eine Außenfläche des Verbunds mit der Verkapselung 11 bedeckt. Vorzugsweise werden für die Verkapselung 11 schwach leitende oder isolierende Materialien wie etwa  $\text{SiO}_2$  verwendet. Die Verkapselung 11 kann mittels der bereits erwähnten Atomlagenabscheidung aufgebracht werden.

**[0063]** Fig. 8 zeigt einen weiteren Verfahrensschritt, bei dem auf die Verkapselung 11 eine weitere Spiegelschicht 12 aufgebracht wird. Die Spiegelschicht 12 kann zunächst auf eine der Halbleiterschichtenfolge 2 abgewandte Oberfläche der Verkapselung 11 vollflächig aufgebracht werden, so dass sie die Oberfläche vollständig bedeckt. Beispielsweise kann die Spiegelschicht 12 aufgesputtert werden. Als Materialien für die Spiegelschicht 12 eignen sich insbesondere Metalle wie beispielsweise  $\text{Al}$  oder  $\text{Rh}$ . Anschließend kann die Spiegelschicht 12 strukturiert werden, so dass sie die Oberfläche nur bereichsweise bedeckt. Die Strukturierung, das heißt das bereichsweise Ablösen der Spiegelschicht 12, kann beispiels-

weise nasschemisch erfolgen. Dabei kann Phosphorsäure (H<sub>3</sub>PO<sub>4</sub>) als Ätzmittel verwendet werden. Vorzugsweise wird in der Spiegelschicht **12** mindestens eine Öffnung **13** erzeugt, die der Kontaktschicht **7** in vertikaler Richtung ausgehend von der Halbleiterschichtenfolge **2** nachgeordnet ist. Die Öffnung **13** dient später der Ankontaktierung der Kontaktschicht **7**. Insbesondere werden, wie dargestellt, zwei weitere Öffnungen **13** erzeugt. Alternativ kann eine rahmenförmige Vertiefung ausgebildet werden, die eine den Öffnungen **13** entsprechende Querschnittsform aufweist.

**[0064]** Fig. 9 zeigt einen weiteren Verfahrensschritt, bei dem der Verbund mit einer Planarisierung **14** versehen wird. Insbesondere wird das Material der Planarisierung **14** zunächst auf eine dem Substrat **1** abgewandte Außenfläche des Verbunds aufgebracht. Dabei wird die Planarisierung **14** derart ausgebildet, dass sie Seitenflächen **222** des ersten und zweiten Halbleiterbereichs **3**, **5** beziehungsweise der Halbleiterschichtenfolge **2** bedeckt und die mindestens eine Öffnung **13** der weiteren Spiegelschicht **12** ausfüllt. Weiterhin bedeckt die Planarisierung **14** vorzugsweise den Restbereich **5B** des zweiten Halbleiterbereichs **5** und schließt lateral bündig mit diesem ab. Vorzugsweise werden für die Planarisierung **14** schwach leitende oder isolierende Materialien wie etwa SiO<sub>2</sub> verwendet. Mittels der Planarisierung **14** weist der Verbund aus Substrat **1**, Halbleiterschichtenfolge **2** und den weiteren Schichten **6**, **7**, **9**, **11**, **12**, **14** im Querschnitt eine rechteckförmige Gestalt auf.

**[0065]** Fig. 10 zeigt einen weiteren Verfahrensschritt, bei dem auf einer Außenfläche des Verbunds eine Isolierschicht **15** angeordnet wird. Vorzugsweise werden für die Isolierschicht **15** elektrisch isolierende Materialien wie etwa SiO<sub>2</sub> verwendet. Vorteilhafterweise bedeckt die Isolierschicht **15** die noch freiliegenden Flächen der Spiegelschicht **12**. Mittels der Verkapselung **11**, der Planarisierung **14** und der Isolierschicht **15** ist die Spiegelschicht **12** vorzugsweise in elektrisch isolierendes Material eingebettet. Damit ist die Spiegelschicht **12** elektrisch isoliert.

**[0066]** Fig. 11 zeigt einen weiteren Verfahrensschritt, bei dem durch die mindestens eine Öffnung **13** der weiteren Spiegelschicht **12** hindurch eine weitere Öffnung **16** erzeugt wird, die einen kleineren Durchmesser aufweist als die bereits bestehende Öffnung **13** und sich durch alle Schichten **11**, **14**, **15** hindurch bis zur Kontaktschicht **7** erstreckt. Beispielsweise kann die weitere Öffnung **16** mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen erzeugt werden. Insbesondere wird hierbei als Ätzmittel Fluor verwendet. Vorzugsweise werden, wie dargestellt, zwei weitere Öffnungen **16** erzeugt. Alternativ kann eine rahmenförmige Vertiefung ausgebildet werden, die eine den Öffnungen **16** entsprechende Querschnittsform aufweist.

**[0067]** Fig. 12 zeigt einen weiteren Verfahrensschritt, bei dem in der mindestens einen weiteren Öffnung **16** ein Kontaktelement **17** ausgebildet wird. Das Kontaktelement **17** wird vorzugsweise aus zumindest einem elektrisch leitenden Material, insbesondere aus einem Metall oder einer Metallverbindung, gebildet. Beispielsweise können Rh und Ni oder anstelle von Ni eine Ni-Legierung wie NiSn für das Kontaktelement **17** verwendet werden. Weiterhin wird auf einer dem Substrat **1** abgewandten Seite des Verbunds ein Träger **18** aufgebracht. Der Träger **18** enthält vorzugsweise ein Material mit vergleichsweise hoher Wärmeleitfähigkeit. Beispielsweise kommt als Material für den Träger **18** Silizium in Frage.

**[0068]** Fig. 13 zeigt einen weiteren Verfahrensschritt, bei dem das Substrat **1** abgelöst wird. Beispielsweise kann das Substrat **1** mittels Laser Lift Off von der Halbleiterschichtenfolge **2** entfernt werden.

**[0069]** Die Fig. 14 bis Fig. 17 zeigen weitere Verfahrensschritte eines Verfahrens gemäß einem ersten Ausführungsbeispiel.

**[0070]** Bei dem in Fig. 14 dargestellten Verfahrensschritt wird der zweite Halbleiterbereich **5** bis zu einer Unterkante der Anschlussschicht **5A** gedünnt. Der Restbereich **5B** wird also vollständig entfernt. Vorzugsweise wird der Restbereich **5B** des zweiten Halbleiterbereichs **5** mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen entfernt.

**[0071]** Fig. 15 zeigt einen weiteren Verfahrensschritt, bei dem auf die dem Träger **18** abgewandte Außenfläche des Verbunds eine Passivierung **19** aufgebracht wird. Die Passivierung **19** wird mit Vorteil aus einem elektrisch schwach oder nicht leitenden Material wie beispielsweise SiO<sub>2</sub> gebildet. Die Herstellung kann mittels Atomlagenabscheidung erfolgen.

**[0072]** Fig. 16 zeigt einen weiteren Verfahrensschritt, bei dem die Passivierung **19** in einem zentralen Bereich geöffnet wird. Dies kann trocken- oder nasschemisch erfolgen. In der so erzeugten Öffnung wird ein Anschlusselement **20** ausgebildet. Für das Anschlusselement **20** kommen als Materialien insbesondere transparente elektrisch leitende Oxide in Frage.

**[0073]** Fig. 17 zeigt einen weiteren Verfahrensschritt, bei dem auf der Anschlussschicht **5A** beziehungsweise Passivierung **19** eine Auskoppelstruktur **21** angeordnet wird. Insbesondere wird die Auskoppelstruktur **21** aus einem gering absorbierenden Material wie beispielsweise TiO<sub>2</sub> oder Nb<sub>2</sub>O<sub>5</sub> gebildet. Zunächst kann das Material für die Auskoppelstruktur **21** in einer homogenen Schicht aufgebracht und anschließend mit Erhebungen und Vertiefungen verse-

hen werden, so dass sich eine gewünschte Auskoppelstruktur **21** ergibt.

**[0074]** Fig. 17 zeigt zugleich einen optoelektronischen Halbleiterchip **23**, der einen Halbleiterkörper **22** mit einem ersten Halbleiterbereich **3**, einem zweiten Halbleiterbereich **5** und einer zwischen dem ersten und zweiten Halbleiterbereich **3**, **5** angeordneten aktiven Zone **4** aufweist. Ferner umfasst der optoelektronische Halbleiterchip **23** eine elektrisch leitende Kontaktschicht **7**, die auf einer dem zweiten Halbleiterbereich **5** abgewandten Seite des ersten Halbleiterbereichs **3** angeordnet ist. Außerdem umfasst der optoelektronische Halbleiterchip **23** eine elektrisch leitende Spiegelschicht **6**, die zwischen dem ersten Halbleiterbereich **3** und der elektrisch leitenden Kontaktschicht **7** angeordnet ist und von dem ersten Halbleiterbereich **3** und der elektrisch leitenden Kontaktschicht **7** randseitig lateral überragt wird, so dass sich zwischen dem ersten Halbleiterbereich **3** und der elektrisch leitenden Kontaktschicht **7** ein Zwischenraum **8** befindet, in welchem zum Schutz der Spiegelschicht eine Schutzschicht **9** angeordnet ist, wobei sich die elektrisch leitende Kontaktschicht **7** lateral bis zu einem Rand des ersten Halbleiterbereichs **3** erstreckt.

**[0075]** Der optoelektronische Halbleiterchip **23** weist eine weitere Spiegelschicht **12** auf, die auf einer dem Halbleiterkörper **22** abgewandten Seite der elektrisch leitenden Kontaktschicht **7** angeordnet ist, wobei sich die weitere Spiegelschicht **12** lateral über die Kontaktschicht **7** hinaus erstreckt und Seitenflächen **222** des Halbleiterkörpers **23** bedeckt.

**[0076]** Ferner weist der optoelektronische Halbleiterchip **23** mindestens ein Kontaktelement **17** oder einen Kontaktrahmen zur elektrischen Kontaktierung der Kontaktschicht **7** auf, wobei das Kontaktelement **17** in einer Öffnung **13** der weiteren Spiegelschicht **12** angeordnet ist.

**[0077]** Zwar weist der Halbleiterkörper **22** im Querschnitt eine ausgehend vom ersten Halbleiterbereich **3** bis hin zum zweiten Halbleiterbereich **5** sich verbreiternde Form auf. Dennoch weist der Halbleiterchip **23** im Querschnitt eine rechteckförmige Gestalt auf. Dies kann mittels der Planarisierung **14**, die den Halbleiterkörper **22**, die Spiegelschicht **12** und die Kontaktschicht **7** lateral umgibt, erzielt werden.

**[0078]** Der zweite Halbleiterbereich **5** umfasst eine Anschlussschicht **5A**, die eine höchste Dotierung im Halbleiterkörper **22** aufweist. Die Anschlussschicht **5A** begrenzt den Halbleiterkörper **22** auf seiner dem ersten Halbleiterbereich **3** abgewandten Seite des zweiten Halbleiterbereichs **5**.

**[0079]** Im Betrieb tritt vorzugsweise ein Großteil der in der aktiven Zone **4** erzeugten Strahlung an einer

Strahlungsaustrittsseite des Halbleiterchips **23** aus, die sich auf einer dem ersten Halbleiterbereich **3** abgewandten Seite des zweiten Halbleiterbereichs **5** befindet. An der Strahlungsaustrittsseite befindet sich die Auskoppelstruktur **21**, welche die Strahlungsauskopplung aus dem Halbleiterkörper **22** verbessert.

**[0080]** Bei dem optoelektronischen Halbleiterchip **23** ist das Substrat abgelöst. Es handelt sich also um einen Dünnschicht-Chip. Die lateralen Abmessungen des Halbleiterchips **23** werden insbesondere durch das Substrat beziehungsweise den Träger bestimmt und betragen höchstens  $L = 150 \mu\text{m}$ .

**[0081]** In Verbindung mit den Fig. 1 bis Fig. 13 und Fig. 18 bis Fig. 20 wird ein Verfahren gemäß einem zweiten Ausführungsbeispiel dargestellt. Hierbei wird die Auskoppelstruktur **21** durch Strukturierung des zweiten Halbleiterbereichs **5**, insbesondere des Restbereichs **5B**, hergestellt (vergleiche Fig. 18). Beispielsweise wird der zweite Halbleiterbereich **5** beziehungsweise der Restbereich **5B** aufgeraut. Dies kann mittels eines Trockenätzverfahrens wie reaktivem Ionenätzen erfolgen. Anschließend können eine Passivierung **24** und Verkapselung **25** aufgebracht werden, die den Verbund auf einer dem Träger **18** abgewandten Seite bedecken (vergleiche Fig. 19). Beispielsweise kann die Passivierung **24** mittels Atomlagenabscheidung aus  $\text{Al}_2\text{O}_3$  gebildet werden. Die Verkapselung kann mittels Gasphasenabscheidung aus  $\text{SiO}_2$  gebildet werden. Die Passivierung **24** und Verkapselung **25** können in einem zentralen Bereich geöffnet werden. Dies kann trocken- oder nasschemisch erfolgen. In der so erzeugten Öffnung wird ein Anschlusselement **20** ausgebildet (vergleiche Fig. 20). Für das Anschlusselement **20** kommen als Materialien insbesondere transparente elektrisch leitende Oxide in Frage.

**[0082]** Fig. 20 zeigt zugleich einen optoelektronischen Halbleiterchip **23**. Dieser gleicht dem in Verbindung mit Fig. 17 beschriebenen Halbleiterchip, unterscheidet sich aber hinsichtlich der Auskoppelstruktur **21** wie in Verbindung mit den Fig. 18 und Fig. 19 bereits beschrieben wurde.

**[0083]** Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

## Bezugszeichenliste

1	Substrat
2	Halbleiterschichtenfolge
3	erster Halbleiterbereich
4	aktive Zone
5	zweiter Halbleiterbereich
5A	Anschlussschicht
5B	Restbereich des zweiten Halbleiterbereichs
6, 12	Spiegelschicht
7	Kontaktschicht
8	Zwischenraum
9	Schutzschicht
10, 13, 16	Öffnung
11, 25	Verkapselung
14	Planarisierung
15	Isolierschicht
17	Kontaktelement
18	Träger
19, 24	Passivierung
20	Anschlusselement
21	Auskoppelstruktur
22	Halbleiterkörper
23	Optoelektronischer Halbleiterchip
222	Seitenfläche
d	laterale Abmessung
T	Ätztiefe
V	vertikale Richtung
L	laterale Abmessung

## Patentansprüche

1. Optoelektronischer Halbleiterchip (23) mit  
– einem Halbleiterkörper (22) umfassend einen ersten Halbleiterbereich (3), einen zweiten Halbleiterbereich (5) und eine zwischen dem ersten und zweiten Halbleiterbereich (3, 5) angeordnete aktive Zone (4),  
– einer elektrisch leitenden Kontaktschicht (7), die auf einer dem zweiten Halbleiterbereich (5) abgewandten Seite des ersten Halbleiterbereichs (3) angeordnet ist,  
– einer elektrisch leitenden Spiegelschicht (6), die zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) angeordnet ist und von dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) randseitig lateral überragt wird, so dass sich zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) ein Zwischenraum (8) befindet, in welchem zum Schutz der Spiegelschicht (6) eine Schutzschicht (9) angeordnet ist, wobei sich die elektrisch leitende Kontaktschicht (7) lateral bis zu einem Rand des ersten Halbleiterbereichs (3) erstreckt.

2. Optoelektronischer Halbleiterchip (23) nach dem vorhergehenden Anspruch, wobei die elektrisch leitende Kontaktschicht (7) Ni enthält oder aus Ni besteht.

3. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, wobei die elektrisch leitende Spiegelschicht (6) Ag enthält oder aus Ag besteht.

4. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, wobei die Schutzschicht (9) aus einem elektrisch schwach leitenden oder isolierenden Material gebildet ist und/oder eines der Materialien SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> enthält.

5. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, wobei zwischen der elektrisch leitenden Spiegelschicht (6) und der elektrisch leitenden Kontaktschicht (7) eine Verbindungsschicht angeordnet ist, die aus einem transparenten elektrisch leitenden Oxid gebildet ist.

6. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, der eine weitere Spiegelschicht (12) aufweist, die auf einer dem Halbleiterkörper (22) abgewandten Seite der elektrisch leitenden Kontaktschicht (7) angeordnet ist, wobei sich die weitere Spiegelschicht (12) lateral über die elektrisch leitende Kontaktschicht (7) hinaus erstreckt und mindestens eine Seitenfläche (222) des Halbleiterkörpers (22) bedeckt.

7. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, der mindestens ein Kontaktelement (17) zur elektrischen Kontaktierung der elektrisch leitenden Kontaktschicht (7) aufweist, wobei das Kontaktelement (17) in einer Öffnung (13) der weiteren Spiegelschicht (12) angeordnet ist.

8. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, bei dem eine Planarisierung (14) den Halbleiterkörper (22), die elektrisch leitende Spiegelschicht (6) und die elektrisch leitende Kontaktschicht (7) lateral umgibt.

9. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, wobei der Halbleiterkörper (22) im Querschnitt eine ausgehend vom ersten Halbleiterbereich (3) bis hin zum zweiten Halbleiterbereich (5) sich verbreiternde Form aufweist.

10. Optoelektronischer Halbleiterchip (23) nach einem der vorhergehenden Ansprüche, wobei der zweite Halbleiterbereich (5) eine Anschlussschicht (5A) aufweist, die den Halbleiterkörper (22) auf seiner dem ersten Halbleiterbereich (3) abgewandten Seite des zweiten Halbleiterbereichs (5) begrenzt und eine höchste Dotierung im Halbleiterkörper (22) aufweist.

11. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (23) mit den folgenden Schritten:

- Bereitstellen eines Substrats (1),
- Aufbringen einer Halbleiterschichtenfolge (2) umfassend einen ersten Halbleiterbereich (3), eine aktive Zone (4) an einer dem Substrat (1) zugewandten Seite des ersten Halbleiterbereichs (3) und einen zweiten Halbleiterbereich (5) an einer dem ersten Halbleiterbereich (3) abgewandten Seite der aktiven Zone (4),
- Aufbringen einer elektrisch leitenden Spiegelschicht (6) und einer elektrisch leitenden Kontaktschicht (7) auf den ersten Halbleiterbereich (3), wobei die elektrisch leitende Spiegelschicht (6) zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) angeordnet wird,
- Strukturierung der elektrisch leitenden Kontaktschicht (7),
- Strukturierung der elektrisch leitenden Spiegelschicht (6) mittels der strukturierten elektrisch leitenden Kontaktschicht (7), wobei in der elektrisch leitenden Spiegelschicht (6) eine Hohlkehle ausgebildet wird, so dass die Spiegelschicht (6) von dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) randseitig lateral überragt und zwischen dem ersten Halbleiterbereich (3) und der elektrisch leitenden Kontaktschicht (7) ein Zwischenraum (8) ausgebildet wird,
- Strukturierung der Halbleiterschichtenfolge (2) mittels der strukturierten elektrisch leitenden Kontaktschicht (7).

12. Verfahren gemäß dem vorhergehenden Anspruch, wobei die elektrisch leitende Kontaktschicht (7) aus Ni gebildet wird.

13. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei die elektrisch leitende Spiegelschicht (6) aus Ag gebildet wird.

14. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei der zweite Halbleiterbereich (5) eine Anschlussschicht (5A) aufweist, und eine Strukturierung des zweiten Halbleiterbereichs (5) bis zu einer Unterkante der Anschlussschicht (5A) erfolgt.

15. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei in dem Zwischenraum (8) zum Schutz der elektrisch leitenden Spiegelschicht (6) eine Schutzschicht (9) angeordnet wird.

16. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei zwischen der elektrisch leitenden Spiegelschicht (6) und der elektrisch leitenden Kontaktschicht (7) eine Verbindungsschicht angeordnet wird, die aus einem transparenten elektrisch leitenden Oxid gebildet wird.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

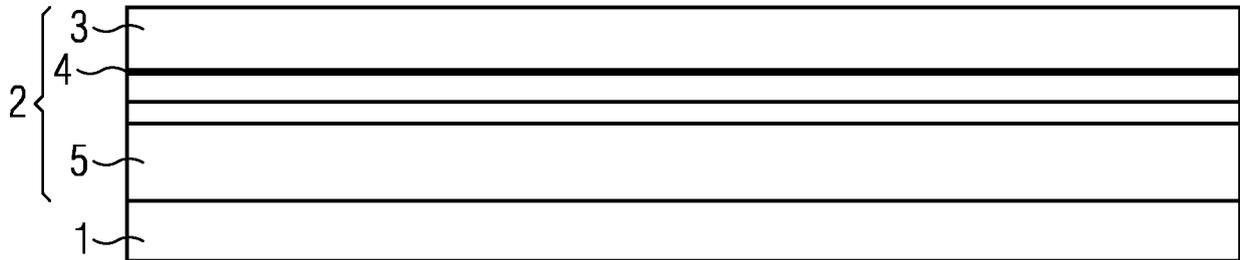


FIG 2

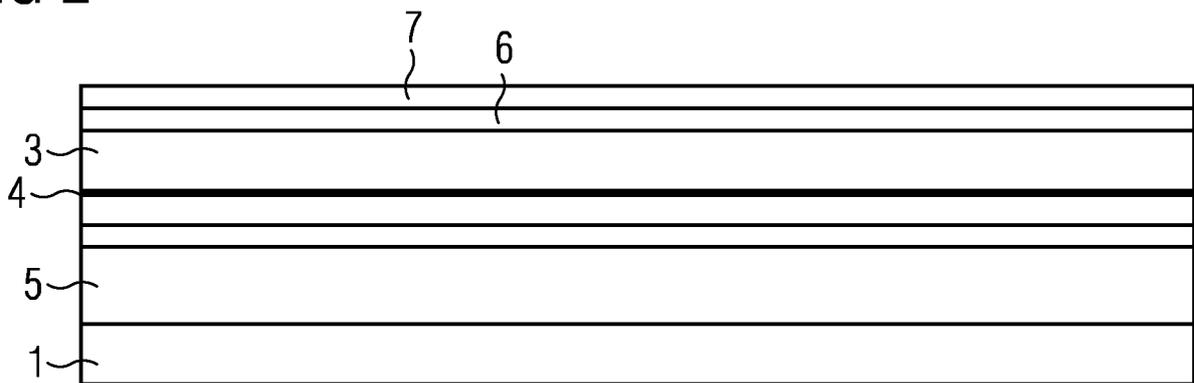


FIG 3

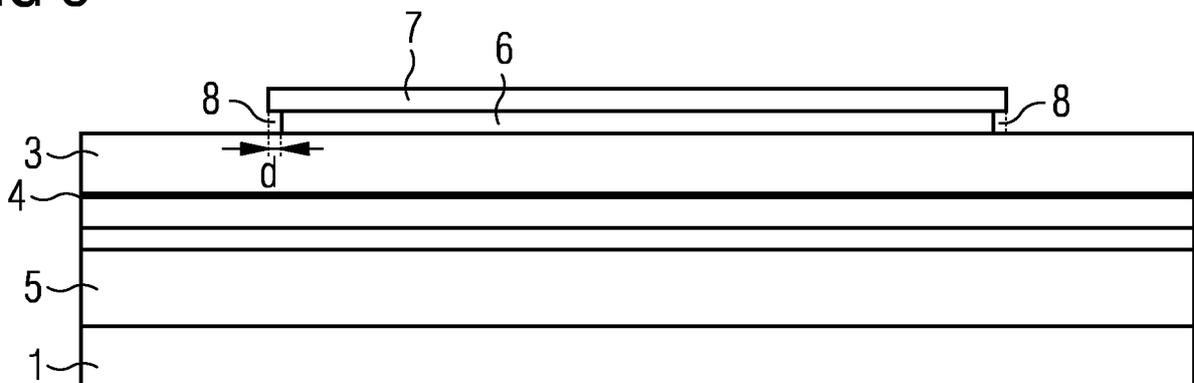


FIG 4

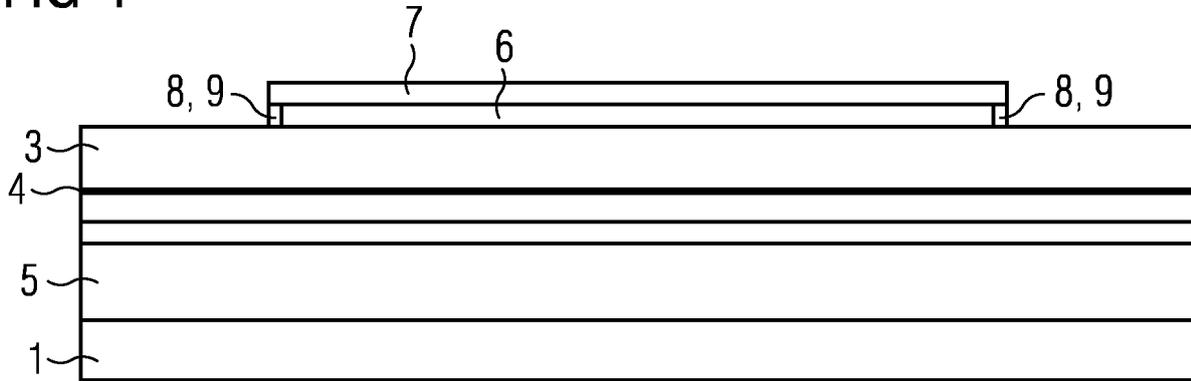


FIG 5

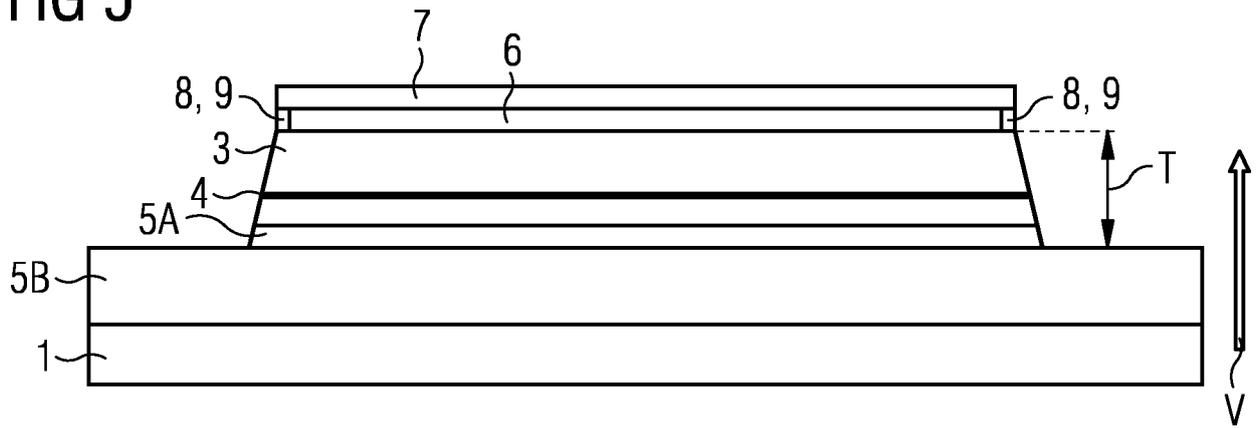


FIG 6

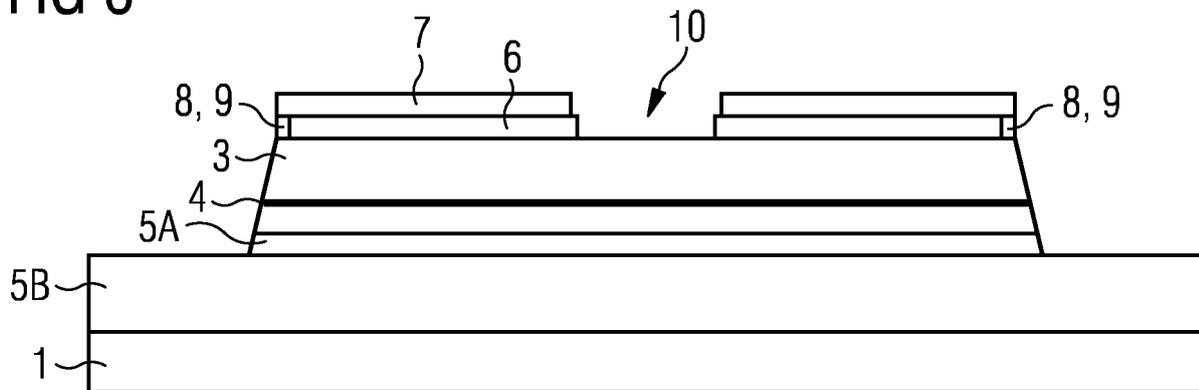


FIG 7

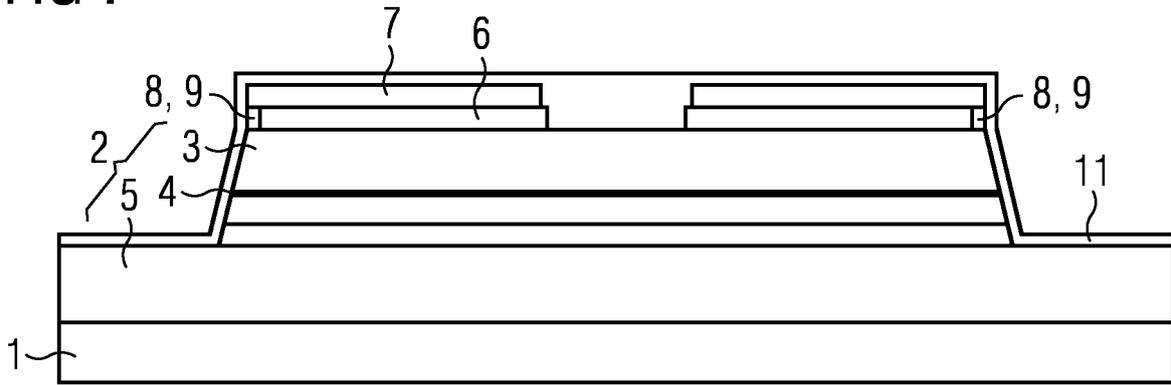


FIG 8

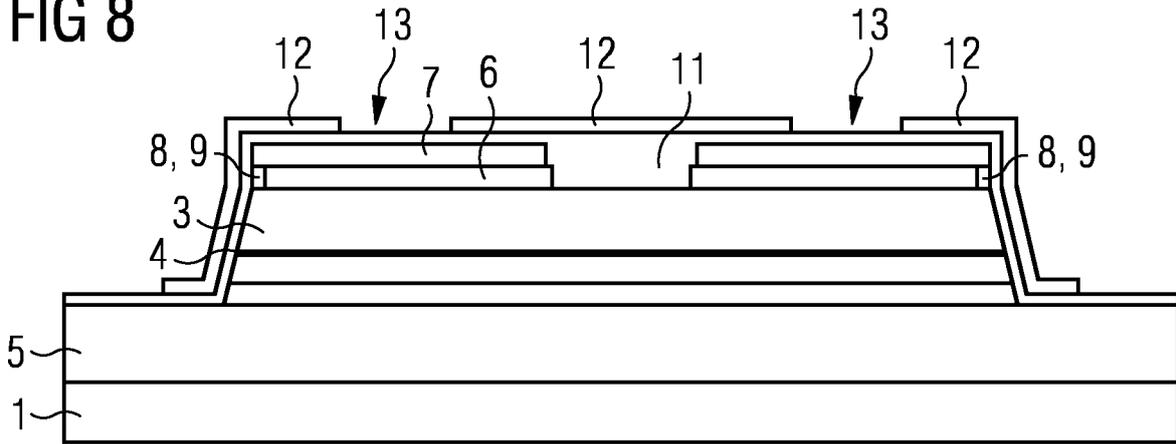


FIG 9

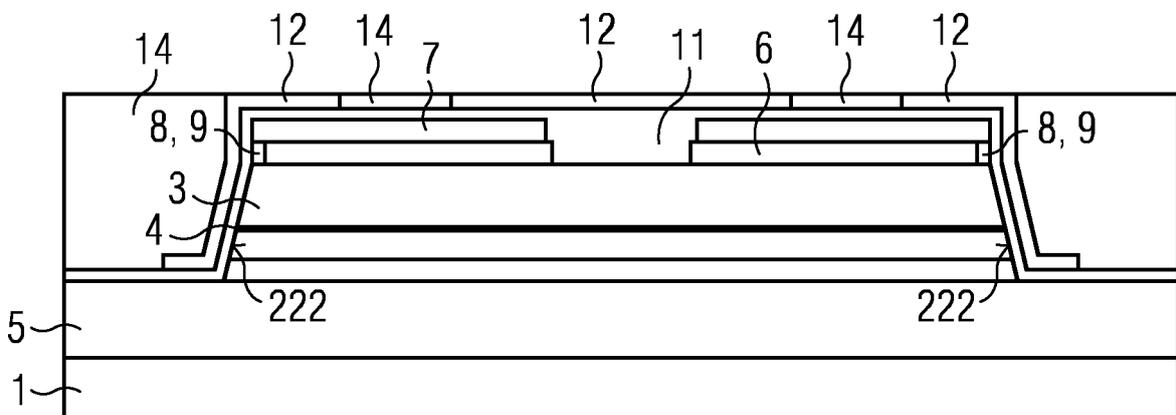


FIG 10

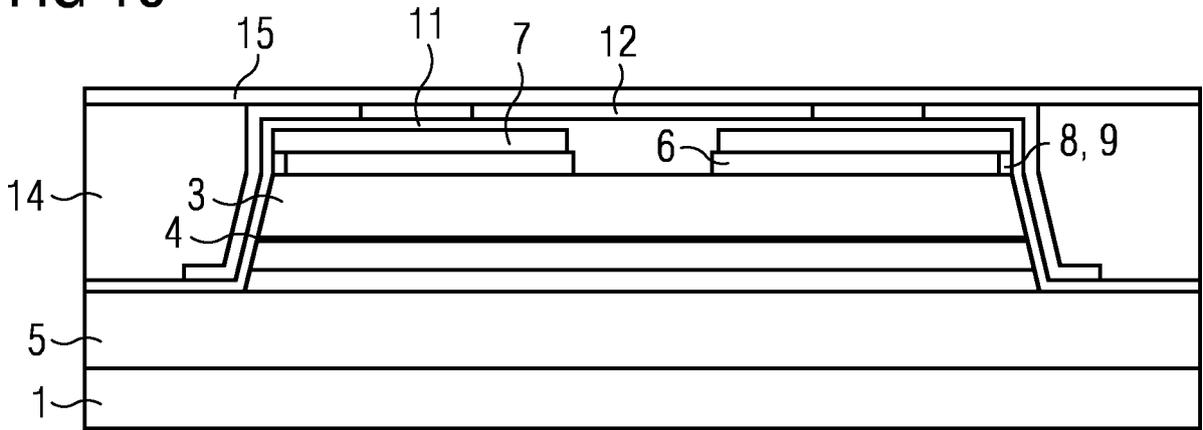


FIG 11

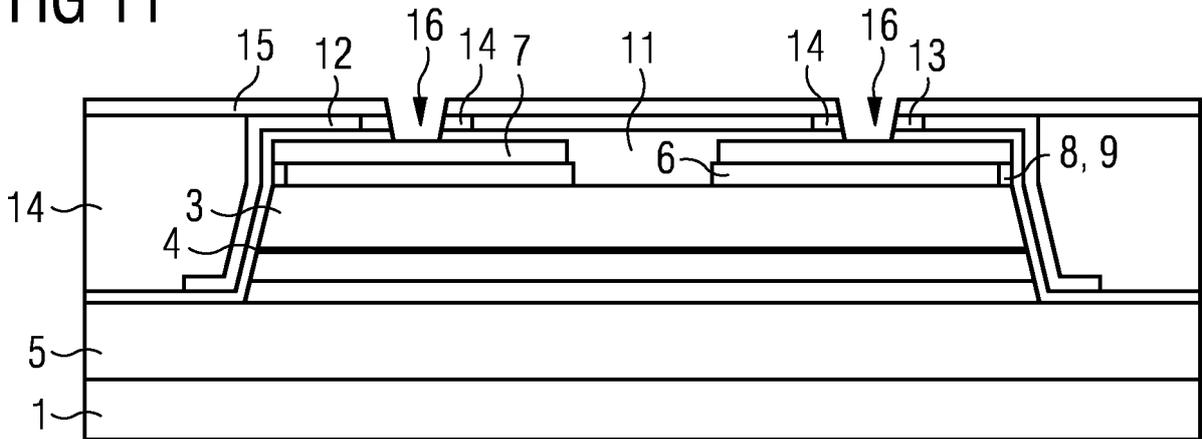


FIG 12

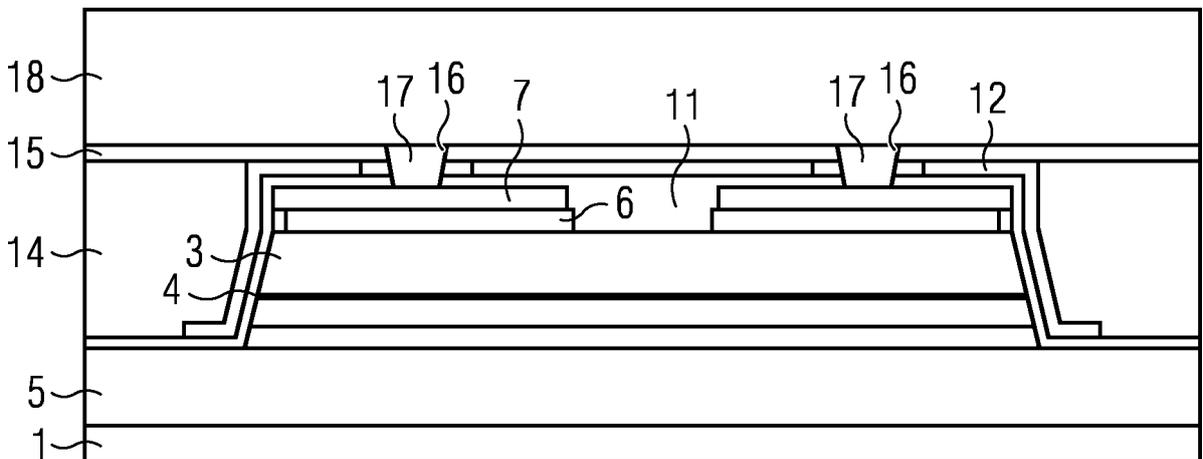


FIG 13

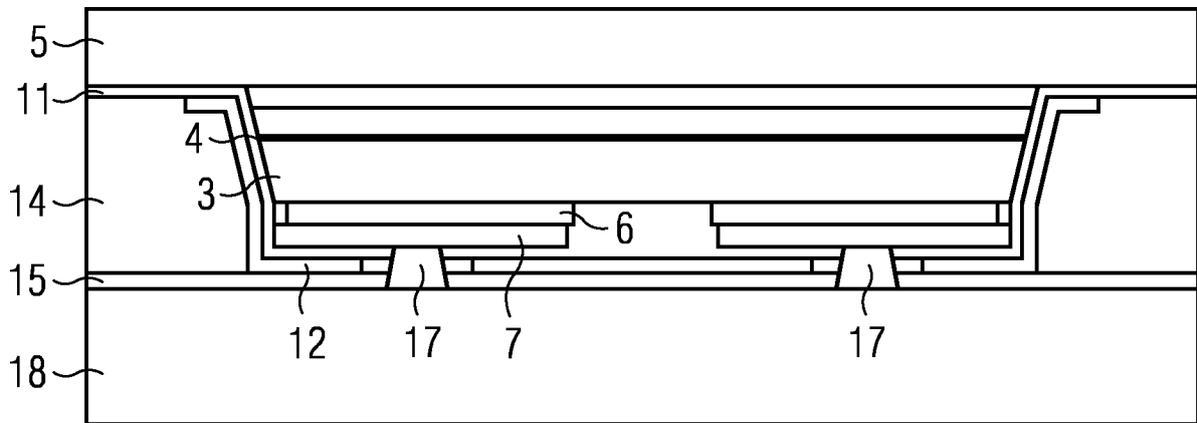


FIG 14

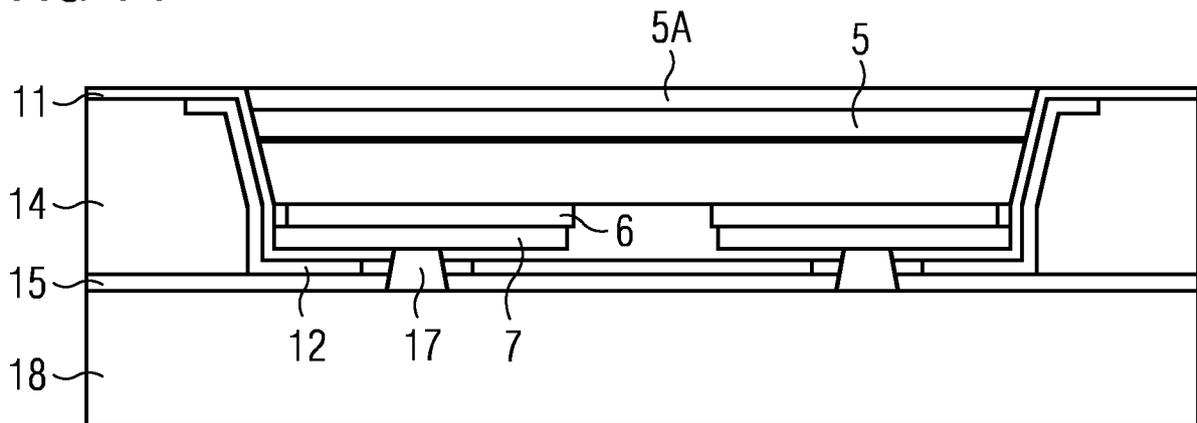


FIG 15

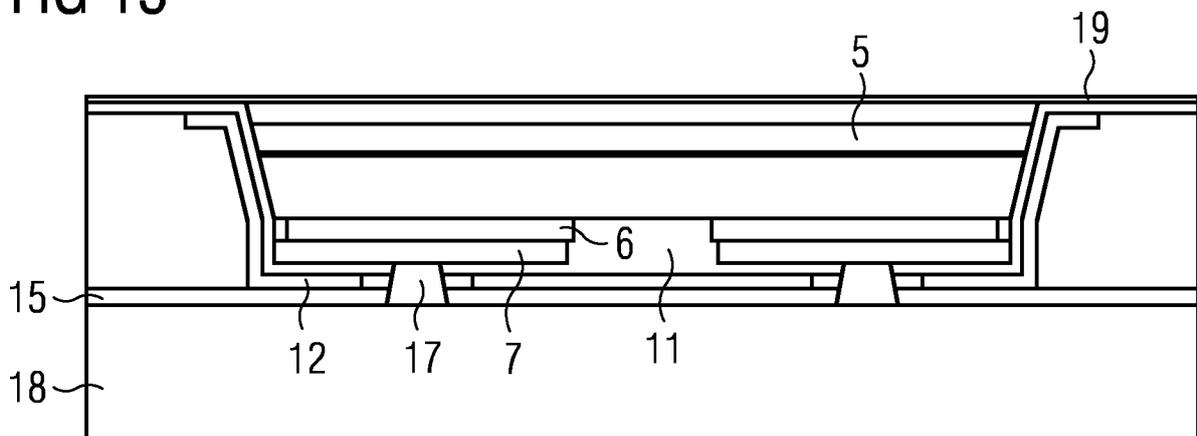


FIG 16

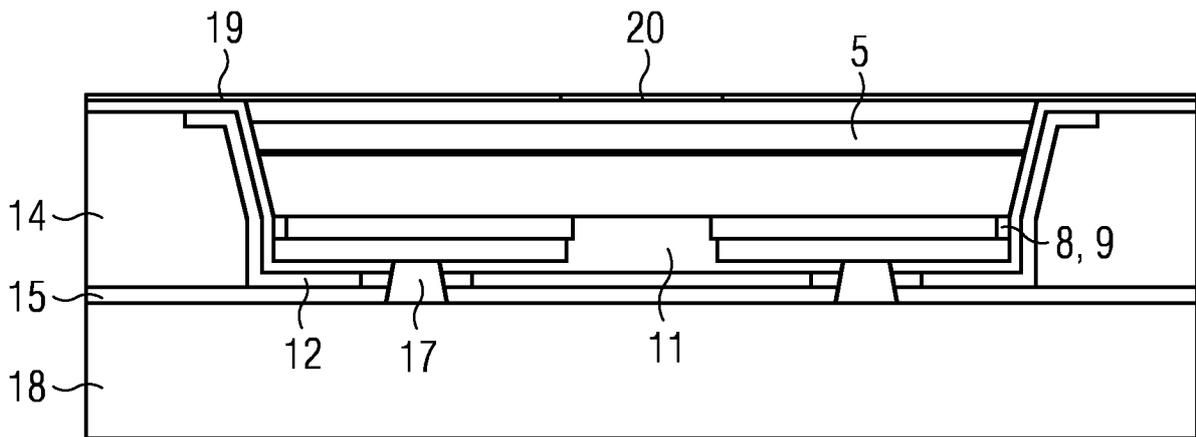


FIG 17

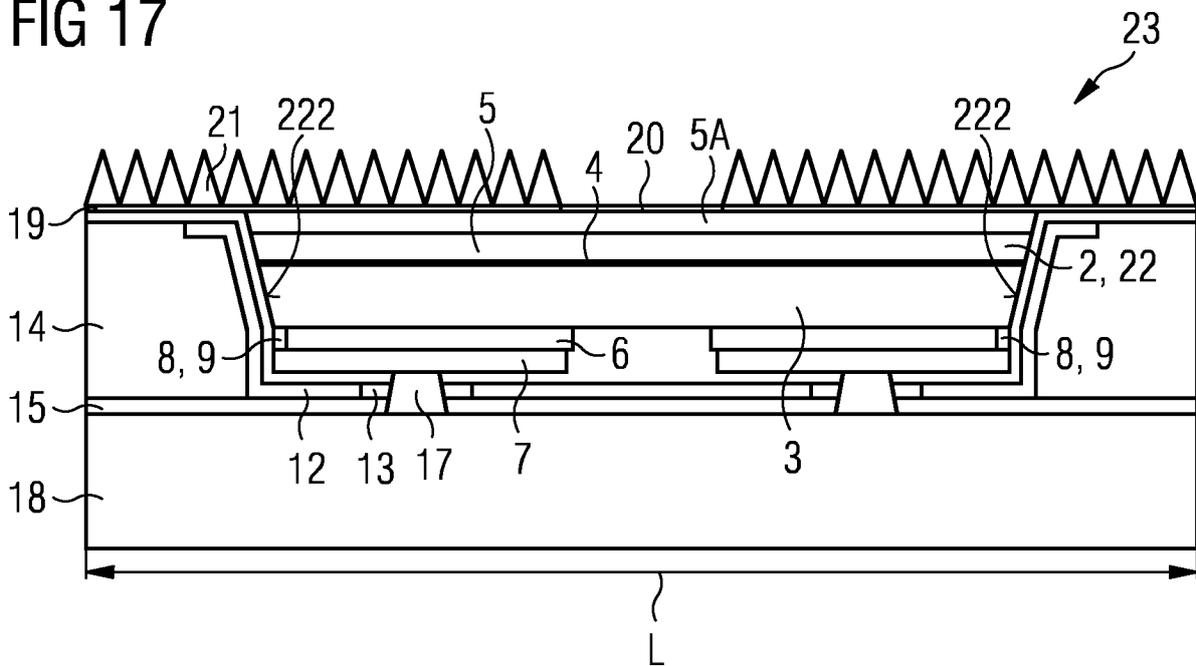


FIG 18

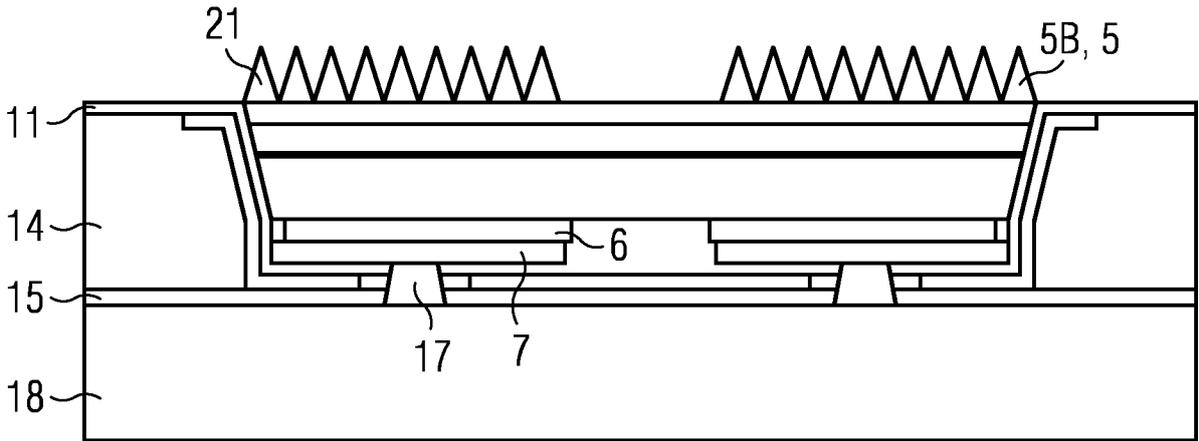


FIG 19

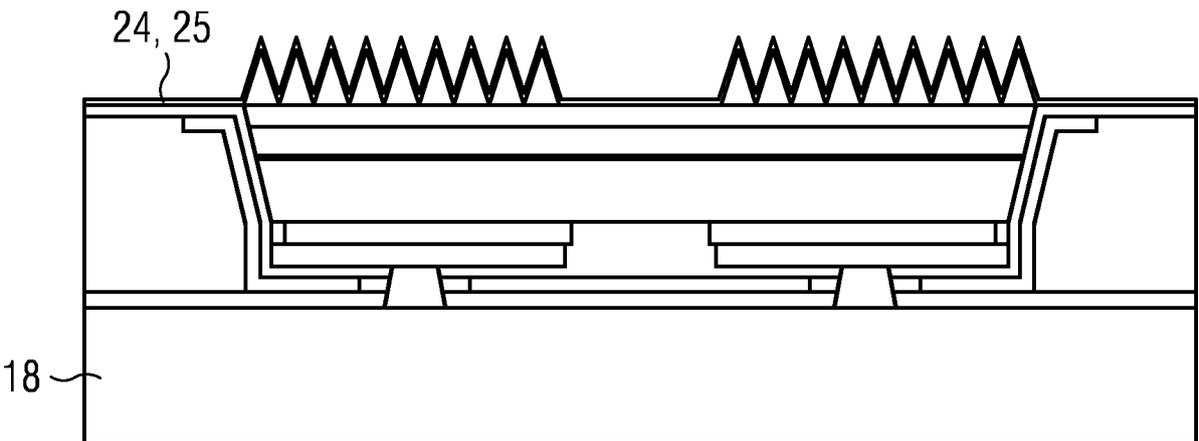


FIG 20

