

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4058022号  
(P4058022)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.	F I		
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 P	
HO 1 L 29/78 (2006.01)	HO 1 L 21/28	L	
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	3 O 1 S	
HO 1 L 21/768 (2006.01)	HO 1 L 21/90	A	
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	3 O 1 G	
請求項の数 4 (全 17 頁) 最終頁に続く			

(21) 出願番号	特願2004-154406 (P2004-154406)	(73) 特許権者	000003078
(22) 出願日	平成16年5月25日(2004.5.25)		株式会社東芝
(65) 公開番号	特開2005-340336 (P2005-340336A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年12月8日(2005.12.8)	(74) 代理人	100075812
審査請求日	平成17年3月14日(2005.3.14)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、ゲート絶縁膜を介して、シリコンを含む材料を用いて複数のゲート電極を形成する工程と、

前記ゲート電極及び前記基板上に絶縁材料を堆積してエッチバックを行い、前記基板の表面が露出し、前記ゲート電極の表面を覆うように第1の絶縁膜を形成する工程と、

前記ゲート電極及び前記第1の絶縁膜をマスクとして不純物をイオン注入し、前記基板の表面部分に選択的に拡散層を形成する工程と、

少なくとも前記基板上に第1の金属膜を形成し、熱処理を行って前記基板と前記第1の金属膜とを反応させて、前記拡散層の表面部分にシリサイド膜を形成する工程と、

前記第1の絶縁膜で覆われた前記ゲート電極上及び前記基板上を覆うように、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、層間絶縁膜としての第3の絶縁膜を形成する工程と、

前記ゲート電極の上面が露出する高さまで、前記第1の絶縁膜と前記第2の絶縁膜と前記第3の絶縁膜とを平坦化する工程と、

前記第2の絶縁膜に対して所定の選択比を有するように前記第3の絶縁膜を除去する工程と、

少なくとも前記ゲート電極上に第2の金属膜を形成し、熱処理を行って前記ゲート電極と前記第2の金属膜とを反応させて、前記ゲート電極の材料を金属シリサイドに変換する工程と、

10

20

前記ゲート電極上及び前記第2の絶縁膜上を覆うように、第4の絶縁膜を形成する工程と、

前記第4の絶縁膜上に、層間絶縁膜としての第5の絶縁膜を形成する工程と、

前記第5の絶縁膜を平坦化する工程と、

前記第4の絶縁膜に対して所定の選択比を有するように、前記第5の絶縁膜を所望のコンタクトパターン形状に加工する工程と、

前記第5の絶縁膜における前記コンタクトパターンの底面に存在する前記第4の絶縁膜と前記第2の絶縁膜とを選択的に除去する工程と、

前記第5の絶縁膜における前記コンタクトパターンを導電性を有する材料で埋め込み、コンタクトを形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項2】

基板上に、ゲート絶縁膜を介して、シリコンを含む材料を用いて複数のゲート電極を形成する工程と、

前記ゲート電極及び前記基板上に絶縁材料を堆積してエッチバックを行い、前記基板の表面及び前記ゲート電極の表面が露出し、前記ゲート電極の側面に残存するように第1の絶縁膜を形成する工程と、

前記ゲート電極及び前記第1の絶縁膜をマスクとして不純物をイオン注入し、前記基板の表面部分に選択的に拡散層を形成する工程と、

少なくとも前記ゲート電極上及び前記基板上に第1の金属膜を形成し、熱処理を行って前記ゲート電極と前記基板に含まれるシリコンと前記第1の金属膜とを反応させて、前記拡散層の表面部分に第1のシリサイド膜を形成し、前記ゲート電極の表面部分に第2のシリサイド膜を形成する工程と、

前記ゲート電極上及び前記基板上を覆うように、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、層間絶縁膜としての第3の絶縁膜を形成する工程と、

前記第2のシリサイド膜の表面が露出する高さまで、前記第2の絶縁膜及び前記第3の絶縁膜を平坦化する工程と、

前記第2の絶縁膜に対して所定の選択比を有するように前記第3の絶縁膜を除去する工程と、

少なくとも前記第2のシリサイド膜上に第2の金属膜を形成し、熱処理を行って前記第2のシリサイド膜と前記第2の金属膜とを反応させて、前記ゲート電極の材料を金属シリサイドに変換する工程と、

前記ゲート電極上及び前記第2の絶縁膜上を覆うように、第4の絶縁膜を形成する工程と、

前記第4の絶縁膜上に、層間絶縁膜としての第5の絶縁膜を形成する工程と、

前記第5の絶縁膜を平坦化する工程と、

前記第4の絶縁膜に対して所定の選択比を有するように、前記第5の絶縁膜を所望のコンタクトパターン形状に加工する工程と、

前記第5の絶縁膜における前記コンタクトパターンの底面に存在する前記第4の絶縁膜と前記第2の絶縁膜とを選択的に除去する工程と、

前記第5の絶縁膜における前記コンタクトパターンを導電性を有する材料で埋め込み、コンタクトを形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項3】

前記ゲート電極の材料を前記金属シリサイドに変換する工程において、この金属シリサイドと前記ゲート絶縁膜との界面に、前記ゲート電極に導入された不純物の偏析層が形成されることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】

前記不純物の偏析層が、n型MOSトランジスタでは、P、As、Sbのいずれかを含み、p型MOSトランジスタでは、B、Ga、Inのいずれかを含むことを特徴とする請

10

20

30

40

50

求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に金属シリサイド電極を用いたMIS(Metal Insulator Semiconductor)型トランジスタを備える半導体装置及びその製造方法に好適なものに関する。

【背景技術】

【0002】

MOSFETの高性能化を実現するため、今日に至るまでデバイスの微細化が追求されてきた。 10

【0003】

しかしながら、0.1 $\mu$ m世代以降のデバイスでは、ゲート酸化膜のスケーリングに限界があると言われている。これは、ゲート酸化膜厚が薄膜化するにつれ、トンネル電流によるゲートリーク電流の増加が顕在化してきたことに起因する。

【0004】

さらに、この世代ではゲート電極の空乏化が無視できなくなり、思うように実効酸化膜厚の薄膜化を実現することができない状況にある。

【0005】

このような問題を回避する方策として、ゲート絶縁膜の高誘電率化やメタルゲート電極の活用が検討されている。 20

【0006】

前者の目的は、ゲート絶縁膜を高誘電体膜に置き換えることで、物理的な膜厚を稼いでトンネル電流を抑えることにある。

【0007】

後者の目的は、ゲート電極をメタル化することで、ゲート電極の空乏化を防ぐことにある。

【0008】

最近では、特に高誘電体ゲート絶縁膜の材料開発が盛んに行われ、 $HfO_2$ や $La_2O_3$ と言った新材料が学会で取り上げられ、実効酸化膜厚の薄膜化の競争を生んでいる。 30

【0009】

一方、高誘電体膜の開発に比べ、メタルゲート電極の検討は盛り上がりには欠ける感がある。しかしながら、ITRS2001年度版ロードマップに示されるように、物理的な膜厚が1.2nm未満の領域では、従来の多結晶シリコンから成る電極でトランジスタを実現することは困難とされている。

【0010】

ゲート電極の空乏化が実効酸化膜厚に与える影響は、0.3nm程度である。しかし、この世代までシリコン系酸化膜を延命化するためにも、メタルゲート電極の開発は必須である。特に、フルシリサイド電極プロセスはこれまで用いられてきたCMOSプロセスとの整合性に優れており、開発競争が進んでいる。 40

【0011】

しかしながら、フルシリサイド電極プロセスでは、浅い接合と低抵抗ゲート電極とを両立するために、厚みの異なるシリサイド膜を拡散層上とゲート電極上とに別々に形成する必要がある。

【0012】

その際、酸化雰囲気から守るため、シリサイド膜の表面をシリコン窒化膜で覆う必要がある。従来の方法では、拡散層上のシリコン酸化膜から成る層間絶縁膜構造をシリコン窒化膜で挟み込んだ構造となる。このため、拡散層上とゲート電極上とを同時にコンタクト開口しようとする、ゲート電極側のエッチング量が過剰となり、最悪の場合にはゲート電極を突き抜けてしまうという問題があった。 50

## 【 0 0 1 3 】

従来のシリサイド電極プロセスを開示した文献として、以下のようなものがある。

【特許文献1】特開2000-133705号公報

【特許文献2】特開2000-353803号公報

【特許文献3】特開2000-216242号公報

【特許文献4】特開平11-214677号公報

【特許文献5】米国特許第6,518,642号公報

【特許文献6】米国特許第6,555,450号公報

【特許文献7】米国特許第6,586,809号公報

【発明の開示】

10

【発明が解決しようとする課題】

## 【 0 0 1 4 】

本発明は上記事情に鑑み、シリサイド化されたゲート電極及び拡散層上へのコンタクト開口を支障無く実現することで、ゲート電極のメタル化及び空乏化の防止が可能な半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

## 【 0 0 1 5 】

本発明の一態様による半導体装置の製造方法は、

基板上に、ゲート絶縁膜を介して、シリコンを含む材料を用いて複数のゲート電極を形成する工程と、

20

前記ゲート電極及び前記基板上に絶縁材料を堆積してエッチバックを行い、前記基板の表面が露出し、前記ゲート電極の表面を覆うように第1の絶縁膜を形成する工程と、

前記ゲート電極及び前記第1の絶縁膜をマスクとして不純物をイオン注入し、前記基板の表面部分に選択的に拡散層を形成する工程と、

少なくとも前記基板上に第1の金属膜を形成し、熱処理を行って前記基板と前記第1の金属膜とを反応させて、前記拡散層の表面部分にシリサイド膜を形成する工程と、

前記第1の絶縁膜で覆われた前記ゲート電極上及び前記基板上を覆うように、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、層間絶縁膜としての第3の絶縁膜を形成する工程と、

前記ゲート電極の上面が露出する高さまで、前記第1の絶縁膜と前記第2の絶縁膜と前記第3の絶縁膜とを平坦化する工程と、

30

前記第2の絶縁膜に対して所定の選択比を有するように前記第3の絶縁膜を除去する工程と、

少なくとも前記ゲート電極上に第2の金属膜を形成し、熱処理を行って前記ゲート電極と前記第2の金属膜とを反応させて、前記ゲート電極の材料を金属シリサイドに変換する工程と、

前記ゲート電極上及び前記第2の絶縁膜上を覆うように、第4の絶縁膜を形成する工程と、

前記第4の絶縁膜上に、層間絶縁膜としての第5の絶縁膜を形成する工程と、

前記第5の絶縁膜を平坦化する工程と、

40

前記第4の絶縁膜に対して所定の選択比を有するように、前記第5の絶縁膜を所望のコンタクトパターン形状に加工する工程と、

前記第5の絶縁膜における前記コンタクトパターンの底面に存在する前記第4の絶縁膜と前記第2の絶縁膜とを選択的に除去する工程と、

前記第5の絶縁膜における前記コンタクトパターンを導電性を有する材料で埋め込み、コンタクトを形成する工程と、

を備えることを特徴とする。

## 【 0 0 1 6 】

本発明の一態様による半導体装置の製造方法は、

基板上に、ゲート絶縁膜を介して、シリコンを含む材料を用いて複数のゲート電極を形

50

成する工程と、

前記ゲート電極及び前記基板上に絶縁材料を堆積してエッチバックを行い、前記基板の表面及び前記ゲート電極の表面が露出し、前記ゲート電極の側面に残存するように第1の絶縁膜を形成する工程と、

前記ゲート電極及び前記第1の絶縁膜をマスクとして不純物をイオン注入し、前記基板の表面部分に選択的に拡散層を形成する工程と、

少なくとも前記ゲート電極上及び前記基板上に第1の金属膜を形成し、熱処理を行って前記ゲート電極と前記基板に含まれるシリコンと前記第1の金属膜とを反応させて、前記拡散層の表面部分に第1のシリサイド膜を形成し、前記ゲート電極の表面部分に第2のシリサイド膜を形成する工程と、

10

前記ゲート電極上及び前記基板上を覆うように、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に、層間絶縁膜としての第3の絶縁膜を形成する工程と、

前記第2のシリサイド膜の表面が露出する高さまで、前記第2の絶縁膜及び前記第3の絶縁膜を平坦化する工程と、

前記第2の絶縁膜に対して所定の選択比を有するように前記第3の絶縁膜を除去する工程と、

少なくとも前記第2のシリサイド膜上に第2の金属膜を形成し、熱処理を行って前記第2のシリサイド膜と前記第2の金属膜とを反応させて、前記ゲート電極の材料を金属シリサイドに変換する工程と、

前記ゲート電極上及び前記第2の絶縁膜上を覆うように、第4の絶縁膜を形成する工程と、

20

前記第4の絶縁膜上に、層間絶縁膜としての第5の絶縁膜を形成する工程と、

前記第5の絶縁膜を平坦化する工程と、

前記第4の絶縁膜に対して所定の選択比を有するように、前記第5の絶縁膜を所望のコンタクトパターン形状に加工する工程と、

前記第5の絶縁膜における前記コンタクトパターンの底面に存在する前記第4の絶縁膜と前記第2の絶縁膜とを選択的に除去する工程と、

前記第5の絶縁膜における前記コンタクトパターンを導電性を有する材料で埋め込み、コンタクトを形成する工程と、

を備えることを特徴とする。

30

【発明の効果】

【0018】

本発明の半導体装置及びその製造方法によれば、シリサイド化されたゲート電極及び拡散層上に支障無くコンタクト開口することで、メタル化されたゲート電極を実現すると共に空乏化を防止することが可能である。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について図面を参照して説明する。

【0020】

(1) 第1の実施の形態

40

本発明の第1の実施の形態によるMIS型トランジスタを含む半導体装置及びその製造方法について、工程別に素子の縦断面を示した図面を用いて説明する。

【0021】

図1に示すように、単結晶シリコン基板100の表面部分において素子分離膜101によって素子領域を分離する。この素子領域上に、ゲート酸化膜102を形成し、その上に例えば膜厚100nmの多結晶シリコン膜103、さらに例えば膜厚100nmのシリコン窒化膜104を堆積する。

【0022】

これらの多結晶シリコン膜103及びシリコン窒化膜104に対し、電極パターンにRIE等の異方性エッチングを行い、ゲート電極を形成する。

50

## 【 0 0 2 3 】

このゲート電極をマスクとして、例えばn型MOSトランジスタ領域にはAs<sup>+</sup>イオンをイオン注入し、p型MOSトランジスタ領域にはB<sup>+</sup>イオンをイオン注入する。さらに、例えば800 で5秒間の加熱処理を施すことによって、拡散層を形成する。

## 【 0 0 2 4 】

さらに、例えば膜厚30nmのシリコン酸化膜106と膜厚30nmのシリコン窒化膜105とを堆積する。このシリコン酸化膜106及びシリコン窒化膜105とにエッチバックを行い、多結晶シリコン膜103及びその上に形成されたシリコン窒化膜104による電極パターンの表面をシリコン酸化膜106で覆い、その側壁部分にシリコン窒化膜105を残存させることで、シリコン窒化膜105及びシリコン酸化膜106で囲む構造にする。

10

## 【 0 0 2 5 】

シリコン窒化膜105及びシリコン酸化膜106から成る側壁を含むゲート電極パターンをマスクとして、例えばn型MOSトランジスタ領域にはP<sup>+</sup>イオンをイオン注入し、p型MOSトランジスタ領域にはB<sup>+</sup>イオンをイオン注入する。そして、例えば10005秒の加熱処理を施すことによって、ソース、ドレインとなる拡散層107を形成する。

## 【 0 0 2 6 】

Ni膜をPVD法により成膜する。例えば、350 で30秒間の熱処理を行って、Ni膜とシリコン基板100とを反応させる。そして、未反応Ni膜を除去した後、例えば500 で3秒間の熱処理を行い、拡散層107上にNiシリサイド膜108を形成する。

20

## 【 0 0 2 7 】

その後、図2に示すように、Niシリサイド膜108表面の酸化防止、及びコンタクト開口時のエッチングストッパー膜として、例えば膜厚20nmの第1のシリコン窒化膜109を堆積する。

## 【 0 0 2 8 】

その上に、例えば膜厚300nmの第1の層間絶縁膜110を全面に堆積する。例えば、化学的機械的研磨(CMP)法によって、第1の層間絶縁膜110を多結晶シリコン膜103の表面が露出するまで平坦化する。

30

## 【 0 0 2 9 】

このとき、CMP法による平坦化を行った際に、多結晶シリコン膜103上にシリコン窒化膜104、あるいはシリコン窒化膜104及び第1のシリコン窒化膜109が残った場合は、エッチバック法等を併用してこれらの膜を除去し、多結晶シリコン膜103の表面を露出させる。

## 【 0 0 3 0 】

n型MOSトランジスタ領域の多結晶シリコン膜103中に、例えばPイオンを注入し、p型MOSトランジスタ領域の多結晶シリコン膜103中に、例えばBイオンを注入する。

## 【 0 0 3 1 】

例えば900 で10秒間程度の加熱処理を行い、イオン注入により多結晶シリコン膜103中に導入された不純物を、多結晶シリコン膜103の厚み方向に一様に拡散させる。

40

## 【 0 0 3 2 】

本実施の形態による以降の工程については、図7～図12を用いて後述し、ここでは図3～図6を用いて比較例としての半導体装置の製造方法における以降の工程について述べる。

## 【 0 0 3 3 】

図3に示す工程において、例えばNi膜をPVD法により成膜する。450 で60秒間熱処理を行ってNi膜と多結晶シリコン膜103とを反応させ、ゲート電極における多

50

結晶シリコン膜 103 を Ni シリサイド膜 111 に変換する。

【0034】

このとき、未反応 Ni は例えば硫酸と過酸化水素水との混合液により剥離する。

【0035】

P をイオン注入した n 型 MOS トランジスタ領域では、P が Ni シリサイド膜 111 とシリコン酸化膜 102 との界面に位置する P 偏析膜 112 において、偏析する。B をイオン注入した p 型 MOS トランジスタ領域では、B が Ni シリサイド膜 111 とシリコン酸化膜 102 との界面に位置する B 偏析膜 113 において、偏析する。

【0036】

その結果、シリサイド電極の仕事関数が、n 型 MOS トランジスタ領域では  $-0.2 \text{ eV}$  程度、p 型 MOS トランジスタ領域では  $+0.2 \text{ eV}$  程度変化する。これにより、金属シリサイド電極 (Ni シリサイド膜 111) とイオン注入技術とにより、2 種類の仕事関数を有するメタルゲート電極を形成することが可能となる。

【0037】

図 4 に示すように、ゲート電極のシリサイド表面酸化防止膜として、例えば膜厚 20 nm の第 2 のシリコン窒化膜 114 を全面に堆積し、その上に例えば 600 nm の第 2 の層間絶縁膜 115 を全面に堆積する。例えば CMP 法により、第 2 の層間絶縁膜 115 を平坦化する。以降、図 4 に示されたように、Ni シリサイド膜 111、側壁としてのシリコン窒化膜 105 及びシリコン酸化膜 106 を含むゲート電極を 116 で示し、拡散層 107 及び Ni シリサイド膜 108 を含む拡散層を 117 で示す。

【0038】

この状態で、ゲート電極 116 上には第 2 のシリコン窒化膜 114 と第 2 の層間絶縁膜 115 とが積層した構造となる。また、拡散層 117 上には第 1 のシリコン窒化膜 109、第 1 の層間絶縁膜 110、第 2 のシリコン窒化膜 114、第 2 の層間絶縁膜 115 が積層した構造となる。

【0039】

図 5 に示すように、第 2 の層間絶縁膜 115 上に所望のコンタクトパターン 118 を有する図示されていないレジスト膜を形成し、これをマスクとして第 2 の層間絶縁膜 115 にエッチング加工を行う。

【0040】

図 6 に示すように、コンタクトパターン 118 の底面において表面が露出した第 2 のシリコン窒化膜 114 にエッチング加工を行う。このとき、ゲート電極 111 の表面は既に露出している。しかし、拡散層 117 の表面は露出しておらず、その上には第 1 のシリコン窒化膜 109、第 1 の層間絶縁膜 110 がゲート電極の高さ分、即ちここで 100 nm 程度残っている。

【0041】

それゆえ、拡散層 117 上にコンタクトを開口するためには、さらに第 1 の層間絶縁膜 110、第 1 のシリコン窒化膜 109 をエッチングしなければならない。この結果、ゲート電極 116 はゲート電極の高さ分だけ過剰にエッチングされることとなり、最悪の場合にはゲート電極を突き抜けて拡散層まで除去されることとなる。

【0042】

このような現象を回避するため、本実施の形態による製造方法では、図 2 に示された工程に引き続いて図 7 に示すように、第 1 のシリコン窒化膜 109 に対し第 1 の層間絶縁膜 110 を選択的に除去する。

【0043】

図 8 において、例えば図示されていない Ni 膜を PVD 法により成膜する。例えば 450 で 60 秒間の熱処理によって、Ni 膜と多結晶シリコン膜 103 とを反応させ、ゲート電極としての多結晶シリコン膜 103 を Ni シリサイド膜 111 に変換する。未反応 Ni 膜は、例えば硫酸と過酸化水素水との混合液により剥離する。

【0044】

10

20

30

40

50

ここで、拡散層107及び拡散層上のシリサイド膜108は、第1のシリコン窒化膜109で覆われているためNi膜と反応することはない。

【0045】

図9に示すように、ゲート電極のNiシリサイド膜111の酸化防止膜として、例えば膜厚20nmの第2のシリコン窒化膜114を堆積する。その上に、例えば膜厚600nmのシリコン酸化膜を第2の層間絶縁膜115として全面に堆積し、例えばCMP法によって第2の層間絶縁膜115を平坦化する。

【0046】

この段階において、ゲート電極のNiシリサイド膜111上には第2のシリコン窒化膜114と第2の層間絶縁膜115とが積層した構造となる。また、拡散層107の表面におけるシリサイド膜108上には、第1のシリコン窒化膜109、第2のシリコン窒化膜114、第2の層間絶縁膜115が積層した構造となる。

10

【0047】

図10に示すように、第2の層間絶縁膜115上に、図示されていない所望のコンタクトパターン118を有するレジスト膜を形成する。このレジスト膜をマスクとして、第2のシリコン窒化膜114に対して選択的に第2の層間絶縁膜115をエッチングする。

【0048】

以降の工程では、図10に示されたように、Niシリサイド膜111、側壁としてのシリコン酸化膜106、シリコン窒化膜105を含むゲート電極を116で示し、拡散層107及びNiシリサイド膜108を含む拡散層を117で示すものとする。

20

【0049】

第2の層間絶縁膜115に対し、コンタクトパターン118の形状にエッチング加工を行った段階では、ゲート電極116上には、膜厚20nmの第2のシリコン窒化膜114が存在する。

【0050】

一方、拡散層117上には、第1のシリコン窒化膜109と第2のシリコン窒化膜114とが存在し、合計40nmのシリコン窒化膜が残っている。

【0051】

そこで、図11に示すように、第2の層間絶縁膜115のコンタクトパターン118の底面における拡散層117上のシリコン窒化膜109及び114をエッチングにより除去する。

30

【0052】

この段階で、ゲート電極116上は、シリコン窒化膜114は存在するがシリコン窒化膜109は存在しない。従って、シリコン窒化膜109の厚さ20nmだけ過剰にエッチングされる。しかし、そのエッチング量は少ないため、ゲート電極116まで突き抜けてしまうような問題は発生しない。

【0053】

図12に示すように、第2の層間絶縁膜115におけるコンタクトパターン118の内部に、例えばTi/TiN/W膜を埋め込み、CMP法により平坦化することにより、コンタクト119を形成する。

40

【0054】

第2の層間絶縁膜115及びコンタクト119上にAl膜を堆積して配線形状にパターニングすることにより、コンタクト119に電氣的に接続されたAl配線120を形成する。

【0055】

Al配線120及び第2の層間絶縁膜115上に第3の層間絶縁膜121を堆積し、CMP法により平坦化する。

【0056】

以上の工程により、拡散層上及びゲート電極上へのコンタクト開口を可能とし、シリサイド電極を有するCMOSトランジスタを形成することができる。

50



## 【 0 0 5 7 】

## ( 2 ) 第 2 の実施の形態

本発明の第 2 の実施の形態による半導体装置及びその製造方法について、図 1 3 ~ 図 2 0 を参照して説明する。

## 【 0 0 5 8 】

図 1 3 に示すように、素子分離膜 2 0 1 が形成された単結晶シリコン基板 2 0 0 の素子領域上に、ゲート酸化膜としてハフニウムシリコン酸化膜 2 0 2 を形成し、その上に例えば膜厚 1 0 0 n m の多結晶シリコン膜 2 0 3 を堆積する。

## 【 0 0 5 9 】

多結晶シリコン膜 2 0 3 に対して電極パターンに異方性エッチングを行い、ゲート電極を形成する。

10

## 【 0 0 6 0 】

このゲート電極をマスクとして、例えば n 型 MOS トランジスタ領域には A s <sup>+</sup> イオンをイオン注入し、p 型 MOS トランジスタ領域には B <sup>+</sup> イオンをイオン注入し、8 0 0 5 秒の加熱処理を施すことによって、拡散層を形成する。

## 【 0 0 6 1 】

さらに、例えば膜厚 3 0 n m のシリコン窒化膜 2 0 4 及び膜厚 3 0 n m のシリコン酸化膜 2 0 5 を堆積し、エッチバックを行って電極パターンの側壁部分をシリコン窒化膜 2 0 4 及びシリコン酸化膜 2 0 5 で囲む構造にする。この段階で、多結晶シリコン膜 2 0 3 の表面部分は露出している。

20

## 【 0 0 6 2 】

シリコン窒化膜 2 0 4 及びシリコン酸化膜 2 0 5 から成る側壁を含むゲート電極パターンをマスクとして、例えば n 型 MOS トランジスタ領域には P <sup>+</sup> イオンをイオン注入し、p 型 MOS トランジスタ領域には B <sup>+</sup> イオンをイオン注入し、1 0 0 0 5 秒の加熱処理を施すことによって、拡散層 2 0 6 を形成する。

## 【 0 0 6 3 】

その後、C o 膜を P V D 法により成膜する。

## 【 0 0 6 4 】

例えば、5 5 0 で 3 0 秒間の熱処理によって、C o 膜とシリコン基板 2 0 0 とを反応させる。未反応 C o 膜を除去した後、例えば 7 6 5 で 3 0 秒間の熱処理を行い、拡散層 2 0 6 上に C o シリサイド膜 2 0 8、多結晶シリコン膜 2 0 3 上に C o シリサイド膜 2 0 7 を形成する。

30

## 【 0 0 6 5 】

図 1 4 に示すように、C o シリサイド膜 2 0 7、2 0 8 の表面の酸化防止、及びコンタクト開口時のエッチングストッパー膜として、例えば膜厚 2 0 n m の第 1 のシリコン窒化膜 2 0 9 を堆積する。

## 【 0 0 6 6 】

その上に、例えば膜厚 3 0 0 n m の第 1 の層間絶縁膜 2 1 0 を全面に堆積する。例えば、化学的機械的研磨 ( C M P ) 法によって、第 1 の層間絶縁膜 2 1 0 を多結晶シリコン膜 2 0 3 上の C o シリサイド 2 0 7 の表面が露出するまで平坦化する。

40

## 【 0 0 6 7 】

このとき C M P 法を行った後に、多結晶シリコン膜 2 0 3 上のシリコン窒化膜 2 0 4、及び第 1 のシリコン窒化膜 2 0 9 が残った場合には、エッチバック法等を併用してシリコン窒化膜 2 0 4、及び多結晶シリコン膜 2 0 3 上の第 1 のシリコン窒化膜 2 0 9 を除去する。

## 【 0 0 6 8 】

例えば、n 型 MOS トランジスタ領域の多結晶シリコン膜 2 0 3 中に A s <sup>+</sup> イオンをイオン注入し、p 型 MOS トランジスタ領域の多結晶シリコン膜 2 0 3 中に I n イオンをイオン注入する。

## 【 0 0 6 9 】

50

図15に示すように、第1のシリコン窒化膜209に対し第1の層間絶縁膜210を選択的に除去する。

【0070】

図16において、例えば図示されていないNi膜をPVD法により成膜する。

【0071】

450で60秒間の熱処理によって、Coシリサイド膜207を通してNi膜と多結晶シリコン膜203とを反応させ、ゲート電極としての多結晶シリコン膜203をCoNiシリサイド膜211に変換する。

【0072】

ここで、未反応Niは例えば硫酸と過酸化水素水の混合液により剥離する。

10

【0073】

このとき、拡散層207及び拡散層207上のCoシリサイド膜208は、第1のシリコン窒化膜209で覆われているため、Ni膜と反応することはない。

【0074】

Asをイオン注入したn型MOSトランジスタ領域では、AsがCoNiシリサイド膜211とシリコン酸化膜202との界面におけるAs偏析膜212において偏析する。Inをイオン注入したp型MOSトランジスタ領域では、InがCoNiシリサイド膜211とシリコン酸化膜202との界面におけるIn偏析膜213において偏析する。

【0075】

その結果、シリサイド電極の仕事関数は、n型MOSトランジスタ領域では $-0.3\text{ eV}$ 程度、p型MOSトランジスタ領域では $+0.3\text{ eV}$ 程度変化する。

20

【0076】

以上のように本実施の形態によれば、金属シリサイド電極とイオン注入技術を用いることで、2種類の仕事関数を有するメタルゲート電極を形成することが可能である。

【0077】

図17に示すように、ゲート電極のシリサイド表面酸化防止膜として、例えば膜厚20nmの第2のシリコン窒化膜214を堆積する。その上に、例えば膜厚600nmの第2の層間絶縁膜215を全面に堆積し、例えばCMP法によって第2の層間絶縁膜215を平坦化する。

【0078】

30

この段階で、ゲート電極216上には、第2のシリコン窒化膜214と第2の層間絶縁膜215とが積層した構造となる。拡散層217上には、第1のシリコン窒化膜209、第2のシリコン窒化膜214、第2の層間絶縁膜215が積層した構造となる。

【0079】

図18に示すように、第2の層間絶縁膜215上に所望のコンタクトパターン218を有する図示されていないレジスト膜を形成し、これをマスクとして第2のシリコン窒化膜214に対して選択的に第2の層間絶縁膜215をエッチングする。

【0080】

図19に示すように、ゲート電極216上にはコンタクトパターン218の底面において、膜厚20nmの第2のシリコン窒化膜214が存在する。拡散層217上には、第1のシリコン窒化膜209及び第2のシリコン窒化膜214で合計40nmのシリコン窒化膜が存在する。

40

【0081】

それゆえ、拡散層217上のシリコン窒化膜209及び214を除去する際、ゲート電極216はシリコン窒化膜の厚みの相違分、即ち20nmだけ過剰にエッチングされる。しかしその量は少ないため、ゲート電極216を突き抜けてしまうような事態は回避される。

【0082】

図20に示すように、コンタクトパターン218の内部に、例えばTi/TiN/W膜を埋め込み、CMP法により平坦化することによって、コンタクト219を形成する。

50

## 【 0 0 8 3 】

次いで、コンタクト 2 1 9 と電氣的に接続する A 1 配線 2 2 0 を形成し、第 3 の層間絶縁膜 2 2 1 を堆積し、CMP 法により平坦化する。

## 【 0 0 8 4 】

以上の工程により、本実施の形態によれば拡散層及びゲート電極上にコンタクト開口を支障無く行い、シリサイド電極を有する CMOS トランジスタを形成することができる。

## 【 0 0 8 5 】

次に、上記第 1、第 2 の実施の形態により形成された半導体装置における MIS 型トランジスタの構造について説明する。

## 【 0 0 8 6 】

比較例としての MIS 型トランジスタは、図 2 1 に示すように、素子分離膜 3 0 1 を有した単結晶シリコン基板 3 0 0 上において、ゲート絶縁膜としてハフニウム酸化膜 3 0 2、ゲート電極として Ni シリサイド膜 3 0 6 が形成され、拡散層 3 0 3 上には Ni シリサイド膜 3 0 5 が形成されている。

## 【 0 0 8 7 】

一般に、シリサイドに関し、凝集による接合リーク電流の増大やシート抵抗の上昇が問題視されている。

## 【 0 0 8 8 】

特に、浅い接合が求められている拡散層上においてシリサイドの凝集が起こると、接合リーク電流が増大し、トランジスタ性能を劣化させるだけでなく、歩留まりの低下を招く。

## 【 0 0 8 9 】

上記第 1、第 2 の実施の形態のように、ゲート電極のシリサイド形成が拡散層のシリサイド形成よりも後に行わなければならない場合、ゲート電極のシリサイド形成時において必要なサーマルバジェットが拡散層のシリサイドにも加わる。

## 【 0 0 9 0 】

それゆえ、一般に行われているような、ゲート電極と拡散層へ同時にシリサイドを形成する SALICIDE プロセスよりも、上記第 1、第 2 の実施の形態によれば、拡散層に加わるサーマルバジェットが多く、拡散層のシリサイドは凝集しやすいこととなる。

## 【 0 0 9 1 】

シリサイドの凝集を抑制する手法として、様々な手法が提案されている。その中で、シリコン窒化膜から成るキャップ膜によってシリサイドの凝集を抑制する手法が存在する。

## 【 0 0 9 2 】

図 2 1 において矢印 X 1 で示した方向に 1 G P a の引っ張り応力が作用するキャップ膜 3 0 4 A をシリサイド膜 3 0 5 上に成膜すると、シリサイド膜 3 0 5 には矢印 X 2 で示した方向に圧縮応力が作用して凝集が抑制される。

## 【 0 0 9 3 】

一方、ゲート電極側の Ni シリサイド膜 3 0 6 に関し、ゲート電極上面における矢印 X 1 1 の方向、及び両側面における矢印 Y 1 1 の 3 方向において、キャップ膜 3 0 4 A による引っ張り応力が印加される。これにより、シリサイド膜 3 0 6 には、矢印 X 1 2、矢印 Y 1 2 で示した方向に圧縮応力が作用する。

## 【 0 0 9 4 】

このため、ゲート電極の上面端部において垂直方向と水平方向とのストレスが集中する。この結果、キャップ膜 3 0 4 A によるストレスが例えば 3 G P a を超えると、シリサイド膜 3 0 6 とキャップ膜 3 0 4 A との間で膜はがれが生じてしまう。

## 【 0 0 9 5 】

従って、上記第 1、第 2 の実施の形態のように、シリサイド膜 3 0 6 からなるゲート電極と、表面にシリサイド膜が形成された拡散層とを有する MIS 型トランジスタ構造においては、ゲート電極上面端部のストレス集中を回避しつつ、拡散層上のシリサイド膜には例えば 1 G P a 以上の引っ張り応力を印加する必要がある。

10

20

30

40

50

## 【0096】

そこで、上記第1、第2の実施の形態によるMIS型トランジスタでは、図22に示すように、キャップ膜304Bの膜厚が、ゲート電極上におけるコンタクトが形成されていない領域上の膜厚TAより、拡散層上における膜厚TBの方が厚くなるようにしている。これにより、ゲート電極端部におけるストレス集中を緩和し、かつ拡散層上のシリサイド膜305に適度な引っ張り応力を加えることが可能となる。その結果、ゲート電極上面端部におけるキャップ膜304Bの膜はがれを回避しつつ、拡散層上におけるシリサイド凝集の抑制を実現することができる。

## 【0097】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない。例えば、上記第1の実施の形態では、金属シリサイドとしてNiSiを用いている。しかし、これに限らず他の材料として、例えばNi<sub>2</sub>Si、Pt<sub>2</sub>Si、PtSi、Pd<sub>2</sub>Si、PdSi、Co<sub>2</sub>Si、CoSi、CoSi<sub>2</sub>等を用いてもよい。

## 【0098】

さらに、ゲート電極上に形成するシリサイドと、拡散層上に形成するシリサイドとで材料が異なってもよい。

## 【0099】

上記第1の実施の形態では、ゲート電極材料に多結晶シリコン膜を用いているが、例えばシリコンとゲルマニウムの化合物のように他の材料を用いてもよい。

## 【0100】

上記第1の実施の形態では、n型MOSトランジスタ領域の多結晶シリコン膜中にPをイオン注入し、p型MOSトランジスタ領域の多結晶シリコン膜中にBイオンを注入している。しかしこれらに限らず、例えばPの代わりにAsやSb等を注入し、Bの代わりにInもしくはGa等をイオン注入してもよい。

## 【0101】

なお、上記第1の実施の形態では、イオン注入後に不純物を多結晶シリコン膜中に拡散させるため加熱処理を行っているが、この処理は必ずしも行わなくともよい。

## 【0102】

上記第2の実施の形態では、ゲート絶縁膜としてHfSiO<sub>4</sub>を用いている。しかし、これに限らず、ZrO<sub>2</sub>、HfO<sub>2</sub>、ZrSiO<sub>4</sub>等、HfまたZrを含む絶縁膜であれば同様に用いることができる。あるいはゲート絶縁膜として、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Luを含むものを用いてもよい。

## 【0103】

上記第3の実施の形態では、キャップ膜としてシリコン窒化膜を用いているが、これに限らずSiOC膜、Al<sub>2</sub>O<sub>3</sub>膜等を用いてもよい。

## 【図面の簡単な説明】

## 【0104】

【図1】本発明の第1の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図2】同第1の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図

【図3】比較例としての半導体装置の製造方法を工程別に示す素子の縦断面図。

【図4】同比較例としての半導体装置の製造方法を工程別に示す素子の縦断面図。

【図5】同比較例としての半導体装置の製造方法を工程別に示す素子の縦断面図。

【図6】同比較例としての半導体装置の製造方法を工程別に示す素子の縦断面図。

【図7】上記第1の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図8】同第1の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図

【図9】同第1の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図

10

20

30

40

50

。

【図 1 0】同第 1 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 1】同第 1 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 2】同第 1 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 3】本発明の第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 4】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

10

【図 1 5】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 6】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 7】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 8】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 1 9】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

20

【図 2 0】同第 2 の実施の形態による半導体装置の製造方法を工程別に示す素子の縦断面図。

【図 2 1】比較例としての M I S 型トランジスタの構造を示す縦断面図。

【図 2 2】上記第 1 又は第 2 の実施の形態による M I S 型トランジスタの構造を示す縦断面図。

#### 【符号の説明】

##### 【 0 1 0 5 】

1 0 0 単結晶シリコン基板

1 0 2 ゲート酸化膜

30

1 0 3 多結晶シリコン膜

1 0 4 シリコン窒化膜

1 0 5 シリコン窒化膜

1 0 6 シリコン酸化膜

1 0 7 拡散層

1 0 8 N i シリサイド膜

1 0 9 第 1 のシリコン窒化膜

1 1 0 第 1 の層間絶縁膜

1 1 1 N i シリサイド膜

1 1 2 P 偏析層

40

1 1 3 B 偏析層

1 1 4 第 2 のシリコン窒化膜

1 1 5 第 2 の層間絶縁膜

1 1 6 ゲート電極

1 1 7 拡散層

1 1 8 コンタクトパターン

1 1 9 コンタクト

2 0 0 単結晶シリコン基板

2 0 1 素子分離膜

2 0 2 ハフニウムシリコン酸化膜

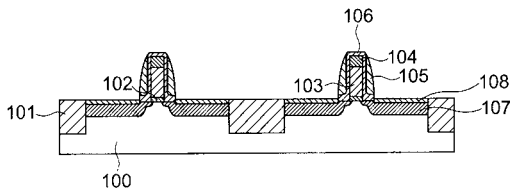
50

- 203 多結晶シリコン膜
- 204 シリコン窒化膜
- 205 シリコン酸化膜
- 206 拡散層
- 207 Coシリサイド膜
- 208 Coシリサイド膜
- 209 第1のシリコン窒化膜
- 210 第1の層間絶縁膜
- 211 CoNiシリサイド膜
- 212 As 偏析層
- 213 In 偏析層
- 214 第2のシリコン窒化膜
- 215 第2の層間絶縁膜
- 216 ゲート電極
- 217 拡散層
- 218 コンタクトパターン
- 219 コンタクト
- 300 単結晶シリコン基板
- 303 拡散層
- 304B キャップ膜
- 305、306 シリサイド膜

10

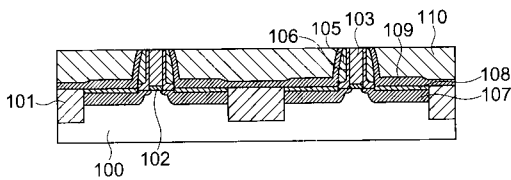
20

【図1】



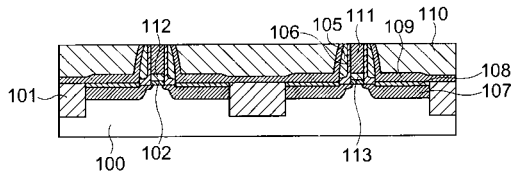
- 100;単結晶シリコン基板
- 102;ゲート酸化膜
- 103;多結晶シリコン膜
- 104;シリコン窒化膜
- 105;シリコン酸化膜
- 107;拡散層
- 108;Niシリサイド膜

【図2】

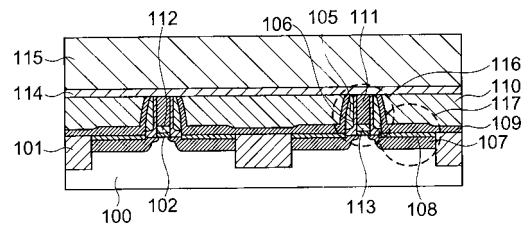


- 100;単結晶シリコン基板
- 102;ゲート酸化膜
- 103;多結晶シリコン膜
- 104;シリコン窒化膜
- 105;シリコン酸化膜
- 107;拡散層
- 108;Niシリサイド膜
- 109;シリコン窒化膜
- 110;第1の層間絶縁膜

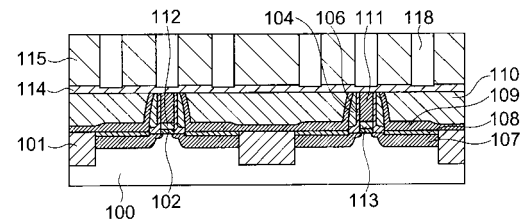
【図3】



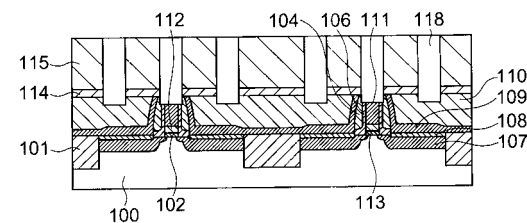
【図4】



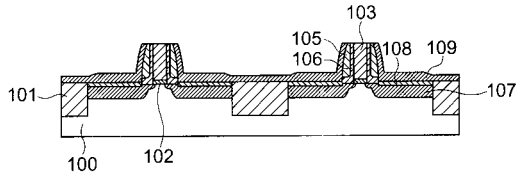
【図5】



【図6】

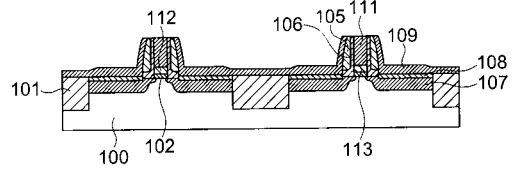


【図7】



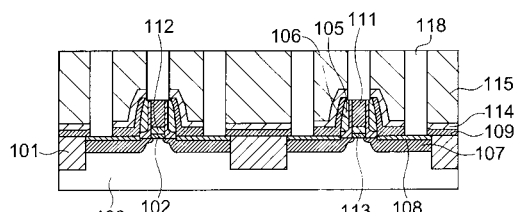
- |               |                |
|---------------|----------------|
| 100;単結晶シリコン基板 | 107;拡散層        |
| 102;ゲート酸化膜    | 108;Niシリサイド膜   |
| 103;多結晶シリコン膜  | 109;第1のシリコン窒化膜 |
| 105;シリコン酸化膜   |                |

【図8】



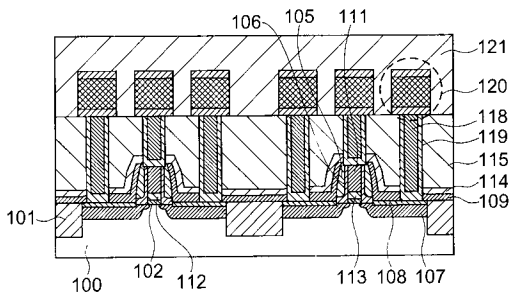
- |               |                |
|---------------|----------------|
| 100;単結晶シリコン基板 | 107;拡散層        |
| 102;ゲート酸化膜    | 108;Niシリサイド膜   |
| 103;多結晶シリコン膜  | 109;第1のシリコン窒化膜 |
| 105;シリコン酸化膜   | 111;Niシリサイド膜   |

【図11】



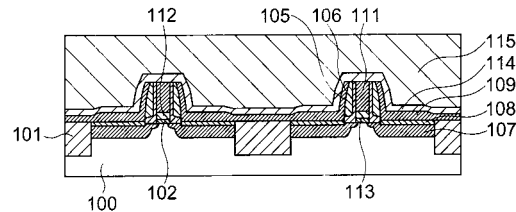
- |                |                |
|----------------|----------------|
| 100;単結晶シリコン基板  | 111;Niシリサイド膜   |
| 102;ゲート酸化膜     | 114;第2のシリコン窒化膜 |
| 103;多結晶シリコン膜   | 115;第2の層間絶縁膜   |
| 105;シリコン酸化膜    | 116;ゲート電極      |
| 107;拡散層        | 117;拡散層        |
| 108;Niシリサイド膜   | 118;コンタクトパターン  |
| 109;第1のシリコン窒化膜 |                |

【図12】



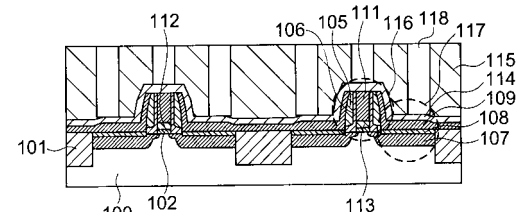
- |                |                |
|----------------|----------------|
| 100;単結晶シリコン基板  | 111;Niシリサイド膜   |
| 102;ゲート酸化膜     | 114;第2のシリコン窒化膜 |
| 103;多結晶シリコン膜   | 115;第2の層間絶縁膜   |
| 105;シリコン酸化膜    | 116;ゲート電極      |
| 107;拡散層        | 117;拡散層        |
| 108;Niシリサイド膜   | 118;コンタクトパターン  |
| 109;第1のシリコン窒化膜 | 119;コンタクト      |

【図9】



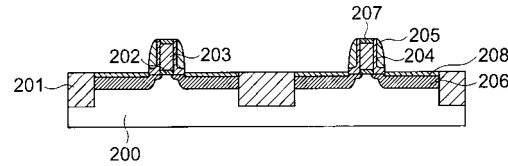
- |               |                |
|---------------|----------------|
| 100;単結晶シリコン基板 | 108;Niシリサイド膜   |
| 102;ゲート酸化膜    | 109;第1のシリコン窒化膜 |
| 103;多結晶シリコン膜  | 111;Niシリサイド膜   |
| 105;シリコン酸化膜   | 114;第2のシリコン窒化膜 |
| 107;拡散層       | 115;第2の層間絶縁膜   |

【図10】



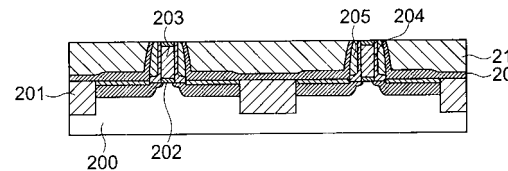
- |                |                |
|----------------|----------------|
| 100;単結晶シリコン基板  | 111;Niシリサイド膜   |
| 102;ゲート酸化膜     | 114;第2のシリコン窒化膜 |
| 103;多結晶シリコン膜   | 115;第2の層間絶縁膜   |
| 105;シリコン酸化膜    | 116;ゲート電極      |
| 107;拡散層        | 117;拡散層        |
| 108;Niシリサイド膜   | 118;コンタクトパターン  |
| 109;第1のシリコン窒化膜 |                |

【図13】



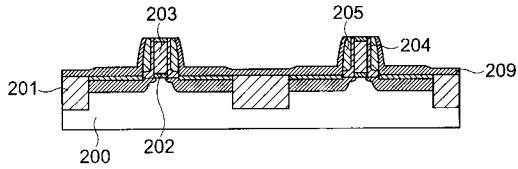
- |               |                  |
|---------------|------------------|
| 200;単結晶シリコン基板 | 205;シリコン酸化膜      |
| 202;ゲート酸化膜    | 207、208;Coシリサイド膜 |
| 203;多結晶シリコン膜  |                  |

【図14】



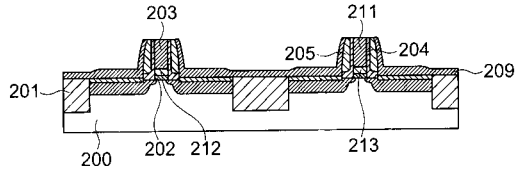
- |               |                  |
|---------------|------------------|
| 200;単結晶シリコン基板 | 207、208;Coシリサイド膜 |
| 202;ゲート酸化膜    | 209;シリコン窒化膜      |
| 203;多結晶シリコン膜  | 210;第1の層間絶縁膜     |
| 205;シリコン酸化膜   |                  |

【図15】



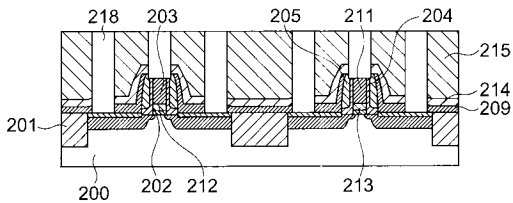
200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜

【図16】



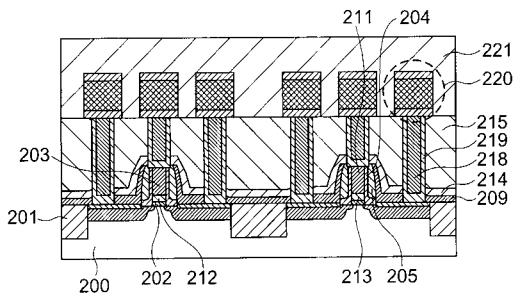
200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜  
211;CoNiシリサイド膜

【図19】



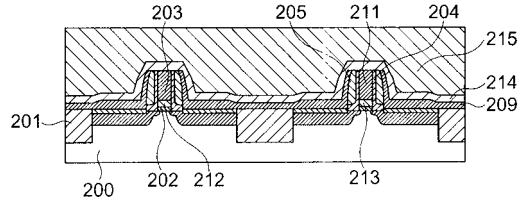
200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜  
211;CoNiシリサイド膜  
214;シリコン窒化膜  
215;第2の層間絶縁膜  
216;ゲート電極  
217;拡散層  
218;コンタクトパターン

【図20】



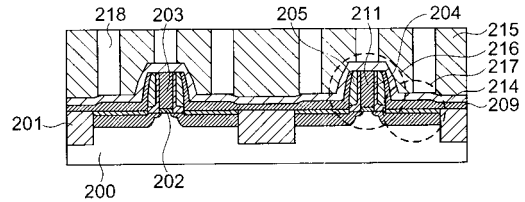
200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜  
211;CoNiシリサイド膜  
214;シリコン窒化膜  
215;第2の層間絶縁膜  
216;ゲート電極  
217;拡散層  
218;コンタクトパターン  
219;コンタクト

【図17】



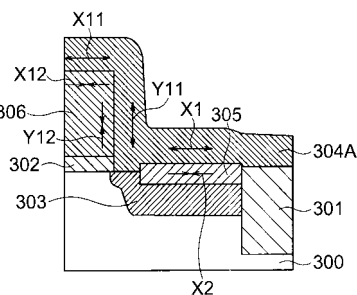
200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜  
211;CoNiシリサイド膜  
214;シリコン窒化膜  
215;第2の層間絶縁膜

【図18】

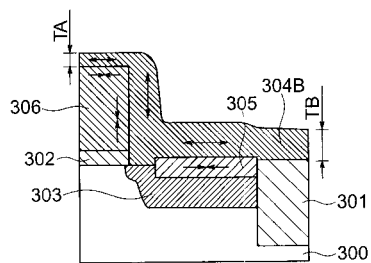


200;単結晶シリコン基板  
202;ゲート酸化膜  
203;多結晶シリコン膜  
205;シリコン酸化膜  
207, 208;Coシリサイド膜  
209;シリコン窒化膜  
210;第1の層間絶縁膜  
211;CoNiシリサイド膜  
214;シリコン窒化膜  
215;第2の層間絶縁膜  
216;ゲート電極  
217;拡散層  
218;コンタクトパターン

【図21】



【図22】



300;単結晶シリコン基板  
303;拡散層  
304B;キャップ膜  
305;シリサイド膜  
306;シリサイド膜



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/088 (2006.01) H 0 1 L 27/08 1 0 2 D

(72)発明者 中 嶋 一 明  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 川村 裕二

(56)参考文献 特開平 0 8 - 1 4 8 5 6 1 ( J P , A )  
特開 2 0 0 2 - 2 4 6 5 9 3 ( J P , A )  
特開 2 0 0 0 - 2 5 2 4 6 2 ( J P , A )  
特開 2 0 0 2 - 2 1 7 4 1 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 1 / 8 2 3 4  
H 0 1 L 2 7 / 0 8 8  
H 0 1 L 2 9 / 7 8