



(12) 发明专利申请

(10) 申请公布号 CN 104916623 A

(43) 申请公布日 2015. 09. 16

(21) 申请号 201510108355. 7

(22) 申请日 2015. 03. 12

(30) 优先权数据

14/205, 836 2014. 03. 12 US

(71) 申请人 联发科技股份有限公司

地址 中国台湾新竹科学工业园区新竹市笃行一路一号

(72) 发明人 许文松 于达人

(74) 专利代理机构 北京万慧达知识产权代理有限公司 11111

代理人 张金芝 代峰

(51) Int. Cl.

H01L 23/64(2006. 01)

H01L 21/48(2006. 01)

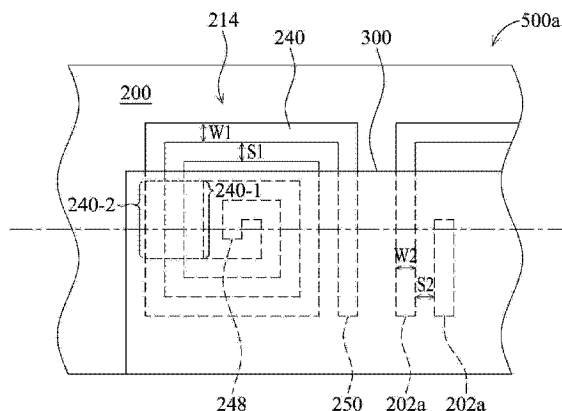
权利要求书2页 说明书6页 附图6页

(54) 发明名称

半导体封装和制造半导体封装基底的方法

(57) 摘要

本发明提供一种半导体封装和用于制造半导体封装基底的方法。半导体封装包括基底。所述基底具有装置连接面。射频 (RF) 装置被嵌入所述基底中。所述 RF 装置靠近所述装置连接面。本发明提供的半导体封装及其方法能够获得更好的品质因数。



1. 一种半导体封装,包括:  
具有装置连接面的基底;以及  
嵌入所述基底的射频装置,所述射频装置靠近所述装置连接面。
2. 如权利要求 1 所述的半导体封装,其特征在于,所述半导体封装进一步包括:  
嵌入所述基底的第一导电迹线,所述第一导电迹线靠近所述装置连接面;以及通过第一导电结构安装在所述第一导电迹线上的半导体装置。
3. 如权利要求 2 所述的半导体封装,其特征在于,所述半导体封装进一步包括:  
布置在所述基底的焊球连接面上的第二导电迹线,其中所述焊球连接面位于所述装置连接面的对面;以及  
布置在所述第二导电迹线上的焊球结构。
4. 如权利要求 2 所述的半导体封装,其特征在于,所述射频装置具有顶面,所述顶面位于基底表面的上面,下面或对准所述基底表面。
5. 如权利要求 2 所述的半导体封装,其特征在于,所述半导体封装进一步包括:  
绝缘层,所述绝缘层具有布置在所述基底的所述装置连接面上的开口,所述绝缘层位于所述射频装置的顶面的上面,其中,所述射频装置部分在所述开口内被露出。
6. 如权利要求 2 所述的半导体封装,其特征在于,所述第一导电结构接触所述射频装置。
7. 如权利要求 2 所述的半导体封装,其特征在于,所述第一导电结构包括导电柱结构,导线结构或导电胶结构。
8. 如权利要求 7 所述的半导体封装,其特征在于,所述导电柱结构由金属叠层组成,所述金属叠层包括凸块下金属层,铜层和焊料帽。
9. 如权利要求 8 所述的半导体封装,其特征在于,所述导电柱结构进一步包括位于所述铜层和所述焊料帽之间的导电缓冲层。
10. 如权利要求 2 所述的半导体封装,其特征在于,所述半导体装置包括管芯,封装,或晶片级封装。
11. 如权利要求 2 所述的半导体封装,其特征在于,所述第二导电结构包括铜凸块或焊料凸块结构。
12. 如权利要求 1 中所述的半导体封装,其特征在于,所述射频装置的宽度大于  $5\ \mu\text{m}$ ,其中所述射频装置具有多个装置部分,并且其中被所述基底的一部分隔开的相邻装置部分具有大约  $10\text{--}12\ \mu\text{m}$  的最小间隔。
13. 如权利要求 1 所述的半导体封装,其特征在于,所述基底包括单层结构或多层结构。
14. 一种半导体封装,包括:  
射频装置,所述射频装置具有连接到基底的底面和侧壁;以及  
通过导电结构安装在所述射频装置上的半导体装置。
15. 一种用于制造半导体封装基底的方法,包括:  
提供载体,所述载体的顶面和底面具有导电种子层;  
分别在所述导电种子层上形成射频装置;  
分别在所述导电种子层上层压第一基底材料层和第二基底材料层,所述第一基底材料

层和所述第二基底材料层覆盖所述射频装置；以及

由所述载体分离所述第一基底材料层与所述第二基底材料层以形成第一基底和第二基底，所述第一基底材料层与第二基底材料层包含其上的所述射频装置。

16. 如权利要求 15 所述的用于制造半导体封装基底的方法，其特征在于，所述方法进一步包括：

在所述导电种子层上分别层压所述第一基底材料层和所述第二基底材料层之前，在所述导电种子层上形成第一导电迹线；以及

在所述第一基底材料层的第一表面和所述第二基底材料层的第一表面分别形成第二导电迹线，其中，由所述载体分离所述第一基底材料层和所述第二基底材料层之前，所述第一基底材料层的第一表面和所述第二基底材料层的第一表面分别远离所述载体的顶面和底面。

17. 如权利要求 16 所述的用于制造半导体封装基底的方法，其特征在于，所述方法进一步包括：

执行钻孔工艺以形成通过所述第一基底材料层和所述第二基底材料层的开口；以及

在形成所述第二导电迹线之前，执行电镀工艺将导电材料填充到所述开口以形成将所述射频装置或所述第一导电迹线互连到所述第二导电迹线的通孔。

18. 如权利要求 17 所述的用于制造半导体封装基底的方法，其特征在于，所述钻孔工艺包括激光钻孔工艺，蚀刻钻孔工艺，或机械钻孔工艺，电镀工艺包括电气电镀工艺。

19. 如权利要求 16 所述的用于制造半导体封装基底的方法，其特征在于，所述射频装置，所述第一导电迹线，和所述第二导电迹线通过电镀工艺和各向异性刻蚀工艺形成。

20. 如权利要求 16 所述的用于制造半导体封装基底的方法，其特征在于，所述方法进一步包括：

在所述第一基底和所述第二基底上分别形成具有开口的绝缘层，其中，所述射频装置的部分以及所述第一基底和所述第二基底的所述第一导电迹线的部分在所述开口内露出。

21. 如权利要求 15 所述的用于制造半导体封装基底的方法，其特征在于，所述方法进一步包括：

从所述第一基底和所述第二基底移除所述导电种子层。

22. 如权利要求 15 所述的用于制造半导体封装基底的方法，其特征在于，所述射频装置以及所述第一基底和所述第二基底的所述第一导电迹线对准所述第一基底和所述第二基底的第二表面，并且其中所述第二表面分别在所述第一基底和所述第二基底的第一表面的对面。

23. 如权利要求 15 所述的用于制造半导体封装基底的方法，其特征在于，每个所述射频装置具有大于  $5\ \mu\text{m}$  的宽度，其中每个所述射频装置具有多个装置部分，并且其中通过所述基底的一部分隔开的相邻装置部分具有大约  $10\text{--}12\ \mu\text{m}$  的最小间隔。

24. 一种用于制造半导体封装的方法，包括：

提供基底；

在所述基底上形成至少一个射频装置；

在所述基底上形成附加绝缘材料；以及

在所述附加绝缘材料上限定图案，其中所述图案形成于所述射频装置上。

## 半导体封装和制造半导体封装基底的方法

### 技术领域

[0001] 本发明涉及一种半导体封装和用于制造半导体封装基底的方法,特别地,涉及一种用于半导体封装的基底,所述基底具有嵌入其中的射频(RF)装置。

### 背景技术

[0002] 在高速应用中(例如射频(RF)应用),常规的RF装置包括几个安装在RF主管芯上的分立的RF芯片和其它有源或无源装置(如电感器,天线,滤波器,功率放大器(PA),去耦或匹配电路)。然而,常规的RF装置的在片(on-wafer)电感器由铝(Al)形成,并且在片电感器的厚度受限于常规的RF装置的制造工艺。因此,常规的RF装置的电感器(也被称为在片电感器)会具有占据面积大和品质因数(Q-因数)低的不良品质。此外,无法减小常规RF装置的RF主管芯尺寸和每个晶片上管芯的数量。

[0003] 因此,需要一种新的RF装置封装。

### 发明内容

[0004] 为了解决上面的品质因数不高的问题,本发明特提供一种半导体封装和用于制造半导体封装基底的方法。

[0005] 一个实施例中,半导体封装包括具有装置连接面的基底。射频装置被嵌入基底之中,所述射频装置靠近装置连接面。

[0006] 另一个实施例中,半导体封装包括射频装置,所述射频装置具有连接到基底的底面和侧壁。半导体装置通过导电结构安装在RF装置上。

[0007] 另一个实施例中,用于制造半导体封装基底的方法包括,提供载体,所述载体的顶面和底面具有导电种子层。射频装置分别形成于导电种子层之上。第一基底材料层和第二基底材料层分别层压在导电种子层之上,覆盖所述射频装置。第一基底材料层和第二基底材料层(其上包含RF装置)与载体分离以形成第一基底和第二基底。

[0008] 另一个实施例中,用于制造半导体封装基底的方法包括提供基底。至少一个射频装置在基底上形成。附加绝缘材料形成于基底之上,并且进一步限定所述附加绝缘材料上的图案,其中所述图案形成于所述RF装置之上。

[0009] 本发明提供的半导体封装能够具有更高的品质因数。

[0010] 以下实施例和相关附图中给出了详细说明。

### 附图说明

[0011] 通过参照附图来阅读随后的详细说明和实例可以更全面地理解本发明,其中:

[0012] 图1显示半导体封装的一个典型实施例的俯视图,特别是示出用于半导体封装的基底,该基底具有嵌入其中的射频装置。

[0013] 图2显示沿图1中线A-A'截取的局部横截面,其示出半导体封装的一个典型实施例,特别是示出了用于半导体封装的基底,该基底具有嵌入其中的射频装置。

[0014] 图 3 显示本发明半导体封装的另一典型实施例的局部横截面图,特别是示出了用于半导体封装的基底,该基底具有嵌入其中的射频装置。

[0015] 图 4A 到 4E 是横截面图,该横截面示出了用于制造本发明半导体封装基底方法的一个典型实施例,该基底具有 RF 装置。

### 具体实施方式

[0016] 以下描述是用于实现本发明的方式。该描述是为了说明本发明的一般原理而不应被视为具有限制意义。本发明的范围最好参考所附的权利要求来确定。只要可能,附图和说明书中使用相同的附图标记来表示相同或相似的部分。

[0017] 本发明将根据特定实施例并参考特定附图进行描述,但本发明不限于此,而是仅由权利要求所限制。所描述的附图仅是示意性和非限制性的。在附图中,出于展示目的,一些元件的尺寸可能被夸大并且未按比例绘制。该尺寸和相对尺寸与本发明实施中的实际尺寸并不一致。

[0018] 图 1 显示半导体封装 500a 的一个实施例的俯视图,特别显示了具有嵌入基底中的射频 (RF) 装置的半导体封装的基底。在本实施例中,半导体封装可以是使用导电结构(例如铜柱凸块焊盘)将半导体装置连接到基底的覆晶封装。替代地,半导体封装可以是使用引线接合技术将半导体装置连接到基底的封装。图 2 示出沿图 1 中线 A-A' 截取的局部截面图,其示出了本发明半导体封装 500a 的一个典型实施例。请参阅图 1 和 2,其中,半导体封装 500a 包括基底 200,该基底 200 具有装置连接面 214 和与装置连接面 214 相对的焊球连接面 213。在一个实施例中,基底 200(例如印刷电路板 (PCB)) 可以由聚丙烯 (PP) 形成。还应当注意到,基底 200 可以是单层或多层结构。在本实施例中,所形成的射频 (RF) 装置 240 嵌入基底 200 之中,射频装置 240 靠近装置连接面 214。在一个实施例中,RF 装置 240 可以包括电感器,天线,滤波器,功率放大器 (PA),去耦或匹配电路。在本实施例中,RF 装置 240 是电感器 240。在本实施例中,RF 装置 240 具有用作焊盘区域 248 和 250 的两个端部 248 和 250,所述两个端部 248 和 250 连接到直接安装在基底 200 上的半导体装置 300。在本实施例中,射频装置 240 具有多个装置部分,例如,装置部分 240-1 和 240-2。该 RF 装置 240 的装置部分 240-1 和 240-2 可以被设计成具有大于  $5\ \mu\text{m}$  的宽度  $W1$  和约为  $10\text{--}12\ \mu\text{m}$  的最小间隔  $S1$ 。但是,应当注意到,这并非是对 RF 装置 240 的装置部分 240-1 和 240-2 的宽度  $W1$  和最小间隔  $S1$  的限制。

[0019] 可替代地,多个第一导电迹线 202a 也可以设计成被嵌入基底 200,所述第一导电迹线 202a 靠近装置连接面 214。在一个实施例中,第一导电迹线 202a 可包括信号迹线段或接地迹线段,其用于直接安装在基底 200 上的半导体装置 300 的输入/输出 (I/O) 连接。因此,每个所述第一导电迹线 202a 具有用作基底 200 的焊盘区域的部分。在本实施例中,第一导电迹线 202A 被设计为具有大于  $5\ \mu\text{m}$  的宽度  $W2$  和约  $10\text{--}12\ \mu\text{m}$  的最小间隔  $S2$ 。但是,应该注意到,这并非是对导电迹线宽度的限制。对于不同的设计,导电迹线的宽度可以根据需求而小于  $5\ \mu\text{m}$ 。

[0020] 在如图 2 所示的一个实施例中,第二导电迹线 202b 也可被设计为布置在基底 200 的焊球连接面 213 上。在本实施例中,焊球结构 252 也可以被设计为布置在第二导电迹线 202b 上。

[0021] 半导体装置 300 被安装在基底 200 的装置连接面 214 上, 半导体装置 300 的有源表面通过粘结工艺 (bonding process) 而面向基底 200。在一个实施例中, 半导体装置 300 可以包括管芯, 封装, 或晶片级封装。在本实施例中, 半导体装置 300 是覆晶封装。如图 2 所示, 半导体装置 300 可以包括主体 301, 其上覆盖半导体主体 301 的金属焊盘 304, 以及覆盖金属焊盘 304 的绝缘层 302。半导体装置 300 的电路被布置在有源表面上, 金属焊盘 304 被布置在电路的顶部。半导体装置 300 的电路通过多个布置在半导体装置 300 有源表面的导电结构 222 互连到嵌入基底 200 内的 RF 装置 240 和第一导电迹线 202a, 然而, 应当注意到, 图 2 所示的导电结构 222 仅为示例, 并非对本发明的限制。

[0022] 如图 2 图所示, 导电结构 222 可以包括导电凸块结构, 如铜凸块或焊料凸块结构、导线结构或导电胶结构。在本实施例中, 导电结构 222 可以由金属叠层组成, 所述金属叠层包括 UBM (凸点下金属) 层 306, 铜层 216 (例如镀铜层) 的, 导电缓冲层 218, 以及焊料帽 220。在一个实施例中, 该 UBM 层 306 可通过沉积法 (如溅射法或镀覆法) 和随后的各向异性刻蚀工艺在开口内暴露的金属焊盘 304 上形成。所述各向异性刻蚀工艺在形成导电柱后执行。该 UBM 层 306 还可以延伸到绝缘层 302 的顶面之上。在本实施例中, 该 UBM 层 306 可以包括钛, 铜, 或它们的组合。铜层 216 (例如电镀铜层) 可以形成于该 UBM 层 306 上。所述开口可被铜层 216 和 UBM 层 306 填充, 且所述开口内的铜层 216 和 UBM 层 306 可以形成导电结构 222 的完整插头。铜层 216 的形成位置是由干膜光致抗蚀剂或液体光致抗蚀剂的图案来定义 (未示出)。

[0023] 在一个实施例中, 底部填充材料或底部填料 230 可以被引入半导体装置 300 和基底 200 之间的间隙。在一个实施例中, 底部填料 230 可以包括毛细型底部填充 (CUF), 模塑型底部填充 (MUF), 或者它们的组合。

[0024] 在一个实施例中, RF 装置 240 和第一导电迹线 202a 可以具有布置在基底表面的上面、下面或对准该基底表面的顶面, 以改善高密度半导体封装的布线 (routing) 能力。如图 2 所示, RF 装置 240 具有布置为对准到基底 200 的装置连接面 214 的顶面 242a。也就是说, RF 装置 240 的底面 246a 和至少一个侧壁 244a 被设计为完全连接到基底 200。可替代地, 所述第一导电迹线 202a 可以具有连接到 RF 装置 240 的类似配置。例如, 第一导电迹线 202a 具有布置为对准到基底 200 的装置连接面 214 的顶面 212a。另外, 导电迹线 202a 的底面 206a 和侧壁 204a 被设计成完全连接到基底 200。在本实施例中, 导电结构 222 的焊料帽 220 被布置为与基底 200 的一部分相接触并连接到所述 RF 装置 240 的顶面 242a 和所述第一导电迹线 202a 的顶面 212a。归因于 RF 装置的顶面和与基底 200 的装置连接面 214 共面 (coplanar) 的第一导电迹线, 所述凸块与迹线之间的空间被增大, 并且凸块到迹线的桥接问题可以被有效避免。

[0025] 图 3 显示本发明半导体封装 500b 的另一实施例的局部横截面, 特别是示出了用于半导体封装的基底 200a, 该基底具有嵌入其中的射频 (RF) 装置。可替换地, 基底 200a 可以包括多层结构。在本实施例中, 多层基底 200a 可以具有允许所述 RF 装置 240 被嵌入其中的基底部分 201。另外, 该多层基底 200a 进一步包括绝缘层 208, 所述绝缘层 208 具有布置在基底部分 204 上的开口并借此开口靠近基底部分 204 的装置连接面 214。在本实施例中, 基底部分 201 和绝缘层 208 共同用作多层基底 200a。在本实施例中, RF 装置 240 和第一导电迹线 202a 嵌入基底 201 中。RF 装置 240 的顶面 242a 和第一导电迹线 202a 的顶面

212a 可以对准到基底部分 204 的装置连接面 214。在本实施例中,嵌入基底部分 201 中的 RF 装置 240 和第一导电迹线 202a 可以在绝缘层 208 的开口内露出。

[0026] 图 4A 到 4E 是横截面图,其显示了用于制造本发明两个半导体封装基底 200c 和 200d 方法的一个实施例,该基底具有 RF 装置。在本实施例中,用于制造半导体封装基底的方法也称为双面基底制造工艺。该实施例的元件与先前根据附图 1-3 所描述的元件相同或相似,为简便起见在下文中不再重复。如图 4A 所示,提供具有导电种子层 402a 和 402b 的载体 400,所述导电种子层 402a 和 402b 位于顶面 401 和底面 403 上。在一个实施例中,载体 400 可包括 FR4 玻璃环氧树脂或不锈钢。另外,导电种子层 402a 和 402b 被作为种子层,该种子层用于随后在载体 400 的顶面 401 和底面 403 上形成互连的基底的导电迹线。在一个实施例中,导电种子层 402a 和 402b 可以包括铜。

[0027] 然后,如图 4B 所示,RF 装置 440a、440b 和第一导电迹线 404a、404b 同时形成于载体 400 的顶面 401 和底面 403 上。RF 装置 440a、440b 的底端部分和第一导电迹线 404a 和 404b 连接到导电种子层 402a 和 402b 的顶端部分。在一个实施例中,RF 装置 440a、440b 和第一导电迹线 404a、404b 可以通过电镀工艺和各向异性刻蚀工艺形成。所述电镀工艺和各向异性刻蚀工艺在载体 400 的顶面 401 和底面 403 上同时执行。在一个实施例中,电镀工艺可以包括电气电镀工艺。在一个实施例中,RF 装置 440a、440b 和第一导电迹线 404a、404b 可以包括铜 (Cu)。在一个实施例中,RF 装置 440a、440b 可用作电感器 440a、440b。在一个实施例中,RF 装置 440a、440b 的宽度 W1 和最小间隔 S1 或第一导电迹线 404a、404b 的宽度 W2 和最小间距 S2 可归因于形成工艺(例如各向异性刻蚀工艺)而得到精确控制。在本实施例中,RF 装置 440a、440b 可以被设计为具有大于  $5\ \mu\text{m}$  的宽度 W1 和约为  $10\text{--}12\ \mu\text{m}$  的最小间隔 S1。在本实施例中,第一导电迹线 404a、404b 可以被设计为具有大于  $5\ \mu\text{m}$  的宽度 W2 和约  $10\text{--}12\ \mu\text{m}$  的最小间隔 S2。但是,应当注意到,这并非是对 RF 装置和第一导电迹线的宽度 W1、W2 和最小间隔 S1、S2 的限制。对于不同的设计,宽度 W1 和 W2 可以根据需要而小于  $5\ \mu\text{m}$ 。因此,相比于常规的在片电感器的匝数,嵌入基底的所得到的电感器 440a、440b 的匝数可以得到增加。另外,归因于形成工艺(例如电镀工艺),相比于常规的在片电感器,所得到的电感器 440a、440b 的厚度得到显著增加。此外,电感器 440a、440b 由铜 (Cu) 形成,并且电感器的电阻相比于由铝 (Al) 形成的常规的在片电感器而言得到减小。

[0028] 然后,如图 4C 所示,执行层压工艺从而将第一基底材料层 406a 和第二基底材料层 406b 分别布置在载体 400 的顶面 401 和底面 403 上,其中,第一基底材料层 406a 和第二基底材料层 406b 分别覆盖所述 RF 装置 440a、440b 和第一导电迹线 404a 和 404b。在本实施例中,第一基底材料层 406a 和第二基底材料层 406b 的层压工艺在载体 400 的顶面 401 和底面 403 上同时执行。在一个实施例中,第一基底材料层 406a 和第二基底材料层 406b 可以包括聚丙烯 (PP)。

[0029] 接下来,请再次参考图 4C,其中执行钻孔工艺以形成通过第一基底材料层 406a 和第二基底材料层 406b 的开口(未示出),以界定随后所形成的通孔 408a、408b、448a 和 448b 的形成位置。在一个实施例中,钻孔工艺可以包括激光钻孔工艺,蚀刻钻孔工艺,或机械钻孔工艺。然后,执行电镀工艺以将导电材料填充到开口中从而形成通孔 448a 和 448b,所述通孔 448a 和 448b 用于将 RF 装置 440a、440b 互连到随后的第二导电迹线 450a 和 450b。另外,同时执行电镀工艺以将导电材料填充到开口从而形成通孔 408a 和 408b,所述通孔 408a

和 408b 用于将所述第一导电迹线 404a 和 404b 互连到随后的第二导电迹线 410a 和 410b。在本实施例中, 钻孔工艺和电镀工艺分别在第一基底材料层 406a 和第二基底材料层 406b 上同时执行。

[0030] 接下来, 请再次参考图 4C, 其中多个第二导电迹线 410a, 410b, 450a 和 450b 分别形成于第一基底材料层 406a 的第一表面 412 和第二基底材料层 406b 的第一表面 414 上。如图 4C 所示, 第一基底材料层 406a 的第一表面 412 和第二基底材料层 406b 的第一表面 414 分别远离载体 400 的顶面 401 和底面 403。第二导电迹线 410a, 410b, 450a 和 450b 通过电镀工艺和各向异性刻蚀工艺而形成。所述电镀工艺和各向异性刻蚀工艺在第一基底材料层 406a 的第一表面 412 和第二基底材料层 406b 的第一表面 414 上同时执行。在一个实施例中, 电镀工艺可以包括电气电镀工艺。在一个实施例中, 第二导电迹线 410a, 410b, 450a 和 450b 可以包括铜。在一个实施例中, 第二导电迹线 410a, 410b, 450a 和 450b 被设计为具有大于  $5\ \mu\text{m}$  的宽度  $W_2$  和约  $10\text{--}12\ \mu\text{m}$  的最小间隔  $S_2$ 。但是, 应当注意到, 这并非是对导电迹线的宽度的限制。对于不同的设计, 第二导电迹线 410a, 410b, 450a 和 450b 的宽度可根据需要而小于  $5\ \mu\text{m}$ 。在本实施例中, 各向异性刻蚀工艺可精确地控制所述第二导电迹线 410a, 410b, 450a 和 450b 的宽度。

[0031] 然后, 如图 4D 和 4E 所示, 第一基底材料层 406a 包括嵌入其中的 RF 装置 440a 和第一导电迹线 404a 以及位于其上的第二导电迹线 410a 和 450a; 第二基底材料层 406b 包括嵌入其中的 RF 装置 440b 和第一导电迹线 404b 以及位于其上的第二导电迹线 410b 和 450b, 第一基底材料层 406a 和第二基底材料层 406b 分别与载体 400 的顶面 401 和底面 403 分离, 以形成相互分离的第一基底 200c 和第二基底 200d。然后, 再次如图 4D 和 4E 所示, 导电种子层 402a 和 402b 分别从第一基底 200c 和第二基底 200d 移除。

[0032] 如图 4D 和 4E 所示, RF 装置 440a, 440b 和第一导电迹线 404a, 404b 被分别对准第一和第二基底 200c 和 200d 的第二表面 416 和 418, 所述第二表面 416 和 418 位于所述第一表面 412 和 414 的对面。在本实施例中, 第一基底 200c 和第二基底 200d 通过双面基底制造工艺在相对表面上 (顶面 401 和底面 403) 同时制造。

[0033] 然后, 执行粘结工艺以在分离工艺之后通过导电结构 (例如, 如图 2 所示的导电性结构 222) 将半导体装置 (例如, 如图 2 所示的半导体装置 300) 安装在第一基底 200c/ 第二基底 200d 上。如图 4D 和 4E 所示, 在粘结处理之后, 导电结构与射频装置 440a/440b 和第一导电迹线 404a, 404b 的顶面接触。然后, 底部填充材料或底部填料 (例如, 如图 2 所示的底部填料 230) 可以被引入所述半导体装置和第一基底 200c/ 第二基底 200d 之间的空隙。最后, 如图 4D 和 4E 所示的第一基底 200c/ 第二基底 200d, RF 装置 440a/440b, 导电迹线 404a/404b, 第二导电迹线 410a/410b, 450a/450b, 以及半导体装置 (例如, 如图 2 所示的半导体装置 300) 和导电结构 (例如, 如图 2 所示的导电结构 222) 可以共同形成半导体封装 (例如, 如图 2 所示的半导体封装 500a)。

[0034] 可替换地, 如图 4D 和 4E 所示的第一基底 200c 和第二基底 200d 分离之后, 具有开口的两个钝化或绝缘层 (例如, 如图 3 中所示的绝缘层 208) 可选择地分别形成于第一基底 200c 的第二表面 416 和第二基底 200d 的第二表面 418 上。在本实施例中, 第一和第二基底 200c, 200d 中的 RF 装置 440a, 440b 和第一导电迹线 404a 和 404b 的端部在开口内露出。另外, 在本实施例中, 第一基底 200c/ 第二基底 200d 和其上的绝缘层共同用作多层基



底。执行粘结工艺和底部填充材料/底部填料引入工艺之后,如图 4D 和 4E 所示的第一基底 200c/ 第二基底 200d, RF 装置 440a/440b, 导电迹线 404a/404b, 第二导电迹线 410a/410b, 450a/450b, 以及半导体装置(例如,如图 2 所示的半导体装置 300)和导电结构(例如,如图 2 所示的导电结构 222)可以共同形成半导体封装(例如,如图 3 所示的半导体封装 500b)。

[0035] 实施例提供一种半导体封装和用于制造半导体封装基底的方法。半导体封装被设计为包括嵌入诸如印刷电路板(PCB)的基底中 RF 装置(例如,电感器)。RF 装置可以具有布置在基底表面的上面,下面或对准基底表面的顶面,以改善高密度半导体封装的工艺路线能力。此外,RF 装置被设计为具有大于  $5\ \mu\text{m}$  的宽度以及约为  $10\text{--}12\ \mu\text{m}$  的最小间隔。进一步地,基底可以包括单层结构或多层结构。典型实施例中还提供用于制造半导体封装基底的方法。在一个实施例中,该方法可以在载体的两侧同时制造两个基底,所述基底具有嵌入其中的 RF 装置(例如电感器)。进一步地,RF 装置可以通过电镀工艺和各向异性刻蚀工艺形成,各向异性刻蚀工艺可以精确地控制 RF 装置的宽度和最小间隔。因此,相比于常规的在片电感器的匝数,嵌入基底的电感器的匝数可以得到增加。相应地,安装在基底上的半导体装置的尺寸(或管芯尺寸)可以减小,并且每个晶片上的管芯数量可以得到增加。此外,一个实施例中,归因于形成工艺(例如在电镀工艺),相比于常规的在片电感器而言,嵌入基底的电感器的厚度得到显著增加。进一步地,一个实施例中,嵌入基底的电感器由铜(Cu)形成,并且相比于由铝(Al)形成的常规的在片电感器而言,该电感器的电阻得到减小。因此,一个典型实施例中,嵌入基底的电感器可以具有比常规的在片电感器更高的品质因数(Q-因数)。可替代地,该方法可以制造包括单层结构或多层结构的基底以改善设计性能。

[0036] 虽然本发明已经通过示例和优选实施例的方式得到描述,但应当理解为本发明不局限于所公开的实施例。相反地,它旨在覆盖各种修改和类似配置(由于其对本领域技术人员来说是显而易见的)。因此,所附权利要求的范围应被赋予最为宽泛的解释,以使其涵盖所有这些修改和类似。

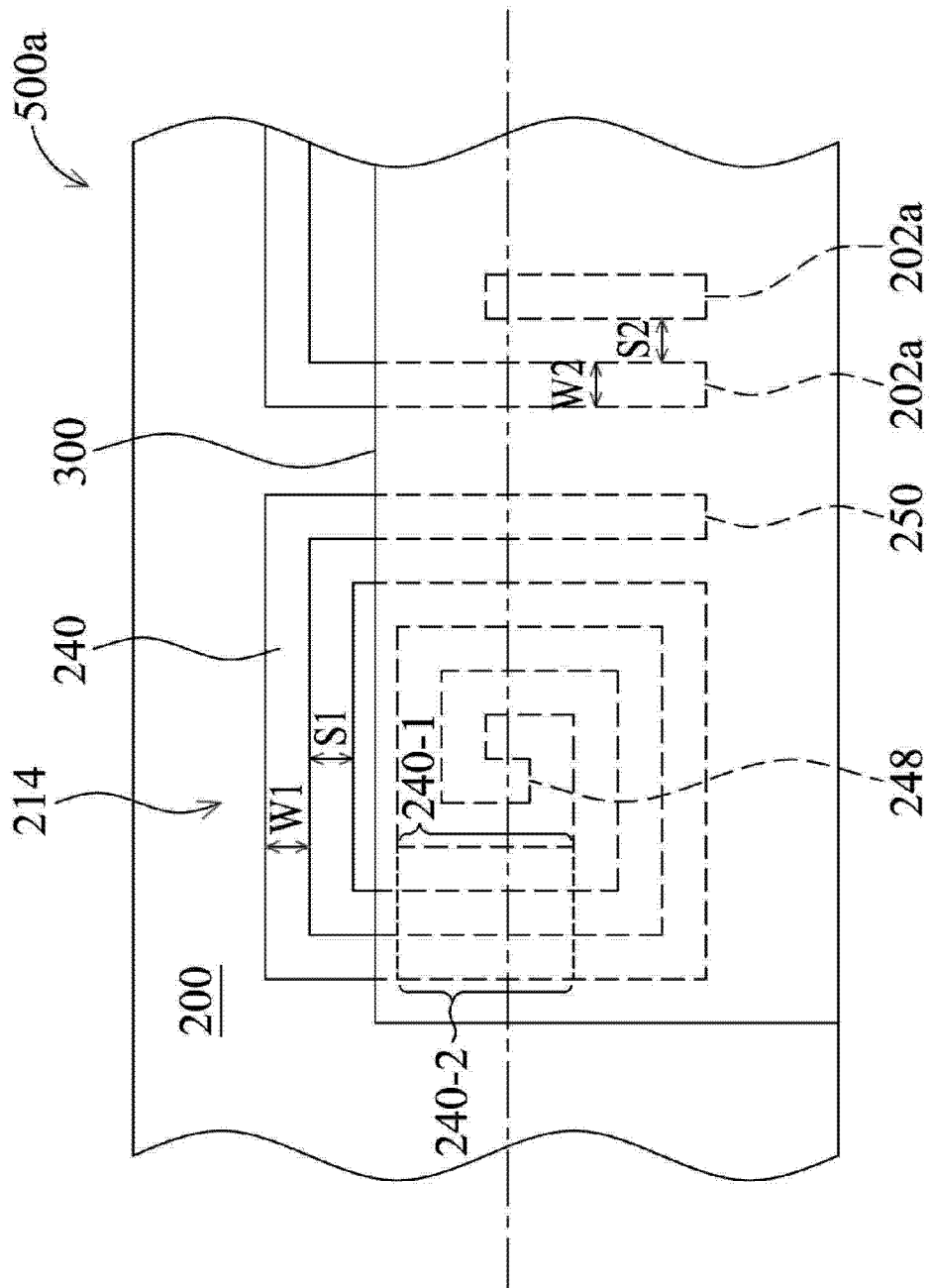


图 1

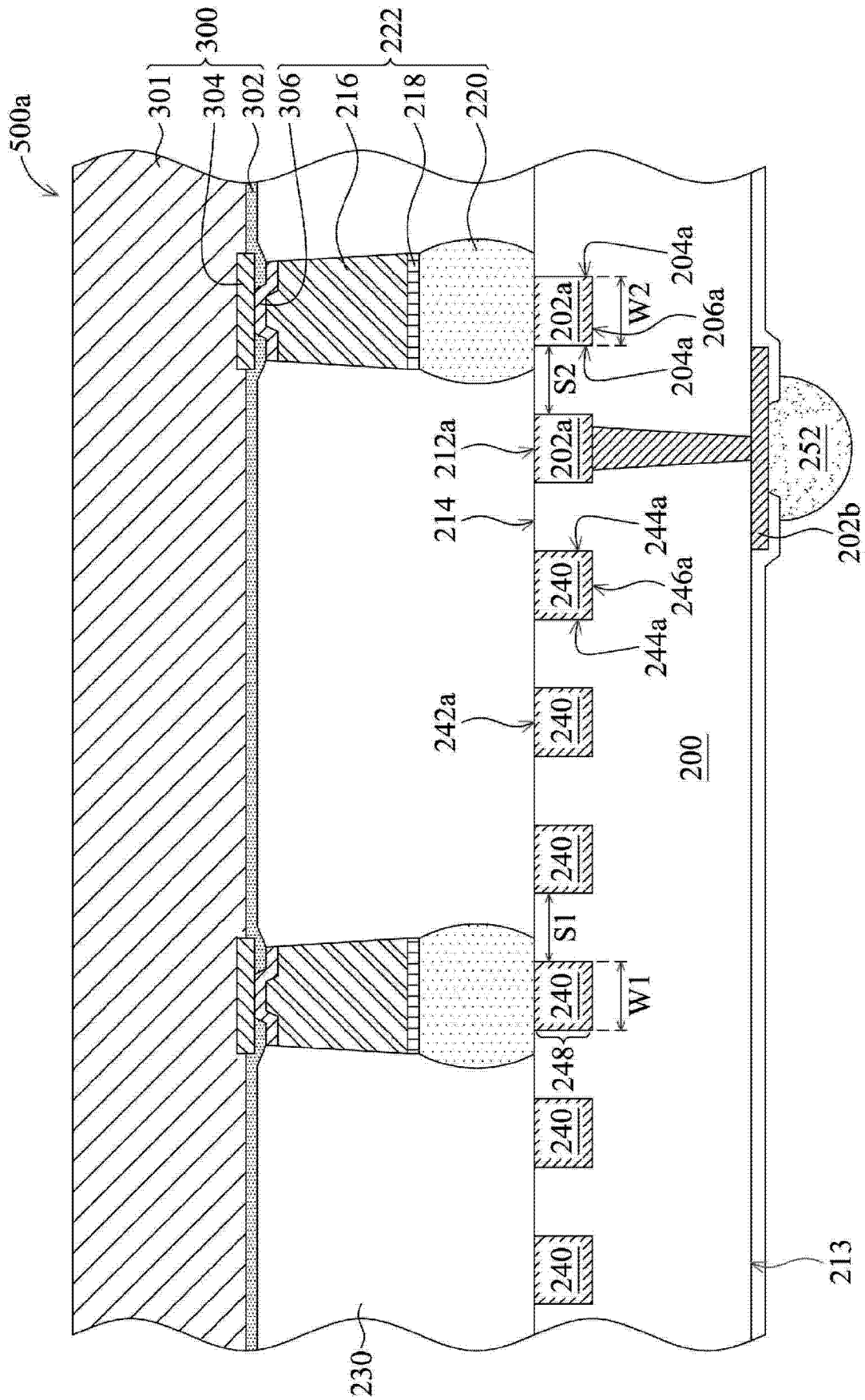


图 2

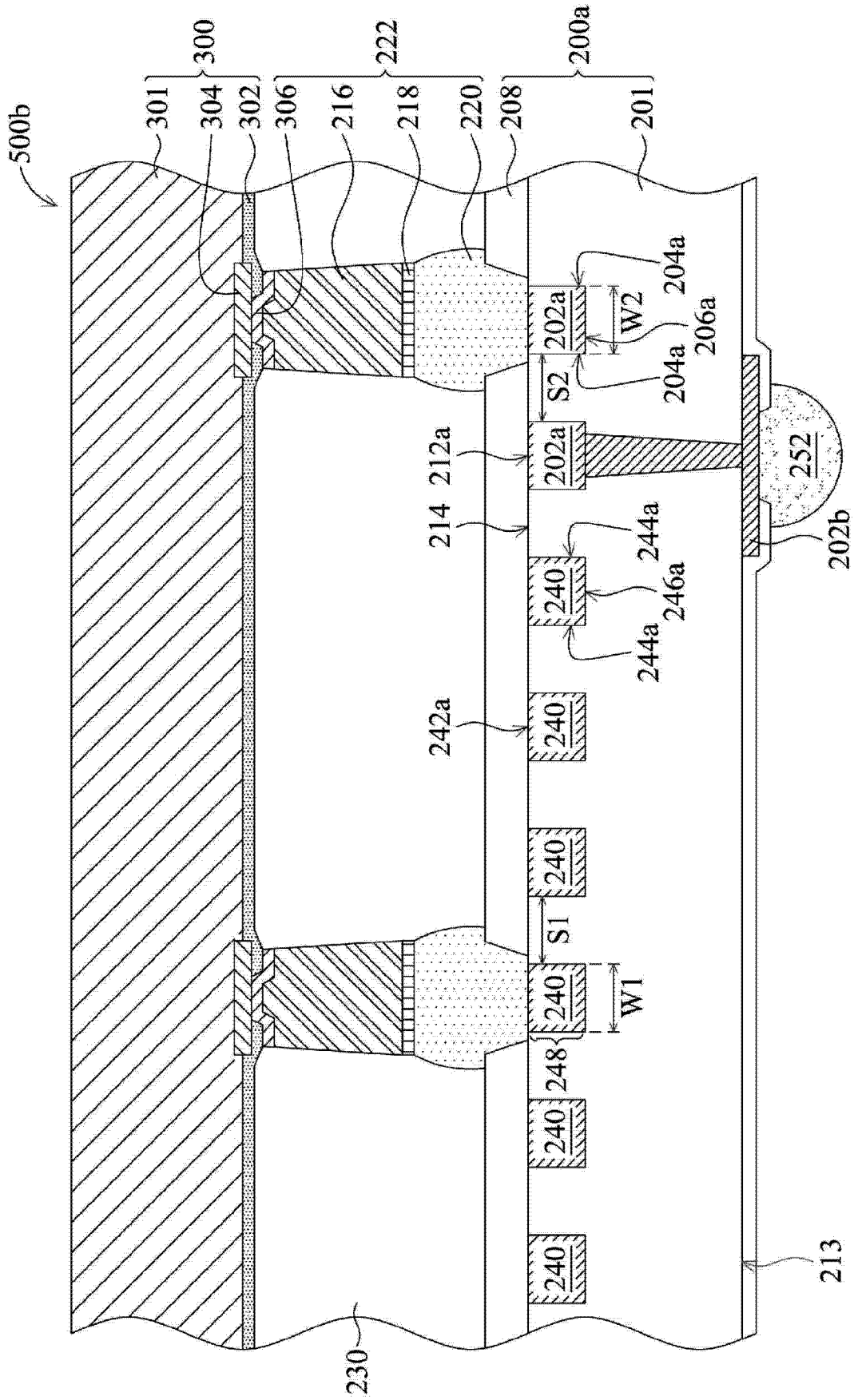


图 3

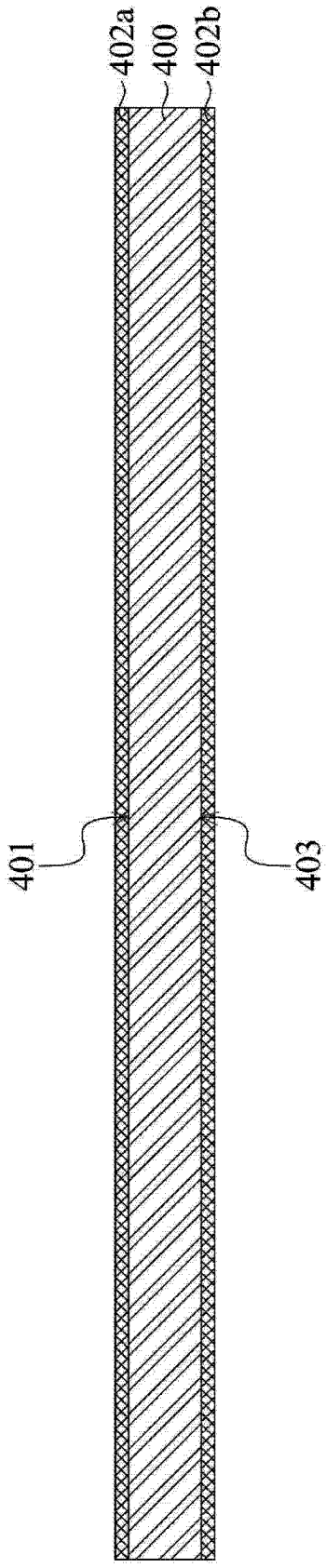


图 4a

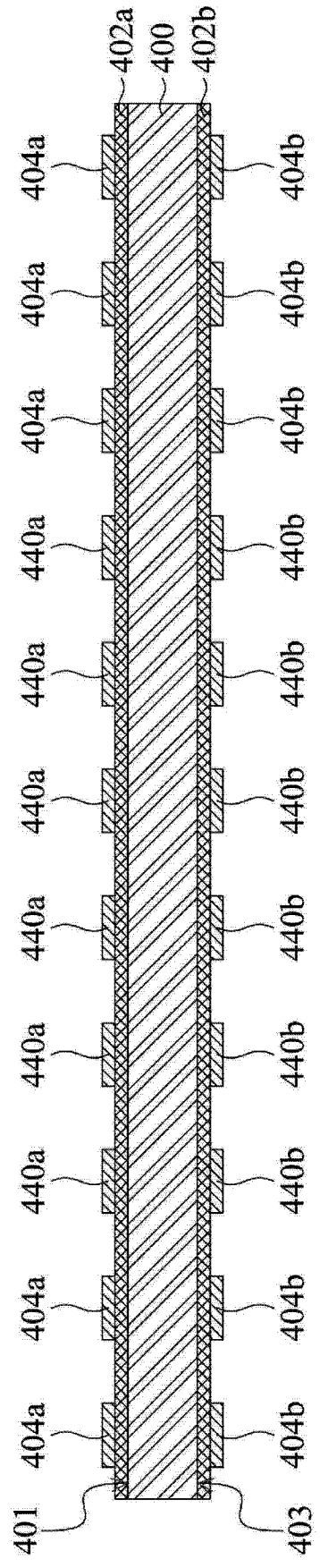


图 4b

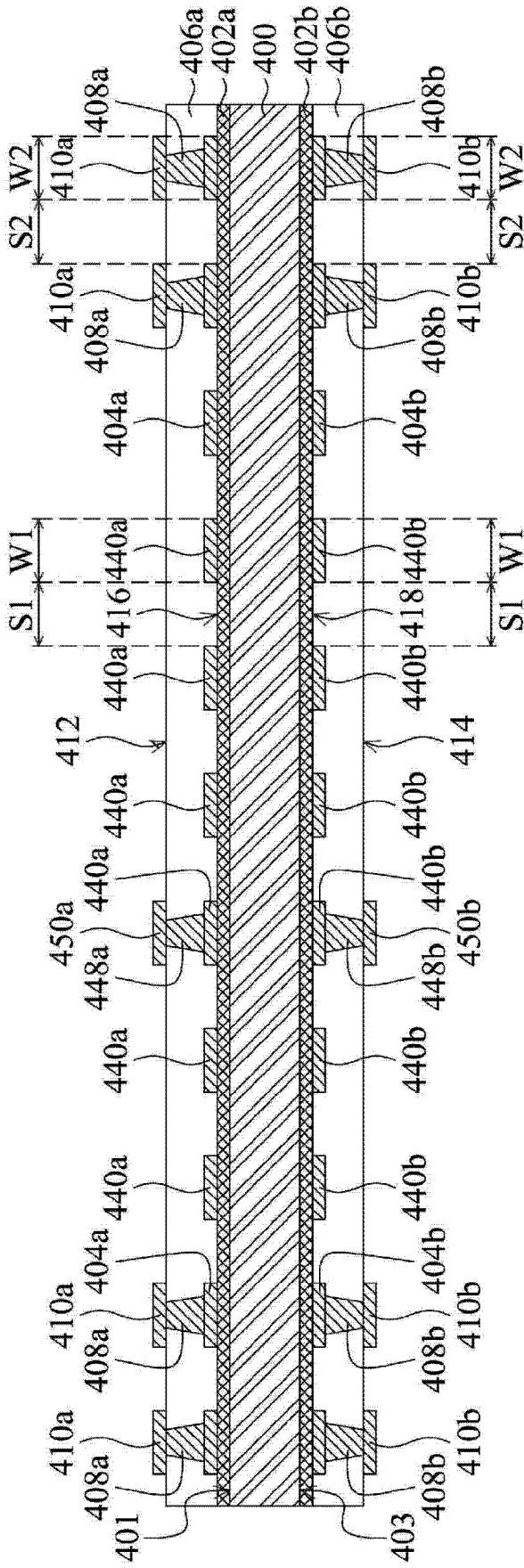


图 4c

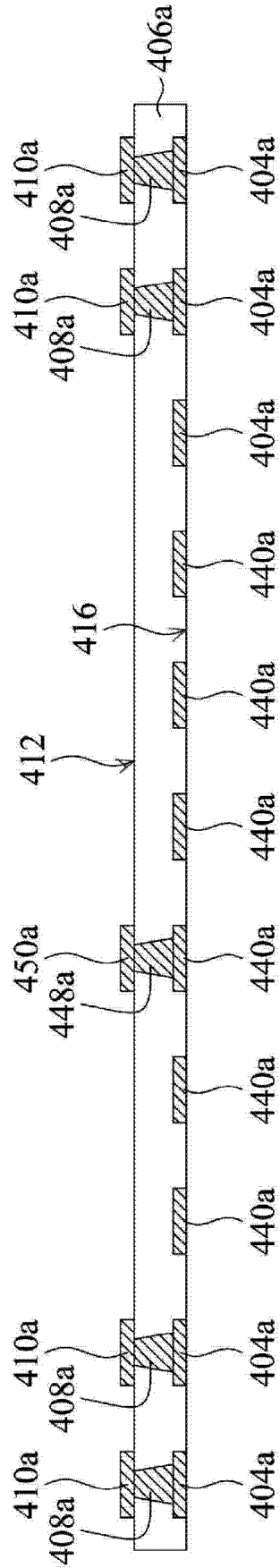


图 4d

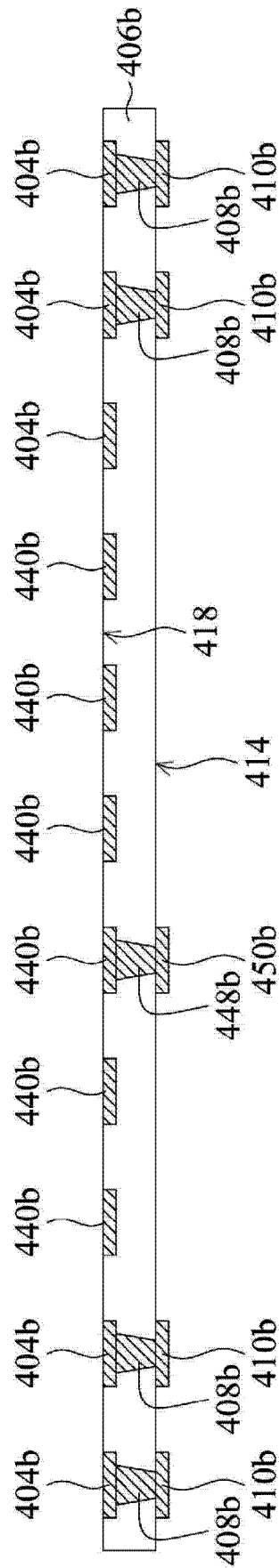


图 4e