

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5105835号
(P5105835)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月12日 (2012.10.12)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 Y
HO 1 L 29/78 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/423 (2006.01)	HO 1 L 29/44	L
HO 1 L 29/49 (2006.01)	HO 1 L 21/76	L
HO 1 L 29/41 (2006.01)	HO 1 L 29/78	3 O 1 R
請求項の数 13 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2006-314879 (P2006-314879)
 (22) 出願日 平成18年11月21日 (2006.11.21)
 (65) 公開番号 特開2007-173789 (P2007-173789A)
 (43) 公開日 平成19年7月5日 (2007.7.5)
 審査請求日 平成21年9月18日 (2009.9.18)
 (31) 優先権主張番号 10-2005-0128607
 (32) 優先日 平成17年12月23日 (2005.12.23)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 310024033
 エスケーハイニックス株式会社
 SK hynix Inc.
 大韓民国京畿道利川市夫鉢邑京忠大路2091
 2091, Gyeongchung-aero, Bubal-eub, Icheon-si, Gyeonggi-do, Korea
 (74) 代理人 100118913
 弁理士 上田 邦生
 (74) 代理人 100112737
 弁理士 藤田 考晴
 (74) 代理人 100136168
 弁理士 川上 美紀

最終頁に続く

(54) 【発明の名称】 突起型トランジスタ製造方法

(57) 【特許請求の範囲】

【請求項1】

活性領域及びフィールド領域を有するシリコン基板上に前記フィールド領域を露出させるハードマスク膜を形成するステップと、

前記露出した基板フィールド領域をエッチングしてトレンチを形成するステップと、

前記トレンチ内にSOG (Spin On Glass) 膜を埋込むステップと、

前記ハードマスク膜を除去して基板活性領域を露出させるステップと、

前記露出した基板活性領域上にエピシリコン膜を形成するステップと、

前記トレンチ内の下層部のみ埋込むようにSOG膜をエッチングするステップと、

前記トレンチを埋込むようにエッチングされたSOG膜上にHDP (High Density Plasma) 酸化膜を形成して、前記SOG膜とHDP酸化膜からなるフィールド酸化膜を形成するステップと、

前記エピシリコン膜の両側面が露出するようにフィールド酸化膜のHDP酸化膜をエッチングするステップと、

前記両側面が露出したエピシリコン膜及びフィールド酸化膜上にゲートを形成するステップと、

を含むことを特徴とする突起型トランジスタ製造方法。

【請求項2】

前記ハードマスク膜は、パッド酸化膜とパッド窒化膜の積層膜であることを特徴とする請求項1に記載の突起型トランジスタ製造方法。

【請求項 3】

前記ハードマスク膜は、300～1000 の厚さで形成することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 4】

前記エピシリコン膜を形成するステップは、ファーネスで600～1000 の温度で遂行することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 5】

前記エピシリコン膜は、 SiH_4 、 Si_2H_6 及び SiCl_2H_2 から構成されたグループから選択されるいずれか1つをソースガスとして使用して形成することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

10

【請求項 6】

前記エピシリコン膜は、GeまたはPの不純物をドーピングさせて形成することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 7】

前記エピシリコン膜は、SiとSiGeとを順次に積層して形成する、または、SiとSiGeとを所望する厚さが得られるまで少なくとも2回以上交互に積層して形成することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 8】

前記エピシリコン膜は、ハードマスク膜よりも90～110 薄く形成することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

20

【請求項 9】

前記SOG膜のエッチングは、トレンチ上段から150～200 下の深さから残留するように遂行することを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 10】

前記SOG膜のエッチング後、そして、前記HDP酸化膜の形成前、前記SOG膜の緻密化のために熱処理を遂行するステップを更に含むことを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 11】

前記熱処理は、ファーネスで N_2 雰囲気及び600～1000 の温度で遂行することを特徴とする請求項 10 に記載の突起型トランジスタ製造方法。

30

【請求項 12】

前記HDP膜の形成後、前記HDP膜を緻密化させるために熱処理を遂行するステップを更に含むことを特徴とする請求項 1 に記載の突起型トランジスタ製造方法。

【請求項 13】

前記熱処理は、ファーネスで N_2 または O_2 雰囲気で700～1000 の温度で遂行することを特徴とする請求項 12 に記載の突起型トランジスタ製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関し、より詳しくは、半導体素子の性能及び歩留まりを増大させることができる突起型トランジスタ(Fin Transistor)製造方法に関する。

40

【背景技術】

【0002】

メモリ素子のデザインルールが急激に減少することにつれて、それに対応してトランジスタのチャンネル長さ(length)及び幅(width)は非常に短くなった反面、接合領域のドーピング濃度は増加して、電界(electric field)の増加による接合漏洩電流が増加することになった。これによって、既存の2次元平面(planar)型チャンネル構造を有するトランジスタでは高集積素子で要求されるしきい電圧値を得ることが困難になり、併せて、リフレッシュ特性を向上させることが限界に至ることになった。

【0003】

50

ここに、最近、チャンネル長さを拡張させることができる3次元チャンネル構造を有するトランジスタの具現に対する研究が活発に進行しており、このような研究結果の1つで、最近に3次元チャンネル構造を有する突起型トランジスタ(Fin Transistor)が提案された。

【0004】

前記突起型トランジスタは、フィールド領域に存在するフィールド酸化膜を全部または一部エッチングして活性領域部分を突出させる。したがって、前記活性領域が突出することによって、3次元チャンネル構造を有することになり、これによって、電流駆動(current drive)特性を向上させることができる。したがって、前記突起型トランジスタは、次世代超高集積素子が具現できる最も理想的な構造として注目されている。特に、前記突起型トランジスタは、DRAMメモリ素子におけるリフレッシュタイムを増加させることができる長所を有しているので、最近大きく注目されている。

10

【0005】

一方、素子の集積度が増加することにつれて、活性領域間を分離するフィールド酸化膜の形成が非常に困難になった。特に、フィールド領域間の間隔が非常に狭くなることにつれて、絶縁膜によるトレンチ埋込みが非常に困難になった。したがって、既存にトレンチ埋込み用絶縁膜として使用するHDP(High Density Plasma)酸化膜の単独使用の代わりに、トレンチ埋込みに有利なSOG(Spin On Glass)膜とHDP酸化膜の積層膜を使用することになった。即ち、トレンチ埋込みの際、トレンチの下部層はSOG膜で埋込み、上部層はHDP酸化膜で埋込む構造を使用するようになった。このような方式は、トレンチの深さに関わらず、トレンチ埋込みを非常に容易にすることができる。

20

【0006】

しかしながら、活性領域を突出させるためのフィールド酸化膜のエッチングの際、エッチング液に対するエッチング率の大きいSOG膜が露出しながら後続の洗浄工程で露出したSOG膜の側面がエッチングされる問題が発生している。このようにSOG膜の側面がエッチングされれば、ゲート配線物質であるポリシリコン膜がエッチングされたSOG膜の側面から除去されずに残留して、ゲート間、並びにゲート及びビットライン間のショットが生じて、素子歩留まりが減少することは勿論、寄生容量により素子の駆動速度が低下する等の素子特性の低下をもたらす。

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

従って、本発明は、前記したような従来の問題を解決するために案出したものであって、SOG膜の希望しないエッチングが防止できる突起型トランジスタ製造方法を提供することをその目的とする。

【0008】

また、本発明は、SOG膜の希望しないエッチングを防止することによって、素子特性低下及び歩留まりの減少が防止できる突起型トランジスタ製造方法を提供することをその他の目的とする。

【課題を解決するための手段】

40

【0009】

前記のような目的を達成するために、本発明は、活性領域及びフィールド領域を有するシリコン基板上に前記フィールド領域を露出させるハードマスク膜を形成するステップと、前記露出した基板フィールド領域をエッチングしてトレンチを形成するステップと、前記トレンチ内にSOG膜を埋込むステップと、前記ハードマスク膜を除去して基板活性領域を露出させるステップと、前記露出した基板活性領域上にエピシリコン膜を形成するステップと、前記トレンチ内の下部のみ埋込むようにSOG膜をエッチングするステップと、前記トレンチを埋込むようにエッチングされたSOG膜上にHDP酸化膜を形成して、前記SOG膜とHDP酸化膜からなるフィールド酸化膜を形成するステップと、前記エピシリコン膜の両側面が露出するようにフィールド酸化膜のHDP酸化膜をエッチングす

50

るステップと、前記両側面が露出したエピシリコン膜及びフィールド酸化膜上にゲートを形成するステップと、を含む突起型トランジスタ製造方法を提供する。

【0010】

ここで、本発明において、前記ハードマスク膜は、パッド酸化膜とパッド窒化膜の積層膜であることを特徴とする。

【0011】

本発明において、前記ハードマスク膜は、300～1000の厚さで形成することを特徴とする。

【0012】

本発明において、前記エピシリコン膜を形成するステップは、ファーネスで600～1000の温度で遂行することを特徴とする。

10

【0013】

本発明において、前記エピシリコン膜は、 SiH_4 、 Si_2H_6 及び $SiCl_2H_2$ から構成されたグループから選択されるいずれか1つをソースガスとして使用して形成することを特徴とする。

【0014】

本発明において、前記エピシリコン膜は、GeまたはPの不純物をドーピングさせて形成することを特徴とする。

【0015】

本発明において、前記エピシリコン膜は、SiとSiGeとを順次に積層して形成する、または、SiとSiGeとを所望する厚さが得られるまで少なくとも2回以上交互に積層して形成することを特徴とする。

20

【0016】

本発明において、前記エピシリコン膜は、ハードマスク膜よりも90～110薄く形成することを特徴とする。

【0017】

本発明において、前記SOG膜のエッチングは、トレンチ上段から150～200下の深さから残留するように遂行することを特徴とする。

【0018】

本発明において、前記SOG膜のエッチング後、そして、前記HDP酸化膜の形成前、前記SOG膜の緻密化のために熱処理を遂行するステップを更に含むことを特徴とする。

30

【0019】

本発明において、前記熱処理は、ファーネスで N_2 雰囲気及び600～1000の温度で遂行することを特徴とする。

【0020】

本発明において、前記HDP膜の形成後、前記HDP膜を緻密化させるために熱処理を遂行するステップを更に含むことを特徴とする。

【0021】

本発明において、前記熱処理は、ファーネスで N_2 または O_2 雰囲気で700～1000の温度で遂行することを特徴とする。

40

【発明の効果】

【0022】

以上、本発明によれば、SOG膜とHDP酸化膜とでフィールド酸化膜を形成することによって、ボイドフリーのフィールド酸化膜を形成することができる。また、本発明によれば、基板活性領域上に選択的エピシリコン膜を形成することによって、活性領域の両側面を露出させるためのフィールド酸化膜のエッチングの際、SOG膜が露出及びエッチングされることを防止することができる。これによって、後続する洗浄工程で前記SOG膜がエッチングされることを防止することができ、その結果、後続のゲート形成工程を信頼性よく進行することができるので、素子特性及び歩留まりを向上させることができる。その上、本発明によれば、エピシリコン膜の形成の際、不純物をドーピングさせることによ

50

り、トランジスタチャンネル地域のストレーン (strain) が調節できるので、チャンネルキャリアの移動度を増加させることができ、これによって、トランジスタの動作特性を向上させることができる。

【0023】

本発明によれば、フィールド領域のトレンチ埋込み特性を向上させることができ、突起型トランジスタの性能を向上させることができるので、素子の歩留まりの増大は勿論、特性改善の効果を期待することができ、延いては、より微細なパターンを使用する更に高集積化した半導体素子を製造することができる。

【発明を実施するための最良の形態】

【0024】

以下、添付の図面を参照しつつ本発明の好ましい実施形態を詳細に説明する。

図1は本発明に係る突起型トランジスタ製造方法を説明するための平面図である。

【0025】

図示の通り、シリコン基板10は多数の活性領域12及び前記活性領域12を限定するフィールド領域14を有する。フィールド酸化膜90が前記フィールド領域14に形成される。ゲート100が前記活性領域12及びフィールド領域14上に配置されるように形成される。

【0026】

図2A乃至図2Fは図1のX-X'線による工程別断面図であり、図3A乃至図3Fは図1のY-Y'線による工程別断面図である。

【0027】

図2A及び図3Aを参照して、活性領域及びフィールド領域が備えられたシリコン基板10上に300~1000の厚さでハードマスク膜20を形成する。前記ハードマスク膜20は、パッド酸化膜とパッド窒化膜との積層膜で形成する。次に、前記ハードマスク膜20をエッチングして基板フィールド領域を露出させた後、前記露出した基板フィールド領域をエッチングしてトレンチ30を形成する。

【0028】

次に、前記トレンチ30が形成された基板結果物に対して側壁酸化工程を遂行し、これを通じて、前記トレンチ30の表面に側壁酸化膜40を形成する。その後、前記側壁酸化膜40を含んだ基板の全面上にライナー窒化膜50を蒸着する。

【0029】

図2B及び図3Bを参照して、前記トレンチ30を埋込むようにライナー窒化膜50上に流動性の良いSOG膜60を蒸着した後、前記ハードマスク膜20が露出する時までSOG膜60とライナー窒化膜50とをCMP (Chemical Mechanical Polishing: 化学機械研磨) する。ここで、前記SOG膜60は、SOG溶液をスピニングした後、ベーキング (baking) を行ってSOG溶液内に残留する溶剤を排出させ、そして、ファーンズ (furnace) で300~700の温度で熱処理して硬化させることによって形成される。前記トレンチ30の埋込みが流動性の良いSOG膜60を用いてなされることによってボイドフリー (void free) の埋込み特性が得られる。

【0030】

図2C及び図3Cを参照して、前記ハードマスク膜を除去して基板活性領域を露出させる。その後、前記露出した基板活性領域上に選択的エピタキシャル成長 (Selective Epitaxial Growth; SEG) 工程によりエピシリコン膜70を形成する。前記SEG工程はファーンズで600~1000の温度で進行し、そして、SiH₄、Si₂H₆またはSiCl₂H₂のうち、いずれか1つをソースガスとして使用して進行する。

【0031】

前記エピシリコン膜70は、ハードマスク膜よりも90~110程度薄く形成し、併せて、GeまたはPの不純物がドーピングされるように形成する。前記エピシリコン膜70はSiとSiGeとを順次に積層して形成したり、または、SiとSiGeとを所望する厚さが得られるまで少なくとも2回以上交互に積層して形成する。

10

20

30

40

50

【 0 0 3 2 】

ここで、本発明によれば、活性領域に選択的にエピシリコン膜を形成することによって、後続での前記エピシリコン膜の両側面を露出させるためのフィールド酸化膜のエッチングの際、S O G膜の露出が防止でき、これによって、後続の洗浄工程でS O G膜の側面がエッチングされることを防止することができる。したがって、本発明によれば、前記S O G膜の側面がエッチングされることによって問題が生じることを防止することができる。

【 0 0 3 3 】

また、本発明によれば、エピシリコン膜70の形成の際、不純物を添加することによって、チャンネルキャリア(channel carrier)の移動度を増加させることができ、これによって、トランジスタの動作性能を向上させることができる。

10

【 0 0 3 4 】

図2D及び図3Dを参照して、S O G膜60をふっ酸(H F)溶液を利用して前記S O G膜60がトレンチの上段から150~200 下の深さから残留するようにエッチングする。その後、前記S O G膜60がエッチングされた基板結果物に対して前記S O G膜60の緻密化のためにファーンズ内でN₂雰囲気及び600~1000 の温度で熱処理を遂行する。次に、前記S O G膜60を含んだエピシリコン膜70の上にH D P酸化膜80を蒸着した後、前記エピシリコン膜70が露出する時まで前記H D P酸化膜80をC M Pしてフィールド酸化膜90を形成する。

【 0 0 3 5 】

ここで、本発明によれば、トレンチ30の下層部は流動性の良いS O G膜で埋込み、トレンチの上層部はH D P酸化膜で埋込むことによって、トレンチの深さに関わらず、ポイドフリー(void free)のフィールド酸化膜90を形成することができる。

20

【 0 0 3 6 】

一方、前記H D P酸化膜80を形成した後は前記H D P酸化膜80を緻密化させるために基板結果物に対して熱処理を遂行することが好ましく、この時の熱処理はファーンズでN₂またはO₂雰囲気及び700~1000 の温度で遂行する。

【 0 0 3 7 】

図2E及び図3Eを参照して、前記エピシリコン膜70の両側面が露出するようにフィールド酸化膜90のH D P酸化膜80をエッチングする。この際、前記S O G膜60はエッチングされない。

30

【 0 0 3 8 】

ここで、本発明によれば、基板活性領域上にエピシリコン膜70を形成することによって、前記活性領域の両側面を突出させるためのフィールド酸化膜90のエッチングの際、S O G膜60の露出を防止することができる。したがって、本発明によれば、前記S O G膜60が後続の洗浄工程でエッチングされることが防止でき、結局、素子歩留まりの低下及び素子特性の低下を防止することができる。

【 0 0 3 9 】

図2F及び図3Fを参照して、前記両側面が露出したエピシリコン膜70を含んだフィールド酸化膜90上にゲート絶縁膜100aとゲート導電膜100b及びゲートハードマスク膜100cとを順次に形成した後、ゲートハードマスク膜100cとゲート導電膜100b及びゲート絶縁膜100aとをエッチングしてゲート100を形成する。

40

【 0 0 4 0 】

以後、図示してはしないが、前記ゲートの両側のエピシリコン膜70内にソース/ドレイン領域を形成する工程を含む公知された一連の後続工程を順次に進行して本発明に係る突起型トランジスタを製造する。

【 0 0 4 1 】

以上、ここでは、本発明を特定の実施形態に関連して図示及び説明したが、本発明がそれに限るのではなく、特許請求範囲は本発明の精神と分野から外れない限度内で、本発明が多様に改造及び変形できるということを当業界で通常の知識を有する者であれば容易に分かる。

50

【図面の簡単な説明】

【0042】

【図1】本発明に係る突起型トランジスタ製造方法を説明するための平面図である。

【図2A】図1のX-X'線による工程別断面図である。

【図2B】図1のX-X'線による工程別断面図である。

【図2C】図1のX-X'線による工程別断面図である。

【図2D】図1のX-X'線による工程別断面図である。

【図2E】図1のX-X'線による工程別断面図である。

【図2F】図1のX-X'線による工程別断面図である。

【図3A】図1のY-Y'線による工程別断面図である。

10

【図3B】図1のY-Y'線による工程別断面図である。

【図3C】図1のY-Y'線による工程別断面図である。

【図3D】図1のY-Y'線による工程別断面図である。

【図3E】図1のY-Y'線による工程別断面図である。

【図3F】図1のY-Y'線による工程別断面図である。

【符号の説明】

【0043】

10 シリコン基板

12 活性領域

14 フィールド領域

20

20 ハードマスク膜

30 トレンチ

40 側壁酸化膜

50 ライナー窒化膜

60 SOG膜

70 エピシリコン膜

80 HDP酸化膜

90 フィールド酸化膜

100 ゲート

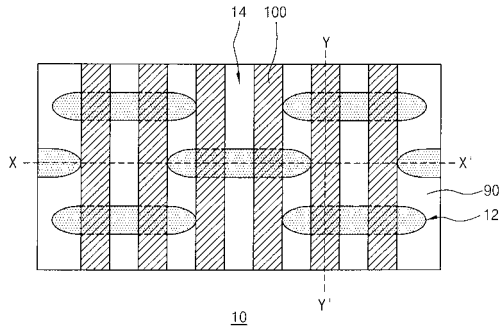
100a ゲート絶縁膜

30

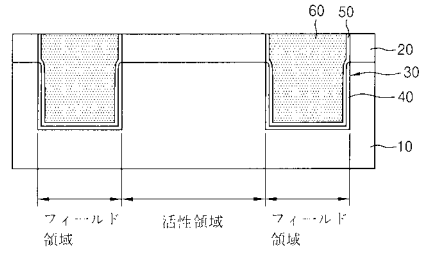
100b ゲート導電膜

100c ゲートハードマスク膜

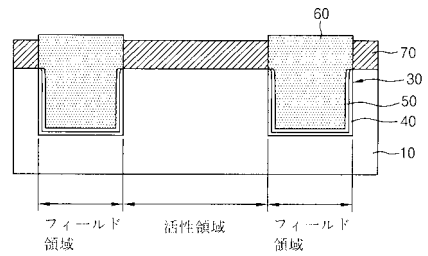
【図1】



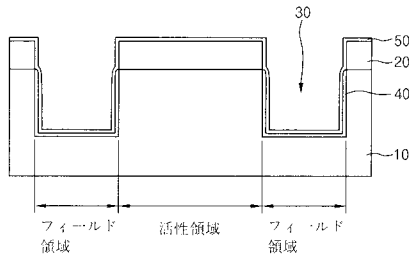
【図2B】



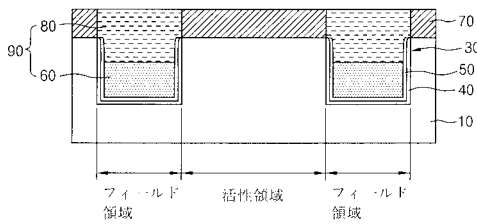
【図2C】



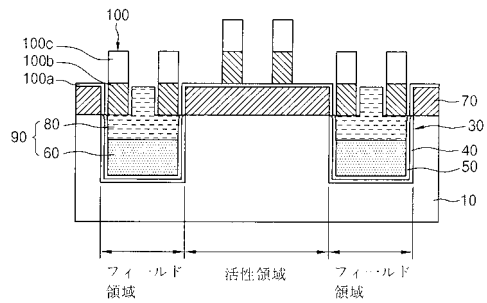
【図2A】



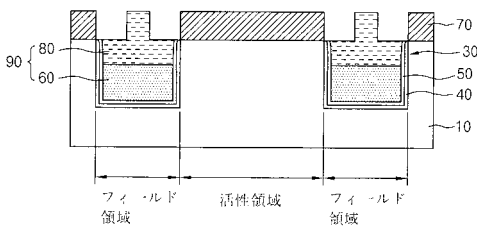
【図2D】



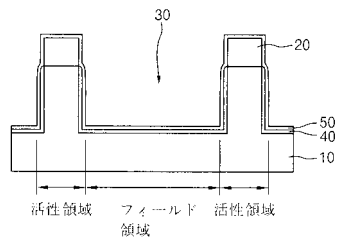
【図2F】



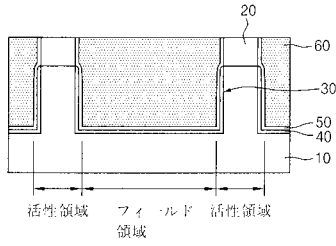
【図2E】



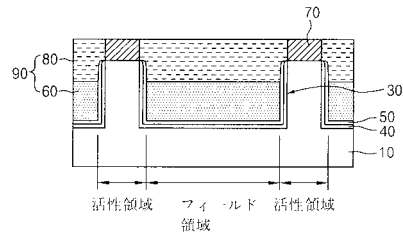
【図3A】



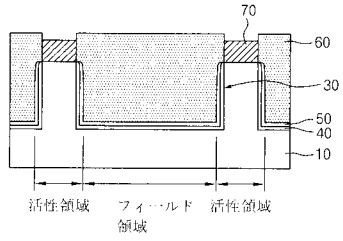
【図 3 B】



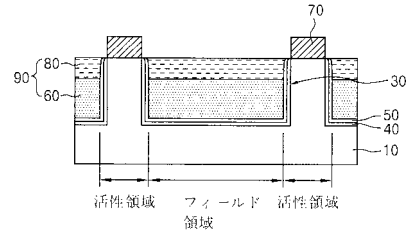
【図 3 D】



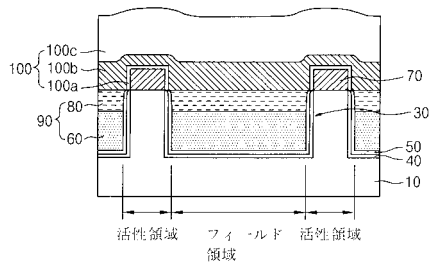
【図 3 C】



【図 3 E】



【図 3 F】



フロントページの続き

- (51)Int.Cl. F I
H 0 1 L 21/76 (2006.01) H 0 1 L 29/78 3 0 1 B
- (74)代理人 100075557
 弁理士 西教 圭一郎
- (74)代理人 100072235
 弁理士 杉山 毅至
- (74)代理人 100142332
 弁理士 井上 眞司
- (72)発明者 辛 東 善
 大韓民國 京畿道 龍仁市 竹田洞 デジ-メウル 2次 現代 ホームタウン アパートメント
 2 0 4 - 1 8 0 1
- (72)発明者 宋 錫 杓
 大韓民國 ソウル市 松坡區 新川洞 7番地 ジャンミ アパートメント 1 9 - 1 4 0 6
- (72)発明者 安 尚 太
 大韓民國 京畿道 利川市 大月面 巳東里 現代電子 社員 アパートメント 1 0 1 - 6 0 5
- (72)発明者 孫 賢 哲
 大韓民國 ソウル市 江南區 論 ヒヨン 1洞 シンドンアー アパートメント 1 0 6 - 1 0
 0 1

審査官 井上 弘亘

- (56)参考文献 特開2001-332615(JP,A)
 特開2001-57429(JP,A)
 特開2002-94060(JP,A)
 特開2005-136376(JP,A)
 特開2002-203895(JP,A)
 特開2004-311487(JP,A)
 特開2002-110976(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 9 / 4 9
 H 0 1 L 2 9 / 7 8