

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5916898号  
(P5916898)

(45) 発行日 平成28年5月11日 (2016. 5. 11)

(24) 登録日 平成28年4月15日 (2016. 4. 15)

(51) Int. Cl. F I  
 H O 1 L 25/04 (2014. 01)  
 H O 1 L 25/18 (2006. 01)

請求項の数 18 (全 37 頁)

(21) 出願番号	特願2014-556545 (P2014-556545)	(73) 特許権者	591025439
(86) (22) 出願日	平成24年12月3日 (2012. 12. 3)		ザイリンクス インコーポレイテッド
(65) 公表番号	特表2015-507372 (P2015-507372A)		X I L I N X I N C O R P O R A T E D
(43) 公表日	平成27年3月5日 (2015. 3. 5)		アメリカ合衆国 カリフォルニア州 95
(86) 国際出願番号	PCT/US2012/067543		124-3400 サン ホセ ロジック
(87) 国際公開番号	W02013/119309		ドライブ 2100
(87) 国際公開日	平成25年8月15日 (2013. 8. 15)	(74) 代理人	110001195
審査請求日	平成27年11月2日 (2015. 11. 2)		特許業務法人深見特許事務所
(31) 優先権主張番号	13/369, 215	(72) 発明者	ウー, エフレム・シィ
(32) 優先日	平成24年2月8日 (2012. 2. 8)		アメリカ合衆国、95124 カリフォル
(33) 優先権主張国	米国 (US)		ニア州、サン・ノゼ、ロジック・ドライブ
(31) 優先権主張番号	13/399, 939		、2100
(32) 優先日	平成24年2月17日 (2012. 2. 17)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願		最終頁に続く	

(54) 【発明の名称】 複数のインターポーザを伴うスタックドダイアセンブリ

(57) 【特許請求の範囲】

【請求項 1】

アセンブリであって、

第1のインターポーザを含み、前記第1のインターポーザは第1のオフセット領域を有し、前記アセンブリはさらに、

第2のインターポーザを含み、前記第2のインターポーザは第2のオフセット領域を有し、前記アセンブリはさらに、

前記第1のインターポーザおよび前記第2のインターポーザに相互接続される第1の集積回路ダイと、

前記第2のインターポーザに相互接続される第2の集積回路ダイと、

前記第1の集積回路ダイを前記第1のインターポーザおよび前記第2のインターポーザに相互接続する複数個の構成要素とを含み、

信号が、前記第1のインターポーザと前記第2のインターポーザとの間において、前記第1の集積回路ダイおよび前記複数個の構成要素を介してルーティングされ、信号が、前記第1の集積回路ダイと前記第2の集積回路ダイとの間において、前記第2のオフセット領域の外部にある前記第2のインターポーザの複数の導電線を介してルーティングされ、

前記第1のインターポーザおよび前記第2のインターポーザは同じ基板からの単一のプラットフォームである、アセンブリ。

【請求項 2】

前記第1のインターポーザおよび前記第2のインターポーザは前記第1の集積回路ダイ

10

20

および前記複数個の構成要素を介して互いに結合される別個のダイである、請求項 1 に記載のアセンブリ。

【請求項 3】

前記複数個の構成要素は複数個のダイからダイへのインターコネクトを含み、

前記複数個のダイからダイへのインターコネクトの第 1 の部分は、前記第 1 の集積回路ダイを前記第 1 のインターポーザに相互接続し、

前記複数個のダイからダイへのインターコネクトの第 2 の部分は、前記第 1 の集積回路ダイを前記第 2 のインターポーザに相互接続し、

前記複数個のダイからダイへのインターコネクトの前記第 1 の部分および前記第 2 の部分は、前記第 2 のオフセット領域の対向する両側に配置され、

10

前記複数個のダイからダイへのインターコネクトの第 3 の部分は、前記第 2 の集積回路ダイを前記第 2 のインターポーザに相互接続し、

前記第 2 のインターポーザの前記複数個の導電線の一部は、前記第 1 の集積回路ダイを前記第 2 の集積回路ダイに相互接続するために、前記複数個のダイからダイへのインターコネクトの前記第 2 の部分、および前記複数個のダイからダイへのインターコネクトの前記第 3 の部分に結合され、

前記複数個のダイからダイへのインターコネクトの前記第 2 の部分は、前記第 2 のオフセット領域の外部に位置する、請求項 1 に記載のアセンブリ。

【請求項 4】

前記第 1 のオフセット領域は、前記第 1 のインターポーザの第 1 の縁部とともに境界線を共にする第 1 の境界を有し、

20

前記第 2 のオフセット領域は、前記第 2 のインターポーザの第 2 の縁部とともに境界線を共にする第 2 の境界を有する、請求項 1 に記載のアセンブリ。

【請求項 5】

前記第 1 のオフセット領域および前記第 2 のオフセット領域は、微細ピッチインターコネクトを与えるために用いられる金属層およびビアホール層を含まない、請求項 1 に記載のアセンブリ。

【請求項 6】

前記第 1 のインターポーザは第 1 のマスクの組を用いて形成され、

前記第 2 のインターポーザは第 2 のマスクの組を用いて形成され、

30

前記第 1 のマスクの組は、少なくとも部分的に、前記第 2 の集積回路ダイが前記第 1 の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、前記第 2 のマスクの組とは実質的に異なる、請求項 1 に記載のアセンブリ。

【請求項 7】

前記第 1 のインターポーザの第 1 の高さは前記第 2 のインターポーザの第 2 の高さを実質的に同じであり、

前記第 1 のインターポーザの第 1 の幅および前記第 2 のインターポーザの第 2 の幅は、両方とも、同じリソグラフィ最大幅以下である、請求項 6 に記載のアセンブリ。

【請求項 8】

前記第 2 の集積回路ダイは、メモリダイの鉛直スタックを含み、

40

前記第 2 の集積回路ダイは、前記メモリダイの鉛直スタックのためのインターフェイスロジックを含む、請求項 1 に記載のアセンブリ。

【請求項 9】

前記第 1 のインターポーザおよび前記第 2 のインターポーザに結合される、チップからチップへのコネクタをさらに含む、請求項 1 に記載のアセンブリ。

【請求項 10】

前記第 1 のインターポーザおよび前記第 2 のインターポーザが位置するパッケージング材料をさらに含む、請求項 1 に記載のアセンブリ。

【請求項 11】

前記第 1 の集積回路ダイを前記第 1 のインターポーザおよび前記第 2 のインターポーザ

50

に相互接続する前記複数個の構成要素は、微細ピッチインターコネクトを含む、請求項 1 に記載のアセンブリ。

【請求項 1 2】

アセンブリであって、

第 1 のインターポーザに相互接続される第 1 の集積回路ダイを含み、前記第 1 のインターポーザは、粗いピッチインターコネクトを有するが微細ピッチインターコネクトを有さない第 1 のオフセット領域を含み、前記アセンブリはさらに、

第 2 のインターポーザに相互接続される第 2 の集積回路ダイを含み、前記第 2 のインターポーザは、粗いピッチインターコネクトを有するが微細ピッチインターコネクトを有さない第 2 のオフセット領域を含み、前記アセンブリはさらに、

前記第 1 のインターポーザおよび前記第 2 のインターポーザの両方に相互接続される第 3 の集積回路ダイをさらに含み、

前記第 3 の集積回路ダイは、前記第 1 の集積回路ダイと前記第 2 の集積回路ダイとの間に通信ブリッジを与え、

前記第 3 の集積回路ダイは、前記第 1 の集積回路ダイと前記第 2 の集積回路ダイとの間の通信のために静的に構成されることが各々可能である、双方向リピータのアレイまたはクロスバスイッチの組を含み、

信号が、前記第 1 の集積回路ダイと前記第 2 の集積回路ダイとの間において、前記第 2 のオフセット領域の外部にある前記第 2 のインターポーザの前記微細ピッチインターコネクトを介してルーティングされる、アセンブリ。

【請求項 1 3】

前記第 1 のインターポーザおよび前記第 2 のインターポーザが位置するパッケージング材料をさらに含み、

信号は、前記第 3 の集積回路ダイを介して前記第 1 の集積回路ダイから前記第 2 の集積回路ダイにルーティングされ、前記第 1 のインターポーザおよび前記第 2 のインターポーザのインターコネクト制限領域を回避する、請求項 1 2 に記載のアセンブリ。

【請求項 1 4】

前記第 3 の集積回路ダイは第 1 のダイからダイへのインターコネクトを介して前記第 1 のインターポーザに相互接続され、および第 2 のダイからダイへのインターコネクトを介して前記第 2 のインターポーザに相互接続され、

前記第 1 のダイからダイへのインターコネクトおよび前記第 2 のダイからダイへのインターコネクトは、前記第 1 のインターポーザおよび前記第 2 のインターポーザの前記第 1 および第 2 のオフセット領域の外部にあり、

前記第 1 のダイからダイへのインターコネクトおよび前記第 2 のダイからダイへのインターコネクトは微細ピッチインターコネクトである、請求項 1 2 に記載のアセンブリ。

【請求項 1 5】

アセンブリを形成するための方法であって、

第 1 の集積回路ダイを、第 1 のインターポーザおよび第 2 のインターポーザに、複数個の構成要素を用いて相互接続するステップを含み、前記第 1 のインターポーザは第 1 のオフセット領域を有し、前記第 2 のインターポーザは第 2 のオフセット領域を有し、前記方法はさらに、

前記複数個の構成要素を用いて、第 2 の集積回路ダイを前記第 2 のインターポーザに相互接続するステップと、

前記第 1 のインターポーザと前記第 2 のインターポーザとの間において、前記第 1 の集積回路ダイおよび前記複数個の構成要素を介して、信号をルーティングするステップと、

前記第 1 の集積回路ダイと前記第 2 の集積回路ダイとの間において、前記第 2 のオフセット領域の外部にある前記第 2 のインターポーザの導電線を介して信号をルーティングするステップとを含み、

前記第 1 のインターポーザおよび前記第 2 のインターポーザを同じ基板上に単一のプラットフォームとして形成するステップをさらに含む、アセンブリを形成するための方法。

**【請求項 1 6】**

前記第 1 のインターポーザおよび前記第 2 のインターポーザをパッケージング材料において成型することをさらに含む、請求項 1 5 に記載の方法。

**【請求項 1 7】**

前記第 1 の集積回路ダイは、前記第 2 の集積回路ダイと第 3 の集積回路ダイとの間に通信ブリッジを与える、請求項 1 5 に記載の方法。

**【請求項 1 8】**

前記第 1 の集積回路ダイを前記第 1 のインターポーザおよび前記第 2 のインターポーザに前記相互接続することは、前記複数個の構成要素の第 1 の微細ピッチのダイからダイへのインターコネクトを介し、

10

前記第 2 の集積回路ダイを前記第 2 のインターポーザに前記相互接続することは、前記複数個の構成要素の第 2 の微細ピッチのダイからダイへのインターコネクトを介する、請求項 1 5 に記載の方法。

**【発明の詳細な説明】****【技術分野】****【0001】****発明の分野**

この発明は集積回路デバイス（IC）に関する。特に、この発明は、複数のインターポーザを含む IC のためのスタックドダイアセンブリに関する。

**【背景技術】**

20

**【0002】****背景**

集積回路は、時とともにより「密に」なっており、つまりより多くのロジック特徴が IC において実現されている。より最近では、スタックドシリコンインターコネクトテクノロジー（「SSIT」）により、1 つより多い半導体ダイが単一のパッケージに配置されることが可能にされる。SSIT IC は通信帯域幅に対する需要増に対応するために用いられてもよい。しかしながら、SSIT を用いる IC は 1 つより多いダイを有するが、そのような IC は、依然としてピン制約のために著しい帯域幅制約を有する。

**【0003】**

したがって、帯域幅制約がより少ない SSIT IC を提供することが望ましい。

30

**【発明の概要】****【課題を解決するための手段】****【0004】****概要**

IC のためのスタックドダイアセンブリは、第 1 のインターポーザ、第 2 のインターポーザ、第 1 の集積回路ダイ、第 2 の集積回路ダイ、および複数個の構成要素を含む。第 1 の集積回路ダイは第 1 のインターポーザおよび第 2 のインターポーザに相互接続され、第 2 の集積回路ダイは第 2 のインターポーザに相互接続される。複数個の構成要素は、第 1 の集積回路ダイを第 1 のインターポーザおよび第 2 のインターポーザに相互接続する。信号は、第 1 のインターポーザと第 2 のインターポーザとの間において、第 1 の集積回路ダイおよび複数個の構成要素を介してルーティングされる。

40

**【0005】**

いくつかの例示的なアセンブリにおいては、第 1 の集積回路ダイを第 1 のインターポーザおよび第 2 のインターポーザに相互接続する複数個の構成要素は、第 1 のインターポーザおよび第 2 のインターポーザのインターコネクト制限領域の外部に位置し、信号は、第 1 のインターポーザと第 2 のインターポーザとの間において、第 1 の集積回路ダイおよび複数個の構成要素を介してルーティングされて、第 1 のインターポーザおよび第 2 のインターポーザのインターコネクト制限領域を回避する。

**【0006】**

アセンブリは、さらに、第 1 のインターポーザに結合される第 3 の集積回路ダイを含む

50

ことが可能であり、第1の集積回路ダイは、第2の集積回路ダイと第3の集積回路ダイとの間において通信ブリッジを与える。

【0007】

第2のインターポーザは複数個の導電線を含むことが可能である。複数個の構成要素は、複数個のダイからダイへのインターコネクトを含むことが可能である。複数個のダイからダイへのインターコネクトの第1の部分は、第1の集積回路ダイを第1のインターポーザに相互接続することが可能である。複数個のダイからダイへのインターコネクトの第2の部分は、第1の集積回路ダイを第2のインターポーザに相互接続することが可能である。複数個のダイからダイへのインターコネクトの第1の部分および第2の部分は、インターコネクト制限領域の対向する両側に配置され得る。複数個のダイからダイへのインターコネクトの第3の部分は、第2の集積回路ダイを第2のインターポーザに相互接続し得る。第2のインターポーザの複数個の導電線の一部は、第1の集積回路ダイを第2の集積回路ダイに相互接続するために、複数個のダイからダイへのインターコネクトの第2の部分、および複数個のダイからダイへのインターコネクトの第3の部分に結合され得る。複数個のダイからダイへのインターコネクトの第2の部分は、インターコネクト制限領域の外部に位置し得、複数個の導電線の一部は、インターコネクト制限領域に関連付けられる第2のインターポーザのオフセット領域の外部に位置し得る。

10

【0008】

第1のインターポーザの第1の縁部および第2のインターポーザの第2の縁部は、互いに当接するために実質的に並んで位置決めされ得る。第1のインターポーザは、第1の縁部とともに境界線を共にする第1の境界を有する、インターコネクト制限領域に関連付けられる第1のオフセット領域を含み得る。第2のインターポーザは、第2の縁部とともに境界線を共にする第2の境界を有する、インターコネクト制限領域に関連付けられる第2のオフセット領域を含み得る。

20

【0009】

インターコネクト制限領域は、微細ピッチインターコネクトを与えるために用いられる金属層およびビアホール層を含み得ない。

【0010】

第1のインターポーザは第1のマスキの組を用いて形成され得、第2のインターポーザは第2のマスキの組を用いて形成され得る。第1のマスキの組は、少なくとも部分的に、第2の集積回路ダイが第1の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、第2のマスキの組とは実質的に異なり得る。

30

【0011】

第1のインターポーザの第1の高さは第2のインターポーザの第2の高さと実質的に同じであり得る。第1のインターポーザの第1の幅および第2のインターポーザの第2の幅は、両方とも、同じリソグラフィの最大幅以下であり得る。

【0012】

第2の集積回路ダイは、メモリダイの鉛直スタック、およびメモリダイの鉛直スタックのためのインターフェイスロジックを含むことが可能である。

【0013】

アセンブリを形成するための方法も記載される。この方法は、複数個の構成要素を用いて第1の集積回路ダイを第1のインターポーザおよび第2のインターポーザに相互接続するステップと、複数個の構成要素を用いて第2の集積回路ダイを第2のインターポーザに相互接続するステップと、信号を、第1のインターポーザと第2のインターポーザとの間において、第1の集積回路ダイおよび複数個の構成要素を介してルーティングするステップとを含む。

40

【0014】

いくつかの例示的な方法は、さらに、インターコネクト制限領域を与えるために第1のインターポーザおよび第2のインターポーザの各々の一部を取っておくステップを含む。第1の集積回路ダイを第1のインターポーザおよび第2のインターポーザに相互接続する

50

複数個の構成要素は、第1のインターポーザおよび第2のインターポーザのインターコネクト制限領域の外部に位置し得る。第1のインターポーザと第2のインターポーザとの間において信号をルーティングするステップは、第1のインターポーザおよび第2のインターポーザのインターコネクト制限領域を回避するステップを含み得る。

【0015】

この方法は、さらに、第3の集積回路ダイを第1のインターポーザに相互接続するステップを含み、第1の集積回路ダイは、第2の集積回路ダイと第3の集積回路ダイとの間に通信ブリッジを与える。

【0016】

この方法は、さらに、第1のマスキング組を用いて第1のインターポーザを形成するステップと、第2のマスキング組を用いて第2のインターポーザを形成するステップを含む。第1のマスキング組は、少なくとも部分的に、第2の集積回路ダイが第1の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、第2のマスキング組とは実質的に異なり得る。

【0017】

第1のインターポーザの第1の高さは第2のインターポーザの第2の高さと実質的に同じであり得る。第1のインターポーザの第1の幅および第2のインターポーザの第2の幅は、両方とも、同じリソグラフィの最大幅以下であり得る。

【0018】

第2の集積回路ダイはメモリインターフェイスダイを含むことが可能である。この方法は、さらに、メモリインターフェイスダイにメモリダイの鉛直スタックを相互接続するステップを含む。第2の集積回路ダイは、メモリダイの鉛直スタックのためのインターフェイスロジックを含み得る。

【図面の簡単な説明】

【0019】

【図1】例示的な列状のフィールドプログラマブルゲートアレイ(FPGA)アーキテクチャを示す簡略化ブロック図である。

【図2】例示的な通信回線カードを示すブロック図である。

【図3】例示的な通信システムを示すブロック図である。

【図4】別の例示的な通信システムを示すブロック図である。

【図5】例示的な単一のインターポーザダイを示すブロック図である。

【図6-1】例示的なスタックダイアセンブリを示すブロック図である。

【図6-2】別の例示的なスタックダイアセンブリを示すブロック図である。

【図6-3】さらに別の例示的なスタックダイアセンブリを示すブロック図である。

【図7-1】図6-1、図6-2、または図6-3のスタックダイアセンブリのいずれかの例示的な断面図を示すブロック図である。

【図7-2】別のスタックダイアセンブリの断面図を示すブロック図である。

【図7-3】さらに別の例示的なスタックダイアセンブリの断面図を示すブロック図である。

【図8】インターポーザアセンブリの上面図を示すブロック図である。

【図9-1】例示的なウェハを示すブロック図である。

【図9-2】別の例示的なウェハを示すブロック図である。

【図10-1】さらに別の例示的なスタックダイアセンブリの断面図を示すブロック図である。

【図10-2】さらに別の例示的なスタックダイアセンブリの断面図を示すブロック図である。

【図11】1つ以上のスタックダイアセンブリを形成するための例示的なプロセスを示す流れ図である。

【図12】第1の例示的な集積回路(IC)構造のトポグラフィ図を示すブロック図である。

10

20

30

40

50

【図 1 3 - 1】図 1 2 の I C 構造の断面側面図を示すブロック図である。

【図 1 3 - 2】図 1 3 - 1 に示される I C 構造の一部の引伸しを示すブロック図である。

【図 1 4】第 2 の例示的な I C 構造のトポグラフィ図を示すブロック図である。

【図 1 5】図 1 4 の I C 構造の断面側面図を示すブロック図である。

【図 1 6】図 1 4 の I C 構造のさらなる断面側面図を示すブロック図である。

【図 1 7】第 3 の例示的な I C 構造のトポグラフィ図を示すブロック図である。

【発明を実施するための形態】

【 0 0 2 0 】

詳細な説明

以下の説明では、この発明のより完全な説明を与えるために、数多くの具体的な詳細を述べる。しかしながら、当業者には、以下に与える具体的な詳細のすべてを伴わずにこの発明を実施してもよいことが明らかであるはずである。他の事例では、例を曖昧にしないために、周知の特徴を詳細には説明していない。例示を容易にするために、同じ参照符号が異なる図において同じ要素を指すために用いられるが、しかしながら、代替的实施例においては、それら要素は異なってもよい。

10

【 0 0 2 1 】

いくつかの図で例示的に図示する例を説明する前に、一般的な導入部がさらなる理解のために与えられる。

【 0 0 2 2 】

これまでに、D D R 3 または D D R 4 D R A M を伴うメモリプール、またはシリアルリンクを伴うメモリは、ピン制限され、それは I C の帯域幅を制限した。たとえば、現在、ライン側帯域幅は毎秒約 2 0 0 ギガビット (「G b p s」) であるが、しかしながら、次世代デバイスは約 4 0 0 G b p s のライン側帯域幅を有するかもしれない。4 0 0 G b p s をサポートするために、D D R メモリは、毎秒約 1 . 2 テラビット (「T b p s」) のオーダで帯域幅を有してもよい。

20

【 0 0 2 3 】

残念ながら、F P G A 上には、従来の方策を用いて 1 . 2 T b p s をサポートするように十分な D D R メモリピンはない。限定ではなく例として、シリアル I / O を伴う D R A M のようなシリアルメモリは、2 0 0 G b p s をサポートするために、電力、接地および他の基準ピンに加えて、2 5 6 本の信号ピンを伴っている 6 4 個のトランシーバを用いてもよい。帯域幅上の別の制限は、ライン側およびシステム側並直列変換器直並列変換器 (「S E R D E S」) に対して利用可能なピンの量と関係した。ある側として、システム側帯域幅はライン側帯域幅より著しく大きく、したがって、システム側インターフェイスはさらなるピンからより多く利益を得るであろう。

30

【 0 0 2 4 】

スタックドシリコンインターコネクトテクノロジー (「S S I T」) では、1 つより多い能動的なダイが、能動的インターポーザであろうと、受動的インターポーザであろうと、インターポーザまたはキャリヤダイに結合されてもよい。限定ではなく明確にするため、受動的なインターポーザが用いられることが仮定されるが、他の実施の形態においては能動的なインターポーザが用いられてもよい。しかし、これまでは、S S I T をもってさえ、インターポーザ領域は小さすぎて、たとえば 4 0 0 G b p s 適用例のために十分な帯域幅を得るための十分なピン数を提供することが可能ではなかった。

40

【 0 0 2 5 】

しかしながら、ここに記載されるようなインターポーザアセンブリを伴う S S I T を用いることによって、より多くのピン部位が、リソグラフィ印刷サイズ制限とともにでさえ利用可能である。したがって、大きな半導体ダイでも、たとえば少なくとも 1 つの他のダイが単一の集積回路パッケージ内にある状態で 1 ギガバイトを超える D D R D R A M を含むことが実現可能である。

【 0 0 2 6 】

以上の一般的な理解を念頭に置いて、スタックドダイアセンブリのさまざまな例を以下

50

に一般的に説明する。上述の実施の形態のうち1つ以上は特定のタイプのICを用いて例示されるため、そのようなICの詳細な説明を以下に与える。しかしながら、他のタイプのICが本明細書中に記載の技術から恩恵を受けることもあることを理解すべきである。

【0027】

プログラマブルロジックデバイス(PLD)は、特定された論理機能を実行するようにプログラム可能な周知のタイプの集積回路である。PLDの一種であるフィールドプログラマブルゲートアレイ(FPGA)は典型的に、プログラマブルタイルのアレイを含む。これらのプログラマブルタイルは、たとえば、入力/出力ブロック(IOB)、コンフィギュラブルロジックブロック(CLB)、専用ランダムアクセスメモリブロック(BRAM)、乗算器、デジタル信号処理ブロック(DSP)、プロセッサ、クロックマネージャ、遅延ロックスループ(DLL)などを含み得る。本明細書中で用いるように、「含む」および「含んでいる」は、限定なしに含むことを意味する。

10

【0028】

各々のプログラマブルタイルは典型的に、プログラマブルインターコネクトおよびプログラマブルロジックの両者を含む。プログラマブルインターコネクトは典型的に、プログラマブルインターコネクトポイント(PIP)によって相互接続された異なる長さの多数のインターコネクト配線を含む。プログラマブルロジックは、たとえば、関数生成器、レジスタ、算術論理などを含み得るプログラマブル素子を用いてユーザ設計のロジックを実現する。

【0029】

20

プログラマブルインターコネクトおよびプログラマブルロジックは典型的に、内部構成メモリセルにプログラマブル素子がどのように構成されるかを規定するコンフィギュレーションデータのストリームをロードすることによってプログラムされる。コンフィギュレーションデータは外部デバイスによりメモリから(たとえば外部PROMから)読み出されたりFPGAに書き込まれたりし得る。そうして、個別のメモリセルの集合的な状態がFPGAの機能を決める。

【0030】

別のタイプのPLDはコンプレックスプログラマブルロジックデバイスまたはCPLDである。CPLDは、共に接続されるとともに、インターコネクトスイッチマトリックスによって入力/出力(I/O)リソースに接続された、2つ以上の「機能ブロック」を含む。CPLDの各々の機能ブロックは、プログラマブルロジックアレイ(PLA)およびプログラマブルアレイロジック(PAL)デバイスで用いられるものと同様の2レベルAND/OR構造を含む。CPLDにおいては、コンフィギュレーションデータは典型的に不揮発性メモリ内のチップ上に記憶される。いくつかのCPLDでは、コンフィギュレーションデータは不揮発性メモリ内のチップ上に記憶され、次いで初期コンフィギュレーション(プログラミング)シーケンスの一部として揮発性メモリにダウンロードされる。

30

【0031】

これらのプログラマブルロジックデバイス(PLD)のすべてについて、デバイスの機能性は、その目的のためにデバイスに与えられるデータビットによって制御される。データビットは、揮発性メモリ(たとえばFPGAおよびいくつかのCPLDにおけるようなスタティックメモリセル)、不揮発性メモリ(たとえばいくつかのCPLDにおけるようなFLASHメモリ)、またはいずれの他のタイプのメモリセルにも記憶可能である。

40

【0032】

他のPLDは、デバイス上のさまざまな素子をプログラマブルに相互接続する金属層などの処理層を適用することによってプログラムされる。これらのPLDはマスクプログラマブルデバイスとして公知である。PLDは、たとえば、ヒューズまたはアンチヒューズ技術を用いる他の態様で実現することもできる。「PLD」および「プログラマブルロジックデバイス」という用語はこれらの例示的なデバイスを含むが、これらに限定されるものではなく、部分的にしかプログラマブルでないデバイスも包含する。たとえば、1つのタイプのPLDは、ハードコード化されたトランジスタロジックと、ハードコード化され

50



たトランジスタロジックをプログラマブルに相互接続するプログラマブルスイッチファブリックとの組合せを含む。

【 0 0 3 3 】

以上注記したように、アドバンスト F P G A は、アレイにいくつかの異なるタイプのプログラマブルロジックブロックを含むことができる。たとえば、図 1 は、マルチギガビットトランシーバ ( M G T ) 1 0 1、コンフィギュラブルロジックブロック ( C L B ) 1 0 2、ランダムアクセスメモリブロック ( B R A M ) 1 0 3、入力 / 出力ブロック ( I O B ) 1 0 4、コンフィギュレーションおよびクロッキングロジック ( C O N F I G / C L O C K S ) 1 0 5、デジタル信号処理ブロック ( D S P ) 1 0 6、専用入力 / 出力ブロック ( I / O ) 1 0 7 (たとえばコンフィギュレーションポートおよびクロックポート)、ならびにデジタルクロックマネージャ、アナログ - デジタル変換器、システムモニタロジックなどの他のプログラマブルロジック 1 0 8 を含む多数の異なるプログラマブルタイルを含む F P G A アーキテクチャ 1 0 0 を図示する。いくつかの F P G A は専用プロセッサブロック ( P R O C ) 1 1 0 も含む。

10

【 0 0 3 4 】

いくつかの F P G A においては、各々のプログラマブルタイルは、各々の隣接するタイルにおける対応のインターコネクト素子への、およびそのインターコネクト素子からの、標準化された接続部を有するプログラマブルインターコネクト素子 ( I N T ) 1 1 1 を含む。したがって、プログラマブルインターコネクト素子は、図示される F P G A のためのプログラマブルインターコネクト構造を共に実現する。プログラマブルインターコネクト素子 1 1 1 は、図 1 の上部に含まれる例によって示されるように、同じタイル内にプログラマブルロジック素子への、およびそのプログラマブルロジック素子からの、接続部も含む。

20

【 0 0 3 5 】

たとえば、C L B 1 0 2 は、単一のプログラマブルインターコネクト素子 ( I N T ) 1 1 1 とともにユーザロジックを実現するようにプログラム可能なコンフィギュラブルロジック素子 ( C L E ) 1 1 2 を含むことができる。B R A M 1 0 3 は、1 つ以上のプログラマブルインターコネクト素子に加えて B R A M ロジック素子 ( B R L ) 1 1 3 を含むことができる。典型的に、タイルに含まれるインターコネクト素子の数はタイルの高さに依存する。図示される実施の形態では、B R A M タイルは 5 つの C L B と同じ高さを有するが、他の数 (たとえば 4 つ) を用いることも可能である。D S P タイル 1 0 6 は適切な数のプログラマブルインターコネクト素子に加えて D S P ロジック素子 ( D S P L ) 1 1 4 を含むことができる。I O B 1 0 4 は、たとえば、プログラマブルインターコネクト素子 1 1 1 の 1 つのインスタンスに加えて入力 / 出力ロジック素子 ( I O L ) 1 1 5 の 2 つのインスタンスを含むことができる。当業者には明らかなように、たとえば I / O ロジック素子 1 1 5 に接続される実際の I / O パッドは典型的に、入力 / 出力ロジック素子 1 1 5 の領域に閉じ込められていない。

30

【 0 0 3 6 】

図示される実施の形態では、(図 1 に示される)ダイの中央近くの水平方向領域が、コンフィギュレーション、クロックおよび他の制御ロジックのために用いられる。この水平方向領域または列から延在する鉛直方向列 1 0 9 は F P G A の横幅を横切ってクロックおよびコンフィギュレーション信号を分配するのに用いられる。

40

【 0 0 3 7 】

図 1 に図示されるアーキテクチャを利用するいくつかの F P G A は、F P G A の大きな部分を形成する規則的な列状構造を分断する付加的なロジックブロックを含む。付加的なロジックブロックはプログラマブルブロックおよび / または専用ロジックであり得る。たとえば、プロセッサブロック 1 1 0 は、C L B および B R A M のいくつかの列に跨っている。

【 0 0 3 8 】

図 1 は単に例示的な F P G A アーキテクチャを図示することを意図していることに注目

50

されたい。たとえば、1行の中のロジックブロックの数、行の相対的な幅、行の数および順番、行に含まれるロジックブロックのタイプ、ロジックブロックの相対的なサイズ、ならびに図1の上部に含まれるインターコネクト/ロジック実現例は純粹に例示的なものである。たとえば、実際のFPGAでは、CLBの1つよりも多くの隣接する行は典型的にCLBが現れる場所であればどこでも含まれて、ユーザロジックの効率的な実現を容易にするが、隣接するCLB行の数はFPGAの全体的なサイズとともに変動する。

#### 【0039】

図2は例示的な通信回線カード200を示すブロック図である。通信回線カード200は、1つ以上のインターフェイスモジュール202、通信システム201、ならびにネットワークプロセッサおよびトラフィックマネージャ203を含んでもよい。インターフェイスモジュール202は、フロントプレートインターコネクト204のためにインターコネクトを提供してもよい。フロントプレートインターコネクト204は、インターフェイスモジュール202との双方向通信に対して用いられてもよい。インターフェイスモジュール202の1つ以上は光学的インターコネクトを含んでもよい。

#### 【0040】

インターフェイスモジュール202はライン206を介して通信システム201に結合されてもよい。通信システム201はライン207を介してネットワークプロセッサおよびトラフィックマネージャ203に結合されてもよい。ネットワークプロセッサおよびトラフィックマネージャ203はバックプレーンインターコネクト205に結合されてもよい。ライン206、ライン207およびバックプレーンインターコネクト205は双方向通信に対して用いられてもよいことが理解されるべきである。

#### 【0041】

図3は例示的な通信システム201を示すブロック図である。通信システム201はたとえば、システム・オン・チップ・ダイ(「SOC」)300および1つ以上のメモリダイ(「メモリプール」)303のような、ICダイを含んでもよい。しかしながら、他の実施の形態では、これらおよび/または他のタイプのICダイの1つ以上が用いられてもよい。SOC300は、たとえばここにおいて先に記載されたように、FPGAとして実現されてもよい。しかしながら、たとえばASIC、ASSPなどのような、他のタイプのICが、SOC300の提供のために用いられてもよいことが理解されるべきである。この例では、SOC300はライン側トランシーバ301と、ライン-システムブリッジ304と、システム側トランシーバ302を含む。ライン206はライン側トランシーバ301に相互接続されてもよく、ライン207はシステム側トランシーバ302に相互接続されてもよい。ライン-システムブリッジ304は、双方向通信のために、システム側トランシーバ302およびライン側トランシーバ301の両方に相互接続されてもよい。

#### 【0042】

メモリプール303は双方向通信のためにインターコネクト330を介してライン-システムブリッジ304に相互接続されてもよい。ここに記載されるようなインターポーザの使用によってインターコネクト330に関連付けられるようなより大きなインターコネクト密度を提供することによって、毎秒約1.0テラビット「(Tbps)」以上の帯域幅が与えられてもよい。明確にするため、限定ではなく例として、十分なダブルデータレート(「DDR」)ピンで、400ギガビット以上の回線カードに対するパケットバッファ処理のための帯域幅が、複数の間に置かれたダイ(「インターポーザ」)を用いて最大のレチクル寸法内にフィットしながら提供されてもよい。複数のインターポーザは、少なくとも近接するインターポーザの対、すなわち拡張されたインターポーザを切離せずに、同じウェハ上に印刷することが可能である。別の実施の形態では、インターポーザは、互いから完全に分離され、その後、ブリッジングダイを用いて、互いに結合される。ある実施の形態では、従来のFPGAスライスが、拡張されたインターポーザに対して用いられてもよい。

#### 【0043】

微細ピッチインターコネクトによって、より下位のレベルの金属層に関連付けられるピ

10

20

30

40

50

ッチを伴うインターコネク트가概して意味される。たとえば、いくつかの微細ピッチインターコネク트는0.8ミクロン以下であってもよく、ピッチはワイヤ間隔のためのワイヤ幅を考慮する。他の実施の形態では、いくつかの微細ピッチインターコネク트는0.4ミクロン以下であってもよい。28nmのプロセスにおいて、約90nmまたは0.09ミクロンの密な金属ピッチで微細ピッチインターコネク트를形成することが可能であることが示唆されている。したがって、いくつかの実施の形態では、微細ピッチインターコネク트가100nm未満であるピッチを有してもよいことが理解されるべきである。いくつかの実施の形態では、微細ピッチインターコネク트는、結像フィールドの縁部においてリソグラフィ限界によってサポートされるもの未満、すなわち結像フィールドのフィールド縁部での像の質における低減未満であってもよい。微細ピッチインターコネク트의例は、関連付けられる密なフリップチップマイクロバンプパッドを伴う、密なフリップチップマイクロバンプまたはボールを、限定なしに含む。そのような微細ピッチインターコネク트는、水平および鉛直の最小ピッチが互いとは異なるように、互い違いに配列されたアレイにあってよい。したがって、微細ピッチインターコネク트는従来のフリップチップマイクロバンプより実質的に密である。

10

#### 【0044】

インターポーザアセンブリ310は、ここに記載されるように、単一のICパッケージにおいて、2つ以上のダイがその上またはそれとともに積層される状態で、収容されてもよい。インターポーザアセンブリ310は、同じまたは異なるマスクの組を用いて同じウェハ上に形成された2つ以上のインターポーザを有する拡張されたインターポーザであってもよく、そのような2つ以上のインターポーザは互いから切離されず、すなわちそのようなウェハ上において他の態様ではスクライプ線領域であるかもしれないものにおいて、ともに合わせられたままである。別の実施の形態では、インターポーザアセンブリ310は、さらに詳細に後述されるように、ブリッジングダイによって互いに結合された2つの切離されたダイであってもよい。

20

#### 【0045】

明確にするため、限定ではなく例として、メモリプール303は、限定なしにDDR DRAMを含むダブルデータレート(「DDR」)ランダムアクセスメモリ(「RAM」)の形式とともに形成されることが仮定されるが、しかしながら、たとえばQDRのような、他のタイプのメモリアインターフェイスを含む他のタイプのメモリが用いられてもよいことが理解されるべきである。

30

#### 【0046】

一般的に、毎秒400ギガビット(「Gbps」)を超えての通信リンクのためには、パケットバッファ処理ピーク帯域幅は1Tbpsを超える。SSITは、後述されるように、ピン密度が利用可能なインターポーザ領域の最大寸法の増大のために現在利用可能である、十分な数のインターコネク트가330がそのようなSoC300とメモリプール303との間に存在するとして、DDRに基づくDRAMを用いて、SoC300とメモリプール303との間において1Tbpsを超えてサポートすることが可能である。

#### 【0047】

図4は別の例示的な通信システム400を示すブロック図である。通信システム400は、図3の通信システム201、インターフェイスモジュール202、ならびにネットワークプロセッサおよびトラフィックマネージャ203を含んでもよい。インターフェイスモジュール202、SoC300およびメモリプール303は、同じインターポーザアセンブリ410に相互接続されてもよい。インターポーザアセンブリ410は、図3のインターポーザアセンブリ310のように、同じまたは異なるマスクの組を用いて同じウェハ上に形成された2つ以上のインターポーザを有する、通信システム400における拡張されたインターポーザであってもよく、そのような2つ以上のインターポーザは互いから切離されず、すなわちそのようなウェハ上において他の態様ではスクライプ線領域であるかもしれないものにおいて、ともに合わせられたままである。別の実施の形態では、インターポーザアセンブリ410は、ブリッジングダイによって互いに結合された別々のインタ

40

50

ーポーザであってもよい。

【0048】

インターフェイスモジュール202、SOC300、メモリプール303、ならびにネットワークプロセッサおよびトラフィックマネージャ203は、同じインターポーザアセンブリ411に相互接続され得、インターポーザアセンブリ411はインターポーザアセンブリ410を含んでもよい。言い換えれば、インターポーザアセンブリ411は、インターポーザアセンブリ410よりもともに合わせられたインターポーザをより多く含んでもよく、したがって、効果的に、インターポーザアセンブリ411はインターポーザアセンブリ410を置換するかまたは含むであろう。1つ以上のFPGAとともに実現されるSOC300に対して、ネットワークプロセッサおよびトラフィックマネージャ203の、1つ以上のネットワークプロセッサおよび/または1つ以上のトラフィックマネージャは、点線412で概ね示されるように、そのような1つ以上のFPGAにおいてインスタンス化されてもよい。

10

【0049】

したがって、ここに記載されるようなインターポーザアセンブリを用いて、通信システム400は、インターポーザアセンブリ411を有する、単一のパッケージ化されたIC内に完全に含まれてもよい。通信システム400の別の実施の形態では、インターポーザアセンブリ410を有する、単一のパッケージ化されたICが、プリント回路基板(「PCB」)を介してネットワークプロセッサおよびトラフィックマネージャ203に結合されてもよい。インターポーザが、別々のダイであれ、拡張されたインターポーザであれ、インターポーザに、たとえばSOCまたは他のタイプのICダイのようなICダイでブリッジングすることによって、たとえば微細ピッチインターコネクトのようなダイからダイへのインターコネクトが、たとえばそれぞれ従来のマイクロバンプまたはマイクロボールのような、はるかにより大きな従来のダイからダイへのインターコネクトおよび/またはチップからチップへのインターコネクトに比較して用いられてもよい。したがって、インターコネクト密度は、ダイからダイへの相互接続に対して微細ピッチインターコネクトを伴うインターポーザアセンブリを用いることによって、著しく増強されてもよい。

20

【0050】

図5は例示的な単一のインターポーザ500を示すブロック図である。インターポーザ500は、最大インターポーザ高さ501および最大インターポーザ幅502を有する。これらの最大高さ501および最大幅502は、概してリソグラフィによって決定され、特に、レチクル結像サイズによって限定されてもよい。

30

【0051】

加えて最大使用可能なインターポーザ領域510を制限するのは、インターポーザ500の縁部からのオフセット511から514である。これらのオフセットは、パッケージ蓋、スクライプ線、封止リング、およびアンダーフィルマージン化、ならびにリソグラフィ結像などのような、パッケージングおよびアセンブリのためのマージンを設けることによってよい。明確にするため、限定ではなく例として、インターポーザ500は、まずレーザアブレーションを用いてスクライプ線に沿ってトレンチを形成し、次いでダイヤモンドを先端に付けられた円形刃でそのようなレーザ除去されたトレンチに沿って切断することによって、シリコンウェハから切出されてもよい。レーザアブレーションは、ダイヤモンドを先端に付けられた円形刃単独で切断することと比較して、そのような縁部に沿った欠けまたは層間剥離を低減するために用いられてもよい。しかしながら、レーザアブレーションは、ダイヤモンドを先端に付けられた円形刃で切断するよりも広いトレンチを残す傾向がある。

40

【0052】

そのようなオフセットを考慮に入れて、最大使用可能なインターポーザ高さ503および最大使用可能なインターポーザ幅504は、最大使用可能なインターポーザ領域510を規定してもよい。しかしながら、この領域のいくらかは、制限された領域であってもよい。さらに詳細に後述されるように、インターポーザアセンブリの左側インターポーザに

50

については、そのような左側インターポーザに対するオフセット領域 5 1 2 のような領域 5 1 0 の一部の右側縁が、「インターコネク制限領域」の左側縁と整列してもよい。「インターコネク制限領域」によって、動作する微細ピッチインターコネクの微細ピッチ整列に対して十分に信頼性がないかまたはそうでなければ利用可能ではない他の領域に関連付けられる領域が概して意味される。たとえば、インターポーザアセンブリの右側インターポーザについては、そのような右側インターポーザの左側縁がそのようなインターコネク制限領域の右側縁と整列してもよい。右および左が、並んだインターポーザに対して用いられたが、上下の向きが用いられてもよい。

#### 【 0 0 5 3 】

インターコネク制限領域は、したがって第 1 のインターポーザおよび第 2 のインターポーザの、たとえばオフセットのような、部分を含んでもよく、信号は、第 1 のインターポーザおよび第 2 のインターポーザのインターコネク制限領域を回避するために、ブリッジングダイを介してルーティングされる。インターポーザのオフセット領域がレチクル結像フィールドの遠いエッジ領域にあってもよいので、そのような遠いエッジ領域において微細ピッチインターコネクを結像することは、信頼性高く実行されないかもしれない。対照的に、微細ピッチインターコネクは、たとえば第 1 および第 2 のインターポーザをブリッジングするダイの形成において用いられるような、そのようなレチクル結像フィールドの中心により向かって信頼性高く形成されてもよい。したがって、微細ピッチインターコネクは、第 1 および第 2 のインターポーザのオフセット領域において信頼性高くは整列されないかもしれない一方で、そのような微細ピッチインターコネクは、そのよう

#### 【 0 0 5 4 】

したがって、概して、微細ピッチインターコネクは、そのような第 1 および第 2 のインターポーザのインターコネク制限領域の外部で形成され、集積回路ダイを第 1 のインターポーザおよび第 2 のインターポーザに相互接続する複数個の構成要素が、インターコネク制限領域の外部に位置する。対照的に、従来のマイクロバンプは、たとえばインターコネク制限領域に位置してもよい。インターコネク制限領域を用いることによって、それに関連付けられる整列問題、たとえば微細ピッチから微細ピッチへの整列などが、限定なしに、ダイ間インターポーザインターコネクから離れて、重なる近接するレチクル間結像フィールドのシームを含む、レチクル間結像フィールドシームを効果的に位置決めすることによって回避されてもよい。概して、レチクル間結像フィールドシームは、同じレチクルからであれ、異なるレチクルからであれ、リソグラフィ動作の少なくとも 2 つの結像フィールドが互いと重なる場所である。したがって、たとえば、たとえば 1 つの能動的なダイ上の 1 つの群のマイクロバンプから別の能動的なダイ上の別の群のマイクロバンプへのような 1 つのダイ間インターポーザインターフェイスのための金属ワイヤが、完全に 1 つのインターポーザレチクルフィールド内において形成されてもよい。特定的には、微細ピッチインターコネクに関して、そのようなダイ間インターポーザインターフェイスはインターポーザのためのレチクル結像フィールドの遠いエッジ領域から離れるように移動されてもよい。

#### 【 0 0 5 5 】

インターコネク制限領域は、オフセットの領域に関連付けられることに加えて、任意で、増強されたマージンのための右側インターポーザおよび / または左側インターポーザからのような、インターポーザ領域 5 1 0 の、他の態様では使用可能な領域の一部を含んでもよい。ある拡張されたインターポーザにおいては、FPGA ダイのような IC ダイは、同じウェハからともに合わせられるインターポーザにブリッジングし、たとえばインターポーザアセンブリ 3 1 0 または 4 1 0 のような、インターポーザアセンブリの、右および左のインターポーザからそれぞれオフセット領域 5 1 1 および 5 1 2 にブリッジングする。したがって、そのような FPGA ダイより下のそのようなインターポーザのスクライプ線領域はインターコネク制限領域の少なくとも一部を形成してもよい。

## 【 0 0 5 6 】

加えて、拡張されたインターポーザにおいては、ダイシングカットの量が低減されてもよいので、オフセットが同様に低減されてもよく、なぜならば、インターポーザのいくつかの縁部が切断または他の態様で切離されなくてもよいからである。言い換えれば、拡張されたインターポーザのインターポーザアセンブリのインターポーザのダイシングが少なくされ、すなわちいくつかのインターポーザが互いから切離されないの、そのようなインターポーザ間のスクライブ線領域が低減されてもよい。しかしながら、限定ではなく明確にするため、ウェハ上のスクライブ線領域はそのすべてのダイ間でのように概して一様であることが仮定されるが、他の実施の形態ではウェハ上のスクライブ線領域はそのすべてのダイ間におけるように概して一様でなくてもよい。再び、オフセット領域はリソグラフィ結像フィールドの遠いエッジ領域にあってもよく、したがって、そのようなオフセット領域において微細ピッチインターコネクトを信頼性高く形成することは可能ではないかもしれないことが理解されるべきである。

10

## 【 0 0 5 7 】

インターコネクト制限領域は、少なくともインターポーザのオフセット領域に応じることに記載され、いくつかの実施の形態においては、インターポーザ間の間隙および/またはそうでなければリソグラフィ結像フィールドの幾何学的な限定の対象である1つ以上のインターポーザの使用可能な領域を含んでもよい。インターコネクト制限領域は、あるインターポーザまたは複数のインターポーザの設計に対するデザインルールおよび/またはレイアウトルールとして規定されてもよい。言い換えれば、そのようなインターコネクト制限領域はブリッジングダイが相互接続されたダイ上にあるとして考えられてもよい。そのようなインターポーザの他のインターコネクトと同様に、導電線も、同様にインターコネクト制約に関連付けられてもよい。さらに、インターポーザ間の間隙も、同様にインターコネクト制限領域に関連付けられてもよい。

20

## 【 0 0 5 8 】

概して、限定ではなく明確にするため、インターコネクト制限領域は、ここでは、インターポーザ上において、少なくともそのようなインターポーザのオフセット領域の部分に応じて規定されるように言及される。さらに、限定ではなく明確にするため、インターポーザのインターコネクト制限領域はここではオフセット領域と呼ばれる。さらに、インターコネクト制限領域は、インターポーザが能動素子または受動素子であってもよいので、能動的なダイまたは受動的なダイを含む任意のダイのものであってもよい。しかしながら、限定ではなく明確にするため、インターポーザが受動素子であることが仮定される。さらに、切離されたインターポーザであれ、拡張されたインターポーザであれ、1つのインターポーザを別のインターポーザに接続するブリッジングダイは、能動的なダイまたは受動的なダイであってもよい。それらの線に沿って、ブリッジングダイへの微細ピッチインターコネクトが第1および第2のインターポーザのインターコネクト制限領域の対向する両側に位置してもよいことが十分に理解されるべきである。

30

## 【 0 0 5 9 】

限定ではなく、例として明確にするため、最大インターポーザ高さ501はパッケージ蓋設置面積マージン化の後、約31mm（約1.22インチ）であってもよく、現在最大インターポーザ幅502はパッケージ蓋設置面積マージン化の後、約26mm（約1.024インチ）であってもよい。スクライブ線および封止リングオフセットで、最大使用可能なインターポーザ高さ503は約29mm（約1.142インチ）であってもよく、最大使用可能なインターポーザ幅504は約24mm（約0.9449インチ）であってもよい。したがって、現在、最大使用可能なインターポーザ領域510は約700mm<sup>2</sup>（約27.56平方インチ）であってもよく、この最大使用可能なインターポーザ領域510は、ハイエンドデバイスに対して約600mm<sup>2</sup>（約23.62平方インチ）以上の現在既存の単一体のダイサイズに鑑み考慮されるべきである。これまで、1ギガビットのメモリはインターポーザ使用可能領域のおおよそ25%～50%を消費し、したがって、そのような量のメモリは大きなハイエンドデバイスとともにパッケージ化することができな

40

50

かった。これは、ピン数密度がそのようなインターコネクトのサイズのために著しく制限されることを意味した。しかしながら、1ギガバイトのメモリを用いてバッファ処理することは、効果的には400Gbpsトラフィックの約2.5ミリ秒を占めるにすぎず、それは、トランシーバおよびライン-システムブリッジングの利用に関して不適当な均衡に至るかもしれない。

#### 【0060】

以下の記載から十分に理解されるように、より使用可能なインターポーザ領域は、スタックダイアセンブリを設けるために効果的に2つ以上のインターポーザにブリッジングすることによって設けられる。拡張されたインターポーザについては、これは2つ以上のインターポーザに相互接続される1つ以上のダイを用いることを伴ってもよく、そのようなインターポーザダイは、単一のICパッケージを設けるために単一のプラットフォームとして同じウェハ上に形成される。この例では、2つ以上の分離されたインターポーザが互いと物理的接触をなす実施の形態とは対照的に、2つ以上のインターポーザは、単一のプラットフォームとして互いに物理的に接続される。インターポーザを形成するために用いられるレチクル結像フィールドは、互いと重複してもしなくてもよい。別の実施の形態では、インターポーザは、互いから完全に切離され、次いで、ブリッジングダイを用いて結合されてもよい。さらに別の実施の形態では、インターポーザダイは、たとえば後述されるように、互いから完全に切離され、次いで、単一のICパッケージのためにともに成型され、そしてブリッジングダイでブリッジングされてもよい。

#### 【0061】

図6-1は、たとえばスタックダイアセンブリ600Aのような、例示的なアセンブリを示すブロック図である。スタックダイアセンブリ600Aは、SOC300、メモリプール303Aおよび303B、ならびに、拡張されたインターポーザに対してであれ、完全に切離されたインターポーザ500Aおよび500Bに対してであれ、インターポーザ500Aおよび500Bのインターポーザアセンブリを含む。明確にするため、限定ではなく例として、SOC300はFPGAであると仮定するが、しかしながら、他のタイプのICが用いられてもよいことを理解すべきである。

#### 【0062】

SOC300はライン側トランシーバ301、システム側トランシーバ302A~302C、およびライン-システムブリッジ304を含んでもよい。ライン側トランシーバ301およびシステム側トランシーバ302A~302Cはライン-システムブリッジ304を介して双方向通信のために結合されてもよく、そのような結合は、FPGAのPIPを用いることによるようなダイ内結合であってもよい。ライン-システムブリッジ304は、FPGAプログラマブルリソース、すなわち「FPGAファブリック」において実現されてもよい。

#### 【0063】

SOC300は、インターポーザ500Aの表面およびインターポーザ500Bの表面のような、インターポーザ500Aおよび500Bの両方に相互接続されてもよい。たとえば、SOC300は、インターポーザ500Aおよび500Bをブリッジングするようにインターポーザ500Aの上側表面からインターポーザ500Bの上側表面に延在してもよい。拡張されたインターポーザでは、インターポーザ500Aおよび500Bは同じウェハから形成された共通の単一のプラットフォームである。しかしながら、別の実施の形態では、インターポーザ500Aおよび500BはSOC300を介して互いに結合される分離されたインターポーザであってもよい。

#### 【0064】

点線710Aによって概して示されるように、オフセット領域515の左端の縁部に境を接するインターポーザ500Aの使用可能領域510の一部、および/または点線710Bによって概して示されるように、オフセット領域516の右端の縁部に境を接するインターポーザ500Bの使用可能領域510の一部は、任意で、オフセット領域515および516に応じることに加えて、インターコネクト制限領域599を規定するために用

いられるそれぞれの一部であってもよい。しかしながら、限定ではなく明確にするため、さらに詳細に後述されるインターコネクト制限領域 5 9 9 は、オフセット領域 5 1 5 および 5 1 6 に応じてのみ形成されることが仮定されるが、他の実施の形態においては、他の態様で使用可能な領域 5 1 0 の一部が用いられてもよい。

#### 【0065】

S o C 3 0 0 は、従来的に、導電線インターコネクト構成要素を含む、オフセット領域 5 1 5 および 5 1 6 のいずれかまたは両方にある、密なマイクロバンプまたは他の微細ピッチインターコネクトを有してもよいことが理解されるべきである。重ねて、インターポーザのインターコネクト制限領域 5 9 9 はインターコネクトを含んでもよいが、一般的には微細ピッチインターコネクトを含まない。オフセット領域 5 1 5 および 5 1 6 は微細ピッチインターコネクトに対して好適ではないので、S o C 3 0 0 がインターポーザ 5 0 0 A および 5 0 0 B をブリッジングするのに、それらが互いから切離されていようといまいと、そのような S o C 3 0 0 の微細ピッチ「ピン配置」レイアウトは従来的でなくてもよい。むしろ、S o C 3 0 0 の微細ピッチ「ピン配置」レイアウトはインターポーザ 5 0 0 A および 5 0 0 B にブリッジングすることに調整されてもよい。それらの線に沿って、オフセット領域 5 1 5 および 5 1 6 上に配置される S o C 3 0 0 の微細ピッチインターコネクトは、インターポーザ 5 0 0 A および 5 0 0 B のオフセット領域 5 1 5 および 5 1 6 内にある、すなわちインターポーザ 5 0 0 A および 5 0 0 B のインターコネクト制限領域 5 9 9 内にある、粗いピッチインターコネクトに整列されてもよい。

#### 【0066】

メモリプール 3 0 3 A および 3 0 3 B はインターポーザ 5 0 0 B の表面に相互接続される。たとえば、メモリプール 3 0 3 A および 3 0 3 B は、S o C 3 0 0 とのダイ間結合のためにインターポーザ 5 0 0 B の上側表面に相互接続されてもよい。メモリプール 3 0 3 A および 3 0 3 B は双方向通信のために S o C 3 0 0 に結合されてもよい。

#### 【0067】

インターポーザ 5 0 0 A および 5 0 0 B は同じまたは実質的に同じ高さを有してもよい。インターポーザ 5 0 0 A の幅 W 1 は最大インターポーザ幅 5 0 2 以下であってもよく、インターポーザ 5 0 0 B の幅 W 2 は同様に最大インターポーザ幅 5 0 2 以下であってもよい。しかしながら、幅 W 1 は異なるダイサイズに対応するために幅 W 2 より実質的に大きくてもよい。インターポーザ 5 0 0 A および 5 0 0 B のインターポーザアセンブリは、幅 W 1 + W 2 の全体的なインターポーザアセンブリ幅 6 0 2 を有してもよい。限定ではなく、例として明確にするため、インターポーザ 5 0 0 A および 5 0 0 B の各々に対して約 3 3 mm ( 約 1 . 2 9 9 インチ ) のインターポーザ高さの場合、S o C 3 0 0 が約 2 4 ミリメートル ( 約 0 . 9 4 4 9 インチ ) の幅を有する状態で、約 4 0 ミリメートル ( 約 1 . 5 7 5 インチ ) の全体的なインターポーザアセンブリ幅 6 0 2 が用いられてもよい。そのような例に対して、スタックドダイアセンブリ 6 0 0 A は、単一の 5 0 mm ( 1 . 9 6 9 インチ ) × 5 0 mm ( 1 . 9 6 9 インチ ) パッケージ内に嵌まってもよい。しかしながら、他の実施の形態においては、他の高さ、幅、および / またはパッケージサイズが用いられてもよい。

#### 【0068】

インターポーザ 5 0 0 A の縁部およびインターポーザ 5 0 0 B の縁部は、互いに対して少なくとも実質的に並んで位置決めされる。インターポーザ 5 0 0 A および 5 0 0 B が互いから切離されるとき、インターポーザ 5 0 0 A および 5 0 0 B のそのような縁部は互いと当接してもよい。インターポーザ 5 0 0 A は、インターポーザ 5 0 0 B に概して近い、取っておかれた領域またはオフセット領域 5 1 5 を有してもよい。この例では、オフセット領域 5 1 5 は、インターポーザ 5 0 0 A の遠い右側縁部と境界線を共にする境界を有する。インターポーザ 5 0 0 B は、インターポーザ 5 0 0 A に概して近い、取っておかれた領域またはオフセット領域 5 1 6 を有してもよい。この例では、オフセット領域 5 1 6 は、インターポーザ 5 0 0 B の遠い左側縁部と境界線を共にする境界を有する。

#### 【0069】



オフセット領域 5 1 5 および 5 1 6 の一方または両方は S o C 3 0 0 の密な微細ピッチピン配置レイアウトにおいて占められてもよく、S o C 3 0 0 は、インターポーザ 5 0 0 A および 5 0 0 B のそれぞれオフセット領域 5 1 5 および 5 1 6 には関連付けられるが微細ピッチから微細ピッチへのダイからダイへの相互接続には関連付けられない制限領域 5 9 9 内に電氣的な相互接続を設けるよう、形成される。オフセット領域 5 1 5 および 5 1 6 のいずれかまたは両方は、それらが動作する微細ピッチから微細ピッチへの電氣的な相互接続を設けるよう用いられる金属層部分およびビアホール層部分を含まないように形成されてもよく、したがって、S o C 3 0 0 は、そのようなオフセット領域 5 1 5 および 5 1 6 内において関連付けられる、対応する微細ピッチインターコネクトのためのどのようなピン配置も含まなくてよい。さらに、たとえば、オフセット領域 5 1 5 および 5 1 6 の

10

#### 【 0 0 7 0 】

電氣的なインターコネクトは、デバイスの動作のために信号を搬送するために用いられる。電氣的なインターコネクトは、たとえばダミー構造体のような、たとえばリソグラフィ結像または他の態様で用いられてもよいような、非電氣的な構造のための非電氣的なインターコネクトから対比されてもよい。

#### 【 0 0 7 1 】

たとえば後述されるダイからダイへのインターコネクトのような、微細ピッチのダイからダイへのインターコネクトは、S o C 3 0 0 がメモリプール 3 0 3 A および 3 0 3 B をインターポーザ 5 0 0 B を介して相互接続することに対して、インターポーザ 5 0 0 B 上においてオフセット領域 5 1 6 の外部に排他的に位置してもよい。S o C 3 0 0 をメモリプール 3 0 3 A および 3 0 3 B に相互接続するための微細ピッチ導電線はすべて、オフセット領域 5 1 6 の外部の、インターポーザ 5 0 0 B の一部として形成されてもよい。

20

#### 【 0 0 7 2 】

接地平面または電源電圧のための幅広いバスを設けることが可能であり、したがって微細ピッチまたは精密な相互接続は、必ずしもそのような幅広いバスに対して必要とはされない。したがって、たとえば、S o C 3 0 0 の 1 つ以上の微細ピッチインターコネクトは、そのような幅広いバスのためにインターポーザのインターコネクト制限領域に配置されてもよく、なぜならば、微細ピッチ整列制約はそのような幅広いバス化には必ずしも当てはまらないからである。しかしながら、限定ではなく明確にするため、インターコネクト制限領域 5 9 9 はどのような動作するインターコネクトもないことが仮定されるが、他の実施の形態では、微細ピッチ整列制約の対象でないインターコネクトがそのようなインターコネクト制限領域 5 9 9 にあってもよい。

30

#### 【 0 0 7 3 】

図 6 - 2 は別の例示的なスタックドダイアセンブリ 6 0 0 B を示すブロック図である。スタックドダイアセンブリ 6 0 0 B は、以下の違いを除いて、図 6 - 1 のスタックドダイアセンブリ 6 0 0 A と概ね同じである。単一の S o C 3 0 0 ではなく、スタックドダイアセンブリ 6 0 0 B は、2 つの S o C、すなわち S o C 3 0 0 A および S o C 3 0 0 B を含む。この例では、S o C 3 0 0 A はライン側トランシーバ 3 0 1 とシステム側トランシーバ 3 0 2 A とライン - システムブリッジ 3 0 4 A とを含み、S o C 3 0 0 B はシステム側トランシーバ 3 0 2 B および 3 0 2 C とライン - システムブリッジ 3 0 4 B とを含む。S o C 3 0 0 A および 3 0 0 B は、インターポーザ 5 0 0 A に関連付けられるインターコネクトを介して互いに相互接続されてもよい。

40

#### 【 0 0 7 4 】

スタックドダイアセンブリ 6 0 0 A および 6 0 0 B では、ライン側トランシーバより多いシステム側トランシーバがある。しかしながら、他の構成が用いられてもよい。たとえば、図 6 - 3 は、スタックドダイアセンブリのさらに別の例 6 0 0 C を示すブロック図である。スタックドダイアセンブリ 6 0 0 C は、以下の違いを除いて、概ね図 6 - 2 のスタックドダイアセンブリ 6 0 0 B と同じである。スタックドダイアセンブリ 6 0 0 C におい

50

ては、S o C 3 0 0 A は、ライン側トランシーバ 3 0 1 A およびシステム側トランシーバ 3 0 2 A ならびにライン - システムブリッジ 3 0 4 A を含み、S o C 3 0 0 B は、ライン側トランシーバ 3 0 1 B およびシステム側トランシーバ 3 0 2 B ならびにライン - システムブリッジ 3 0 4 B を含む。S o C 3 0 0 A および 3 0 0 B の各々は、インターポーザ 5 0 0 A および 5 0 0 B を互いに結合することに対して、または互いから切離されないインターポーザ 5 0 0 A および 5 0 0 B に対して、オフセット領域 5 1 5 および 5 1 6 をブリッジングしてもよい。おおよそ等しい量の半導体領域が、ライン側トランシーバおよびシステム側トランシーバを形成することに対して与えられてもよく、2 つの S o C はインターポーザ 5 0 0 A および 5 0 0 B を物理的にブリッジングするために用いられてもよい。F P G A とともに実現される S o C については、トランシーバリソースはライン側または

10

#### 【 0 0 7 5 】

インターポーザ 5 0 0 A および 5 0 0 B のようなインターポーザは特定のダイに対して製造されてもよいので、インターポーザ 5 0 0 A を形成するために用いられるマスクの組は、インターポーザ 5 0 0 B を形成するために用いられるマスクの組とは実質的に異なってもよい。たとえば、ある S o C ダイは、限定なしに実質的に異なるサイズおよびピン配置を含んで、メモリダイと実質的に異なってもよい。

#### 【 0 0 7 6 】

ここに記載されるようなインターポーザアセンブリを提供することによって、より多くのトランシーバが、概してより多くのリソースと同様に、ライン - システムブリッジングのために、単一の I C パッケージにおいてバッファメモリとともに実現されてもよいことが理解されるべきである。さらに、メモリの量は、より大きなインターポーザアセンブリ設置面積を有するため、実質的に増大されてもよい。そのようなリソースは、I C パッケージのためにインターポーザアセンブリにまとめて搭載されてもよいので、ダイからダイへのインターコネク트가、たとえば従来のマイクロバンプより著しく小さく、マイクロボールより実質的に小さい、密なマイクロバンプとともに形成されてもよい。マイクロボールは、時に C 4 ハンダボールと呼ばれ、従来のマイクロバンプより著しく大きく、従来は P C B を介する I C から I C へのインターコネク트의ために用いられる。

20

#### 【 0 0 7 7 】

言いかえれば、インターコネク트密度は、パッケージ内により大きな設置面積を伴うインターポーザアセンブリを提供することによって増強され、なぜならば、より多くの領域が微細ピッチのダイからダイへの相互接続に対して与えられるからであり、それを、従来のダイからダイへのインターコネク트および / またはチップからチップへのインターコネク트의代りに用いてもよい。インターポーザアセンブリを介するインターコネク트密度を増大することによって、帯域幅は、そのようなインターコネク트密度によって対応して増大されてもよい。帯域幅増大は、そのようなさらなるリソースをサポートすることに対して大きなインターポーザアセンブリを有するパッケージ化されたスタックドダイアセンブリ内において利用可能なリソースの追加的な量によってさらに支援されてもよい。

30

#### 【 0 0 7 8 】

図 7 - 1 は、それぞれ図 6 - 1、図 6 - 2、または図 6 - 3 のスタックドダイアセンブリ 6 0 0 A、6 0 0 B および 6 0 0 C のいずれか ( まとめて 1 つで「スタックドダイアセンブリ 6 0 0」 ) の例示的な断面図を示すブロック図である。S o C 3 0 0 およびメモリプール 3 0 3 は、インターポーザ 5 0 0 A および 5 0 0 B から形成されるインターポーザアセンブリに、インターコネク트 7 1 3 を介して相互接続される。この例におけるインターコネク트 7 1 3 は密なダイからダイへのフリップチップマイクロバンプであるが、しかしながら、他のタイプのダイからダイへの微細ピッチインターコネク트가用いられてもよい。

40

#### 【 0 0 7 9 】

S o C 3 0 0 は、インターポーザ 5 0 0 A の上側表面 7 0 3 に、ダイからダイへのインターコネク트 7 1 3 の一部を介して接続されるが、それは微細ピッチインターコネクトで

50

あってもよく、または従来のフリップチップマイクロバンプであってもよく、および S o C 3 0 0 は、インターポーザ 5 0 0 B の上側表面 7 0 4 に、ダイからダイへのインターコネクト 7 1 3 の別の部分を介して接続される。メモリプール 3 0 3 は、インターポーザ 5 0 0 B の上側表面 7 0 4 に、ダイからダイへのインターコネクト 7 1 3 のさらに別の部分を介して接続される。ダイからダイへのインターコネクト 7 1 3 のいくつかは、他のより大きなインターコネクトに結合されてもよく、それらは、ここでは、ダイからダイへのインターコネクト(「インターコネクト」) 7 1 3 と混同されないように「コネクタ」7 1 1 と呼ばれる。たとえば、コネクタ 7 1 1 は、たとえばシリコン貫通ビアホール(「TSV」) 7 1 2 のような、「基板貫通ビアホール」を用いて、インターコネクト 7 1 3 に結合されてもよい。この例では、コネクタ 7 1 1 はマイクロボールであるが、しかしながら、他のタイプのチップからチップへの大規模インターコネクトが用いられてもよい。重ねて、コネクタ 7 1 1 はインターコネクト 7 1 3 より実質的に大きい。したがって、互いに合わせられても、または互いから切離されてもよい、インターポーザ 5 0 0 A および 5 0 0 B から形成されるインターポーザアセンブリを提供することによって、ダイの相互接続のためのより大きなインターポーザ領域が、チップからチップへのインターコネクトを用いなければならないことを回避するように設けられる。限定ではなく明確にするため、そのようなインターポーザ 5 0 0 A および 5 0 0 B は、お互いから切離され、すなわち別個のダイであることが仮定される。言い換えれば、ダイからダイへのインターコネクトは、これまではチップからチップへのインターコネクトが用いられたかもしれないところに用いられる。インターコネクト密度は、インターコネクト 7 1 3 の方が、コネクタ 7 1 1 よりも大きいので、帯域幅は先に記載されるように IC のために増強されてもよい。さらに、この例では、インターポーザ 5 0 0 A および 5 0 0 B はシリコンインターポーザであり、したがって、この例については、基板貫通ビアホールは TSV 7 1 2 であるが、しかしながら、他の実施の形態では、他のタイプの基板またはダイプラットフォームが用いられてもよい。

#### 【0080】

この例におけるインターポーザ 5 0 0 A の遠い右側縁 7 0 1 は、インターポーザ 5 0 0 B の遠い左側縁 7 0 2 に当接する。ここにおいて先に記載されたように、縁部 7 0 1 および 7 0 2 はそれぞれオフセット領域 5 1 5 および 5 1 6 の境界を設ける。まとめて、インターポーザ 5 0 0 A および 5 0 0 B のオフセット領域 5 1 5 および 5 1 6 は、それぞれ、能動的な微細ピッチインターコネクトおよび関連付けられる導電線がなくてもよく、すなわちオフセット領域 5 1 5 および 5 1 6 のすべてまたは部分に対応してもよいインターコネクト制限領域または領域 7 1 0 がなくてもよい。

#### 【0081】

インターポーザ 5 0 0 B の上側表面 7 0 4 上のインターコネクト 7 1 3 の一部は、S o C 3 0 0 およびメモリプール 3 0 3 を相互接続するためにある。導電線 7 1 5 のような導電線(以下、1つにまとめて「導電線 7 1 5」)は、たとえばインターポーザ 5 0 0 B の層間にあってもよく、S o C 3 0 0 と上側表面 7 0 4 との間に位置するインターコネクト 7 1 3 の一部をメモリプール 3 0 3 と上側表面 7 0 4 との間に位置するインターコネクト 7 1 3 の別の部分と結合するよう用いられる。したがって、S o C 3 0 0 およびメモリプール 3 0 3 の相互接続のための導電線 7 1 5 はすべて、インターポーザ 5 0 0 B の一部として設けられてもよい。言い換えれば、ダイからダイへの相互接続のための導電線 7 1 5 はすべてインターポーザ 5 0 0 B 内で自給自足されてもよい。インターコネクト 7 1 3 および導電線 7 1 5 は、S o C 3 0 0 をメモリプール 3 0 3 に相互接続するために用いられてもよい構成要素の例である。インターコネクト 7 1 3 および導電線 7 1 5 は、1つにまとめて微細ピッチインターコネクトを与えてもよい。

#### 【0082】

図 7 - 2 は、別の例示的なスタックドダイアセンブリ 7 0 0 の断面図を示すブロック図である。スタックドダイアセンブリ 7 0 0 は、メモリプール 3 0 3 が、互いに相互接続されたメモリダイの鉛直積層、すなわちスタックドダイメモリ 7 2 0 と置換される以外は、

10

20

30

40

50

スタックダイアセンブリ 600 と同様である。スタックダイメモリ 720 はメモリプールダイ (「メモリプール」) 303 - 1 ~ 303 - N を含んでもよく、N は 1 より大きな正の整数である。限定ではなく明確にするため図示されないが、メモリプールダイ 303 - 1 ~ 303 - N は、たとえば TSV の使用を介してのように、互いに相互接続されて、スタックダイメモリ 720 を与えてもよいことが理解されるべきである。メモリプールダイ 303 - 1 は、先にたとえばメモリプール 303 を参照して記載されたようにインターポーザ 500 B に相互接続されてもよい。

#### 【0083】

図 7 - 3 は、さらに別のスタックダイアセンブリ 700 の断面図を示すブロック図である。この例において、メモリプールダイ 303 - 1 ~ 303 - N は、スタックダイメモリ 730 の形成のためにメモリインターフェイス 731 の上に積層される。スタックダイメモリ 730 はスタックダイメモリ 720 を置換する。メモリインターフェイス 731 はインターポーザ 500 B に相互接続される。メモリインターフェイス 731 は、メモリプールダイ 303 - 1 ~ 303 - N に対するインターフェイスロジックを含んでもよい。メモリインターフェイス 731 はメモリプールダイ 303 - 1 に相互接続され、スタックダイメモリ 730 の構成に依存するその 1 つ以上の介在するメモリプールダイを介してメモリプールダイ 303 - 1 ~ 303 - N の各々に相互接続されてもよい。

#### 【0084】

図 8 は、インターポーザアセンブリ 800 の例示的な上面図を示すブロック図である。インターポーザアセンブリ 800 はインターポーザ 500 A および 500 B を含む。インターポーザ 500 A および 500 B の各々は、最大インターポーザ高さ 501 以下であってもよい高さを有する。明確にするため、限定ではなく例として、この例におけるインターポーザ 500 A および 500 B は、両方とも、同じ最大インターポーザ高さ 501 を有し、同様に、同じ最大使用可能な高さ 503 を有する。しかしながら、他の実施の形態では、インターポーザ 500 A および 500 B は、少なくとも 1 つは最大高さにおいてではない不等な高さを有してもよい。

#### 【0085】

インターポーザ 500 A および 500 B の各々は、最大インターポーザ幅 502 以下であってもよい幅を有する。明確にするため、限定ではなく例として、この例におけるインターポーザ 500 A および 500 B は、両方とも、同じ最大インターポーザ幅 502 を有し、同様に、同じ最大使用可能な幅 504 を有する。しかしながら、他の実施の形態では、インターポーザ 500 A および 500 B は、少なくとも 1 つは最大幅においてではない不等な幅を有してもよい。

#### 【0086】

この例では、電気的なインターコネク制限領域 710 はインターポーザ 500 A および 500 B のダイにされた縁部と当接することに応じては規定されず、なぜならば、インターポーザ 500 A および 500 B は、この例では、全体として同じウェハまたは他の基板上に形成され、すなわち、単一のプラットフォームとして互いと一体に形成されるからである。言い換えれば、インターポーザ 500 A および 500 B は、2 つの別々のプラットフォームとは対照的に、単一のプラットフォームとして形成される。したがって、インターポーザ 500 A および 500 B はこの例では同じ半導体基板から単一のプラットフォームを与える。インターポーザ 500 A および 500 B のオフセット領域 515 および 516 を用いて、電気的なインターコネク制限領域 710 を規定してもよい。しかしながら、インターポーザ 500 A および 500 B が単一のプラットフォームとして形成される時、電気的なインターコネク制限領域 710 はスクライブ線シームを含む必要はなく、パッケージングのためにダイにするためにマージン化することを含む必要はない。したがってインターポーザ 500 A および 500 B の拡張されたまたは単一のプラットフォーム版においては、最大使用可能領域は、インターポーザ 500 A および 500 B をダイにし、それから別々のダイを与える実施の形態を超えて増大されてもよく、したがって、インターポーザレチクルフィールドリソグラフィ結像制限の対象であるインターコネク制限

10

20

30

40

50

限領域 7 1 0 の設置面積は低減されてもよい。

【 0 0 8 7 】

別々のレチクルの組がインターポーザ 5 0 0 A および 5 0 0 B の形成において用いられるので、そのようなレチクルの組をそのシームを横切ってインターコネクトを形成するために互いと整列させることは問題かもしれない。インターコネクト制限領域 7 1 0 は、整列問題を緩和するために拡大されてもよい。シリコンウェハの例がインターポーザ 5 0 0 A および 5 0 0 B の形成の記載に対してここに用いられるが、他のタイプの基板が、ガラスまたは別の形式の基板基材を限定なしに含んで、用いられてもよい。

【 0 0 8 8 】

図 9 - 1 は例示的なウェハ 9 0 0 を示すブロック図である。ウェハ 9 0 0 はインターポーザ 5 0 0 A および 5 0 0 B からインターポーザアセンブリ 8 0 0 を形成するために用いられてもよい。2つの別々のレチクルの組が、インターポーザ 5 0 0 A および 5 0 0 B の形成のために、ワイヤおよびビアホールを限定なしに含むインターポーザパターンを印刷するよう用いられてもよい。ウェハ 9 0 0 は、水平行 9 0 1 および垂直列 9 0 2 に沿ってレーザ除去および/または鋸引きされてもよい。水平行 9 0 1 および垂直列 9 0 2 はスクライブ線であってもよい。ウェハ 9 0 0 をダイにした後、インターポーザアセンブリ 8 0 0 は、インターポーザ 5 0 0 A および 5 0 0 B が、同じウェハ基板材料から互いに一体に形成され、単一のプラットフォームのダイとして与えられることが十分に理解されるべきである。

【 0 0 8 9 】

2つのインターポーザがインターポーザアセンブリ 8 0 0 の形成のために例示的に示されるが、2つを超えるインターポーザがダイとして与えられるよう同じウェハ基板材料から互いに一体的に形成されてもよい。たとえば、図 9 - 2 は、インターポーザアセンブリ 8 0 0 が各々 4 つのインターポーザから形成される例示的なウェハ 9 0 0 を示すブロック図である。この例では、インターポーザアセンブリ 8 0 0 は各々インターポーザ 5 0 0 A、5 0 0 B、5 0 0 C および 5 0 0 D を含み、インターポーザのそのような集合は、互いと一体に、単一または共通プラットフォームとして形成される。

【 0 0 9 0 】

図 10 - 1 は、例示的なスタックドダイアセンブリ 1 0 0 0 の断面図を示すブロック図である。スタックドダイアセンブリ 1 0 0 0 は、当接する縁部 7 0 1 および 7 0 2 ではなく、そのような縁部間の間隙 1 0 1 0 が与えられる以外は、スタックドダイアセンブリ 6 0 0 と同様である。縁部 7 0 1 および 7 0 2 は、そのような並んだ向きについて、少なくとも互いに実質的に平行に位置決めされてもされなくてもよい。この例では、間隙 1 0 1 0 は制限されたインターコネクト領域 1 0 4 9 を効果的に拡張し、したがって、他の態様では間隙 1 0 1 0 より上で延在する S o C 3 0 0 下のピン配置であるかもしれないものとして省略されてもよい。S o C 3 0 0 のピン配置を低減するのではなく、S o C 3 0 0 以外のダイを用いて、インターポーザ 5 0 0 A および 5 0 0 B をブリッジングしてもよい。

【 0 0 9 1 】

しかしながら、インターポーザ 5 0 0 A および 5 0 0 B がそれらの間に間隙 1 0 1 0 を有する場合、そのようなインターポーザを形成するように用いられるレチクルフィールドに関連付けられるシームは、そのようなインターポーザが異なるウェハから形成される場合には存在しなくてもよいことが理解されるべきである。しかしながら、そのようなオフセット領域 5 1 5 および 5 1 6 は残存し、したがって、限定ではなく明確にするため、インターコネクト制限領域または領域 1 0 4 9 は残存し、間隙 1 0 1 0 を含む、と仮定される。

【 0 0 9 2 】

図 10 - 2 は、例示的なスタックドダイアセンブリ 1 1 0 0 の断面図を示すブロック図である。スタックドダイアセンブリ 1 1 0 0 は以下の違いを除いてスタックドダイアセンブリ 1 0 0 0 と同様である。スタックドダイアセンブリ 1 1 0 0 では、S o C 3 0 0 C はインターポーザ 5 0 0 A および 5 0 0 B をブリッジングせず、したがって、S o C 3 0 0

Cはこの例ではインターポーザ500Aにのみ相互接続される。

【0093】

しかしながら、ブリッジダイ1110を追加して、インターポーザ500Aの上側表面およびインターポーザ500Bの上側表面を相互接続する。ブリッジダイ1110は、インターポーザ500Aと500Bとの間でオフセット領域515および516ならびに間隙1010に亘って、そのようなインターポーザを物理的にブリッジングする。先に記載されたように、インターポーザ500Aおよび500Bの各々の一部を任意で使用して、インターコネク制限領域または領域710を与えてもよい。たとえば、別々のインターポーザ500Aおよび500Bを伴う実施の形態では、インターポーザ500Aおよび500Bを製造するのに用いられる1つ以上のレチクルに関連付けられる結像フィールドの縁部に概ね沿った像の質は、そのような縁部に関連付けられる領域または領域において信頼性高く微細ピッチインターコネクを形成することを問題とするよう十分に下げられるかもしれない。この例では、インターポーザ500Aおよび500Bとそれぞれ関連付けられる微細ピッチインターコネク713および微細ピッチ導電線715は、すべて、オフセット領域515および516の外部にある。そのような実施の形態では、ブリッジダイ1110は受動素子であってもよい。たとえば、ブリッジダイ1110はそれ自体がシリコンインターポーザであってもよい。しかしながら、受動的なダイであれ、または能動的なダイであれ、ブリッジダイ1110はオフセット領域515および516ならびに間隙1010を占めるピン配置を有するよう製造されてもよい。

【0094】

明確にするため、限定ではなく例として、ブリッジダイ1110は、関連付けられる微細ピッチマイクロパンプを用いて、SoCに300Cにインターポーザ500Aを介して相互接続されてもよい。さらに、ブリッジダイ1110は、関連付けられる微細ピッチマイクロパンプを用いて、メモリプールダイ303にインターポーザ500Bを介して相互接続されてもよい。

【0095】

ブリッジダイ1110は任意で能動的なダイであってもよい。したがって、たとえば、ブリッジダイ1110は、SoC300Cとメモリプール303との間で双方向通信ブリッジを与えてもよい。限定ではなく例として、ブリッジダイ1110は、ダイからダイへの通信のために、バッファおよび/またはパイプライン化されたフリップフロップを含んでもよい。たとえば、ブリッジダイ1110は、たとえば切換えのためのように、SoC300Cとメモリプール303との間で相互接続ネットワークを与えてもよい。ブリッジダイ1110は任意で双方向リピータ1111のアレイまたはクロスバースイッチ1111の組を含んでもよく、各そのような双方向リピータまたはクロスバースイッチ1111は、たとえばSoC300Cからメモリプール303へのように第1のICから第2のICに信号を転送する、および/またはその逆であるように、静的に構成されてもよい。双方向リピータ1111を伴う実施の形態に対しては、双方向リピータ1111のそのようなアレイのためのコンフィギュレーションビットは、最終的にはブリッジダイ1110の内部に保存されてもよいが、そのようなコンフィギュレーションビットは、たとえばSoC300Cまたはメモリプール303のような、そのような他のICの1つによって初期化されてもよい。少なくとも2つのクロスバースイッチ1111の組を伴う実施の形態については、そのようなクロスバースイッチ1111は静的に構成されてもよい。W倍Q倍P(「P×Q×W」)のクロスバースイッチ1111は、P個の入力ポート、Q個の出力ポート、およびポート当たりWビットを有し、Wビット幅データ経路を伴うP対1マルチプレクサのQ個のインスタンスとして実現されてもよい。これらP対1マルチプレクサの選択制御線は静的であり得、たとえばSoC300Cとメモリプール303との間のような、第1のICと第2のICとの間のトラフィックは、真っすぐに進む必要はない。2つのクロスバースイッチ1111を用いて、トラフィックが第1のICから第2のICに進むことおよび/またはその逆ができることを可能にしてもよい。

【0096】

この例では、オフセット領域 5 1 5 は、微細ピッチインターコネクタが、それに関連付けられる微細ピッチ導電線と並んで、S o C 3 0 0 C への相互接続のためにブリッジダイ 1 1 1 0 をインターポーザ 5 0 0 A に相互接続することに対して、その外で形成されてもよい、インターポーザ 5 0 0 A の電氣的なインターコネクタ制限領域の第 1 の部分を与える。同様に、オフセット領域 5 1 6 は、微細ピッチインターコネクタが、それに関連付けられる微細ピッチ導電線と並んで、メモリプール 3 0 3 への相互接続のためにブリッジダイ 1 1 1 0 をインターポーザ 5 0 0 B に相互接続することに対して、その外で形成されてもよい、インターポーザ 5 0 0 B の電氣的なインターコネクタ制限領域の第 2 の部分を与える。最後に、双方向リピータ 1 1 1 1 またはクロスバースイッチ 1 1 1 1 のためのブリッジダイ 1 1 1 0 の微細ピッチインターコネクタは、インターコネクタ制限領域 1 0 4 9 の外部に存在および/またはそれより上に延在するが、間隙 1 0 1 0 に対しては概して利用可能でない。

10

#### 【 0 0 9 7 】

図 1 1 は、スタックドダイアセンブリ 1 1 0 0 の 1 つ以上を形成するための例示的なプロセス 1 1 5 0 を示す流れ図である。スタックドダイアセンブリ 1 1 0 0 は以下の相違点を除いて図 1 0 - 2 のスタックドダイアセンブリ 1 1 0 0 と同様である。さらに、スタックドダイアセンブリ 1 1 0 0 の一例が用いられるが、スタックドダイアセンブリ 1 0 0 0 がそのようなプロセス 1 1 5 0 において用いられてもよいことが理解されるべきである。

#### 【 0 0 9 8 】

1 1 0 1 において、インターポーザ 5 0 0 A および 5 0 0 B は、その対の形成のために、別々のダイとして形成される。したがって、インターポーザ 5 0 0 A および 5 0 0 B は同じまたは別々のウェハからダイにされてもよい。限定ではなく例として、1 つのウェハはもっぱらインターポーザ 5 0 0 A の形成のために用いられてもよく、別のウェハはもっぱらインターポーザ 5 0 0 B の形成のために用いられてもよい。

20

#### 【 0 0 9 9 】

1 1 0 2 において、1 1 0 1 において形成されたインターポーザ 5 0 0 A および 5 0 0 B は、成型またはパッケージング材料 1 1 2 0 に入れられるか、またはそうでなければそれと接触させられる。効果的に、1 1 0 2 において、ウェハまたは他の基板が、金型を用いて、インターポーザ 5 0 0 A および 5 0 0 B がそれぞれの対にある状態で、再構築されてもよい。そのようなパッケージング材料 1 1 2 0 の一部はインターポーザ 5 0 0 A と 5 0 0 B との対間において延在し、すなわち間隙 1 0 1 0 内に延在することが十分に理解されるべきである。

30

#### 【 0 1 0 0 】

1 1 0 3 において、ここにおいて先に記載されたように、S o C 3 0 0 C、ブリッジダイ 1 1 1 0 およびメモリプール 3 0 3 は、インターポーザ 5 0 0 A および 5 0 0 B に相互接続されてもよい。1 1 0 4 において、スタックドダイアセンブリ 1 1 0 0 はそのような成型された基板からダイにされてもよい。したがって、単位スタックドダイアセンブリ 1 1 0 0 がパッケージング材料 1 1 2 0 にセットされるように与えられてもよく、そのような各単位スタックドダイアセンブリ 1 1 0 0 は、インターポーザ 5 0 0 A の縁部とインターポーザ 5 0 0 B の縁部との間に延在するパッケージング材料 1 1 2 0 の一部を有する。

40

#### 【 0 1 0 1 】

2 つ以上の別々のインターポーザを 1 つ以上のブリッジダイとともに有することは、応力を低減するかもしれない。さらに、別々のインターポーザは、そのようなインターポーザの組が、異なるタイプの IC に対応するためにそのようなインターポーザの 1 つ以上を変更することによってカスタマイズされること可能にしてもよい。総歩留まりは別々のインターポーザの組合せで改善されてもよく、なぜならば公知の十分なインターポーザを組み合わせてインターポーザアセンブリを形成してもよいからである。別々のインターポーザはねじりを低減し、それは、インターポーザ上における頂部ダイアセンブリ中においてアセンブリ歩留まりを増大するであろう。別々のインターポーザは微細ピッチインターコネクタのアンダーフィルを低減するであろう。

50

## 【 0 1 0 2 】

先に言及されたように、単一のインターポーザが大きなサイズを有する場合、それは、インターポーザ上およびインターポーザに結合する他の IC 構造上に、大量の応力を誘導するかもしれない。たとえば、インターポーザを IC パッケージの基板に結合する、インターポーザより下のハンダバンプは、インターポーザのサイズに依存するかなりの量の応力に晒され得る。したがって、インターポーザは、単一の単一体のインターポーザを用いるのではなく、2 つ以上の個々のインターポーザに分割または細分され得る。結果として、より小さなインターポーザ、およびより小さなインターポーザに結合された任意の IC 構造は、低減された応力に晒され、それによって、マルチダイ IC 構造の信頼性を増大する。

10

## 【 0 1 0 3 】

図 1 2 は、IC 構造 1 2 0 0 のトポグラフィ図を示すブロック図である。IC 構造 1 2 0 0 はマルチダイ IC 構造である。図 1 2 は、単一パッケージ内に IC 構造 1 2 0 0 の複数のダイを積層することへのバッキング方策を示す。図 1 2 に図示されるように、IC 構造 1 2 0 0 は複数個のダイ 1 2 0 5、1 2 1 0 および 1 2 1 5 を含むことが可能である。ダイ 1 2 0 5 ~ 1 2 1 5 は 2 つ以上のインターポーザ 1 2 2 0 および 1 2 2 5 上に取付けることが可能である。インターポーザ 1 2 2 0 および 1 2 2 5 は各々シリコンインターポーザとして実現することが可能である。インターポーザ 1 2 2 0 および 1 2 2 5 は、IC 構造 1 2 0 0 を実現することが可能である IC パッケージの基板 1 2 3 0 上に取付けることが可能である。

20

## 【 0 1 0 4 】

インターポーザ 1 2 2 0 および 1 2 2 5 の各々は、ダイ 1 2 0 5 ~ 1 2 1 5 を水平に積層することが可能である平面を有するダイであり得る。示されるように、ダイ 1 2 0 5 および 1 2 1 0 は、インターポーザ 1 2 2 0 および 1 2 2 5 の平面上に並んで位置することが可能である。図 1 2 に示される例では、ダイ 1 2 0 5 はインターポーザ 1 2 2 0 にのみ取付けられる。ダイ 1 2 1 5 はインターポーザ 1 2 2 5 にのみ取付けられる。ダイ 1 2 1 0 は両方のインターポーザ 1 2 2 0 およびインターポーザ 1 2 2 5 に取付けられる。一般に、ダイ 1 2 0 5 ~ 1 2 1 5 の各々は共面であり得る。同様に、インターポーザ 1 2 2 0 および 1 2 2 5 の各々は共面であり得る。この明細書内において用いられるように、用語「共面」は、列挙された構造は同じ面に位置すること、または各列挙された構造は他の面と同じ面にある少なくとも 1 つの表面を有することを意味する。

30

## 【 0 1 0 5 】

インターポーザ 1 2 2 0 および 1 2 2 5 の各々は、マルチダイ IC 構造の 1 つ以上のダイのために共通の取付表面および電気的結合点を与えることが可能である。インターポーザ 1 2 2 0 および 1 2 2 5 は、ダイ 1 2 0 5 ~ 1 2 1 5 間のインターコネクトルーティングのために中間層として、または IC 構造 1 2 0 0 のために接地面もしくは電源面として、働くことが可能である。インターポーザ 1 2 2 0 および 1 2 2 5 の各々は、N 型および / または P 型不純物でドーブされようとされまいと、シリコンウェハ基板で実現することが可能である。インターポーザ 1 2 2 0 および 1 2 2 5 の製造は、金属インターコネクトの 1 つ以上の層の成膜を可能にする 1 つ以上の追加工程ステップを含むことが可能である。これらの金属インターコネクト層はアルミニウム、金、銅、ニッケル、さまざまなケイ素化合物などを含むことが可能である。

40

## 【 0 1 0 6 】

インターポーザ 1 2 2 0 および 1 2 2 5 は、たとえば二酸化ケイ素のような 1 つ以上の誘電体層または絶縁層の成膜を可能にする 1 つ以上の追加工程ステップを用いて製造することが可能である。一般に、インターポーザ 1 2 2 0 および / または 1 2 2 5 は、インターポーザ 1 2 2 0 および / または 1 2 2 5 の一方または両方は、能動的な回路素子、たとえば N - 材料と接触する P - 材料または「PN」接合を含むことが可能でないという点において、受動的なダイとして実現することが可能である。別の局面では、インターポーザ 1 2 2 0 および 1 2 2 5 はたとえばトランジスタデバイスおよび / またはダイオードデバ

50



イスのような能動回路素子の作成を可能にする１つ以上の追加工程ステップを用いて製造することが可能である。注目されるように、インターポーザ１２２０および１２２５の各々は、一般にダイであり、この明細書内においてより詳しく記載されるように１つ以上のＴＳＶの存在によって特徴付けられる。

【０１０７】

図１３－１は、図１２のＩＣ構造１２００の断面側面図を示すブロック図である。特定的には、図１３－１は、切断線１３－１～１３－１に沿ってとられた図１２のＩＣ構造１２００の図を示す。したがって、同様の参照符号はこの明細書の全体にわたって同じ要素を指すために用いられる。

【０１０８】

示されるように、インターポーザ１２２０の第１の（底部）表面は、基板１２３０の頂部表面に結合されることが可能である。同様に、インターポーザ１２２５の第１の（底部）表面は基板１２３０の頂部表面に結合されることが可能である。インターポーザ１２２０の第２の（頂部）表面は、ダイ１２０５の底面、およびダイ１２１０の底面の一部に結合されることが可能である。インターポーザ１２２５の第２の（頂部）表面は、ダイ１２１０の底面の一部およびダイ１２１５の底面に結合されることが可能である。

【０１０９】

１つの局面では、ダイ１２０５～１２１５は、ハンダバンプ１３０５を介して、インターポーザ１２２０および１２２５に電氣的に結合することが可能である。ハンダバンプ１３０５は、たとえば「マイクロバンプ」の形式において実現することが可能である。特定的には、ダイ１２０５はハンダバンプ１３０５を介してインターポーザ１２２０に結合される。ダイ１２１０はハンダバンプ１３０５を介してインターポーザ１２２０およびインターポーザ１２２５に結合される。ダイ１２１５はハンダバンプ１３０５を介してインターポーザ１２２５に結合される。ハンダバンプ１３０５の各々は、さらに、場合に応じて、ダイ１２０５～１２１５をインターポーザ１２２０および／またはインターポーザ１２２５に物理的に取付けるように働くことが可能である。

【０１１０】

インターポーザ１２２０は、インターコネク領域１３１０を形成する金属または別の導電性材料から形成される１つ以上のパターン化された層を含むことが可能である。パターン化された層は、ダイ１２０５と１２１０との間でダイ間信号を渡すことが可能であるダイ間ワイヤ１３１５のようなダイ間ワイヤを形成するよう利用することが可能である。たとえば、ダイ間ワイヤ１３１５は、インターコネク領域１３１０から１つ以上のビアホールとの組合せにおいてパターン化された金属層の１つ以上を用いて形成することが可能である。ダイ間ワイヤ１３１５は、ダイ１２０５とインターポーザ１２２０との間に位置するハンダバンプ１３０５の１つ、およびダイ１２１０とインターポーザ１２２０との間に位置するハンダバンプ１３０５の別の１つに接続することが可能であり、それによって、ダイ１２０５をダイ１２１０に結合し、ダイ１２０５と１２１０との間での信号の交換を可能にする。

【０１１１】

インターポーザ１２２５は、インターコネク領域１３２０を形成する金属または別の導電性材料から形成される１つ以上のパターン化された層を含むことが可能である。インターコネク領域１３２０は、インターポーザ１２２０のインターコネク領域１３１０と実質的に同様であり得る。したがって、パターン化された層およびビアホールを用いて、ダイ間ワイヤ１３２５のようなダイ間ワイヤを形成することが可能である。ダイ間ワイヤ１３２５は、ダイ１２１０とインターポーザ１２２５との間に位置するハンダバンプ１３０５の１つ、およびダイ１２１５とインターポーザ１２２５との間に位置するハンダバンプ１３０５の別の１つに接続することが可能であり、それによって、ダイ１２１０をダイ１２１５に結合し、ダイ１２１０と１２１５との間での信号の交換を可能にする。

【０１１２】

ダイ１２０５～１２１５のインターポーザ１２２０および１２２５への結合はハンダバ

10

20

30

40

50

ンプ 1 3 0 5 を用いて達成されるが、さまざまな他の技術を用いて、ダイ 1 2 0 5 ~ 1 2 1 5 をインターポーザ 1 2 2 0 および 1 2 2 5 に結合することができる。たとえば、ボンドワイヤまたはエッジワイヤを用いて、ダイを 1 つ以上のインターポーザに結合することが可能である。他の例では、接着材料を用いて、ダイを 1 つ以上のインターポーザに物理的に取付けることが可能である。図 1 3 - 1 内に示されるような、ダイ 1 2 0 5 ~ 1 2 1 5 のインターポーザ 1 2 2 0 および 1 2 2 5 へのハンダバンプ 1 3 0 5 を介した結合は、例示の目的で与えられ、この明細書内において開示される例を限定するようには意図されない。

#### 【 0 1 1 3 】

ハンダバンプ 1 3 3 0 を用いて、インターポーザ 1 2 2 0 および 1 2 2 5 の各々の底面を基板 1 2 3 0 に電氣的に結合することが可能である。ある局面では、ハンダバンプ 1 3 3 0 は「C 4 バンプ」の形式において実現することが可能である。注目されるように、基板 1 2 3 0 は、IC 構造 1 2 0 0 が実現されるマルチダイ IC パッケージの一部であり得る。ハンダバンプ 1 3 3 0 を用いて、IC 構造 1 2 0 0 をマルチダイ IC パッケージの外部のノードに結合することが可能である。

#### 【 0 1 1 4 】

インターポーザ 1 2 2 0 および 1 2 2 5 の各々は、1 つ以上のシリコン貫通ビアホール (TSV) 1 3 3 5 を含むことが可能である。一般に、各 TSV 1 3 3 5 は、インターポーザ 1 2 2 0 および / またはインターポーザ 1 2 2 5 を垂直に横断する、たとえばインターポーザ 1 2 2 0 および / またはインターポーザ 1 2 2 5 の全体ではないとしても実質的な部分を通して延在する電氣的接続を形成するよう導電性材料から形成されるビアホールとして実現することが可能である。たとえば、TSV 1 3 3 5 は、インターポーザ 1 2 2 0 および / またはインターポーザ 1 2 2 5 内に、頂部平面つまりハンダバンプ 1 3 0 5 が結合される表面から底部平面つまりハンダバンプ 1 3 3 0 が結合される表面に延在する開口部を穿孔またはエッチングすることによって実現することが可能である。次いで、導電性材料を開口部内において配置することが可能である。TSV 1 3 3 5 を形成するように開口部を満たすように用いることが可能である導電性材料の例は、アルミニウム、金、銅、ニッケル、さまざまなケイ素化合物などを含むことが可能であるが、それらに限定はされない。

#### 【 0 1 1 5 】

図 1 3 - 1 に示される例では、各 TSV 1 3 3 5 は、インターポーザ 1 2 2 0 におけるインターコネクト領域 1 3 1 0 またはインターポーザ 1 2 2 5 におけるインターコネクト領域 1 3 2 0 内の 1 つ以上のビアホールとの組合せにおいて、パターン化された層の 1 つ以上を介してハンダバンプ 1 3 0 5 に結合するよう示される。別の例では、しかしながら、TSV 1 3 3 5 は、場合に応じてインターコネクト領域 1 3 1 0 またはインターコネクト領域 1 3 2 0 を通過することによって、ハンダバンプ 1 3 0 5 をハンダバンプ 1 3 3 0 と結合するよう、インターポーザ 1 2 2 0 およびインターポーザ 1 2 2 5 を実質的に通って延在することが可能である。

#### 【 0 1 1 6 】

TSV 1 3 3 5 は、ハンダバンプ 1 3 0 5 およびハンダバンプ 1 3 3 0 との組合せにおいて、ダイ 1 2 0 5 をインターポーザ 1 2 2 0 を介して基板 1 2 3 0 に結合する。ダイ 1 2 1 0 は、TSV 1 3 3 5、ハンダバンプ 1 3 0 5 およびハンダバンプ 1 3 3 0 を用いて、インターポーザ 1 2 2 0 を通って、およびインターポーザ 1 2 2 5 を通って、基板 1 2 3 0 に結合される。ダイ 1 2 1 5 は、TSV 1 3 3 5、ハンダバンプ 1 3 0 5 およびハンダバンプ 1 3 3 0 を用いて、インターポーザ 1 2 2 5 を通って基板 1 2 3 0 に結合される。

#### 【 0 1 1 7 】

1 つの局面において、信号は、ダイ間ワイヤ 1 3 1 5 およびダイ間ワイヤ 1 3 2 5 のようなダイ間ワイヤと、ダイ間ワイヤ 1 3 1 5 をダイ間ワイヤ 1 3 2 5 と結合する、ダイ 1 2 1 0 内において実現されるワイヤまたは他の信号経路との組合せを介して、ダイ 1 2 0

10

20

30

40

50

5 からダイ 1 2 1 5 に伝搬されることが可能である。ダイ 1 2 1 0 内において実現される信号経路は、ハードワイヤードの回路系またはプログラマブル回路系の形式で実現することが可能である。

#### 【 0 1 1 8 】

たとえば、ダイ 1 2 0 5 ~ 1 2 1 5 は、さまざまな異なるタイプのダイのいずれかとして実現することが可能である。ダイ 1 2 0 5 ~ 1 2 1 5 の 1 つ以上は、メモリデバイス、プロセッサ、たとえば中央処理装置、アプリケーション特化 IC、またはプログラマブル IC として実現することが可能である。各そのようなタイプの IC は、ダイ間ワイヤ 1 3 1 5 をダイ間ワイヤ 1 3 2 5 と結合するハードワイヤードの回路系を含むことが可能である。ダイ 1 2 0 5 ~ 1 2 1 5 の各々は、類似または同一のタイプの IC として実現することが可能である。代替的には、ダイ 1 2 0 5 は第 1 のタイプの IC として実現することが可能であり、一方、ダイ 1 2 1 0 および 1 2 1 5 は第 2 の異なるタイプの IC として実現される。さらに別の例では、ダイ 1 2 0 5 ~ 1 2 1 5 の各々は、異なるタイプの IC として実現することが可能である。

10

#### 【 0 1 1 9 】

ダイ間ワイヤ 1 3 1 5 をダイ間ワイヤ 1 3 2 5 に結合するダイ 1 2 1 0 における信号経路は、ハードワイヤードまたはプログラマブル回路系であり得る。プログラマブル回路系の場合では、ダイ 1 2 0 5 は、プログラマブル回路系がそのような接続を実施するように構成されない場合、またはそのように構成されるまで、ダイ 1 2 1 5 と通信することが可能でなくされ得る。

20

#### 【 0 1 2 0 】

IC 構造 1 2 0 0 内では、インターポーザ 1 2 2 0 およびインターポーザ 1 2 2 5 は距離 1 3 4 0 だけ分離され得る。インターポーザ 1 2 2 0 および 1 2 2 5 の各々のそれぞれの縁部は、インターポーザ 1 2 2 0 および 1 2 2 5 の各々の間に延在する距離 1 3 4 0 に等しい幅を有するチャンネルを効果的に形成する。示されるように、ダイ 1 2 1 0 はインターポーザ 1 2 2 0 とインターポーザ 1 2 2 5 との間でチャンネルを効果的に渡る。インターポーザ 1 2 2 0 および 1 2 2 5 の各々は、 $L_{int}$  の長さを有することが可能である。基板 1 2 3 0 は、 $L_{sub}$  の長さを有することが可能である。同じ長さを有するように示されるが、インターポーザ 1 2 2 0 および 1 2 2 5 の各々は IC 構造 1 0 0 の実現に依存して異なる長さを有することが可能である。

30

#### 【 0 1 2 1 】

IC 構造 1 2 0 0 はさまざまな異なる応力に晒される。たとえば、インターポーザ 1 2 2 0 および 1 2 2 5 は、ダイが取付けられる構造上の基部を各々が与えるので、応力に晒される。さらなるハンダバンプおよび特にハンダバンプ 1 3 3 0 は、増大したレベルの応力に晒され得る。1 つの局面において、インターポーザ 1 2 2 0 および / または 1 2 2 5 の 1 つ以上の縁部またはすべての縁部に沿って位置するハンダバンプ 1 3 3 0 は、増大したレベルの剪断歪に晒され得る。

#### 【 0 1 2 2 】

図 1 3 - 1 を参照して、ハンダバンプ 1 3 3 0 のうち増大したレベルの剪断歪に晒される特定のバンプは、ハンダバンプ 1 3 3 0 のうちの他のバンプの濃い着色に対立するものとしてばかりで示される。インターポーザ 1 2 2 0 の下の最左端および最右端のハンダバンプ 1 3 3 0 は、ハンダバンプ 1 3 3 0 のうちインターポーザ 1 2 2 0 と基板 1 2 3 0 との間の他のバンプより高いレベルの剪断歪に晒される。同様に、インターポーザ 1 2 2 5 の下の最左端および最右端のハンダバンプ 1 3 3 0 は、ハンダバンプ 1 3 3 0 のうちインターポーザ 1 2 2 5 と基板 1 2 3 0 との間の他のバンプより高いレベルの剪断歪に晒される。

40

#### 【 0 1 2 3 】

一般に、剪断歪 ( ) は、以下の等式 ( 1 ) に従って決定することが可能である。

#### 【 0 1 2 4 】

## 【数 1】

$$\gamma = \frac{\epsilon_{thermal} l \Delta \theta}{h} \quad (1)$$

## 【0125】

等式(1)内において、 $\epsilon_{thermal}$ は熱膨張係数を表し、 $l$ は長さを表し、  
は、図13-2に示されるように、剪断歪の適用の前および剪断歪の適用の後における角  
度における差を表し、 $h$ は高さを表す。図13-2を参照して、たとえば、ハンダバン  
プ1330Aが剪断歪に晒されないとき、角度は最初は0である。ハンダバン  
プ1330Aがインターポーザ1225と基板1230との間に位置し、それによって、ハンダバン  
プ1330Aを剪断歪に晒した後、ハンダバン  
プ1330Aは平坦になる。一例では、  
図13-2に示されるように、の頂点は、ハンダバン  
プ1330Aの底部の平坦にされ  
た部分の中心である。角度は、示されるように、頂点と整列した中心線から、インター  
ポーザ1225と接触しているハンダバン  
プ1330Aの頂部の平坦にされた部分の端部  
点まで、測定され、たとえばインターポーザ1225と接触しているハンダバン  
プ1330Aの頂部の平坦にされた部分のおおよそ半分である。

10

## 【0126】

等式(1)を図13-1に適用して、ハンダバン  
プ1330Aがたとえば晒される剪断  
歪を判断することが可能である。その場合、変数 $l$ は、インターポーザ(つまりこの場合  
ではインターポーザ1225)の中心から外側縁部ハンダバン  
プ1330Aまで測定され  
る長さを表す。この例では、 $l$ は $L_{int}$ の半分である。変数 $h$ はハンダバン  
プ1330Aの高さを表す。熱膨張率は、事実上、基板1230に対する熱膨張率とインターポーザ  
1225に対する熱膨張率との間の差である。論考のため、インターポーザ1225に対  
する熱膨張率は約3であり、基板1230に対する熱膨張率は約12である、と仮定する  
ことが可能である。したがって、等式(1)は、以下の等式(2)まで約することが可能で  
ある。

20

## 【0127】

## 【数 2】

$$\gamma = \frac{9l\Delta\theta}{h} \quad (2)$$

30

## 【0128】

示されるように、剪断歪は、概ね各インターポーザの長さ、たとえば $L_{int}$ に依存す  
る。ハンダバン  
プ1330Aが晒される剪断歪は $L_{int}$ の低減によって低減することが  
可能であり、それは $l$ も低減する。したがって、単一の単一体のインターポーザを用いる  
のではなく、ハンダバン  
プ1330A上、および同様に位置決めされた他のバン  
プ上の剪  
断歪は、2つ以上のより小さなインターポーザ、たとえば単一の単一体のインターポーザ  
に比較して長さを低減したインターポーザを用いることによって、低減することが可能で  
ある。

## 【0129】

40

図14は、IC構造1400のトポグラフィ図を示すブロック図である。IC構造14  
00はマルチダイIC構造である。図示されるように、IC構造1400は複数個のダイ  
1405、1410および1415を含むことが可能である。ダイ1405~1415は  
共面であり得、したがってインターポーザ1420、1425、1430、1435上に  
取付けることが可能である。インターポーザ1420~1435の各々は、実質的に、図  
12および図13を参照して記載されるように、シリコンインターポーザとして実現する  
ことが可能である。インターポーザ1420~1435は共面であり得、IC構造140  
0を実現することが可能であるICパッケージの基板上に取付けられ得る。図示を容易に  
するために、基板は図14には示されない。

## 【0130】

50

IC構造1400は、X軸がIC1400を2つの等しい半分に二分し、Y軸がIC構造1400を2つの等しい半分に二分する、デカルト座標系上に重ねられて示される。X軸はY軸に垂直である。示されるように、インターポーザ1420は完全に象限1内にある。インターポーザ1425は完全に象限2内にある。インターポーザ1430は完全に象限3内にある。インターポーザ1435は完全に象限4内にある。

#### 【0131】

参照の目的のため、各インターポーザ1420～1435の底面は、第1の表面と呼ばれ得る。ダイが取付けられる各インターポーザ1420～1435の頂部表面は、第2の表面と呼ばれ得る。示されるように、ダイ1405は、インターポーザ1420の第2の表面の一部、およびインターポーザ1425の第2の表面の一部上に取付けられる。ダイ1405は象限1および2のみ内にある。ダイ1410は、インターポーザ1420～1435の各々の第2の表面の一部上に取付けられ、部分的に、各象限1～4内にある。ダイ1415は、インターポーザ1430の第2の表面の一部、およびインターポーザ1435の第2の表面の一部上に取付けられる。したがって、ダイ1415は象限3および4内にのみある。

#### 【0132】

インターポーザ1420および1425の各々は、ダイ1405をダイ1410と結合するよう利用することが可能である、1つ以上のダイ間ワイヤを含むことが可能である。同様に、インターポーザ1430および1435の各々は、ダイ1410～1415を結合するよう利用することが可能である、1つ以上のダイ間ワイヤを含むことが可能である。ダイ1410は、インターポーザ1420をインターポーザ1425、1430および1435の1つ以上または各々に結合することが可能であるワイヤまたは信号経路とともに構成することが可能である。同様に、ダイ1410は、インターポーザ1425をインターポーザ1420、1430および1435の1つ以上または各々に結合することが可能であるワイヤまたは信号とともに構成することが可能である。ダイ1405は、インターポーザ1420をインターポーザ1425に結合することが可能であるワイヤまたは信号経路とともに構成することが可能である。同様に、ダイ1415は、インターポーザ1430をインターポーザ1435に結合するが可能であるワイヤまたは信号経路とともに構成することが可能である。

#### 【0133】

図13を参照して論じられるように、インターポーザ1420～1435の各々は1つ以上のTSVを含むことが可能である。したがって、ダイ1405は、インターポーザ1420内にある1つ以上のTSVおよび/またはインターポーザ1425内にある1つ以上のTSVを介して、基板に結合することが可能である。ダイ1410は、インターポーザ1420、インターポーザ1425、インターポーザ1430および/またはインターポーザ1435内に位置する1つ以上のTSVを介して基板に結合することが可能である。ダイ1415は、インターポーザ1430内にある1つ以上のTSVおよび/またはインターポーザ1435内にある1つ以上のTSVを介して、基板に結合することが可能である。

#### 【0134】

一般的に、インターポーザ1420は、インターポーザ1435から予め定められる距離1440だけ分離されることが可能である。同様に、インターポーザ1425は、インターポーザ1430から予め定められる距離1440だけ分離されることが可能である。したがって、記載された分離は、距離1440の幅を有するX軸に沿ったチャンネルを効果的に形成する。ダイ1410は、示された、X軸上に形成されたチャンネルの距離1440を、効果的に亘る。

#### 【0135】

インターポーザ1420はインターポーザ1425から予め定められる距離1445だけ分離されることが可能である。同様に、インターポーザ1430はインターポーザ1435から予め定められる距離1445だけ分離されることが可能である。したがって、記

10

20

30

40

50

載された分離は、距離 1 4 4 5 の幅を有する Y 軸に沿ったチャネルを効果的に形成する。ダイ 1 4 0 5、1 4 1 0 および 1 4 1 5 の各々は、示された、Y 軸上に形成されたチャネルの距離 1 4 4 5 を、効果的に亘る。

【 0 1 3 6 】

図 1 5 は、図 1 4 の IC 構造 1 4 0 0 の断面側面図を示すブロック図である。特定的には、図 1 5 は、切断線 1 5 - 1 5 に沿ってとられた図 1 4 の IC 構造 1 4 0 0 の図を示す。図 1 5 は、単一の、より大きいまたは単一体のインターポーザに対立するものとして、2 つ以上のインターポーザを用いることによって達成される、低減された長さ 1 を示す。図 1 5 を参照して、ハンダバンプ 1 5 0 5 のうち増大したレベルの剪断歪に晒される特定のバンプは、ハンダバンプ 1 5 0 5 のうちの他のバンプの濃い着色に対立するものとしてばかりで示される。この例では、4 つのインターポーザが用いられ、それによって、1 を低減し、ハンダバンプ 1 5 0 5 A ~ 1 5 0 5 D 上にかけられる剪断歪の量を低減する。

10

【 0 1 3 7 】

インターポーザ 1 4 3 0 は、既にこの明細書内に記載された他のインターコネク領域を参照して記載されるように実現することが可能であるインターコネク領域 1 5 1 0 を含むことが可能である。インターコネク領域 1 5 1 0 内に形成される 1 つ以上のダイ間ワイヤは、ダイ 1 4 1 0 およびダイ 1 4 1 5 を結合することが可能である。同様に、インターポーザ 1 4 3 5 は、先に記載されたように実現することが可能であるインターコネク領域 1 5 1 5 を含むことが可能である。インターコネク領域 1 5 1 5 内に形成される 1 つ以上のダイ間ワイヤは、ダイ 1 4 1 0 をダイ 1 4 1 5 に結合することが可能である。図 1 5 は、さらに、インターポーザ 1 4 3 0 およびインターポーザ 1 4 3 5 は各々 1 つ以上の T S V 1 5 2 0 を含むことが可能であることを示す。T S V 1 5 2 0 は、ダイがインターポーザを介して基板に結合して、IC 構造 1 4 0 0 の外部および IC パッケージ外部のノードに接続することを可能にする。

20

【 0 1 3 8 】

図 1 6 は、図 1 4 の IC 構造 1 4 0 0 のさらなる断面側面図を示すブロック図である。特定的には、図 1 6 は、切断線 1 6 - 1 6 に沿ってとられた図 1 4 の IC 構造 1 4 0 0 の図を示す。示されるように、インターポーザ 1 4 3 5 は、ダイ 1 4 1 5 をダイ 1 4 1 0 と結合するダイ間ワイヤ 1 5 3 0 のような 1 つ以上のダイ間ワイヤを含むことが可能である。さらに、インターポーザ 1 4 2 0 は、ダイ間ワイヤ 1 5 3 5 のような 1 つ以上のダイ間ワイヤを形成するよう利用することが可能であるインターコネク領域 1 5 2 5 を含むことが可能である。ダイ間ワイヤ 1 5 3 5 はダイ 1 4 1 0 をダイ 1 4 0 5 と結合することが可能である。

30

【 0 1 3 9 】

図 1 7 は、IC 構造 1 7 0 0 のトポグラフィ図を示すブロック図である。IC 構造 1 7 0 0 はマルチダイ IC 構造である。図示されるように、IC 構造 1 7 0 0 は複数のダイ 1 7 0 5 および 1 7 1 0 を含むことが可能である。ダイ 1 7 0 5 ~ 1 7 1 0 は共面であり得、インターポーザ 1 7 1 5 および 1 7 2 0 上に取付けられ得る。インターポーザ 1 7 1 5 および 1 7 2 0 は、各々、実質的に、この明細書内に記載されるように、シリコンインターポーザとして実現することが可能である。インターポーザ 1 7 1 5 および 1 7 2 0 は共面であり得、IC 構造 1 7 0 0 を実現することが可能である IC パッケージの基板上に取付けることが可能である。図示を容易にするために、基板は図 1 7 には示されない。

40

【 0 1 4 0 】

インターポーザ 1 7 1 5 の第 1 の（底部）表面は、たとえば、C 4 タイプのハンダバンプのようなハンダバンプを用いて、基板の頂部表面に結合することが可能である。同様に、インターポーザ 1 7 2 0 の第 1 の（底部）表面は、同様に、C 4 タイプのバンプのようなハンダバンプを用いて、基板の頂部表面に結合することが可能である。インターポーザ 1 7 1 5 の第 2 の（頂部）表面は、ダイ 1 7 0 5 の底面の一部、およびダイ 1 7 1 0 の底面の一部に結合されることが可能である。インターポーザ 1 7 2 0 の第 2 の（頂部）表面は、ダイ 1 7 0 5 の底面の一部、およびダイ 1 7 1 0 の底面の一部に結合されることが可

50

能である。ダイ 1705 および 1710 は、先に記載されるようなマイクロバンプのようなハンダバンプを介して、インターポーザ 1715 および 1720 に結合されることが可能である。

【0141】

インターポーザ 1715 および 1720 の各々は、ダイ 1705 および 1710 が基板に結合することが可能である、1つ以上のTSVを含むことが可能である。したがって、ダイ 1705 はインターポーザ 1715 およびインターポーザ 1720 の両方を介して基板に結合することが可能である。同様に、ダイ 1710 はインターポーザ 1715 およびインターポーザ 1720 の両方を介して基板に結合することが可能である。インターポーザ 1715 および 1720 の各々は、ダイ 1705 と 1710 との間の信号の交換をサポートする、1つ以上のダイ間ワイヤを有するインターコネク領域を含むことが可能である。

10

【0142】

いくつかの例示的なスタックドダイアセンブリの上記の記載から、複数のインターポーザを用いることによって、複数のダイは、以前に利用可能であったよりより大きなインターポーザ領域にわたって互いに相互接続されてもよいことが理解されるべきである。DRAMのようなメモリを、SSITに基づくFPGAダイスタックに追加する例が用いられたが、以下の記載は、ダイからダイへのインターコネク領域が同じパッケージ内の複数のインターポーザの使用によって増強される任意のスタックドダイアセンブリに当てはまるべきである。ここに記載されるスタックドダイアセンブリは、現在のリソグラフィ、パッケージングおよびアセンブリのためのマージン化、ならびに/またはダイからダイへのインターコネク領域の利用可能性によって制約されなくてもよい。さらに、上記の記載は一般的に受動的なインターポーザに関するが、ここに記載された複数インターポーザの例におけるインターポーザのいずれかまたは両方は、能動的なインターポーザ、すなわち能動素子を伴うインターポーザであってもよいことが理解されるべきである。

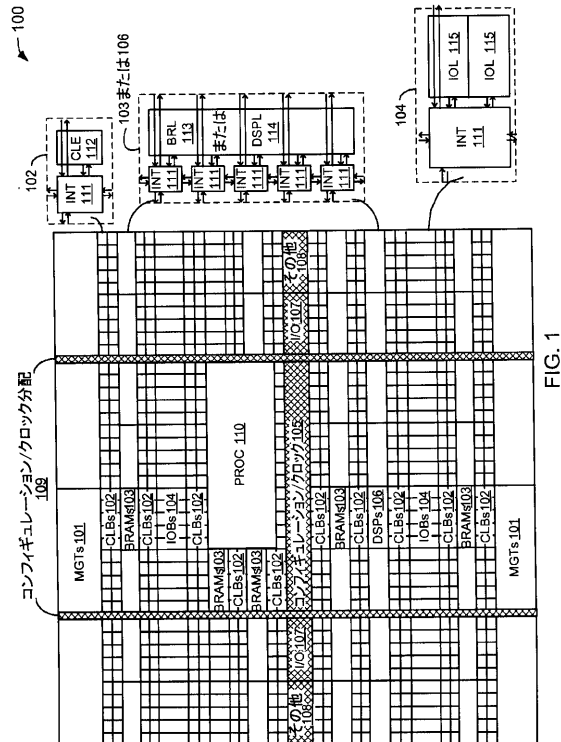
20

【0143】

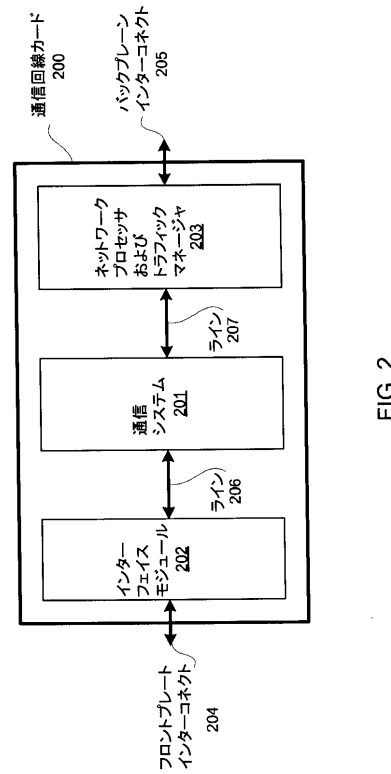
前述の記載は例示的なアセンブリおよび方法を記載するが、特許請求の範囲およびその均等物が定めるその範囲から逸脱することなく、1つ以上の局面に従った他のまたはさらなる実施の形態を工夫してもよい。工程ステップを列挙する請求項は工程ステップのどのような順序も暗示するものではない。登録商標はそれらのそれぞれの所有者の財産である。

30

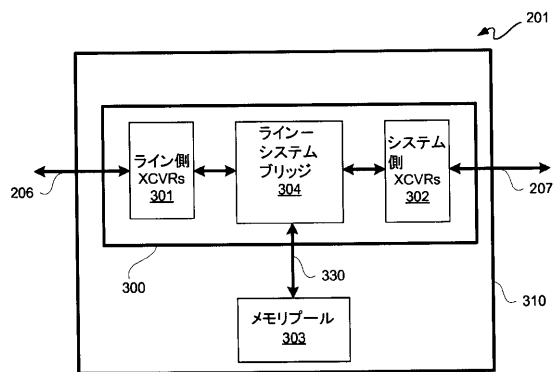
【図 1】



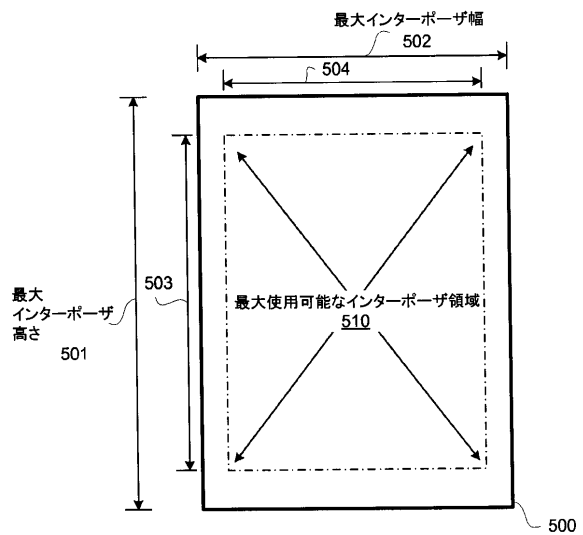
【図 2】



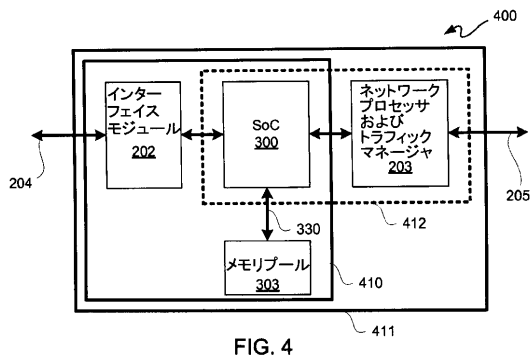
【図 3】



【図 5】



【図 4】





【図 6 - 1】

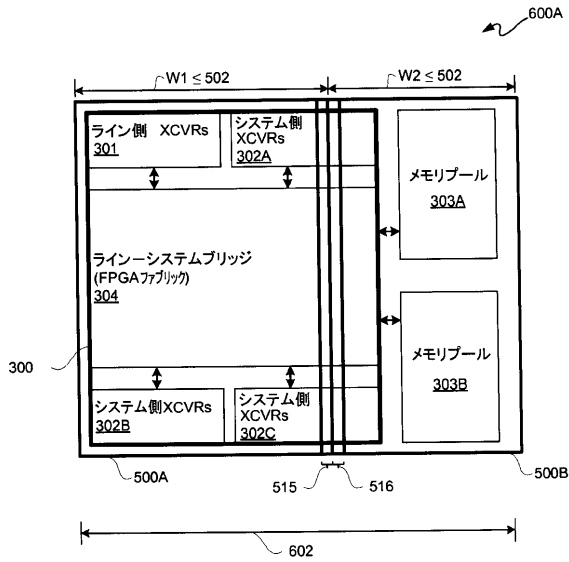


FIG. 6-1

【図 6 - 2】

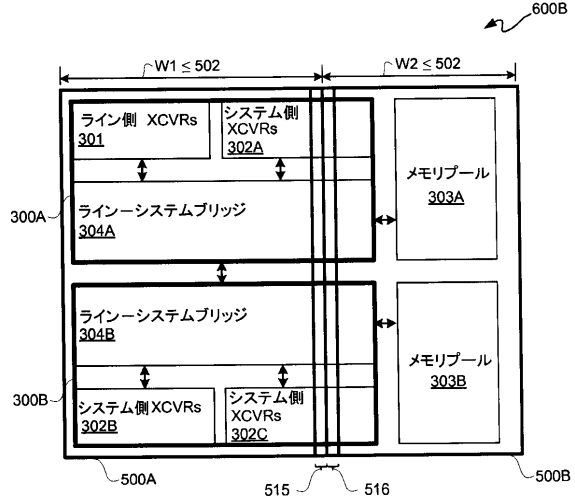


FIG. 6-2

【図 6 - 3】

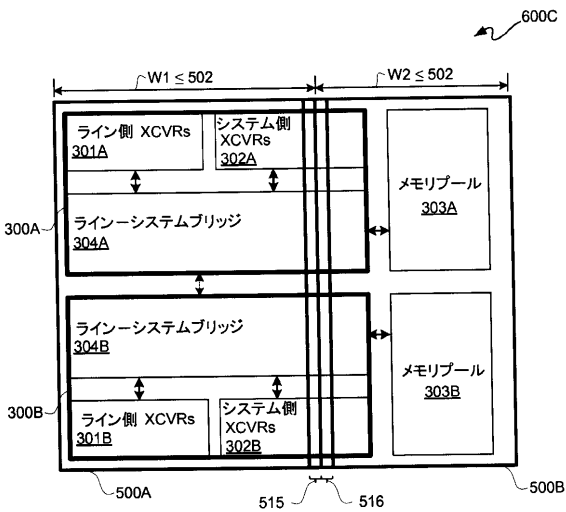


FIG. 6-3

【図 7 - 1】

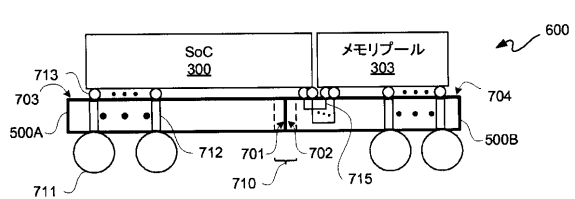


FIG. 7-1

【図 7 - 2】

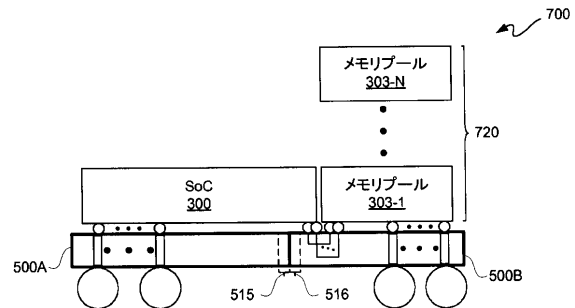


FIG. 7-2

【図 7 - 3】

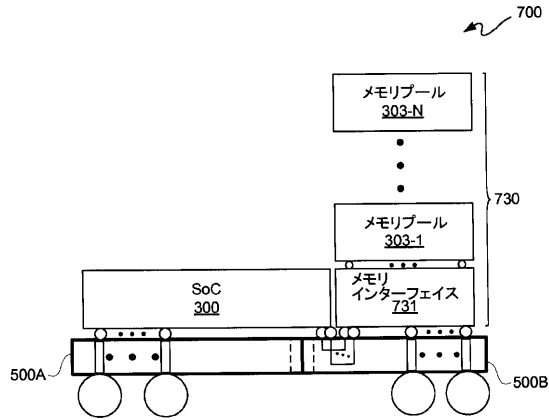


FIG. 7-3

【図 8】

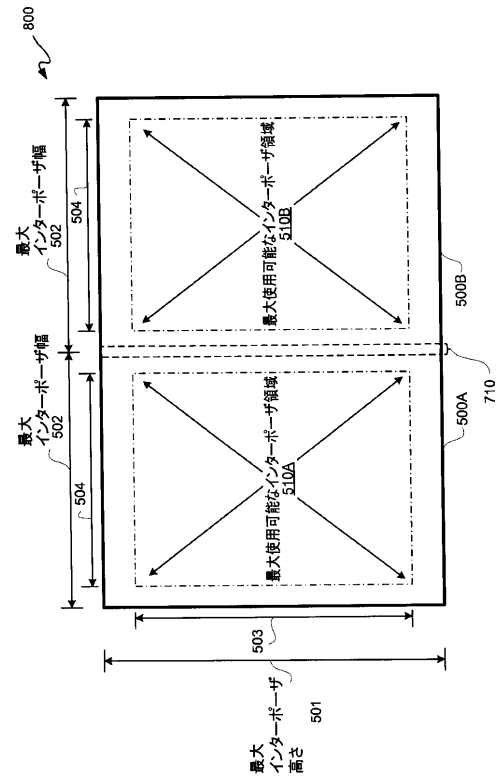


FIG. 8

【図 9 - 1】

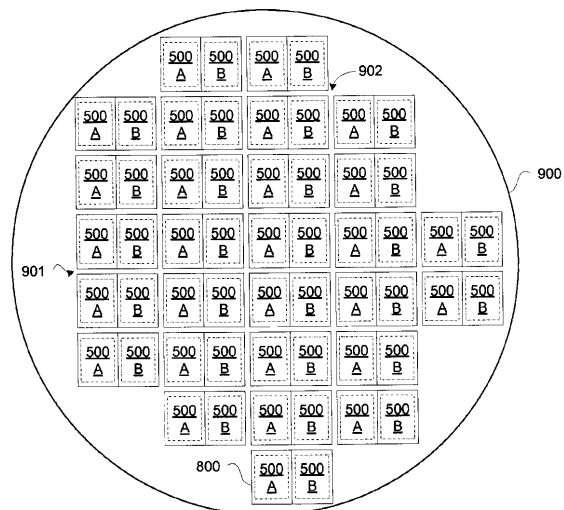


FIG. 9-1

【図 9 - 2】

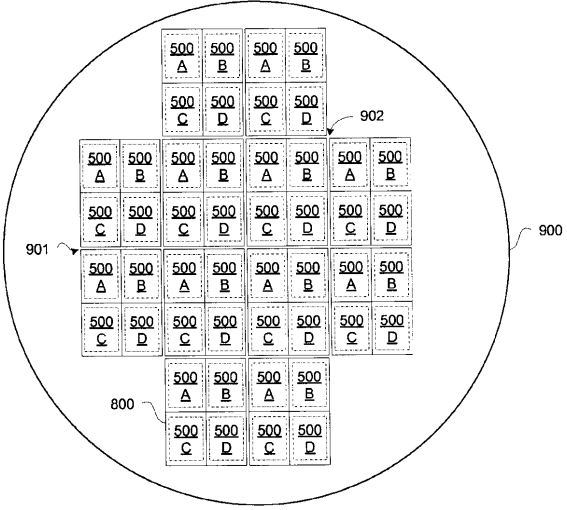


FIG. 9-2



【 図 15 】

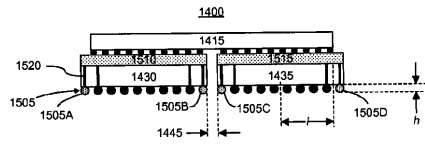


FIG. 15

【 図 16 】

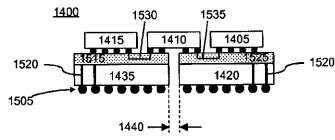


FIG. 16

【 図 17 】

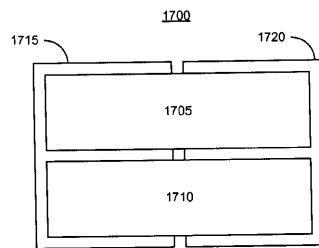


FIG. 17

---

フロントページの続き

(72)発明者 バニジャマリ, バハレー

アメリカ合衆国、95124 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2100

(72)発明者 チャワレ, ラグフナンダン

アメリカ合衆国、95124 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2100

審査官 木下 直哉

(56)参考文献 米国特許出願公開第2009/0267238(US, A1)

特開2011-124277(JP, A)

特開2004-327474(JP, A)

特開2004-111415(JP, A)

国際公開第02/082540(WO, A1)

特開2002-353398(JP, A)

特開2009-135397(JP, A)

特開2006-019368(JP, A)

米国特許第4074342(US, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18