

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5916898号
(P5916898)

(45) 発行日 平成28年5月11日(2016.5.11)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int.Cl.

H01L 25/04 (2014.01)
H01L 25/18 (2006.01)

F 1

H01L 25/04

Z

請求項の数 18 (全 37 頁)

(21) 出願番号 特願2014-556545 (P2014-556545)
 (86) (22) 出願日 平成24年12月3日 (2012.12.3)
 (65) 公表番号 特表2015-507372 (P2015-507372A)
 (43) 公表日 平成27年3月5日 (2015.3.5)
 (86) 國際出願番号 PCT/US2012/067543
 (87) 國際公開番号 WO2013/119309
 (87) 國際公開日 平成25年8月15日 (2013.8.15)
 審査請求日 平成27年11月2日 (2015.11.2)
 (31) 優先権主張番号 13/369,215
 (32) 優先日 平成24年2月8日 (2012.2.8)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 13/399,939
 (32) 優先日 平成24年2月17日 (2012.2.17)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591025439
 ザイリンクス インコーポレイテッド
 X1L1NX INCORPORATED
 アメリカ合衆国 カリフォルニア州 95
 124-3400 サンホセ ロジック
 ドライブ 2100
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 ウー, エフレム・シイ
 アメリカ合衆国、95124 カリフォル
 ニア州、サン・ノゼ、ロジック・ドライブ
 、2100

早期審査対象出願

最終頁に続く

(54) 【発明の名称】複数のインターポーラを伴うスタックドダイアセンブリ

(57) 【特許請求の範囲】

【請求項 1】

アセンブリであって、

第1のインターポーラを含み、前記第1のインターポーラは第1のオフセット領域を有し、前記アセンブリはさらに、

第2のインターポーラを含み、前記第2のインターポーラは第2のオフセット領域を有し、前記アセンブリはさらに、

前記第1のインターポーラおよび前記第2のインターポーラに相互接続される第1の集積回路ダイと、

前記第2のインターポーラに相互接続される第2の集積回路ダイと、

前記第1の集積回路ダイを前記第1のインターポーラおよび前記第2のインターポーラに相互接続する複数個の構成要素とを含み、

信号が、前記第1のインターポーラと前記第2のインターポーラとの間において、前記第1の集積回路ダイおよび前記複数個の構成要素を介してルーティングされ、信号が、前記第1の集積回路ダイと前記第2の集積回路ダイとの間において、前記第2のオフセット領域の外部にある前記第2のインターポーラの複数の導電線を介してルーティングされ、

前記第1のインターポーラおよび前記第2のインターポーラは同じ基板からの単一のプラットフォームである、アセンブリ。

【請求項 2】

前記第1のインターポーラおよび前記第2のインターポーラは前記第1の集積回路ダイ

10

20

および前記複数個の構成要素を介して互いに結合される別個のダイである、請求項 1 に記載のアセンブリ。

【請求項 3】

前記複数個の構成要素は複数個のダイからダイへのインターフェイスを含み、

前記複数個のダイからダイへのインターフェイスの第 1 の部分は、前記第 1 の集積回路ダイを前記第 1 のインターポーラに相互接続し、

前記複数個のダイからダイへのインターフェイスの第 2 の部分は、前記第 1 の集積回路ダイを前記第 2 のインターポーラに相互接続し、

前記複数個のダイからダイへのインターフェイスの前記第 1 の部分および前記第 2 の部分は、前記第 2 のオフセット領域の対向する両側に配置され、

前記複数個のダイからダイへのインターフェイスの第 3 の部分は、前記第 2 の集積回路ダイを前記第 2 のインターポーラに相互接続し、

前記第 2 のインターポーラの前記複数個の導電線の一部は、前記第 1 の集積回路ダイを前記第 2 の集積回路ダイに相互接続するために、前記複数個のダイからダイへのインターフェイスの前記第 2 の部分、および前記複数個のダイからダイへのインターフェイスの前記第 3 の部分に結合され、

前記複数個のダイからダイへのインターフェイスの前記第 2 の部分は、前記第 2 のオフセット領域の外部に位置する、請求項 1 に記載のアセンブリ。

【請求項 4】

前記第 1 のオフセット領域は、前記第 1 のインターポーラの第 1 の縁部とともに境界線を共にする第 1 の境界を有し、

前記第 2 のオフセット領域は、前記第 2 のインターポーラの第 2 の縁部とともに境界線を共にする第 2 の境界を有する、請求項 1 に記載のアセンブリ。

【請求項 5】

前記第 1 のオフセット領域および前記第 2 のオフセット領域は、微細ピッチインターフェイスを与えるために用いられる金属層およびビアホール層を含まない、請求項 1 に記載のアセンブリ。

【請求項 6】

前記第 1 のインターポーラは第 1 のマスクの組を用いて形成され、

前記第 2 のインターポーラは第 2 のマスクの組を用いて形成され、

前記第 1 のマスクの組は、少なくとも部分的に、前記第 2 の集積回路ダイが前記第 1 の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、前記第 2 のマスクの組とは実質的に異なる、請求項 1 に記載のアセンブリ。

【請求項 7】

前記第 1 のインターポーラの第 1 の高さは前記第 2 のインターポーラの第 2 の高さと実質的に同じであり、

前記第 1 のインターポーラの第 1 の幅および前記第 2 のインターポーラの第 2 の幅は、両方とも、同じリソグラフィ最大幅以下である、請求項 6 に記載のアセンブリ。

【請求項 8】

前記第 2 の集積回路ダイは、メモリダイの鉛直スタックを含み、

前記第 2 の集積回路ダイは、前記メモリダイの鉛直スタックのためのインターフェイスロジックを含む、請求項 1 に記載のアセンブリ。

【請求項 9】

前記第 1 のインターポーラおよび前記第 2 のインターポーラに結合される、チップからチップへのコネクタをさらに含む、請求項 1 に記載のアセンブリ。

【請求項 10】

前記第 1 のインターポーラおよび前記第 2 のインターポーラが位置するパッケージング材料をさらに含む、請求項 1 に記載のアセンブリ。

【請求項 11】

前記第 1 の集積回路ダイを前記第 1 のインターポーラおよび前記第 2 のインターポーラ

10

20

30

40

50

に相互接続する前記複数個の構成要素は、微細ピッチインターボードコネクトを含む、請求項1に記載のアセンブリ。

【請求項12】

アセンブリであって、

第1のインターボードに相互接続される第1の集積回路ダイを含み、前記第1のインターボードは、粗いピッチインターボードコネクトを有するが微細ピッチインターボードコネクトを有さない第1のオフセット領域を含み、前記アセンブリはさらに、

第2のインターボードに相互接続される第2の集積回路ダイを含み、前記第2のインターボードは、粗いピッチインターボードコネクトを有するが微細ピッチインターボードコネクトを有さない第2のオフセット領域を含み、前記アセンブリはさらに、

前記第1のインターボードおよび前記第2のインターボードの両方に相互接続される第3の集積回路ダイをさらに含み、

前記第3の集積回路ダイは、前記第1の集積回路ダイと前記第2の集積回路ダイとの間に通信ブリッジを与え、

前記第3の集積回路ダイは、前記第1の集積回路ダイと前記第2の集積回路ダイとの間の通信のために静的に構成されることが各々可能である、双方リピータのアレイまたはクロスバースイッチの組を含み、

信号が、前記第1の集積回路ダイと前記第2の集積回路ダイとの間ににおいて、前記第2のオフセット領域の外部にある前記第2のインターボードの前記微細ピッチインターボードコネクトを介してルーティングされる、アセンブリ。

【請求項13】

前記第1のインターボードおよび前記第2のインターボードが位置するパッケージング材料をさらに含み、

信号は、前記第3の集積回路ダイを介して前記第1の集積回路ダイから前記第2の集積回路ダイにルーティングされ、前記第1のインターボードおよび前記第2のインターボードのインターボードコネクト制限領域を回避する、請求項12に記載のアセンブリ。

【請求項14】

前記第3の集積回路ダイは第1のダイからダイへのインターボードコネクトを介して前記第1のインターボードに相互接続され、および第2のダイからダイへのインターボードコネクトを介して前記第2のインターボードに相互接続され、

前記第1のダイからダイへのインターボードコネクトおよび前記第2のダイからダイへのインターボードコネクトは、前記第1のインターボードおよび前記第2のインターボードの前記第1および第2のオフセット領域の外部にあり、

前記第1のダイからダイへのインターボードコネクトおよび前記第2のダイからダイへのインターボードコネクトは微細ピッチインターボードコネクトである、請求項12に記載のアセンブリ。

【請求項15】

アセンブリを形成するための方法であって、

第1の集積回路ダイを、第1のインターボードおよび第2のインターボードに、複数個の構成要素を用いて相互接続するステップを含み、前記第1のインターボードは第1のオフセット領域を有し、前記第2のインターボードは第2のオフセット領域を有し、前記方法はさらに、

前記複数個の構成要素を用いて、第2の集積回路ダイを前記第2のインターボードに相互接続するステップと、

前記第1のインターボードと前記第2のインターボードとの間ににおいて、前記第1の集積回路ダイおよび前記複数個の構成要素を介して、信号をルーティングするステップと、

前記第1の集積回路ダイと前記第2の集積回路ダイとの間ににおいて、前記第2のオフセット領域の外部にある前記第2のインターボードの導電線を介して信号をルーティングするステップとを含み、

前記第1のインターボードおよび前記第2のインターボードを同じ基板上に単一のプラットフォームとして形成するステップをさらに含む、アセンブリを形成するための方法。

10

20

30

40

50

【請求項 1 6】

前記第1のインターポーラをおよび前記第2のインターポーラをパッケージング材料において成型することをさらに含む、請求項1 5に記載の方法。

【請求項 1 7】

前記第1の集積回路ダイは、前記第2の集積回路ダイと第3の集積回路ダイとの間に通信ブリッジを与える、請求項1 5に記載の方法。

【請求項 1 8】

前記第1の集積回路ダイを前記第1のインターポーラをおよび前記第2のインターポーラに前記相互接続することは、前記複数個の構成要素の第1の微細ピッチのダイからダイへのインターロネクトを介し、

10

前記第2の集積回路ダイを前記第2のインターポーラに前記相互接続することは、前記複数個の構成要素の第2の微細ピッチのダイからダイへのインターロネクトを介する、請求項1 5に記載の方法。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】****発明の分野**

この発明は集積回路デバイス（I C）に関する。特に、この発明は、複数のインターポーラを含むI Cのためのスタックドダイアセンブリに関する。

【背景技術】

20

【0 0 0 2】**背景**

集積回路は、時とともに「密に」なってきており、つまりより多くのロジック特徴がI Cにおいて実現されている。より最近では、スタックドシリコンインターロネクトテクノロジ（「S S I T」）により、1つより多い半導体ダイが単一のパッケージに配置されることが可能にされる。S S I T I Cは通信帯域幅に対する需要増に対応するために用いられてもよい。しかしながら、S S I Tを用いるI Cは1つより多いダイを有するが、そのようなI Cは、依然としてピン制約のために著しい帯域幅制約を有する。

【0 0 0 3】

したがって、帯域幅制約がより少ないS S I T I Cを提供することが望ましい。

30

【発明の概要】**【課題を解決するための手段】****【0 0 0 4】****概要**

I Cのためのスタックドダイアセンブリは、第1のインターポーラ、第2のインターポーラ、第1の集積回路ダイ、第2の集積回路ダイ、および複数個の構成要素を含む。第1の集積回路ダイは第1のインターポーラおよび第2のインターポーラに相互接続され、第2の集積回路ダイは第2のインターポーラに相互接続される。複数個の構成要素は、第1の集積回路ダイを第1のインターポーラおよび第2のインターポーラに相互接続する。信号は、第1のインターポーラと第2のインターポーラとの間ににおいて、第1の集積回路ダイおよび複数個の構成要素を介してルーティングされる。

40

【0 0 0 5】

いくつかの例示的なアセンブリにおいては、第1の集積回路ダイを第1のインターポーラおよび第2のインターポーラに相互接続する複数個の構成要素は、第1のインターポーラおよび第2のインターポーラのインターロネクト制限領域の外部に位置し、信号は、第1のインターポーラと第2のインターポーラとの間ににおいて、第1の集積回路ダイおよび複数個の構成要素を介してルーティングされて、第1のインターポーラおよび第2のインターポーラのインターロネクト制限領域を回避する。

【0 0 0 6】

アセンブリは、さらに、第1のインターポーラに結合される第3の集積回路ダイを含む

50

ことが可能であり、第1の集積回路ダイは、第2の集積回路ダイと第3の集積回路ダイとの間において通信ブリッジを与える。

【0007】

第2のインターポーザは複数個の導電線を含むことが可能である。複数個の構成要素は、複数個のダイからダイへのインターロケクトを含むことが可能である。複数個のダイからダイへのインターロケクトの第1の部分は、第1の集積回路ダイを第1のインターポーザに相互接続することが可能である。複数個のダイからダイへのインターロケクトの第2の部分は、第1の集積回路ダイを第2のインターポーザに相互接続することが可能である。複数個のダイからダイへのインターロケクトの第1の部分および第2の部分は、インターロケクト制限領域の対向する両側に配置され得る。複数個のダイからダイへのインターロケクトの第3の部分は、第2の集積回路ダイを第2のインターポーザに相互接続し得る。第2のインターポーザの複数個の導電線の一部は、第1の集積回路ダイを第2の集積回路ダイに相互接続するために、複数個のダイからダイへのインターロケクトの第2の部分、および複数個のダイからダイへのインターロケクトの第3の部分に結合され得る。複数個のダイからダイへのインターロケクトの第2の部分は、インターロケクト制限領域の外部に位置し得、複数個の導電線の一部は、インターロケクト制限領域に関連付けられる第2のインターポーザのオフセット領域の外部に位置し得る。

10

【0008】

第1のインターポーザの第1の縁部および第2のインターポーザの第2の縁部は、互いに当接するために実質的に並んで位置決めされ得る。第1のインターポーザは、第1の縁部とともに境界線を共にする第1の境界を有する、インターロケクト制限領域に関連付けられる第1のオフセット領域を含み得る。第2のインターポーザは、第2の縁部とともに境界線を共にする第2の境界を有する、インターロケクト制限領域に関連付けられる第2のオフセット領域を含み得る。

20

【0009】

インターロケクト制限領域は、微細ピッチインターロケクトを与えるために用いられる金属層およびビアホール層を含み得ない。

【0010】

第1のインターポーザは第1のマスクの組を用いて形成され得、第2のインターポーザは第2のマスクの組を用いて形成され得る。第1のマスクの組は、少なくとも部分的に、第2の集積回路ダイが第1の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、第2のマスクの組とは実質的に異なり得る。

30

【0011】

第1のインターポーザの第1の高さは第2のインターポーザの第2の高さと実質的に同じであり得る。第1のインターポーザの第1の幅および第2のインターポーザの第2の幅は、両方とも、同じリソグラフィの最大幅以下であり得る。

【0012】

第2の集積回路ダイは、メモリダイの鉛直スタック、およびメモリダイの鉛直スタックのためのインターフェイスロジックを含むことが可能である。

【0013】

40

アセンブリを形成するための方法も記載される。この方法は、複数個の構成要素を用いて第1の集積回路ダイを第1のインターポーザおよび第2のインターポーザに相互接続するステップと、複数個の構成要素を用いて第2の集積回路ダイを第2のインターポーザに相互接続するステップと、信号を、第1のインターポーザと第2のインターポーザとの間において、第1の集積回路ダイおよび複数個の構成要素を介してルーティングするステップとを含む。

【0014】

いくつかの例示的な方法は、さらに、インターロケクト制限領域を与えるために第1のインターポーザおよび第2のインターポーザの各々の一部を取っておくステップを含む。第1の集積回路ダイを第1のインターポーザおよび第2のインターポーザに相互接続する

50

複数個の構成要素は、第1のインターポーザおよび第2のインターポーザのインタークネクト制限領域の外部に位置し得る。第1のインターポーザと第2のインターポーザとの間ににおいて信号をルーティングするステップは、第1のインターポーザおよび第2のインターポーザのインタークネクト制限領域を回避するステップを含み得る。

【0015】

この方法は、さらに、第3の集積回路ダイを第1のインターポーザに相互接続するステップを含み、第1の集積回路ダイは、第2の集積回路ダイと第3の集積回路ダイとの間に通信ブリッジを与える。

【0016】

この方法は、さらに、第1のマスクの組を用いて第1のインターポーザを形成するステップと、第2のマスクの組を用いて第2のインターポーザを形成するステップを含む。第1のマスクの組は、少なくとも部分的に、第2の集積回路ダイが第1の集積回路ダイとは異なるタイプの集積回路向けであることに応じて、第2のマスクの組とは実質的に異なり得る。

【0017】

第1のインターポーザの第1の高さは第2のインターポーザの第2の高さと実質的に同じであり得る。第1のインターポーザの第1の幅および第2のインターポーザの第2の幅は、両方とも、同じリソグラフィの最大幅以下であり得る。

【0018】

第2の集積回路ダイはメモリインターフェイスダイを含むことが可能である。この方法は、さらに、メモリインターフェイスダイにメモリダイの鉛直スタックを相互接続するステップを含む。第2の集積回路ダイは、メモリダイの鉛直スタックのためのインターフェイスロジックを含み得る。

【図面の簡単な説明】

【0019】

【図1】例示的な列状のフィールドプログラマブルゲートアレイ(FPGA)アーキテクチャを示す簡略化ブロック図である。

【図2】例示的な通信回線カードを示すブロック図である。

【図3】例示的な通信システムを示すブロック図である。

【図4】別の例示的な通信システムを示すブロック図である。

【図5】例示的な単一のインターポーザダイを示すブロック図である。

【図6-1】例示的なスタックドダイアセンブリを示すブロック図である。

【図6-2】別の例示的なスタックドダイアセンブリを示すブロック図である。

【図6-3】さらに別の例示的なスタックドダイアセンブリを示すブロック図である。

【図7-1】図6-1、図6-2、または図6-3のスタックドダイアセンブリのいずれかの例示的な断面図を示すブロック図である。

【図7-2】別のスタックドダイアセンブリの断面図を示すブロック図である。

【図7-3】さらに別の例示的なスタックドダイアセンブリの断面図を示すブロック図である。

【図8】インターポーザアセンブリの上面図を示すブロック図である。

【図9-1】例示的なウェハを示すブロック図である。

【図9-2】別の例示的なウェハを示すブロック図である。

【図10-1】さらに別の例示的なスタックドダイアセンブリの断面図を示すブロック図である。

【図10-2】さらに別の例示的なスタックドダイアセンブリの断面図を示すブロック図である。

【図11】1つ以上のスタックドダイアセンブリを形成するための例示的なプロセスを示す流れ図である。

【図12】第1の例示的な集積回路(IGC)構造のトポグラフィ図を示すブロック図である。

10

20

30

40

50

【図13-1】図12のI C構造の断面側面図を示すブロック図である。

【図13-2】図13-1に示されるI C構造の一部の引伸しを示すブロック図である。

【図14】第2の例示的なI C構造のトポグラフィ図を示すブロック図である。

【図15】図14のI C構造の断面側面図を示すブロック図である。

【図16】図14のI C構造のさらなる断面側面図を示すブロック図である。

【図17】第3の例示的なI C構造のトポグラフィ図を示すブロック図である。

【発明を実施するための形態】

【0020】

詳細な説明

以下の説明では、この発明のより完全な説明を与えるために、数多くの具体的な詳細を述べる。しかしながら、当業者には、以下に与える具体的な詳細のすべてを伴わずにこの発明を実施してもよいことが明らかであるはずである。他の事例では、例を曖昧にしないために、周知の特徴を詳細には説明していない。例示を容易にするために、同じ参照符号が異なる図において同じ要素を指すために用いられるが、しかしながら、代替的実施例においては、それら要素は異なってもよい。

【0021】

いくつかの図で例示的に図示する例を説明する前に、一般的な導入部がさらなる理解のために与えられる。

【0022】

これまでに、DDR3またはDDR4 DRAMを伴うメモリプール、またはシリアルリンクを伴うメモリは、ピン制限され、それはI Cの帯域幅を制限した。たとえば、現在、ライン側帯域幅は毎秒約200ギガビット（「Gbps」）であるが、しかしながら、次世代デバイスは約400Gbpsのライン側帯域幅を有するかもしれない。400Gbpsをサポートするために、DDRメモリは、毎秒約1.2テラビット（「Tbps」）のオーダで帯域幅を有してもよい。

【0023】

残念ながら、FPGA上には、従来の方策を用いて1.2Tbpsをサポートするように十分なDDRメモリピンはない。限定ではなく例として、シリアルI/Oを伴うDRAMのようなシリアルメモリは、200Gbpsをサポートするために、電力、接地および他の基準ピンに加えて、256本の信号ピンを伴っている64個のトランシーバを用いてもよい。帯域幅上の別の制限は、ライン側およびシステム側並直列変換器直並列変換器（「SERDES」）に対して利用可能なピンの量と関係した。ある側として、システム側帯域幅はライン側帯域幅より著しく大きく、したがって、システム側インターフェイスはさらなるピンからより多く利益を得るであろう。

【0024】

スタックドシリコンインターフェクトテクノロジ（「SSIT」）では、1つより多い能動的なダイが、能動的インターポーラーであろうと、受動的インターポーラーであろうと、インターポーラーまたはキャリヤダイに結合されてもよい。限定ではなく明確にするため、受動的なインターポーラーが用いられることが仮定されるが、他の実施の形態においては能動的なインターポーラーが用いられてもよい。しかし、これまでに、SSITをもってさえ、インターポーラー領域は小さすぎて、たとえば400Gbps適用例のために十分な帯域幅を得るための十分なピン数を提供することが可能ではなかった。

【0025】

しかしながら、ここに記載されるようなインターポーラーアセンブリを伴うSSITを用いることによって、より多くのピン部位が、リソグラフィ印刷サイズ制限とともにでさえ利用可能である。したがって、大きな半導体ダイでも、たとえば少なくとも1つの他のダイが単一の集積回路パッケージ内にある状態で1ギガバイトを超えるDDR DRAMを含むことが実現可能である。

【0026】

以上の一般的な理解を念頭に置いて、スタックドダイアセンブリのさまざまな例を以下

10

20

30

40

50

に一般的に説明する。上述の実施の形態のうち1つ以上は特定のタイプのICを用いて例示されるため、そのようなICの詳細な説明を以下に与える。しかしながら、他のタイプのICが本明細書中に記載の技術から恩恵を受けることもあることを理解すべきである。

【0027】

プログラマブルロジックデバイス(PLD)は、特定された論理機能を実行するようにプログラム可能な周知のタイプの集積回路である。PLDの一種であるフィールドプログラマブルゲートアレイ(FPGA)は典型的に、プログラマブルタイルのアレイを含む。これらのプログラマブルタイルは、たとえば、入力/出力ブロック(IOB)、コンフィギュラブルロジックブロック(CLB)、専用ランダムアクセスメモリブロック(BRAM)、乗算器、デジタル信号処理ブロック(DSP)、プロセッサ、クロックマネージャ、遅延ロックループ(DLL)などを含み得る。本明細書中で用いるように、「含む」および「含んでいる」は、限定なしに含むことを意味する。

【0028】

各々のプログラマブルタイルは典型的に、プログラマブルインターフェースおよびプログラマブルロジックの両者を含む。プログラマブルインターフェースは典型的に、プログラマブルインターフェースポイント(PIP)によって相互接続された異なる長さの多数のインターフェース配線を含む。プログラマブルロジックは、たとえば、関数生成器、レジスタ、算術論理などを含み得るプログラマブル素子を用いてユーザ設計のロジックを実現する。

【0029】

プログラマブルインターフェースおよびプログラマブルロジックは典型的に、内部構成メモリセルにプログラマブル素子がどのように構成されるかを規定するコンフィギュレーションデータのストリームをロードすることによってプログラムされる。コンフィギュレーションデータは外部デバイスによりメモリから(たとえば外部ROMから)読み出されたりFPGAに書き込まれたりし得る。そして、個別のメモリセルの集合的な状態がFPGAの機能を決める。

【0030】

別のタイプのPLDはコンプレックスプログラマブルロジックデバイスまたはCPLDである。CPLDは、共に接続されるとともに、インターフェースイッチマトリックスによって入力/出力(I/O)リソースに接続された、2つ以上の「機能ブロック」を含む。CPLDの各々の機能ブロックは、プログラマブルロジックアレイ(PLA)およびプログラマブルアレイロジック(PAL)デバイスで用いられるものと同様の2レベルAND/OR構造を含む。CPLDにおいては、コンフィギュレーションデータは典型的に不揮発性メモリ内のチップ上に記憶される。いくつかのCPLDでは、コンフィギュレーションデータは不揮発性メモリ内のチップ上に記憶され、次いで初期コンフィギュレーション(プログラミング)シーケンスの一部として揮発性メモリにダウンロードされる。

【0031】

これらのプログラマブルロジックデバイス(PLD)のすべてについて、デバイスの機能性は、その目的のためにデバイスに与えられるデータビットによって制御される。データビットは、揮発性メモリ(たとえばFPGAおよびいくつかのCPLDにおけるようなスタティックメモリセル)、不揮発性メモリ(たとえばいくつかのCPLDにおけるようなFLASHメモリ)、またはいずれの他のタイプのメモリセルにも記憶可能である。

【0032】

他のPLDは、デバイス上のさまざまな素子をプログラマブルに相互接続する金属層などの処理層を適用することによってプログラムされる。これらのPLDはマスクプログラマブルデバイスとして公知である。PLDは、たとえば、ヒューズまたはアンチヒューズ技術を用いる他の様態で実現することもできる。「PLD」とおよび「プログラマブルロジックデバイス」という用語はこれらの例示的なデバイスを含むが、これらに限定されるものではなく、部分的にしかプログラマブルでないデバイスも包含する。たとえば、1つのタイプのPLDは、ハードコード化されたトランジスタロジックと、ハードコード化され

10

20

30

40

50

たトランジスタロジックをプログラマブルに相互接続するプログラマブルスイッチファブリックとの組合せを含む。

【0033】

以上注記したように、アドバンストFPGAは、アレイにいくつかの異なるタイプのプログラマブルロジックブロックを含むことができる。たとえば、図1は、マルチギガビットトランシーバ(MGT)101、コンフィギュラブルロジックブロック(CLB)102、ランダムアクセスメモリブロック(BRAM)103、入力/出力ブロック(IOB)104、コンフィギュレーションおよびクロッキングロジック(CONFIG/CLKS)105、デジタル信号処理ブロック(DSP)106、専用入力/出力ブロック(I/O)107(たとえばコンフィギュレーションポートおよびクロックポート)、ならびにデジタルクロックマネージャ、アナログ-デジタル変換器、システムモニタロジックなどの他のプログラマブルロジック108を含む多数の異なるプログラマブルタイルを含むFPGAアーキテクチャ100を図示する。いくつかのFPGAは専用プロセッサブロック(PROC)110も含む。

【0034】

いくつかのFPGAにおいては、各々のプログラマブルタイルは、各々の隣接するタイルにおける対応のインターフェクト素子への、およびそのインターフェクト素子からの、標準化された接続部を有するプログラマブルインターフェクト素子(INT)111を含む。したがって、プログラマブルインターフェクト素子は、図示されるFPGAのためのプログラマブルインターフェクト構造を共に実現する。プログラマブルインターフェクト素子111は、図1の上部に含まれる例によって示されるように、同じタイル内にプログラマブルロジック素子への、およびそのプログラマブルロジック素子からの、接続部も含む。

【0035】

たとえば、CLB102は、単一のプログラマブルインターフェクト素子(INT)111とともにユーザロジックを実現するようにプログラム可能なコンフィギュラブルロジック素子(CLE)112を含むことができる。BRAM103は、1つ以上のプログラマブルインターフェクト素子に加えてBRAMロジック素子(BRL)113を含むことができる。典型的に、タイルに含まれるインターフェクト素子の数はタイルの高さに依存する。図示される実施の形態では、BRAMタイルは5つのCLBと同じ高さを有するが、他の数(たとえば4つ)を用いることも可能である。DSPタイル106は適切な数のプログラマブルインターフェクト素子に加えてDSPロジック素子(DSPL)114を含むことができる。IOB104は、たとえば、プログラマブルインターフェクト素子111の1つのインスタンスに加えて入力/出力ロジック素子(IOL)115の2つのインスタンスを含むことができる。当業者には明らかのように、たとえばI/Oロジック素子115に接続される実際のI/Oパッドは典型的に、入力/出力ロジック素子115の領域に閉じ込められていない。

【0036】

図示される実施の形態では、(図1に示される)ダイの中央近くの水平方向領域が、コンフィギュレーション、クロックおよび他の制御ロジックのために用いられる。この水平方向領域または列から延在する鉛直方向列109はFPGAの横幅を横切ってクロックおよびコンフィギュレーション信号を分配するのに用いられる。

【0037】

図1に図示されるアーキテクチャを利用するいくつかのFPGAは、FPGAの大きな部分を形成する規則的な列状構造を分断する付加的なロジックブロックを含む。付加的なロジックブロックはプログラマブルブロックおよび/または専用ロジックであり得る。たとえば、プロセッサブロック110は、CLBおよびBRAMのいくつかの列に跨っている。

【0038】

図1は単に例示的なFPGAアーキテクチャを図示することを意図していることに注目

10

20

30

40

50

されたい。たとえば、1行の中のロジックブロックの数、行の相対的な幅、行の数および順番、行に含まれるロジックブロックのタイプ、ロジックブロックの相対的なサイズ、ならびに図1の上部に含まれるインターフェイスクロネクト/ロジック実現例は純粋に例示的なものである。たとえば、実際のFPGAでは、CLBの1つよりも多くの隣接する行は典型的にCLBが現れる場所であればどこでも含まれて、ユーザロジックの効率的な実現を容易にするが、隣接するCLB行の数はFPGAの全体的なサイズとともに変動する。

【0039】

図2は例示的な通信回線カード200を示すブロック図である。通信回線カード200は、1つ以上のインターフェイスモジュール202、通信システム201、ならびにネットワークプロセッサおよびトライフィックマネージャ203を含んでもよい。インターフェイスモジュール202は、フロントプレートインターフェイスクロネクト204のためにインターフェイスクロネクトを提供してもよい。フロントプレートインターフェイスクロネクト204は、インターフェイスモジュール202との双方向通信に対して用いられてもよい。インターフェイスモジュール202の1つ以上は光学的インターフェイスクロネクトを含んでもよい。

10

【0040】

インターフェイスモジュール202はライン206を介して通信システム201に結合されてもよい。通信システム201はライン207を介してネットワークプロセッサおよびトライフィックマネージャ203に結合されてもよい。ネットワークプロセッサおよびトライフィックマネージャ203はバックプレーンインターフェイスクロネクト205に結合されてもよい。ライン206、ライン207およびバックプレーンインターフェイスクロネクト205は双方向通信に対して用いられてもよいことが理解されるべきである。

20

【0041】

図3は例示的な通信システム201を示すブロック図である。通信システム201はたとえば、システム・オン・チップ・ダイ(「SOC」)300および1つ以上のメモリダイ(「メモリプール」)303のような、I Cダイを含んでもよい。しかしながら、他の実施の形態では、これらおよび/または他のタイプのI Cダイの1つ以上が用いられてもよい。SOC300は、たとえばASIC、ASSPなどのような、他のタイプのI Cが、SOC300の提供のために用いられてもよいことが理解されるべきである。この例では、SOC300はライン側トランシーバ301と、ライン-システムブリッジ304と、システム側トランシーバ302を含む。ライン206はライン側トランシーバ301に相互接続されてもよく、ライン207はシステム側トランシーバ302に相互接続されてもよい。ライン-システムブリッジ304は、双方向通信のために、システム側トランシーバ302およびライン側トランシーバ301の両方に相互接続されてもよい。

30

【0042】

メモリプール303は双方向通信のためにインターフェイスクロネクト330を介してライン-システムブリッジ304に相互接続されてもよい。ここに記載されるようなインターポーラの使用によってインターフェイスクロネクト330に関連付けられるようなより大きなインターフェイスクロネクト密度を提供することによって、毎秒約1.0テラビット(「Tbps」)以上の帯域幅が与えられてもよい。明確にするため、限定ではなく例として、十分なダブルデータレート(「DDR」)ピンで、400ギガビット以上の回線カードに対するパケットバッファ処理のための帯域幅が、複数の間に置かれたダイ(「インターポーラ」)を用いて最大のレチクル寸法内にフィットしながら提供されてもよい。複数のインターポーラは、少なくとも近接するインターポーラの対、すなわち拡張されたインターポーラを切離せずに、同じウェハ上に印刷することが可能である。別の実施の形態では、インターポーラは、互いから完全に分離され、その後、ブリッジングダイを用いて、互いに結合される。ある実施の形態では、従来のFPGAスライスが、拡張されたインターポーラに対して用いられてもよい。

40

【0043】

微細ピッチインターフェイスクロネクトによって、より下位のレベルの金属層に関連付けられるビ

50

ツチを伴うインターフェイストラフィックが概して意味される。たとえば、いくつかの微細ピッチインターフェイストラフィックは0.8ミクロン以下であってもよく、ピッチはワイヤ間隔のためのワイヤ幅を考慮する。他の実施の形態では、いくつかの微細ピッチインターフェイストラフィックは0.4ミクロン以下であってもよい。28nmのプロセスにおいて、約90nmまたは0.09ミクロンの密な金属ピッチで微細ピッチインターフェイストラフィックを形成することが可能であることが示唆されている。したがって、いくつかの実施の形態では、微細ピッチインターフェイストラフィックが100nm未満であるピッチを有してもよいことが理解されるべきである。いくつかの実施の形態では、微細ピッチインターフェイストラフィックは、結像フィールドの縁部においてリソグラフィ限界によってサポートされるもの未満、すなわち結像フィールドのフィールド縁部での像の質における低減未満であってもよい。微細ピッチインターフェイストラフィックの例は、関連付けられる密なフリップチップマイクロバンプパッドを伴う、密なフリップチップマイクロバンプまたはボールを、限定なしに含む。そのような微細ピッチインターフェイストラフィックは、水平および鉛直の最小ピッチが互いとは異なるように、互い違いに配列されたアレイにあってもよい。したがって、微細ピッチインターフェイストラフィックは従来のフリップチップマイクロバンプより実質的に密である。

【0044】

インターポーラセンブリ310は、ここに記載されるように、単一のICパッケージにおいて、2つ以上のダイがその上またはそれとともに積層される状態で、収容されてもよい。インターポーラセンブリ310は、同じまたは異なるマスクの組を用いて同じウェハ上に形成された2つ以上のインターポーラを有する拡張されたインターポーラであってもよく、そのような2つ以上のインターポーラは互いから切離されず、すなわちそのようなウェハ上において他の態様ではスクライプ線領域であるかもしれないものにおいて、ともに合わせられたままである。別の実施の形態では、インターポーラセンブリ310は、さらに詳細に後述されるように、ブリッジングダイによって互いに結合された2つの切離されたダイであってもよい。

【0045】

明確にするため、限定ではなく例として、メモリプール303は、限定なしにDDR DRAMを含むダブルデータレート（「DDR」）ランダムアクセスメモリ（「RAM」）の形式とともに形成されることが仮定されるが、しかしながら、たとえばQDRのような、他のタイプのメモリインターフェイスを含む他のタイプのメモリが用いられてもよいことが理解されるべきである。

【0046】

一般的に、毎秒400ギガビット（「Gbps」）を超えての通信リンクのためには、パケットバッファ処理ピーク帯域幅は1Tbpsを超える。S S I Tは、後述されるように、ピン密度が利用可能なインターポーラ領域の最大寸法の増大のために現在利用可能である、十分な数のインターフェイストラフィック330がそのようなSOC300とメモリプール303との間に存在するとして、DDRに基づくDRAMを用いて、SOC300とメモリプール303との間ににおいて1Tbpsを超えてサポートすることが可能である。

【0047】

図4は別の例示的な通信システム400を示すブロック図である。通信システム400は、図3の通信システム201、インターフェイスモジュール202、ならびにネットワークプロセッサおよびトラフィックマネージャ203を含んでもよい。インターフェイスモジュール202、SOC300およびメモリプール303は、同じインターポーラセンブリ410に相互接続されてもよい。インターポーラセンブリ410は、図3のインターポーラセンブリ310のように、同じまたは異なるマスクの組を用いて同じウェハ上に形成された2つ以上のインターポーラを有する、通信システム400における拡張されたインターポーラであってもよく、そのような2つ以上のインターポーラは互いから切離されず、すなわちそのようなウェハ上において他の態様ではスクライプ線領域であるかもしれないものにおいて、ともに合わせられたままである。別の実施の形態では、インターポーラセンブリ410は、ブリッジングダイによって互いに結合された別々のインタ

10

20

30

40

50

一ポーナーであってもよい。

【0048】

インターフェイスモジュール202、S0C300、メモリプール303、ならびにネットワークプロセッサおよびトライフィックマネージャ203は、同じインターポーナーアセンブリ411に相互接続され得、インターポーナーアセンブリ411はインターポーナーアセンブリ410を含んでもよい。言いかえれば、インターポーナーアセンブリ411は、インターポーナーアセンブリ410よりもともに合わせられたインターポーナーをより多く含んでもよく、したがって、効果的に、インターポーナーアセンブリ411はインターポーナーアセンブリ410を置換するかまたは含むであろう。1つ以上のFPGAとともに実現されるS0C300に対して、ネットワークプロセッサおよび/または1つ以上のトライフィックマネージャは、点線412で概ね示されるように、そのような1つ以上のFPGAにおいてインスタンス化されてもよい。

【0049】

したがって、ここに記載されるようなインターポーナーアセンブリを用いて、通信システム400は、インターポーナーアセンブリ411を有する、単一のパッケージ化されたIC内に完全に含まれてもよい。通信システム400の別の実施の形態では、インターポーナーアセンブリ410を有する、単一のパッケージ化されたICが、プリント回路基板(「PCB」)を介してネットワークプロセッサおよびトライフィックマネージャ203に結合されてもよい。インターポーナーが、別々のダイであれ、拡張されたインターポーナーであれ、インターポーナーに、たとえばS0Cまたは他のタイプのICダイのようなICダイでプリッジングすることによって、たとえば微細ピッチインターノネットのようなダイからダイへのインターノネットが、たとえばそれぞれ従来のマイクロバンプまたはマイクロボールのような、はるかにより大きな従来のダイからダイへのインターノネットおよび/またはチップからチップへのインターノネットに比較して用いられてもよい。したがって、インターノネット密度は、ダイからダイへの相互接続に対して微細ピッチインターノネットを伴うインターポーナーアセンブリを用いることによって、著しく増強されてもよい。

【0050】

図5は例示的な単一のインターポーナー500を示すブロック図である。インターポーナー500は、最大インターポーナー高さ501および最大インターポーナー幅502を有する。これらの最大高さ501および最大幅502は、概してリソグラフィによって決定され、特に、レチクル結像サイズによって限定されてもよい。

【0051】

加えて最大使用可能なインターポーナー領域510を制限するのは、インターポーナー500の縁部からのオフセット511から514である。これらのオフセットは、パッケージ蓋、スクリープ線、封止リング、およびアンダーフィルマージン化、ならびにリソグラフィ結像などのような、パッケージングおよびアセンブリのためのマージンを設けることによってもよい。明確にするため、限定ではなく例として、インターポーナー500は、まずレーザアブレーションを用いてスクリープ線に沿ってトレンチを形成し、次いでダイヤモンドを先端に付けられた円形刃でそのようなレーザ除去されたトレンチに沿って切断することによって、シリコンウェハから切出されてもよい。レーザアブレーションは、ダイヤモンドを先端に付けられた円形刃単独で切断することと比較して、そのような縁部に沿った欠けまたは層間剥離を低減するために用いられてもよい。しかしながら、レーザアブレーションは、ダイヤモンドを先端に付けられた円形刃で切断するよりも広いトレンチを残す傾向がある。

【0052】

そのようなオフセットを考慮に入れて、最大使用可能なインターポーナー高さ503および最大使用可能なインターポーナー幅504は、最大使用可能なインターポーナー領域510を規定してもよい。しかしながら、この領域のいくらかは、制限された領域であってもよい。さらに詳細に後述されるように、インターポーナーアセンブリの左側インターポーナーに

については、そのような左側インターポーザに対するオフセット領域 512 のような領域 510 の一部の右側縁が、「インターネクト制限領域」の左側縁と整列してもよい。「インターネクト制限領域」によって、動作する微細ピッチインターネクトの微細ピッチ整列に対して十分に信頼性がないかまたはそうでなければ利用可能ではない他の領域に関連付けられる領域が概して意味される。たとえば、インターポーザアセンブリの右側インターポーザについては、そのような右側インターポーザの左側縁がそのようなインターネクト制限領域の右側縁と整列してもよい。右および左が、並んだインターポーザに対して用いられたが、上下の向きが用いられてもよい。

【0053】

インターネクト制限領域は、したがって第1のインターポーザおよび第2のインターポーザの、たとえばオフセットのような、部分を含んでもよく、信号は、第1のインターポーザおよび第2のインターポーザのインターネクト制限領域を回避するために、ブリッジングダイを介してルーティングされる。インターポーザのオフセット領域がレチクル結像フィールドの遠いエッジ領域にあってもよいので、そのような遠いエッジ領域において微細ピッチインターネクトを結像することは、信頼性高く実行されないかもしれない。対照的に、微細ピッチインターネクトは、たとえば第1および第2のインターポーザをブリッジングするダイの形成において用いられるような、そのようなレチクル結像フィールドの中心により向かって信頼性高く形成されてもよい。したがって、微細ピッチインターネクトは、第1および第2のインターポーザのオフセット領域において信頼性高くは整列されないかもしれない一方で、そのような微細ピッチインターネクトは、そのようなオフセット領域より上においてブリッジングダイにおいて信号を搬送する用いられてもよい。

10

【0054】

したがって、概して、微細ピッチインターネクトは、そのような第1および第2のインターポーザのインターネクト制限領域の外部で形成され、集積回路ダイを第1のインターポーザおよび第2のインターポーザに相互接続する複数個の構成要素が、インターネクト制限領域の外部に位置する。対照的に、従来のマイクロバンプは、たとえばインターネクト制限領域に位置してもよい。インターネクト制限領域を用いることによって、それに関連付けられる整列問題、たとえば微細ピッチから微細ピッチへの整列などが、限定なしに、ダイ間インターポーザインターネクトから離れて、重なる近接するレチクル間結像フィールドのシームを含む、レチクル間結像フィールドシームを効果的に位置決めすることによって回避されてもよい。概して、レチクル間結像フィールドシームは、同じレチクルからであれ、異なるレチクルからであれ、リソグラフィ動作の少なくとも2つの結像フィールドが互いと重なる場所である。したがって、たとえば、たとえば1つの能動的なダイ上の1つの群のマイクロバンプから別の能動的なダイ上の別の群のマイクロバンプへのような1つのダイ間インターポーザインターフェイスのための金属ワイヤが、完全に1つのインターポーザレチクルフィールド内において形成されてもよい。特定的には、微細ピッチインターネクトに関して、そのようなダイ間インターポーザインターフェイスはインターポーザのためのレチクル結像フィールドの遠いエッジ領域から離れるように移動されてもよい。

20

30

【0055】

インターネクト制限領域は、オフセットの領域に関連付けられることに加えて、任意で、増強されたマージンのための右側インターポーザおよび/または左側インターポーザからのような、インターポーザ領域 510 の、他の態様では使用可能な領域の一部を含んでもよい。ある拡張されたインターポーザにおいては、FPGAダイのようなICダイは、同じウェハからともに合わせられるインターポーザにブリッジングし、たとえばインターポーザアセンブリ 310 または 410 のような、インターポーザアセンブリの、右および左のインターポーザからそれぞれオフセット領域 511 および 512 にブリッジングする。したがって、そのような FPGAダイより下のそのようなインターポーザのスクライブ線領域はインターネクト制限領域の少なくとも一部を形成してもよい。

40

50

【0056】

加えて、拡張されたインターポーザにおいては、ダイシングカットの量が低減されてもよいので、オフセットが同様に低減されてもよく、なぜならば、インターポーザのいくつかの縁部が切断または他の態様で切離されなくてもよいからである。言いかえれば、拡張されたインターポーザのインターポーザアセンブリのインターポーザのダイシングが少な
くされ、すなわちいくつかのインターポーザが互いから切離されないので、そのようなインターポーザ間のスクライプ線領域が低減されてもよい。しかしながら、限定ではなく明確にするため、ウェハ上のスクライプ線領域はそのすべてのダイ間でのように概して一様であることが仮定されるが、他の実施の形態ではウェハ上のスクライプ線領域はそのすべてのダイ間におけるように概して一様でなくてもよい。再び、オフセット領域はリソグラ
フィ結像フィールドの遠いエッジ領域にあってもよく、したがって、そのようなオフセッ
ト領域において微細ピッチインターボネクトを信頼性高く形成することは可能ではないかも
しれないことが理解されるべきである。
10

【0057】

インターボネクト制限領域は、少なくともインターポーザのオフセット領域に応じることに関して記載され、いくつかの実施の形態においては、インターポーザ間の間隙および
/またはそうでなければリソグラフィ結像フィールドの幾何学的な限定の対象である1つ以上のインターポーザの使用可能な領域を含んでもよい。インターボネクト制限領域は、あるインターポーザまたは複数のインターポーザの設計に対するデザインルールおよび
/またはレイアウトルールとして規定されてもよい。言いかえれば、そのようなインターボ
ネクト制限領域はブリッジングダイが相互接続されたダイ上にあるとして考えられてもよ
い。そのようなインターポーザの他のインターボネクトと同様に、導電線も、同様にイン
ターボネクト制約に関連付けられてもよい。さらに、インターポーザ間の間隙も、同様に
インターボネクト制限領域に関連付けられてもよい。
20

【0058】

概して、限定ではなく明確にするため、インターボネクト制限領域は、ここでは、インターポーザ上において、少なくともそのようなインターポーザのオフセット領域の部分に応じて規定されるように言及される。さらに、限定ではなく明確にするため、インターポ
ーザのインターボネクト制限領域はここではオフセット領域と呼ばれる。さらに、インターボ
ネクト制限領域は、インターポーザが能動素子または受動素子であってもよいので、能動的
なダイまたは受動的なダイを含む任意のダイのものであってもよい。しかしながら、
限定ではなく明確にするため、インターポーザが受動素子であることが仮定される。さら
に、切離されたインターポーザであれ、拡張されたインターポーザであれ、1つのイン
ターポーザを別のインターポーザに接続するブリッジングダイは、能動的なダイまたは受
動的なダイであってもよい。それらの線に沿って、ブリッジングダイへの微細ピッチイン
ターボネクトが第1および第2のインターポーザのインターボネクト制限領域の対向する
両側に位置してもよいことが十分に理解されるべきである。
30

【0059】

限定ではなく、例として明確にするため、最大インターポーザ高さ501はパッケージ
蓋設置面積マージン化の後、約31mm(約1.22インチ)であってもよく、現在最大
インターポーザ幅502はパッケージ蓋設置面積マージン化の後、約26mm(約1.0
24インチ)であってもよい。スクライプ線および封止リングオフセットで、最大使用可
能なインターポーザ高さ503は約29mm(約1.142インチ)であってもよく、最大使用可
能なインターポーザ幅504は約24mm(約0.9449インチ)であってもよい。したがって、現
在、最大使用可能なインターポーザ領域510は約700mm²(約27.56平方インチ)であってもよ
く、この最大使用可能なインターポーザ領域510は、ハイエンドデバイスに対して約600mm²(約23.62平方インチ)以上の現
在既存の單一体のダイサイズに鑑み考慮されるべきである。これまで、1ギガビットのメ
モリはインターポーザ使用可能領域のおおよそ25%~50%を消費し、したがって、そ
のような量のメモリは大きなハイエンドデバイスとともにパッケージ化することができな
50

かった。これは、ピン数密度がそのようなインターフェクトのサイズのために著しく制限されることを意味した。しかしながら、1ギガバイトのメモリを用いてバッファ処理することは、効果的には400 Gbpsトラフィックの約2.5ミリ秒を占めるにすぎず、それは、トランシーバおよびライン・システムブリッジングの利用に関して不適当な均衡に至るかもしれない。

【0060】

以下の記載から十分に理解されるように、より使用可能なインターポーラ領域は、スタックドダイアセンブリを設けるために効果的に2つ以上のインターポーラにブリッジングすることによって設けられる。拡張されたインターポーラについては、これは2つ以上のインターポーラに相互接続される1つ以上のダイを用いることを伴ってもよく、そのようなインターポーラダイは、単一のICパッケージを設けるために単一のプラットフォームとして同じウェハ上に形成される。この例では、2つ以上の分離されたインターポーラが互いと物理的接触をなす実施の形態とは対照的に、2つ以上のインターポーラは、単一のプラットフォームとして互いに物理的に接続される。インターポーラを形成するために用いられるレチクル結像フィールドは、互いと重複してもしなくてもよい。別の実施の形態では、インターポーラは、互いから完全に切離され、次いで、ブリッジングダイを用いて結合されてもよい。さらに別の実施の形態では、インターポーラダイは、たとえば後述されるように、互いから完全に切離され、次いで、単一のICパッケージのためにともに成型され、そしてブリッジングダイでブリッジングされてもよい。

【0061】

図6-1は、たとえばスタックドダイアセンブリ600Aのような、例示的なアセンブリを示すプロック図である。スタックドダイアセンブリ600Aは、SoC300、メモリプール303Aおよび303B、ならびに、拡張されたインターポーラに対してあれ、完全に切離されたインターポーラ500Aおよび500Bに対してあれ、インターポーラ500Aおよび500Bのインターポーラアセンブリを含む。明確にするため、限定ではなく例として、SoC300はFPGAであると仮定するが、しかしながら、他のタイプのICが用いられてもよいことを理解すべきである。

【0062】

SoC300はライン側トランシーバ301、システム側トランシーバ302A～302C、およびライン・システムブリッジ304を含んでもよい。ライン側トランシーバ301およびシステム側トランシーバ302A～302Cはライン・システムブリッジ304を介して双方向通信のために結合されてもよく、そのような結合は、FPGAのPIPを用いることによるようなダイ内結合であってもよい。ライン・システムブリッジ304は、FPGAプログラマブルリソース、すなわち「FPGAファブリック」において実現されてもよい。

【0063】

SoC300は、インターポーラ500Aの表面およびインターポーラ500Bの表面のような、インターポーラ500Aおよび500Bの両方に相互接続されてもよい。たとえば、SoC300は、インターポーラ500Aおよび500Bをブリッジングするようにインターポーラ500Aの上側表面からインターポーラ500Bの上側表面に延在してもよい。拡張されたインターポーラでは、インターポーラ500Aおよび500Bは同じウェハから形成された共通の単一のプラットフォームである。しかしながら、別の実施の形態では、インターポーラ500Aおよび500BはSoC300を介して互いに結合される分離されたインターポーラであってもよい。

【0064】

点線710Aによって概して示されるように、オフセット領域515の左端の縁部に境を接するインターポーラ500Aの使用可能領域510の一部、および/または点線710Bによって概して示されるように、オフセット領域516の右端の縁部に境を接するインターポーラ500Bの使用可能領域510の一部は、任意で、オフセット領域515および516に応じることに加えて、インターフェクト制限領域599を規定するために用

10

20

30

40

50

いられるそれぞれの一部であってもよい。しかしながら、限定ではなく明確にするため、さらに詳細に後述されるインターフィードコネクト制限領域 599 は、オフセット領域 515 および 516 に応じてのみ形成されることが仮定されるが、他の実施の形態においては、他の形態で使用可能な領域 510 の一部が用いられてもよい。

【0065】

SOC300 は、従来的に、導電線インターフィードコネクト構成要素を含む、オフセット領域 515 および 516 のいずれかまたは両方にある、密なマイクロバンプまたは他の微細ピッチインターフィードコネクトを有してもよいことが理解されるべきである。重ねて、インターポーラのインターフィードコネクト制限領域 599 はインターフィードコネクトを含んでもよいが、一般的には微細ピッチインターフィードコネクトを含まない。オフセット領域 515 および 516 は微細ピッチインターフィードコネクトに対して好適ではないので、SOC300 がインターポーラ 500A および 500B をブリッジングするのに、それらが互いから切離されてしまうといまいと、そのような SOC300 の微細ピッチ「ピン配置」レイアウトは従来的でなくともよい。むしろ、SOC300 の微細ピッチ「ピン配置」レイアウトはインターポーラ 500A および 500B にブリッジングすることに調整されてもよい。それらの線に沿って、オフセット領域 515 および 516 上に配置される SOC300 の微細ピッチインターフィードコネクトは、インターポーラ 500A および 500B のオフセット領域 515 および 516 内にある、すなわちインターポーラ 500A および 500B のインターフィードコネクト制限領域 599 内にある、粗いピッチインターフィードコネクトに整列されてもよい。

【0066】

メモリプール 303A および 303B はインターポーラ 500B の表面に相互接続される。たとえば、メモリプール 303A および 303B は、SOC300 とのダイ間結合のためにインターポーラ 500B の上側表面に相互接続されてもよい。メモリプール 303A および 303B は双方向通信のために SOC300 に結合されてもよい。

【0067】

インターポーラ 500A および 500B は同じまたは実質的に同じ高さを有してもよい。インターポーラ 500A の幅 W1 は最大インターポーラ幅 502 以下であってもよく、インターポーラ 500B の幅 W2 は同様に最大インターポーラ幅 502 以下であってもよい。しかしながら、幅 W1 は異なるダイサイズに対応するために幅 W2 より実質的に大きくてよい。インターポーラ 500A および 500B のインターポーラアセンブリは、幅 W1 + W2 の全体的なインターポーラアセンブリ幅 602 を有してもよい。限定ではなく、例として明確にするため、インターポーラ 500A および 500B の各々に対して約 33mm (約 1.299 インチ) のインターポーラ高さの場合、SOC300 が約 24 ミリメートル (約 0.9449 インチ) の幅を有する状態で、約 40 ミリメートル (約 1.575 インチ) の全体的なインターポーラアセンブリ幅 602 が用いられてもよい。そのような例に対して、スタッカドダイアセンブリ 600A は、単一の 50mm (1.969 インチ) × 50mm (1.969 インチ) パッケージ内に嵌まってもよい。しかしながら、他の実施の形態においては、他の高さ、幅、および / またはパッケージサイズが用いられてもよい。

【0068】

インターポーラ 500A の縁部およびインターポーラ 500B の縁部は、互いに対して少なくとも実質的に並んで位置決めされる。インターポーラ 500A および 500B が互いから切離されると、インターポーラ 500A および 500B のそのような縁部は互いと当接してもよい。インターポーラ 500A は、インターポーラ 500B に概して近い、取っておかれた領域またはオフセット領域 515 を有してもよい。この例では、オフセット領域 515 は、インターポーラ 500A の遠い右側縁部と境界線を共にする境界を有する。インターポーラ 500B は、インターポーラ 500A に概して近い、取っておかれた領域またはオフセット領域 516 を有してもよい。この例では、オフセット領域 516 は、インターポーラ 500B の遠い左側縁部と境界線を共にする境界を有する。

【0069】

10

20

30

40

50

オフセット領域 515 および 516 の一方または両方は S0C300 の密な微細ピッチピン配置レイアウトにおいて占められてもよく、S0C300 は、インターポーザ 500A および 500B のそれぞれオフセット領域 515 および 516 には関連付けられるが微細ピッチから微細ピッチへのダイからダイへの相互接続には関連付けられない制限領域 599 内に電気的な相互接続を設けるよう、形成される。オフセット領域 515 および 516 のいずれかまたは両方は、それらが動作する微細ピッチから微細ピッチへの電気的な相互接続を設けるよう用いられる金属層部分およびビアホール層部分を含まないように形成されてもよく、したがって、S0C300 は、そのようなオフセット領域 515 および 516 内において関連付けられる、対応する微細ピッチインターロコネクトのためのどのようなピン配置も含まなくてよい。さらに、たとえば、オフセット領域 515 および 516 のいずれかまたは両方は、それらが電気的なインターロコネクトおよび関連付けられる導電線を含まないように形成されてもよい。10

【0070】

電気的なインターロコネクトは、デバイスの動作のために信号を搬送するために用いられる。電気的なインターロコネクトは、たとえばダミー構造体のような、たとえばリソグラフィ結像または他の態様で用いられてもよいような、非電気的な構造のための非電気的なインターロコネクトから対比されてもよい。

【0071】

たとえば後述されるダイからダイへのインターロコネクトのような、微細ピッチのダイからダイへのインターロコネクトは、S0C300 がメモリプール 303A および 303B をインターポーザ 500B を介して相互接続することに対して、インターポーザ 500B 上においてオフセット領域 516 の外部に排他的に位置してもよい。S0C300 をメモリプール 303A および 303B に相互接続するための微細ピッチ導電線はすべて、オフセット領域 516 の外部の、インターポーザ 500B の一部として形成されてもよい。20

【0072】

接地平面または電源電圧のための幅広いバスを設けることが可能であり、したがって微細ピッチまたは精密な相互接続は、必ずしもそのような幅広いバスに対して必要とはされない。したがって、たとえば、S0C300 の 1 つ以上の微細ピッチインターロコネクトは、そのような幅広いバスのためにインターポーザのインターロコネクト制限領域に配置されてもよく、なぜならば、微細ピッチ整列制約はそのような幅広いバス化には必ずしも当てはまらないからである。しかしながら、限定ではなく明確にするため、インターロコネクト制限領域 599 はどのような動作するインターロコネクトもないことが仮定されるが、他の実施の形態では、微細ピッチ整列制約の対象でないインターロコネクトがそのようなインターロコネクト制限領域 599 にあってもよい。30

【0073】

図 6-2 は別の例示的なスタックドダイアセンブリ 600B を示すブロック図である。スタックドダイアセンブリ 600B は、以下の違いを除いて、図 6-1 のスタックドダイアセンブリ 600A と概ね同じである。単一の S0C300 ではなく、スタックドダイアセンブリ 600B は、2 つの S0C、すなわち S0C300A および S0C300B を含む。この例では、S0C300A はライン側トランシーバ 301 とシステム側トランシーバ 302A とライン - システムブリッジ 304A とを含み、S0C300B はシステム側トランシーバ 302B および 302C とライン - システムブリッジ 304B とを含む。S0C300A および 300B は、インターポーザ 500A に関連付けられるインターロコネクトを介して互いに相互接続されてもよい。40

【0074】

スタックドダイアセンブリ 600A および 600B では、ライン側トランシーバより多いシステム側トランシーバがある。しかしながら、他の構成が用いられてもよい。たとえば、図 6-3 は、スタックドダイアセンブリのさらに別の例 600C を示すブロック図である。スタックドダイアセンブリ 600C は、以下の違いを除いて、概ね図 6-2 のスタックドダイアセンブリ 600B と同じである。スタックドダイアセンブリ 600C において50

ては、S o C 3 0 0 A は、ライン側トランシーバ 3 0 1 A およびシステム側トランシーバ 3 0 2 A ならびにライン - システムプリッジ 3 0 4 A を含み、S o C 3 0 0 B は、ライン側トランシーバ 3 0 1 B およびシステム側トランシーバ 3 0 2 B ならびにライン - システムプリッジ 3 0 4 B を含む。S o C 3 0 0 A および 3 0 0 B の各々は、インターポーザ 5 0 0 A および 5 0 0 B を互いに結合することに対して、または互いから切離されないインターポーザ 5 0 0 A および 5 0 0 B に対して、オフセット領域 5 1 5 および 5 1 6 をプリッジングしてもよい。おおよそ等しい量の半導体領域が、ライン側トランシーバ および システム側トランシーバを形成することに対して与えられてもよく、2つのS o C はインターポーザ 5 0 0 A および 5 0 0 B を物理的にプリッジングするために用いられてもよい。F P G A とともに実現されるS o C については、トランシーバリソースはライン側またはシステム側のいずれかのために構成されてもよい。

【 0 0 7 5 】

インターポーザ 5 0 0 A および 5 0 0 B のようなインターポーザは特定のダイに対して製造されてもよいので、インターポーザ 5 0 0 A を形成するために用いられるマスクの組は、インターポーザ 5 0 0 B を形成するために用いられるマスクの組とは実質的に異なってもよい。たとえば、あるS o C ダイは、限定なしに実質的に異なるサイズおよびピン配置を含んで、メモリダイと実質的に異なってもよい。

【 0 0 7 6 】

ここに記載されるようなインターポーザアセンブリを提供することによって、より多くのトランシーバが、概してより多くのリソースと同様に、ライン - システムプリッジングのために、単一のI C パッケージにおいてバッファメモリとともに実現されてもよいことが理解されるべきである。さらに、メモリの量は、より大きなインターポーザアセンブリ設置面積を有するため、実質的に増大されてもよい。そのようなリソースは、I C パッケージのためにインターポーザアセンブリにまとめて搭載されてもよいので、ダイからダイへのインターネットが、たとえば従来のマイクロバンプより著しく小さく、マイクロボールより実質的に小さい、密なマイクロバンプとともに形成されてもよい。マイクロボールは、時にC 4 ハンダボールと呼ばれ、従来のマイクロバンプより著しく大きく、従来はP C B を介するI C からI C へのインターネットのために用いられる。

【 0 0 7 7 】

言いかえれば、インターネット密度は、パッケージ内により大きな設置面積を伴うインターポーザアセンブリを提供することによって増強され、なぜならば、より多くの領域が微細ピッチのダイからダイへの相互接続に対して与えられるからであり、それを、従来のダイからダイへのインターネットおよび / またはチップからチップへのインターネットの代りに用いてもよい。インターポーザアセンブリを介するインターネット密度を増大することによって、帯域幅は、そのようなインターネット密度によって対応して増大されてもよい。帯域幅増大は、そのようなさらなるリソースをサポートすることに対して大きなインターポーザアセンブリを有するパッケージ化されたスタックドダイアセンブリ内において利用可能なリソースの追加的な量によってさらに支援されてもよい。

【 0 0 7 8 】

図7 - 1は、それぞれ図6 - 1、図6 - 2、または図6 - 3のスタックドダイアセンブリ 6 0 0 A、6 0 0 B および 6 0 0 C のいずれか（まとめて1つで「スタックドダイアセンブリ 6 0 0 」）の例示的な断面図を示すブロック図である。S o C 3 0 0 およびメモリボール 3 0 3 は、インターポーザ 5 0 0 A および 5 0 0 B から形成されるインターポーザアセンブリに、インターネット 7 1 3 を介して相互接続される。この例におけるインターネット 7 1 3 は密なダイからダイへのフリップチップマイクロバンプであるが、しかしながら、他のタイプのダイからダイへの微細ピッチインターネットが用いられてもよい。

【 0 0 7 9 】

S o C 3 0 0 は、インターポーザ 5 0 0 A の上側表面 7 0 3 に、ダイからダイへのインターネット 7 1 3 の一部を介して接続されるが、それは微細ピッチインターネットで

10

20

30

40

50

あってもよく、または従来のフリップチップマイクロパンプであってもよく、およびS0C300は、インターポーザ500Bの上側表面704に、ダイからダイへのインターロネクト713の別の部分を介して接続される。メモリプール303は、インターポーザ500Bの上側表面704に、ダイからダイへのインターロネクト713のさらに別の部分を介して接続される。ダイからダイへのインターロネクト713のいくつかは、他より大きなインターロネクトに結合されてもよく、それらは、ここでは、ダイからダイへのインターロネクト（「インターロネクト」）713と混同されないように「コネクタ」711と呼ばれる。たとえば、コネクタ711は、たとえばシリコン貫通ビアホール（「TSV」）712のような、「基板貫通ビアホール」を用いて、インターロネクト713に結合されてもよい。この例では、コネクタ711はマイクロボールであるが、しかしながら、他のタイプのチップからチップへの大規模インターロネクトが用いられてもよい。重ねて、コネクタ711はインターロネクト713より実質的に大きい。したがって、互いに合わせられても、または互いから切離されてもよい、インターポーザ500Aおよび500Bから形成されるインターポーザアセンブリを提供することによって、ダイの相互接続のためのより大きなインターポーザ領域が、チップからチップへのインターロネクトを用いなければならないことを回避するように設けられる。限定ではなく明確にするため、そのようなインターポーザ500Aおよび500Bは、お互いかから切離され、すなわち別個のダイであることが仮定される。言いかえれば、ダイからダイへのインターロネクトは、これまでチップからチップへのインターロネクトが用いられたかもしれないところに用いられる。インターロネクト密度は、インターロネクト713の方が、コネクタ711よりも大きいので、帯域幅は先に記載されるようにICのために増強されてもよい。さらに、この例では、インターポーザ500Aおよび500Bはシリコンインターポーザであり、したがって、この例については、基板貫通ビアホールはTSV712であるが、しかしながら、他の実施の形態では、他のタイプの基板またはダイプラットフォームが用いられてもよい。

【0080】

この例におけるインターポーザ500Aの遠い右側縁701は、インターポーザ500Bの遠い左側縁702に当接する。ここにおいて先に記載されたように、縁部701および702はそれぞれオフセット領域515および516の境界を設ける。まとめて、インターポーザ500Aおよび500Bのオフセット領域515および516は、それぞれ、能動的な微細ピッチインターロネクトおよび関連付けられる導電線がなくてもよく、すなわちオフセット領域515および516のすべてまたは部分に対応してもよいインターロネクト制限領域または領域710がなくてもよい。

【0081】

インターポーザ500Bの上側表面704上のインターロネクト713の一部は、S0C300およびメモリプール303を相互接続するためにある。導電線715のような導電線（以下、1つにまとめて「導電線715」）は、たとえばインターポーザ500Bの層間にあってもよく、S0C300と上側表面704との間に位置するインターロネクト713の一部をメモリプール303と上側表面704との間に位置するインターロネクト713の別の部分と結合するよう用いられる。したがって、S0C300およびメモリプール303の相互接続のための導電線715はすべて、インターポーザ500Bの一部として設けられてもよい。言いかえれば、ダイからダイへの相互接続のための導電線715はすべてインターポーザ500B内で自給自足されてもよい。インターロネクト713および導電線715は、S0C300をメモリプール303に相互接続するために用いられてもよい構成要素の例である。インターロネクト713および導電線715は、1つにまとめて微細ピッチインターロネクトを与えてよい。

【0082】

図7-2は、別の例示的なスタックドダイアセンブリ700の断面図を示すブロック図である。スタックドダイアセンブリ700は、メモリプール303が、互いに相互接続されたメモリダイの鉛直積層、すなわちスタックドダイメモリ720と置換される以外は、

スタックドダイアセンブリ 600 と同様である。スタックドダイメモリ 720 はメモリプールダイ (「メモリプール」) 303-1 ~ 303-N を含んでもよく、N は 1 より大きな正の整数である。限定ではなく明確にするため図示されないが、メモリプールダイ 303-1 ~ 303-N は、たとえば TSV の使用を介してのように、互いに相互接続されて、スタックドダイメモリ 720 を与えてもよいことが理解されるべきである。メモリプールダイ 303-1 は、先にたとえばメモリプール 303 を参照して記載されたようにインターポーザ 500B に相互接続されてもよい。

【0083】

図 7-3 は、さらに別のスタックドダイアセンブリ 700 の断面図を示すブロック図である。この例において、メモリプールダイ 303-1 ~ 303-N は、スタックドダイメモリ 730 の形成のためにメモリインターフェイス 731 の上に積層される。スタックドダイメモリ 730 はスタックドダイメモリ 720 を置換する。メモリインターフェイス 731 はインターポーザ 500B に相互接続される。メモリインターフェイス 731 は、メモリプールダイ 303-1 ~ 303-N に対するインターフェイスロジックを含んでもよい。メモリインターフェイス 731 はメモリプールダイ 303-1 に相互接続され、スタックドダイメモリ 730 の構成に依存するその 1 つ以上の介在するメモリプールダイを介してメモリプールダイ 303-1 ~ 303-N の各々に相互接続されてもよい。

【0084】

図 8 は、インターポーザアセンブリ 800 の例示的な上面図を示すブロック図である。インターポーザアセンブリ 800 はインターポーザ 500A および 500B を含む。インターポーザ 500A および 500B の各々は、最大インターポーザ高さ 501 以下であってもよい高さを有する。明確にするため、限定ではなく例として、この例におけるインターポーザ 500A および 500B は、両方とも、同じ最大インターポーザ高さ 501 を有し、同様に、同じ最大使用可能な高さ 503 を有する。しかしながら、他の実施の形態では、インターポーザ 500A および 500B は、少なくとも 1 つは最大高さにおいてではない不等な高さを有してもよい。

【0085】

インターポーザ 500A および 500B の各々は、最大インターポーザ幅 502 以下であってもよい幅を有する。明確にするため、限定ではなく例として、この例におけるインターポーザ 500A および 500B は、両方とも、同じ最大インターポーザ幅 502 を有し、同様に、同じ最大使用可能な幅 504 を有する。しかしながら、他の実施の形態では、インターポーザ 500A および 500B は、少なくとも 1 つは最大幅においてではない不等な幅を有してもよい。

【0086】

この例では、電気的なインターネット制限領域 710 はインターポーザ 500A および 500B のダイにされた縁部と当接することに応じては規定されず、なぜならば、インターポーザ 500A および 500B は、この例では、全体として同じウェハまたは他の基板上に形成され、すなわち、単一のプラットフォームとして互いと一体に形成されるからである。言いかえれば、インターポーザ 500A および 500B は、2 つの別々のプラットフォームとは対照的に、単一のプラットフォームとして形成される。したがって、インターポーザ 500A および 500B はこの例では同じ半導体基板から単一のプラットフォームを与える。インターポーザ 500A および 500B のオフセット領域 515 および 516 を用いて、電気的なインターネット制限領域 710 を規定してもよい。しかしながら、インターポーザ 500A および 500B が単一のプラットフォームとして形成されるとき、電気的なインターネット制限領域 710 はスクライプ線シームを含む必要はなく、パッケージングのためにダイにするためにマージン化することを含む必要はない。したがってインターポーザ 500A および 500B の拡張されたまたは単一のプラットフォーム版においては、最大使用可能領域は、インターポーザ 500A および 500B をダイにし、それから別々のダイを与える実施の形態を超えて増大されてもよく、したがって、インターポーザレチクルフィールドリソグラフィ結像制限の対象であるインターネット制

10

20

30

40

50

限領域 710 の設置面積は低減されてもよい。

【0087】

別々のレチクルの組がインターポーザ 500A および 500B の形成において用いられるので、そのようなレチクルの組をそのシームを横切ってインターロネクトを形成するために互いと整列させることは問題かもしれない。インターロネクト制限領域 710 は、整列問題を緩和するために拡大されてもよい。シリコンウェハの例がインターポーザ 500A および 500B の形成の記載に対してここに用いられるが、他のタイプの基板が、ガラスまたは別の形式の基板基材を限定なしに含んで、用いられてもよい。

【0088】

図 9-1 は例示的なウェハ 900 を示すブロック図である。ウェハ 900 はインターポーザ 500A および 500B からインターポーザアセンブリ 800 を形成するために用いられてもよい。2つの別々のレチクルの組が、インターポーザ 500A および 500B の形成のために、ワイヤおよびビアホールを限定なしに含むインターポーザパターンを印刷する用いられてもよい。ウェハ 900 は、水平行 901 および垂直列 902 に沿ってレーザ除去および / または鋸引きされてもよい。水平行 901 および垂直列 902 はスクライプ線であってもよい。ウェハ 900 をダイにした後、インターポーザアセンブリ 800 は、インターポーザ 500A および 500B が、同じウェハ基板材料から互いに一体に形成され、単一のプラットフォームのダイとして与えられることが十分に理解されるべきである。

【0089】

2つのインターポーザがインターポーザアセンブリ 800 の形成のために例示的に示されるが、2つを超えるインターポーザがダイとして与えられるよう同じウェハ基板材料から互いに一体的に形成されてもよい。たとえば、図 9-2 は、インターポーザアセンブリ 800 が各々 4つのインターポーザから形成される例示的なウェハ 900 を示すブロック図である。この例では、インターポーザアセンブリ 800 は各々インターポーザ 500A 、500B 、500C および 500D を含み、インターポーザのそのような集合は、互いと一体に、単一または共通プラットフォームとして形成される。

【0090】

図 10-1 は、例示的なスタックドダイアセンブリ 1000 の断面図を示すブロック図である。スタックドダイアセンブリ 1000 は、当接する縁部 701 および 702 ではなく、そのような縁部間の間隙 1010 が与えられる以外は、スタックドダイアセンブリ 600 と同様である。縁部 701 および 702 は、そのような並んだ向きについて、少なくとも互いに実質的に平行に位置決めされてもされなくてもよい。この例では、間隙 1010 は制限されたインターロネクト領域 1049 を効果的に拡張し、したがって、他の態様では間隙 1010 より上で延在する S0C300 下のピン配置であるかもしれないものとして省略されてもよい。S0C300 のピン配置を低減するのではなく、S0C300 以外のダイを用いて、インターポーザ 500A および 500B をブリッジングしてもよい。

【0091】

しかしながら、インターポーザ 500A および 500B がそれらの間に間隙 1010 を有する場合、そのようなインターポーザを形成するように用いられるレチクルフィールドに関連付けられるシームは、そのようなインターポーザが異なるウェハから形成される場合には存在しなくてもよいことが理解されるべきである。しかしながら、そのようなオフセット領域 515 および 516 は残存し、したがって、限定ではなく明確にするため、インターロネクト制限領域または領域 1049 は残存し、間隙 1010 を含む、と仮定される。

【0092】

図 10-2 は、例示的なスタックドダイアセンブリ 1100 の断面図を示すブロック図である。スタックドダイアセンブリ 1100 は以下の違いを除いてスタックドダイアセンブリ 1000 と同様である。スタックドダイアセンブリ 1100 では、S0C300C はインターポーザ 500A および 500B をブリッジングせず、したがって、S0C300

10

20

30

40

50

C はこの例ではインターポーザ 500A にのみ相互接続される。

【0093】

しかしながら、ブリッジダイ 1110 を追加して、インターポーザ 500A の上側表面およびインターポーザ 500B の上側表面を相互接続する。ブリッジダイ 1110 は、インターポーザ 500A と 500B との間でオフセット領域 515 および 516 ならびに間隙 1010 に亘って、そのようなインターポーザを物理的にブリッジングする。先に記載されたように、インターポーザ 500A および 500B の各々の一部を任意で使用して、インターネクト制限領域または領域 710 を与えてよい。たとえば、別々のインターポーザ 500A および 500B を伴う実施の形態では、インターポーザ 500A および 500B を製造するのに用いられる 1 つ以上のレチクルに関連付けられる結像フィールドの縁部に概ね沿った像の質は、そのような縁部に関連付けられる領域または領域において信頼性高く微細ピッチインターネクトを形成することを問題とするよう十分に下げられるかもしれない。この例では、インターポーザ 500A および 500B とそれぞれ関連付けられる微細ピッチインターネクト 713 および微細ピッチ導電線 715 は、すべて、オフセット領域 515 および 516 の外部にある。そのような実施の形態では、ブリッジダイ 1110 は受動素子であってよい。たとえば、ブリッジダイ 1110 はそれ自体がシリコンインターポーザであってよい。しかしながら、受動的なダイであれ、または能動的なダイであれ、ブリッジダイ 1110 はオフセット領域 515 および 516 ならびに間隙 1010 を占めるピン配置を有するよう製造されてもよい。

【0094】

明確にするため、限定ではなく例として、ブリッジダイ 1110 は、関連付けられる微細ピッチマイクロバンプを用いて、S0C に 300C にインターポーザ 500A を介して相互接続されてもよい。さらに、ブリッジダイ 1110 は、関連付けられる微細ピッチマイクロバンプを用いて、メモリプールダイ 303 にインターポーザ 500B を介して相互接続されてもよい。

【0095】

ブリッジダイ 1110 は任意で能動的なダイであってよい。したがって、たとえば、ブリッジダイ 1110 は、S0C 300C とメモリプール 303 との間で双方向通信ブリッジを与えてもよい。限定ではなく例として、ブリッジダイ 1110 は、ダイからダイへの通信のために、バッファおよび / またはバイオペーラ化されたフリップフロップを含んでもよい。たとえば、ブリッジダイ 1110 は、たとえば切換えのためのように、S0C 300C とメモリプール 303 との間で相互接続ネットワークを与えてもよい。ブリッジダイ 1110 は任意で双方向リピータ 1111 のアレイまたはクロスバースイッチ 1111 の組を含んでもよく、各そのような双方向リピータまたはクロスバースイッチ 1111 は、たとえば S0C 300C からメモリプール 303 へのように第 1 の I C から第 2 の I C に信号を転送する、および / またはその逆であるように、静的に構成されてもよい。双方向リピータ 1111 を伴う実施の形態に対しては、双方向リピータ 1111 のそのようなアレイのためのコンフィギュレーションビットは、最終的にはブリッジダイ 1110 の内部に保存されてもよいが、そのようなコンフィギュレーションビットは、たとえば S0C 300C またはメモリプール 303 のような、そのような他の I C の 1 つによって初期化されてもよい。少なくとも 2 つのクロスバースイッチ 1111 の組を伴う実施の形態については、そのようなクロスバースイッチ 1111 は静的に構成されてもよい。W 倍 Q 倍 P (「P x Q x W」) のクロスバースイッチ 1111 は、P 個の入力ポート、Q 個の出力ポート、およびポート当たり W ビットを有し、W ビット幅データ経路を伴う P 対 1 マルチプレクサの Q 個のインスタンスとして実現されてもよい。これら P 対 1 マルチプレクサの選択制御線は静的であり得、たとえば S0C 300C とメモリプール 303 との間でのような、第 1 の I C と第 2 の I C との間のトラフィックは、真っすぐに進む必要はない。2 つのクロスバースイッチ 1111 を用いて、トラフィックが第 1 の I C から第 2 の I C に進むことおよび / またはその逆ができるることを可能にしてもよい。

【0096】

10

20

30

40

50

この例では、オフセット領域 515 は、微細ピッチインターボードコネクトが、それに関連付けられる微細ピッチ導電線と並んで、SOC300Cへの相互接続のためにブリッジダイ 1110 をインターボード 500A に相互接続することに対して、その外で形成されてもよい、インターボード 500A の電気的なインターボードコネクト制限領域の第 1 の部分を与える。同様に、オフセット領域 516 は、微細ピッチインターボードコネクトが、それに関連付けられる微細ピッチ導電線と並んで、メモリプール 303 への相互接続のためにブリッジダイ 1110 をインターボード 500B に相互接続することに対して、その外で形成されてもよい、インターボード 500B の電気的なインターボードコネクト制限領域の第 2 の部分を与える。最後に、双方向リピータ 1111 またはクロスバースイッチ 1111 のためのブリッジダイ 1110 の微細ピッチインターボードコネクトは、インターボードコネクト制限領域 1049 の外部に存在および / またはそれより上に延在するが、間隙 1010 に対しては概して利用可能でない。
10

【0097】

図 11 は、スタッードダイアセンブリ 1100 の 1 つ以上を形成するための例示的なプロセス 1150 を示す流れ図である。スタッードダイアセンブリ 1100 は以下の相違点を除いて図 10-2 のスタッードダイアセンブリ 1100 と同様である。さらに、スタッードダイアセンブリ 1100 の一例が用いられるが、スタッードダイアセンブリ 1000 がそのようなプロセス 1150 において用いられてもよいことが理解されるべきである。

【0098】

1101において、インターボード 500A および 500B は、その対の形成のために、別々のダイとして形成される。したがって、インターボード 500A および 500B は同じまたは別々のウェハからダイにされてもよい。限定ではなく例として、1つのウェハはもっぱらインターボード 500A の形成のために用いられてもよく、別のウェハはもっぱらインターボード 500B の形成のために用いられてもよい。
20

【0099】

1102において、1101において形成されたインターボード 500A および 500B は、成型またはパッケージング材料 1120 に入れられるか、またはそうでなければそれと接触させられる。効果的に、1102において、ウェハまたは他の基板が、金型を用いて、インターボード 500A および 500B がそれぞれの対にある状態で、再構築されてもよい。そのようなパッケージング材料 1120 の一部はインターボード 500A と 500B との対間において延在し、すなわち間隙 1010 内に延在することが十分に理解されるべきである。
30

【0100】

1103において、ここにおいて先に記載されたように、SOC300C、ブリッジダイ 1110 およびメモリプール 303 は、インターボード 500A および 500B に相互接続されてもよい。1104において、スタッードダイアセンブリ 1100 はそのような成型された基板からダイにされてもよい。したがって、単位スタッードダイアセンブリ 1100 がパッケージング材料 1120 にセットされるように与えられてもよく、そのような各単位スタッードダイアセンブリ 1100 は、インターボード 500A の縁部とインターボード 500B の縁部との間に延在するパッケージング材料 1120 の一部を有する。
40

【0101】

2 つ以上の別々のインターボードを 1 つ以上のブリッジダイとともに有することは、応力を低減するかもしれない。さらに、別々のインターボードは、そのようなインターボードの組が、異なるタイプの IC に対応するためにそのようなインターボードの 1 つ以上を変更することによってカスタマイズされること可能にしてもよい。総歩留まりは別々のインターボードの組合せで改善されてもよく、なぜならば公知の十分なインターボードを組み合わせてインターボードアセンブリを形成してもよいからである。別々のインターボードはねじりを低減し、それは、インターボード上における頂部ダイアセンブリ中においてアセンブリ歩留まりを増大するであろう。別々のインターボードは微細ピッチインターボードコネクトのアンダーフィルを低減するであろう。
50

【0102】

先に言及されたように、単一のインターポーラが大きなサイズを有する場合、それは、インターポーラ上およびインターポーラに結合する他のIC構造上に、大量の応力を誘導するかもしれない。たとえば、インターポーラをICパッケージの基板に結合する、インターポーラより下のハンダバンプは、インターポーラのサイズに依存するかなりの量の応力を晒され得る。したがって、インターポーラは、単一の單一体のインターポーラを用いることではなく、2つ以上の個々のインターポーラに分割または細分され得る。結果として、より小さなインターポーラ、およびより小さなインターポーラに結合された任意のIC構造は、低減された応力を晒され、それによって、マルチダイIC構造の信頼性を増大する。

10

【0103】

図12は、IC構造1200のトポグラフィ図を示すブロック図である。IC構造1200はマルチダイIC構造である。図12は、単一パッケージ内にIC構造1200の複数のダイを積層することへのパッキング方策を示す。図12に図示されるように、IC構造1200は複数個のダイ1205、1210および1215を含むことが可能である。ダイ1205～1215は2つ以上のインターポーラ1220および1225上に取付け可能である。インターポーラ1220および1225は各々シリコンインターポーラとして実現することが可能である。インターポーラ1220および1225は、IC構造1200を実現することが可能であるICパッケージの基板1230上に取付けることが可能である。

20

【0104】

インターポーラ1220および1225の各々は、ダイ1205～1215を水平に積層することが可能である平面を有するダイであり得る。示されるように、ダイ1205および1210は、インターポーラ1220および1225の平面上に並んで位置することが可能である。図12に示される例では、ダイ1205はインターポーラ1220にのみ取付けられる。ダイ1215はインターポーラ1225にのみ取付けられる。ダイ1210は両方のインターポーラ1220およびインターポーラ1225に取付けられる。一般に、ダイ1205～1215の各々は共面であり得る。同様に、インターポーラ1220および1225の各々は共面であり得る。この明細書内において用いられるように、用語「共面」は、列挙された構造は同じ面に位置すること、または各列挙された構造は他の面と同じ面にある少なくとも1つの表面を有することを意味する。

30

【0105】

インターポーラ1220および1225の各々は、マルチダイIC構造の1つ以上のダイのために共通の取付表面および電気的結合点を与えることが可能である。インターポーラ1220および1225は、ダイ1205～1215間のインターフェクトルーティングのために中間層として、またはIC構造1200のために接地面もしくは電源面として、働くことが可能である。インターポーラ1220および1225の各々は、N型および/またはP型不純物でドープされようとされまいと、シリコンウェハ基板で実現することが可能である。インターポーラ1220および1225の製造は、金属インターフェクトの1つ以上の層の成膜を可能にする1つ以上の追加工程ステップを含むことが可能である。これらの金属インターフェクト層はアルミニウム、金、銅、ニッケル、さまざまなケイ素化合物などを含むことが可能である。

40

【0106】

インターポーラ1220および1225は、たとえば二酸化ケイ素のような1つ以上の誘電体層または絶縁層の成膜を可能にする1つ以上の追加工程ステップを用いて製造することが可能である。一般に、インターポーラ1220および/または1225は、インターポーラ1220および/または1225の一方または両方は、能動的な回路素子、たとえばN-材料と接触するP-材料または「PN」接合を含むことが可能でないという点において、受動的なダイとして実現することが可能である。別の局面では、インターポーラ1220および1225はたとえばトランジスタデバイスおよび/またはダイオードデバ

50

イスのような能動回路素子の作成を可能にする1つ以上の追加工程ステップを用いて製造することが可能である。注目されるように、インターポーザ1220および1225の各々は、一般にダイであり、この明細書内においてより詳しく記載されるように1つ以上のT S Vの存在によって特徴付けられる。

【0107】

図13-1は、図12のIC構造1200の断面側面図を示すブロック図である。特定的には、図13-1は、切断線13-1～13-1に沿ってとられた図12のIC構造1200の図を示す。したがって、同様の参照符号はこの明細書の全体にわたって同じ要素を指すために用いられる。

【0108】

示されるように、インターポーザ1220の第1の(底部)表面は、基板1230の頂部表面に結合されることが可能である。同様に、インターポーザ1225の第1の(底部)表面は基板1230の頂部表面に結合されることが可能である。インターポーザ1220の第2の(頂部)表面は、ダイ1205の底面、およびダイ1210の底面の一部に結合されることが可能である。インターポーザ1225の第2の(頂部)表面は、ダイ1210の底面の一部およびダイ1215の底面に結合されることが可能である。

【0109】

1つの局面では、ダイ1205～1215は、ハンダバンプ1305を介して、インターポーザ1220および1225に電気的に結合することが可能である。ハンダバンプ1305は、たとえば「マイクロバンプ」の形式において実現することが可能である。特定的には、ダイ1205はハンダバンプ1305を介してインターポーザ1220に結合される。ダイ1210はハンダバンプ1305を介してインターポーザ1220およびインターポーザ1225に結合される。ダイ1215はハンダバンプ1305を介してインターポーザ1225に結合される。ハンダバンプ1305の各々は、さらに、場合に応じて、ダイ1205～1215をインターポーザ1220および/またはインターポーザ1225に物理的に取付けるように働くことが可能である。

【0110】

インターポーザ1220は、インターネクト領域1310を形成する金属または別の導電性材料から形成される1つ以上のパターン化された層を含むことが可能である。パターン化された層は、ダイ1205と1210との間でダイ間信号を渡すことが可能である。ダイ間ワイヤ1315のようなダイ間ワイヤを形成するよう用いることが可能である。たとえば、ダイ間ワイヤ1315は、インターネクト領域1310から1つ以上のビアホールとの組合せにおいてパターン化された金属層の1つ以上を用いて形成することが可能である。ダイ間ワイヤ1315は、ダイ1205とインターポーザ1220との間に位置するハンダバンプ1305の1つ、およびダイ1210とインターポーザ1220との間に位置するハンダバンプ1305の別の1つに接続することが可能であり、それによって、ダイ1205をダイ1210に結合し、ダイ1205と1210との間での信号の交換を可能にする。

【0111】

インターポーザ1225は、インターネクト領域1320を形成する金属または別の導電性材料から形成される1つ以上のパターン化された層を含むことが可能である。インターネクト領域1320は、インターポーザ1220のインターネクト領域1310と実質的に同様であり得る。したがって、パターン化された層およびビアホールを用いて、ダイ間ワイヤ1325のようなダイ間ワイヤを形成することが可能である。ダイ間ワイヤ1325は、ダイ1210とインターポーザ1225との間に位置するハンダバンプ1305の1つ、およびダイ1215とインターポーザ1225との間に位置するハンダバンプ1305の別の1つに接続することが可能であり、それによって、ダイ1210をダイ1215に結合し、ダイ1210と1215との間での信号の交換を可能にする。

【0112】

ダイ1205～1215のインターポーザ1220および1225への結合はハンダバ

10

20

30

40

50

ンプ 1305 を用いて達成されるが、さまざまな他の技術を用いて、ダイ 1205 ~ 1215 をインターポーザ 1220 および 1225 に結合することができる。たとえば、ボンドワイヤまたはエッジワイヤを用いて、ダイを 1 つ以上のインターポーザに結合することが可能である。他の例では、接着材料を用いて、ダイを 1 つ以上のインターポーザに物理的に取付けることが可能である。図 13-1 内に示されるような、ダイ 1205 ~ 1215 のインターポーザ 1220 および 1225 へのハンダバンプ 1305 を介した結合は、例示の目的で与えられ、この明細書内において開示される例を限定するようには意図されない。

【 0113 】

ハンダバンプ 1330 を用いて、インターポーザ 1220 および 1225 の各々の底面を基板 1230 に電気的に結合することが可能である。ある局面では、ハンダバンプ 1330 は「C4 バンプ」の形式において実現することが可能である。注目されるように、基板 1230 は、IC 構造 1200 が実現されるマルチダイ IC パッケージの一部であり得る。ハンダバンプ 1330 を用いて、IC 構造 1200 をマルチダイ IC パッケージの外部のノードに結合することが可能である。

10

【 0114 】

インターポーザ 1220 および 1225 の各々は、1 つ以上のシリコン貫通ビアホール (TSV) 1335 を含むことが可能である。一般に、各 TSV 1335 は、インターポーザ 1220 および / またはインターポーザ 1225 を垂直に横断する、たとえばインターポーザ 1220 および / またはインターポーザ 1225 の全体ではないとしても実質的な部分を通って延在する電気的接続を形成するよう導電性材料から形成されるビアホールとして実現することが可能である。たとえば、TSV 1335 は、インターポーザ 1220 および / またはインターポーザ 1225 内に、頂部平面つまりハンダバンプ 1305 が結合される表面から底部平面つまりハンダバンプ 1330 が結合される表面に延在する開口部を穿孔またはエッチングすることによって実現することが可能である。次いで、導電性材料を開口部内において配置することが可能である導電性材料の例は、アルミニウム、金、銅、ニッケル、さまざまなケイ素化合物などを含むことが可能であるが、それらに限定はされない。

20

【 0115 】

30

図 13-1 に示される例では、各 TSV 1335 は、インターポーザ 1220 におけるインターネット領域 1310 またはインターポーザ 1225 におけるインターネット領域 1320 内の 1 つ以上のビアホールとの組合せにおいて、パターン化された層の 1 つ以上を介してハンダバンプ 1305 に結合するよう示される。別の例では、しかしながら、TSV 1335 は、場合に応じてインターネット領域 1310 またはインターネット領域 1320 を通過することによって、ハンダバンプ 1305 をハンダバンプ 1330 と結合するよう、インターポーザ 1220 およびインターポーザ 1225 を実質的に通つて延在することが可能である。

【 0116 】

40

TSV 1335 は、ハンダバンプ 1305 およびハンダバンプ 1330 との組合せにおいて、ダイ 1205 をインターポーザ 1220 を介して基板 1230 に結合する。ダイ 1210 は、TSV 1335、ハンダバンプ 1305 およびハンダバンプ 1330 を用いて、インターポーザ 1220 を通つて、およびインターポーザ 1225 を通つて、基板 1230 に結合される。ダイ 1215 は、TSV 1335、ハンダバンプ 1305 およびハンダバンプ 1330 を用いて、インターポーザ 1225 を通つて基板 1230 に結合される。

【 0117 】

1 つの局面において、信号は、ダイ間ワイヤ 1315 およびダイ間ワイヤ 1325 のようなダイ間ワイヤと、ダイ間ワイヤ 1315 をダイ間ワイヤ 1325 と結合する、ダイ 1210 内において実現されるワイヤまたは他の信号経路との組合せを介して、ダイ 120

50

5からダイ1215に伝搬されることが可能である。ダイ1210において実現される信号経路は、ハードワイヤードの回路系またはプログラマブル回路系の形式で実現することが可能である。

【0118】

たとえば、ダイ1205～1215は、さまざまな異なるタイプのダイのいずれかとして実現することが可能である。ダイ1205～1215の1つ以上は、メモリデバイス、プロセッサ、たとえば中央処理装置、アプリケーション特化IC、またはプログラマブルICとして実現することが可能である。各そのようなタイプのICは、ダイ間ワイヤ1315をダイ間ワイヤ1325と結合するハードワイヤードの回路系を含むことが可能である。ダイ1205～1215の各々は、類似または同一のタイプのICとして実現することが可能である。代替的には、ダイ1205は第1のタイプのICとして実現することが可能であり、一方、ダイ1210および1215は第2の異なるタイプのICとして実現される。さらに別の例では、ダイ1205～1215の各々は、異なるタイプのICとして実現することが可能である。

【0119】

ダイ間ワイヤ1315をダイ間ワイヤ1325に結合するダイ1210における信号経路は、ハードワイヤードまたはプログラマブル回路系であり得る。プログラマブル回路系の場合では、ダイ1205は、プログラマブル回路系がそのような接続を実施するように構成されない場合、またはそのように構成されるまで、ダイ1215と通信することが可能でなくされ得る。

【0120】

IC構造1200内では、インターポーラ1220およびインターポーラ1225は距離1340だけ分離され得る。インターポーラ1220および1225の各々のそれぞれの縁部は、インターポーラ1220および1225の各々の間に延在する距離1340に等しい幅を有するチャネルを効果的に形成する。示されるように、ダイ1210はインターポーラ1220とインターポーラ1225との間でチャネルを効果的に渡る。インターポーラ1220および1225の各々は、 L_{int} の長さを有することが可能である。基板1230は、 L_{sub} の長さを有することが可能である。同じ長さを有するように示されるが、インターポーラ1220および1225の各々はIC構造100の実現に依存して異なる長さを有することが可能である。

【0121】

IC構造1200はさまざまな異なる応力に晒される。たとえば、インターポーラ1220および1225は、ダイが取付けられる構造上の基部を各々が与えるので、応力に晒される。さらなるハンダバンプおよび特にハンダバンプ1330は、増大したレベルの応力に晒され得る。1つの局面において、インターポーラ1220および/または1225の1つ以上の縁部またはすべての縁部に沿って位置するハンダバンプ1330は、増大したレベルの剪断歪に晒され得る。

【0122】

図13-1を参照して、ハンダバンプ1330のうち増大したレベルの剪断歪に晒される特定のバンプは、ハンダバンプ1330のうちの他のバンプの濃い着色に対立するものとしてぼかしで示される。インターポーラ1220の下の最左端および最右端のハンダバンプ1330は、ハンダバンプ1330のうちインターポーラ1220と基板1230との間の他のバンプより高いレベルの剪断歪に晒される。同様に、インターポーラ1225の下の最左端および最右端のハンダバンプ1330は、ハンダバンプ1330のうちインターポーラ1225と基板1230との間の他のバンプより高いレベルの剪断歪に晒される。

【0123】

一般に、剪断歪()は、以下の等式(1)に従って決定することが可能である。

【0124】

10

20

30

40

【数1】

$$\gamma = \frac{\epsilon_{thermal} l \Delta \theta}{h} \quad (1)$$

【0125】

等式(1)内において、 $\epsilon_{thermal}$ は熱膨脹係数を表し、 l は長さを表し、 h は、図13-2に示されるように、剪断歪の適用の前および剪断歪の適用の後における角度 θ における差を表し、 h は高さを表す。図13-2を参照して、たとえば、ハンダバンプ1330Aが剪断歪に晒されないとき、角度 θ は最初は0である。ハンダバンプ1330Aがインターポーザ1225と基板1230との間に位置し、それによって、ハンダバンプ1330Aを剪断歪に晒した後、ハンダバンプ1330Aは平坦になる。一例では、図13-2に示されるように、 θ の頂点は、ハンダバンプ1330Aの底部の平坦にされた部分の中心である。角度 θ は、示されるように、頂点と整列した中心線から、インターポーザ1225と接触しているハンダバンプ1330Aの頂部の平坦にされた部分の端部点まで、測定され、たとえばインターポーザ1225と接触しているハンダバンプ1330Aの頂部の平坦にされた部分のおおよそ半分である。

【0126】

等式(1)を図13-1に適用して、ハンダバンプ1330Aがたとえば晒される剪断歪を判断することが可能である。その場合、変数 l は、インターポーザ(つまりこの場合ではインターポーザ1225)の中心から外側縁部ハンダバンプ1330Aまで測定される長さを表す。この例では、 l は L_{int} の半分である。変数 h はハンダバンプ1330Aの高さを表す。熱膨張率は、事実上、基板1230に対する熱膨張率とインターポーザ1225に対する熱膨張率との間の差である。論考のため、インターポーザ1225に対する熱膨張率は約3であり、基板1230に対する熱膨張率は約12である、と仮定することが可能である。したがって、等式(1)は、以下の等式(2)まで約すことが可能である。

【0127】

【数2】

$$\gamma = \frac{9l\Delta\theta}{h} \quad (2)$$

【0128】

示されるように、剪断歪は、概ね各インターポーザの長さ、たとえば L_{int} に依存する。ハンダバンプ1330Aが晒される剪断歪は L_{int} の低減によって低減することが可能であり、それは l も低減する。したがって、単一の單一のインターポーザを用いるのではなく、ハンダバンプ1330A上、および同様に位置決めされた他のバンプ上の剪断歪は、2つ以上のより小さなインターポーザ、たとえば単一の單一のインターポーザに比較して長さを低減したインターポーザを用いることによって、低減することが可能である。

【0129】

図14は、IC構造1400のトポグラフィ図を示すブロック図である。IC構造1400はマルチダイIC構造である。図示されるように、IC構造1400は複数個のダイ1405、1410および1415を含むことが可能である。ダイ1405～1415は共面であり得、したがってインターポーザ1420、1425、1430、1435上に取付けることが可能である。インターポーザ1420～1435の各々は、実質的に、図12および図13を参照して記載されるように、シリコンインターポーザとして実現することが可能である。インターポーザ1420～1435は共面であり得、IC構造1400を実現することが可能であるICパッケージの基板上に取付けられ得る。図示を容易にするために、基板は図14には示されない。

【0130】

10

20

30

40

50

IC構造1400は、X軸がIC1400を2つの等しい半分に二分し、Y軸がIC構造1400を2つの等しい半分に二分する、デカルト座標系上に重ねられて示される。X軸はY軸に垂直である。示されるように、インターポーザ1420は完全に象限1内にある。インターポーザ1425は完全に象限2内にある。インターポーザ1430は完全に象限3内にある。インターポーザ1435は完全に象限4内にある。

【0131】

参照の目的のため、各インターポーザ1420～1435の底面は、第1の表面と呼ばれる。ダイが取付けられる各インターポーザ1420～1435の頂部表面は、第2の表面と呼ばれる。示されるように、ダイ1405は、インターポーザ1420の第2の表面の一部、およびインターポーザ1425の第2の表面の一部上に取付けられる。ダイ1405は象限1および2のみ内にある。ダイ1410は、インターポーザ1420～1435の各々の第2の表面の一部上に取付けられ、部分的に、各象限1～4内にある。ダイ1415は、インターポーザ1430の第2の表面の一部、およびインターポーザ1435の第2の表面の一部上に取付けられる。したがって、ダイ1415は象限3および4内にのみある。

【0132】

インターポーザ1420および1425の各々は、ダイ1405をダイ1410と結合する用いることが可能である、1つ以上のダイ間ワイヤを含むことが可能である。同様に、インターポーザ1430および1435の各々は、ダイ1410～1415を結合する用いることが可能である、1つ以上のダイ間ワイヤを含むことが可能である。ダイ1410は、インターポーザ1420をインターポーザ1425、1430および1435の1つ以上または各々に結合することが可能であるワイヤまたは信号経路とともに構成することが可能である。同様に、ダイ1410は、インターポーザ1425をインターポーザ1420、1430および1435の1つ以上または各々に結合することが可能であるワイヤまたは信号とともに構成することが可能である。ダイ1405は、インターポーザ1420をインターポーザ1425に結合することが可能であるワイヤまたは信号経路とともに構成することが可能である。同様に、ダイ1415は、インターポーザ1430をインターポーザ1435に結合するが可能であるワイヤまたは信号経路とともに構成することが可能である。

【0133】

図13を参照して論じられるように、インターポーザ1420～1435の各々は1つ以上のTSVを含むことが可能である。したがって、ダイ1405は、インターポーザ1420内にある1つ以上のTSVおよび/またはインターポーザ1425内にある1つ以上のTSVを介して、基板に結合することが可能である。ダイ1410は、インターポーザ1420、インターポーザ1425、インターポーザ1430および/またはインターポーザ1435内に位置する1つ以上のTSVを介して基板に結合することが可能である。ダイ1415は、インターポーザ1430内にある1つ以上のTSVおよび/またはインターポーザ1435内にある1つ以上のTSVを介して、基板に結合することが可能である。

【0134】

一般的に、インターポーザ1420は、インターポーザ1435から予め定められる距離1440だけ分離されることが可能である。同様に、インターポーザ1425は、インターポーザ1430から予め定められる距離1440だけ分離されることが可能である。したがって、記載された分離は、距離1440の幅を有するX軸に沿ったチャネルを効果的に形成する。ダイ1410は、示された、X軸上に形成されたチャネルの距離1440を、効果的に亘る。

【0135】

インターポーザ1420はインターポーザ1425から予め定められる距離1445だけ分離されることが可能である。同様に、インターポーザ1430はインターポーザ1435から予め定められる距離1445だけ分離されることが可能である。したがって、記

10

20

30

40

50

載された分離は、距離 1445 の幅を有する Y 軸に沿ったチャネルを効果的に形成する。ダイ 1405、1410 および 1415 の各々は、示された、Y 軸上に形成されたチャネルの距離 1445 を、効果的に亘る。

【 0136 】

図 15 は、図 14 の IC 構造 1400 の断面側面図を示すブロック図である。特定的には、図 15 は、切断線 15-15 に沿ってとられた図 14 の IC 構造 1400 の図を示す。図 15 は、単一の、より大きいかまたは单一体のインターポーザに対立するものとして、2 つ以上のインターポーザを用いることによって達成される、低減された長さ 1 を示す。図 15 を参照して、ハンダバンプ 1505 のうち増大したレベルの剪断歪に晒される特定のバンプは、ハンダバンプ 1505 のうちの他のバンプの濃い着色に対立するものとしてぼかしで示される。この例では、4 つのインターポーザが用いられ、それによって、1 を低減し、ハンダバンプ 1505A ~ 1505D 上にかけられる剪断歪の量を低減する。

【 0137 】

インターポーザ 1430 は、既にこの明細書内に記載された他のインターネクト領域を参照して記載されるように実現することが可能であるインターネクト領域 1510 を含むことが可能である。インターネクト領域 1510 内に形成される 1 つ以上のダイ間ワイヤは、ダイ 1410 およびダイ 1415 を結合することが可能である。同様に、インターポーザ 1435 は、先に記載されたように実現することが可能であるインターネクト領域 1515 を含むことが可能である。インターネクト領域 1515 内に形成される 1 つ以上のダイ間ワイヤは、ダイ 1410 をダイ 1415 に結合することが可能である。図 15 は、さらに、インターポーザ 1430 およびインターポーザ 1435 は各々 1 つ以上の TSV 1520 を含むことが可能であることを示す。TSV 1520 は、ダイがインターポーザを介して基板に結合して、IC 構造 1400 の外部および IC パッケージ外部のノードに接続することを可能にする。

【 0138 】

図 16 は、図 14 の IC 構造 1400 のさらなる断面側面図を示すブロック図である。特定的には、図 16 は、切断線 16-16 に沿ってとられた図 14 の IC 構造 1400 の図を示す。示されるように、インターポーザ 1435 は、ダイ 1415 をダイ 1410 と結合するダイ間ワイヤ 1530 のような 1 つ以上のダイ間ワイヤを含むことが可能である。さらに、インターポーザ 1420 は、ダイ間ワイヤ 1535 のような 1 つ以上のダイ間ワイヤを形成するよう用いることが可能であるインターネクト領域 1525 を含むことが可能である。ダイ間ワイヤ 1535 はダイ 1410 をダイ 1405 と結合することが可能である。

【 0139 】

図 17 は、IC 構造 1700 のトポグラフィ図を示すブロック図である。IC 構造 1700 はマルチダイ IC 構造である。図示されるように、IC 構造 1700 は複数個のダイ 1705 および 1710 を含むことが可能である。ダイ 1705 ~ 1710 は共面であり得、インターポーザ 1715 および 1720 上に取付けられ得る。インターポーザ 1715 および 1720 は、各々、実質的に、この明細書内に記載されるように、シリコンインターポーザとして実現することが可能である。インターポーザ 1715 および 1720 は共面であり得、IC 構造 1700 を実現することが可能である IC パッケージの基板上に取付けることが可能である。図示を容易にするために、基板は図 17 には示されない。

【 0140 】

インターポーザ 1715 の第 1 の（底部）表面は、たとえば、C4 タイプのハンダバンプのようなハンダバンプを用いて、基板の頂部表面に結合することが可能である。同様に、インターポーザ 1720 の第 1 の（底部）表面は、同様に、C4 タイプのバンプのようなハンダバンプを用いて、基板の頂部表面に結合することが可能である。インターポーザ 1715 の第 2 の（頂部）表面は、ダイ 1705 の底面の一部、およびダイ 1710 の底面の一部に結合されることが可能である。インターポーザ 1720 の第 2 の（頂部）表面は、ダイ 1705 の底面の一部、およびダイ 1710 の底面の一部に結合されることが可

能である。ダイ1705および1710は、先に記載されるようなマイクロバンプのようなハンダバンプを介して、インターポーザ1715および1720に結合されることが可能である。

【0141】

インターポーザ1715および1720の各々は、ダイ1705および1710が基板に結合することが可能である、1つ以上のT S Vを含むことが可能である。したがって、ダイ1705はインターポーザ1715およびインターポーザ1720の両方を介して基板に結合することが可能である。同様に、ダイ1710はインターポーザ1715およびインターポーザ1720の両方を介して基板に結合することが可能である。インターポーザ1715および1720の各々は、ダイ1705と1710との間の信号の交換をサポートする、1つ以上のダイ間ワイヤを有するインターフェクト領域を含むことが可能である。

10

【0142】

いくつかの例示的なスタックドダイアセンブリの上記の記載から、複数のインターポーザを用いることによって、複数のダイは、以前に利用可能であったよりより大きなインターポーザ領域にわたって互いに相互接続されてもよいことが理解されるべきである。DRAMのようなメモリを、S S I Tに基づくF P G Aダイstackに追加する例が用いられたが、以下の記載は、ダイからダイへのインターフェクトが同じパッケージ内の複数のインターポーザの使用によって増強される任意のスタックドダイアセンブリに当てはまることが理解されるべきである。ここに記載されるスタックドダイアセンブリは、現在のリソーラフィ、パッケージングおよびアセンブリのためのマージン化、ならびに/またはダイからダイへのインターフェクトの利用可能性によって制約されなくてもよい。さらに、上記の記載は一般的に受動的なインターポーザに関するが、ここに記載された複数インターポーザの例におけるインターポーザのいずれかまたは両方は、能動的なインターポーザ、すなわち能動素子を伴うインターポーザであってもよいことが理解されるべきである。

20

【0143】

前述の記載は例示的なアセンブリおよび方法を記載するが、特許請求の範囲およびその均等物が定めるその範囲から逸脱することなく、1つ以上の局面に従った他のまたはさらなる実施の形態を工夫してもよい。工程ステップを列挙する請求項は工程ステップのどのような順序も暗示するものではない。登録商標はそれらのそれぞれの所有者の財産である。

30

【図1】

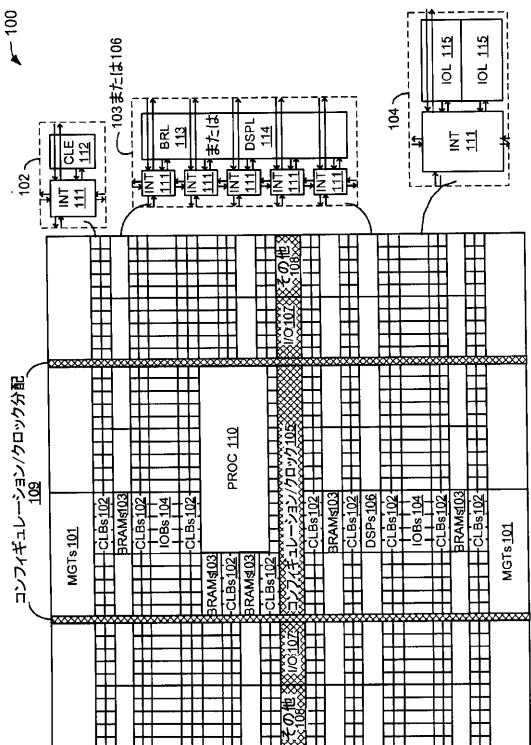


FIG. 1

【図2】

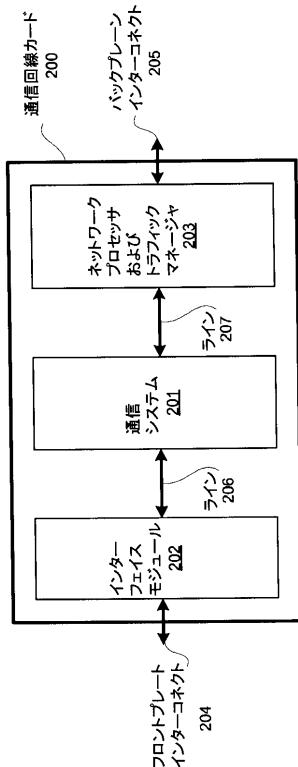


FIG. 2

【図3】

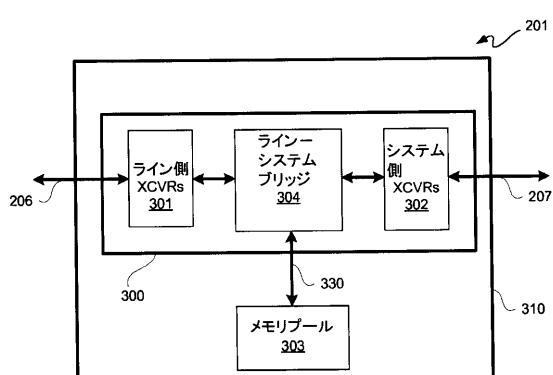


FIG. 3

【図5】

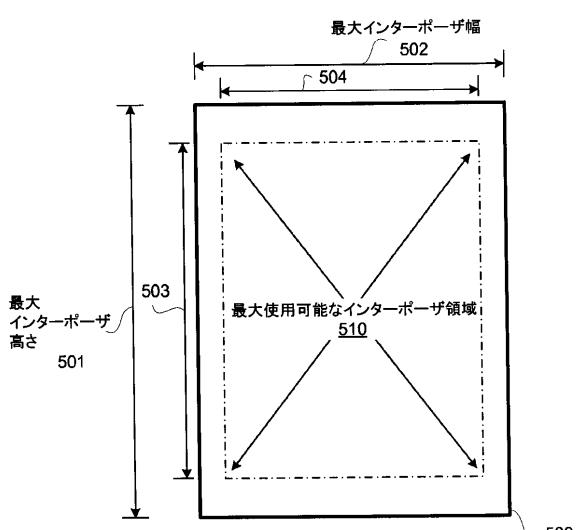


FIG. 5

【図4】

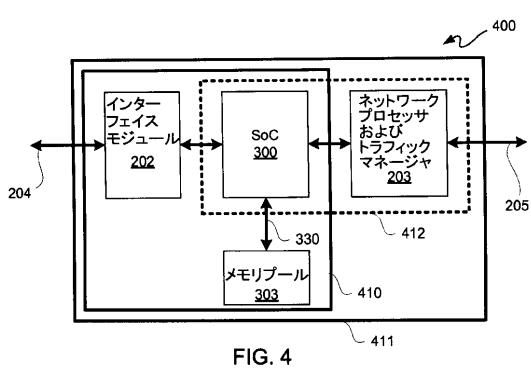
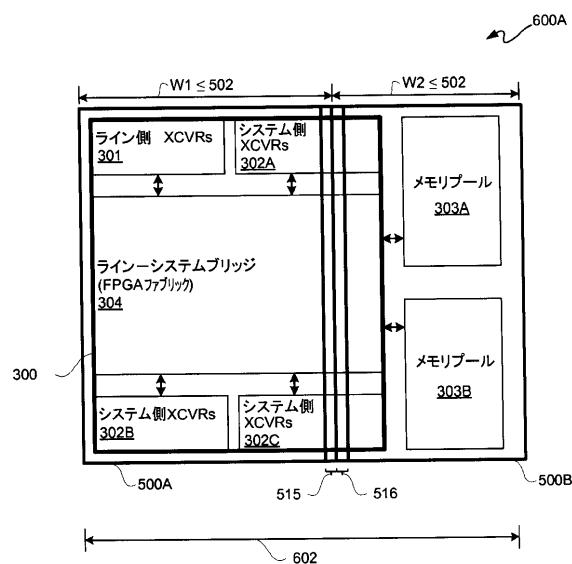


FIG. 4

【図 6 - 1】



【図 6 - 2】

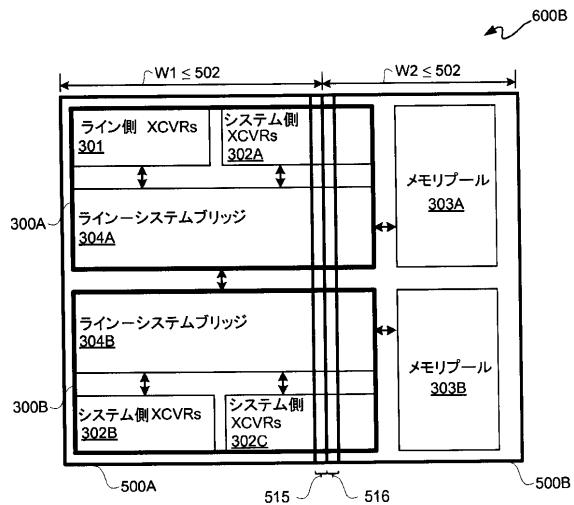


FIG. 6-1

FIG. 6-2

【図 6 - 3】

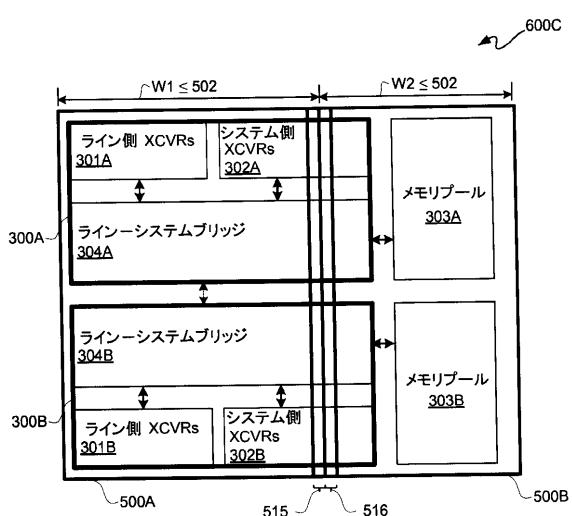


FIG. 6-3

【図7-1】

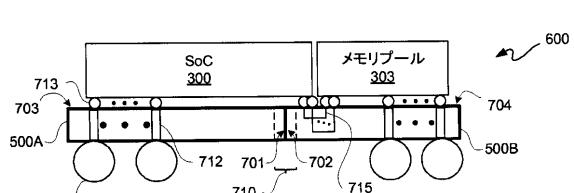


FIG. 7-1

【図7-2】

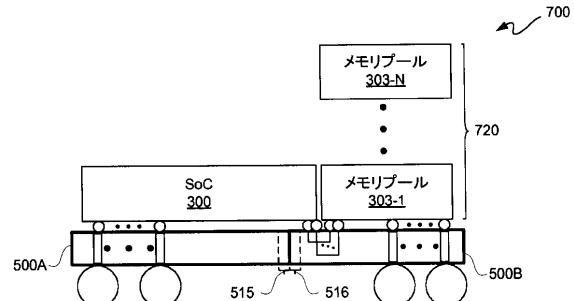


FIG. 7-2

【図 7-3】

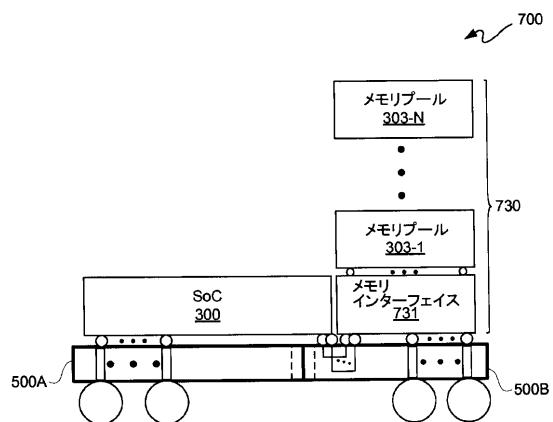


FIG. 7-3

【図 8】

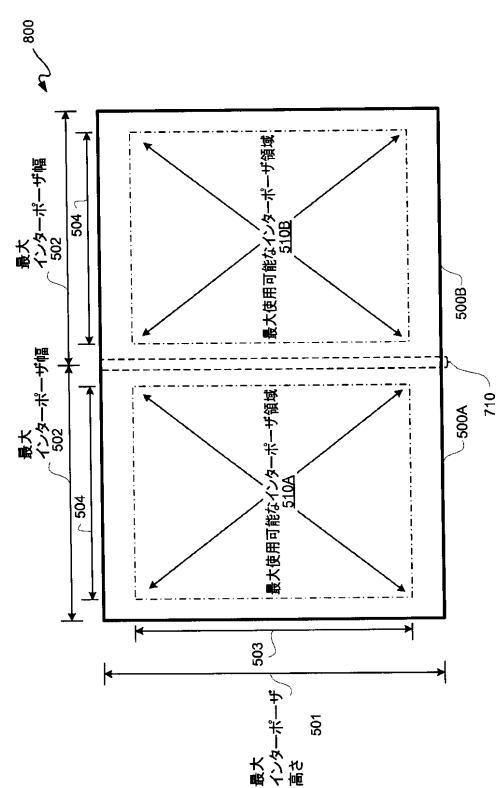


FIG. 8

【図 9-1】

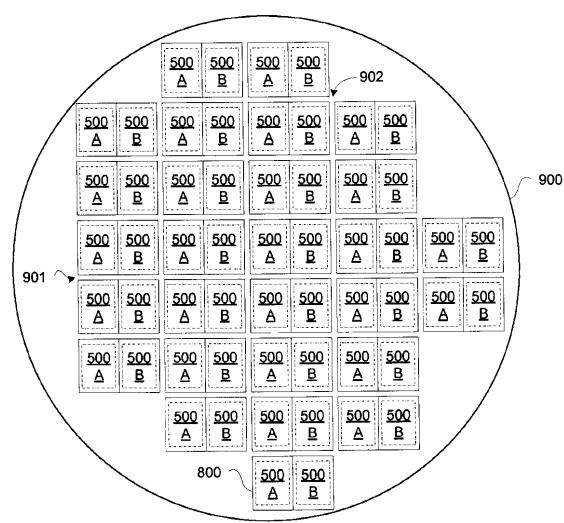


FIG. 9-1

【図 9-2】

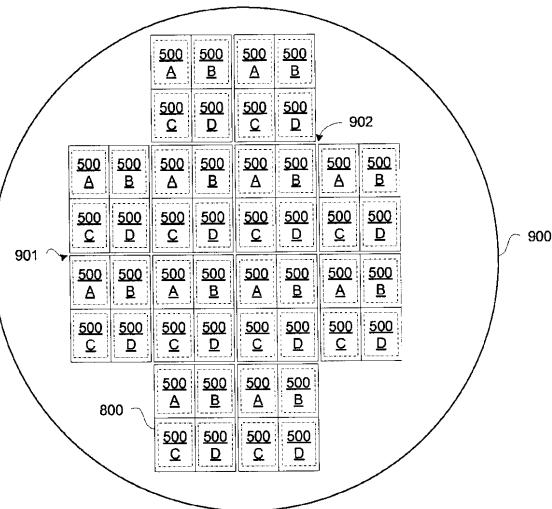


FIG. 9-2

【図 10 - 1】

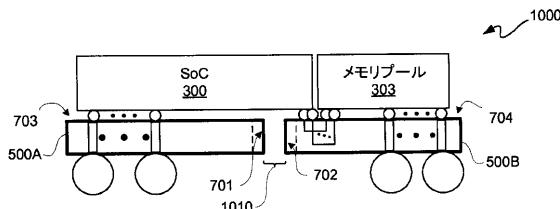


FIG. 10-1

【図 10-2】

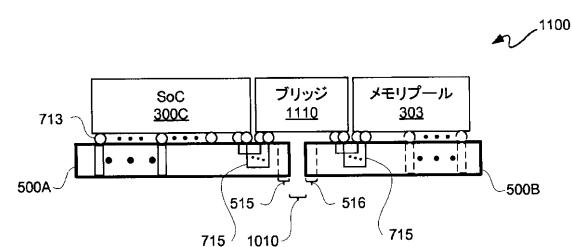


FIG. 10-2

【习题 1 2】

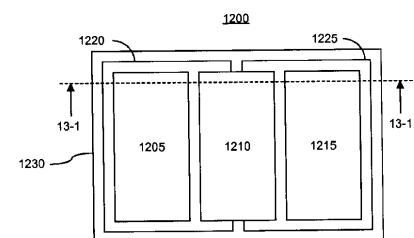


FIG. 12

【図 1.3 - 1】

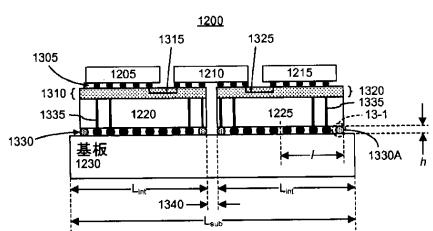


FIG. 13-1

【 図 1 1 】

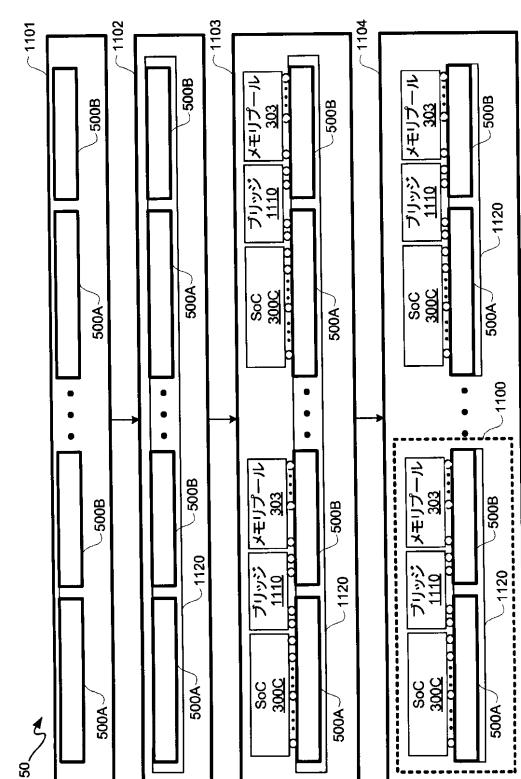


FIG. 11

【図 1.3 - 2】

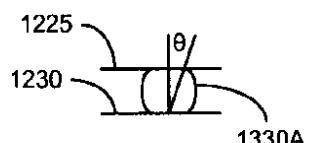


FIG. 13-2

【 図 1 4 】

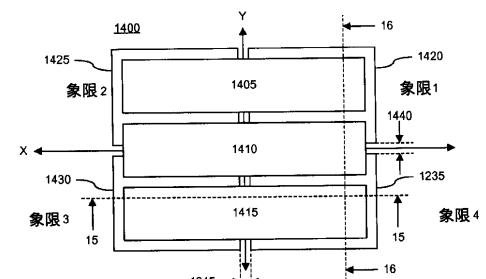


FIG. 14

【図15】

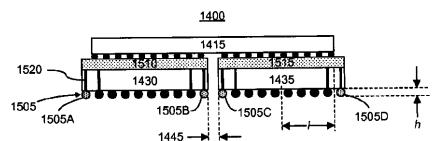


FIG. 15

【図16】

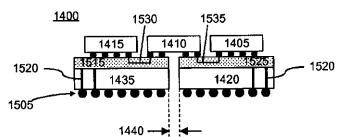


FIG. 16

【図17】

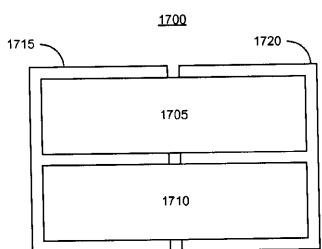


FIG. 17

フロントページの続き

(72)発明者 バニジャマリ , バハレー

アメリカ合衆国、95124 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2100

(72)発明者 チャワレ , ラグフナンダン

アメリカ合衆国、95124 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2100

審査官 木下 直哉

(56)参考文献 米国特許出願公開第2009/0267238 (U.S., A1)

特開2011-124277 (JP, A)

特開2004-327474 (JP, A)

特開2004-111415 (JP, A)

国際公開第02/082540 (WO, A1)

特開2002-353398 (JP, A)

特開2009-135397 (JP, A)

特開2006-019368 (JP, A)

米国特許第4074342 (U.S., A)

(58)調査した分野(Int.Cl. , DB名)

H01L 25/00 - 25/18