

# 公告本

417272

417272

417272

|      |              |
|------|--------------|
| 申請日期 | 86.1.16      |
| 案 號  | 86100445     |
| 類 別  | 1101L 23/544 |

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                                   |
|------------|---------------|-------------------------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 半導體製程之對準標記圖案                                                      |
|            | 英 文           |                                                                   |
| 二、發明<br>人  | 姓 名           | 一、李 長 勳<br>二、林 福 正<br>三、郭 振 泰                                     |
|            | 國 籍           | 一、中 華 民 國<br>二、中 華 民 國<br>三、中 華 民 國                               |
|            | 住、居所          | 一、新竹科學工業園區新竹市研新一路一號<br>二、新竹科學工業園區新竹市研新一路一號<br>三、新竹科學工業園區新竹市研新一路一號 |
| 三、申請人      | 姓 名<br>(名稱)   | 台灣茂矽電子股份有限公司                                                      |
|            | 國 籍           | 中 華 民 國                                                           |
|            | 住、居所<br>(事務所) | 新竹科學工業園區新竹市研新一路一號                                                 |
|            | 代 表 人<br>姓 名  | 胡 洪 九                                                             |

裝

訂

線

## 五、發明說明( )

發明領域：

本發明與一種形成於切割道(scribe line)上之對準標記圖案(align mark pattern)有關，特別是一種增進對準精確性之對準標記圖案。

發明背景：

半導體製程一直傾向於節省空間之設計，目前使用兩、三層或是更多之內連線製作技術，而且執行一功能所需之元件數目亦漸減，例如早期需要六個電晶體之 DRAM 現在可以用一個電晶體與電容器所取代。

對準(alignment)是確保半導體製程中上層膜層與底層膜層對準之主要方法，因為於半導體製程時有多層之內連線形成於基板之上，假如其中有一層膜層沒有對準則將造成製程之錯誤。對接觸窗之蝕刻、光阻之微影、膜層之沈積一般均有數個對準標記圖案(align mark pattern)形成於晶片之上以利製程之對準，膜層間之對準準確性是考慮該層與對應膜層間是否有依要求之方式配合，為了此目的因此使用了對準標記圖案(align mark pattern)，一般而言，上述之對準標記圖案形成於晶片切割道(scribe line)之中或之上。

## 五、發明說明( )

如第一圖所示，對準標記圖案 10 通常為一十字形圖案形成於一墊層(pad layer)12 之中或之上，該墊層 12 是於製程時形成於晶片之切割道之上，典型之切割道寬度小於 100 微米。於對準程序時，一光束由 X 方向與 Y 方向掃描以偵測對準標記圖案 10 之位置以確定是否有對準。參閱第二圖，當光束由 X 方向與 Y 方向掃描時，因十字形對準標記圖案 10 與墊層 12 間有落差因此於設備之監控器上有一尖峰 16 出現，上述之墊層(pad layer)12 可以由金屬、複晶矽或是介電質所組成。

不幸地，墊層(pad layer)12 之邊緣與切割道之間亦有落差，因此當光束由 Y 方向掃描時，此情況產生之干擾訊號因此也會於設備之監控器上有尖峰 18 出現。有些情況之下，尖峰 16、18 之強度非常接近，因此將會造成對準之失敗。

發明目的及概述：

本發明之主要目的為提供一種增進半導體製程對準準確性之對準標記圖案。

本發明之對準標記圖案包含一十字形圖案與兩個具有波形之水平線圖案，該對準標記圖案形成於切割道之上。上述之十字形圖案包含一平行於切割道之水平線圖案與垂直於切割道之垂直線圖案，具有波形之水平線圖案為

## 五、發明說明( )

平行於切割道之圖案，上述之水平線圖案中點分別連接於垂直線圖案之兩端，該水平線圖案與垂直線圖案連接之一面具有重複之波形圖案用以改變干擾訊號之波形，任何適合之波形均可例如三角波、方波、鋸齒狀波，本發明之對準標記圖案可以準確地判定何者為正確之訊號，因此本發明利用改變干擾訊號之波形以以利於判定而增進半導體製程對準準確性。

### 圖式簡單說明：

第一圖為傳統對準標記圖案之俯視圖。

第二圖為傳統對準標記圖案訊號與干擾訊號之圖形。

第三圖為本發明之對準標記圖案之俯視圖。

第四圖為本發明之對準標記圖中鋸齒狀圖形。

第五圖為本發明對準標記圖案訊號與干擾訊號之圖形。

### 發明詳細說明：

本發明利用改變干擾訊號之波形以以利於判定而增進半導體製程對準準確性，為了達到此目的一種對準標記圖案將於下述。

參閱第三圖，本發明之對準標記圖案包含一十字形圖案 10a 與兩個具有波形之波形水平線圖案 20a，該對準標記圖案形成於切割道之上。再參閱第三圖，上述之十字形

## 五、發明說明( )

圖案 10a 包含一平行於切割道之水平線圖案 12a 與垂直於切割道之垂直線圖案 14a，水平線圖案 12a 與垂直線圖案 14a 之線寬為 2 至 3 微米，當然任何合適之線寬亦可以應用於本發明。

波形水平線圖案 20a 為平行於切割道之圖案，波形水平線圖案 20a 主體寬度為 2 微米，上述之波形水平線圖案 20a 中點分別連接於垂直線圖案 14a 之兩端，該波形水平線圖案 20a 與垂直線圖案 14a 連接之一面具有重複之波形圖案 22a 用以改變干擾訊號之波形，當掃描光束掃描對準標記圖案時，波形圖案 22a 將干擾其掃描結果而改變原先之干擾訊號，任何適合之波形均可例如三角波、方波，本實施例之波形為鋸齒狀之波 22a，如第四圖所示，該鋸齒狀波 22a 之高  $H$ 、寬  $W$  均為 3 微米，鋸齒狀波 22a 間之齒距  $D$  約為 3 微米。

參閱第五圖，當掃描之光束由  $Y$  方向掃描時，對準之波形 16a 與干擾波形 18a 均由對準標記圖案產生，由圖中可知，傳統之干擾波形 18 之波形已被轉變為干擾波形 18a，因此可以準確地判定何者為正確之訊號，因此本發明利用改變干擾訊號之波形以以利於判定而增進半導體製程對準準確性。

本發明以一較佳實施例說明如上，而熟悉此領域技藝

## 五、發明說明( )

者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要（發明之名稱：

## 半導體製程之對準標記圖案

一種增進半導體製程對準精確性之對準標記圖案，該對準標記圖案包含：一十字形圖案，形成於切割道之上用以做為製程中對準之用，該十字形圖案包含有水平線圖案與垂直線圖案，該水平線圖案與切割道平行，該垂直線圖案與切割道垂直；及兩個波形水平線圖案，該波形水平線圖案與切割道平行形成於切割道之上分別與該十字形圖案之垂直線兩端連接，該波形水平線圖案上具有重複鋸齒狀波形形成於該波形水平線圖案與該垂直線連接面上之圖案用以增進製程之對準準確性。

## 英文發明摘要（發明之名稱：

## 六、申請專利範圍

1. 一種半導體製程之對準標記圖案，該對準標記圖案包含：

一十字形圖案，形成於切割道之上用以做為製程中對準之用，該十字形圖案包含有水平線圖案與垂直線圖案，該水平線圖案與切割道平行，該垂直線圖案與切割道垂直；及干擾圖案，該干擾圖案與切割道平行形成於切割道之上分別與該十字形圖案之垂直線圖案連接，該干擾圖案上具有波形之圖案用以增進製程之對準準確性。

2. 如申請專利範圍第 1 項之對準標記圖案，其中上述之波形為重複形成於該干擾圖案與該垂直線連接面上。

3. 如申請專利範圍第 1 項之對準標記圖案，其中上述之波形為三角波。

4. 如申請專利範圍第 1 項之對準標記圖案，其中上述之波形為方波。

5. 如申請專利範圍第 1 項之對準標記圖案，其中上述之波形為鋸齒波。

6. 如申請專利範圍第 5 項之對準標記圖案，其中上述之鋸齒波之高約為 3 微米。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

## 六、申請專利範圍

7.如申請專利範圍第5項之對準標記圖案，其中上述之鋸齒波之寬約為3微米。

8.如申請專利範圍第5項之對準標記圖案，其中上述之鋸齒波之齒距約為3微米。

9.如申請專利範圍第1項之對準標記圖案，其中上述之十字形圖案水平線圖案之線寬約為2至3微米。

10.如申請專利範圍第1項之對準標記圖案，其中上述之十字形圖案垂直線圖案之線寬約為2至3微米。

11.如申請專利範圍第1項之對準標記圖案，其中上述之干擾圖案之線寬約為2微米。

12.一種半導體製程之對準標記圖案，該對準標記圖案包含：

一十字形圖案，形成於切割道之上用以做為製程中對準之用，該十字形圖案包含有水平線圖案與垂直線圖案，該水平線圖案與切割道平行，該垂直線圖案與切割道垂直；及兩個干擾圖案，該干擾圖案與切割道平行形成於切割道之上分別與該十字形圖案之垂直線兩端連接，該干擾圖案上具有重複鋸齒狀波形形成於該干擾圖案與該垂直線連接面上用以增進製程之對準準確性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 六、申請專利範圍

13.如申請專利範圍第12項之對準標記圖案，其中上述之鋸齒波之高為3微米。

14.如申請專利範圍第12項之對準標記圖案，其中上述之鋸齒波之寬為3微米。

15.如申請專利範圍第12項之對準標記圖案，其中上述之鋸齒波之齒距為3微米。

16.如申請專利範圍第12項之對準標記圖案，其中上述之十字形圖案水平線圖案之線寬為2至3微米。

17.如申請專利範圍第12項之對準標記圖案，其中上述之十字形圖案垂直線圖案之線寬為2至3微米。

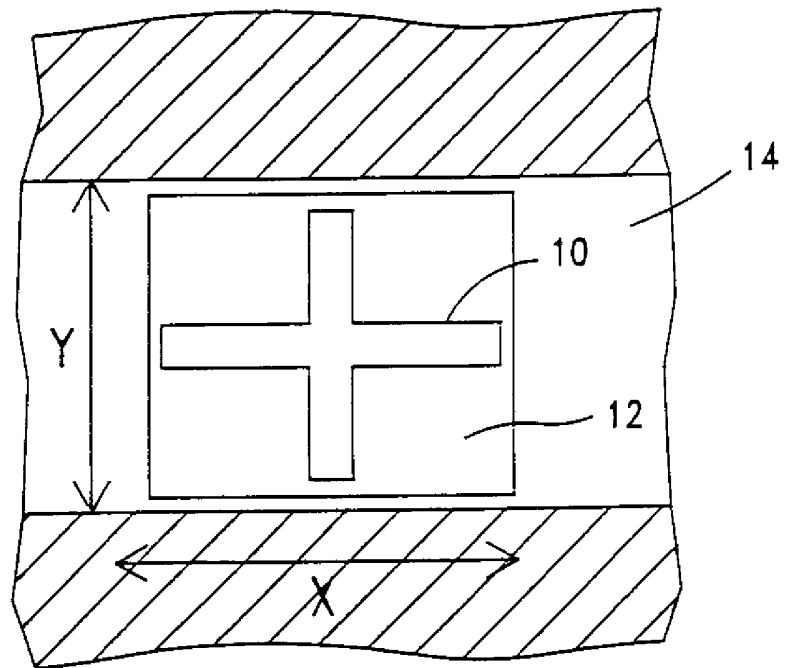
18.如申請專利範圍第12項之對準標記圖案，其中上述之干擾圖案之線寬為2微米。

(請先閱讀背面之注意事項再填寫本頁)

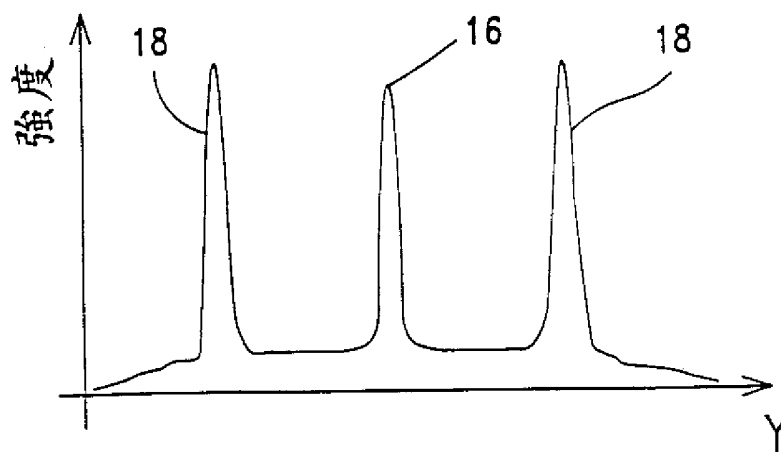
卷

訂

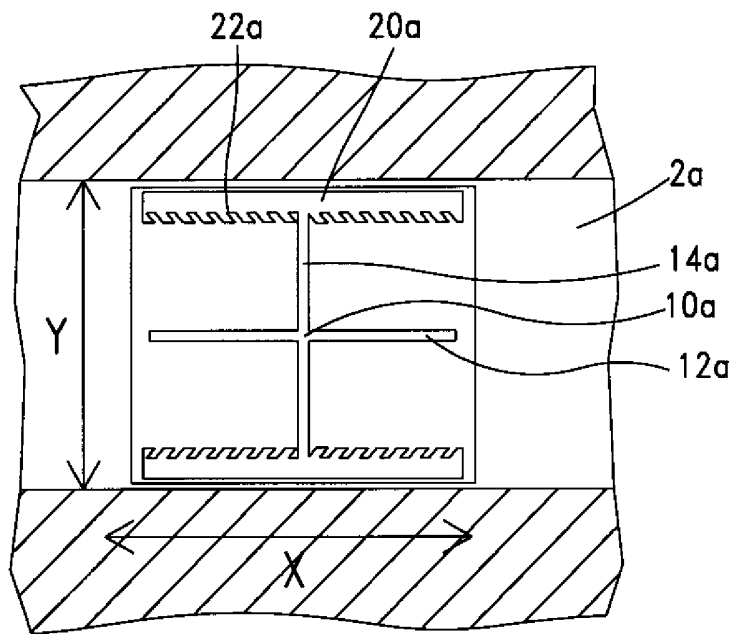
417272



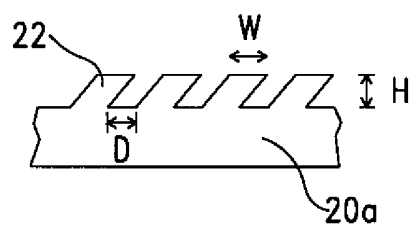
第一圖



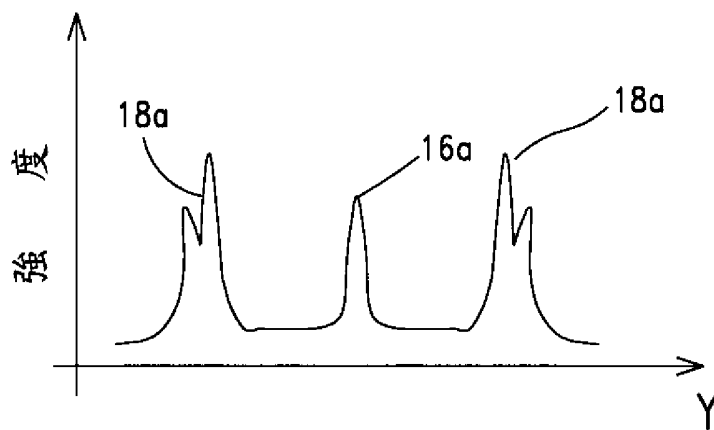
第二圖



第三圖



第四圖



第五圖