

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4176481号

(P4176481)

(45) 発行日 平成20年11月5日 (2008. 11. 5)

(24) 登録日 平成20年8月29日 (2008. 8. 29)

(51) Int. Cl. F I
 H O 1 L 21/822 (2006. 01) H O 1 L 27/04 H
 H O 1 L 27/04 (2006. 01) H O 2 H 3/20 A
 H O 2 H 3/20 (2006. 01)

請求項の数 10 (全 33 頁)

(21) 出願番号	特願2002-574199 (P2002-574199)	(73) 特許権者	599134012
(86) (22) 出願日	平成14年3月15日 (2002. 3. 15)		サーノフ コーポレーション
(65) 公表番号	特表2004-533713 (P2004-533713A)		アメリカ合衆国, ニュー ジャージー州
(43) 公表日	平成16年11月4日 (2004. 11. 4)		, プリンストン, ワシントン ロード
(86) 国際出願番号	PCT/US2002/007895		2 0 1
(87) 国際公開番号	W02002/075891	(73) 特許権者	502453861
(87) 国際公開日	平成14年9月26日 (2002. 9. 26)		サーノフ ヨーロッパ ビーヴィービーエ
審査請求日	平成17年3月14日 (2005. 3. 14)		ー
(31) 優先権主張番号	60/276, 415		ベルギー, ベー-8470 ギステル,
(32) 優先日	平成13年3月16日 (2001. 3. 16)		ブルーゼ バーン 188アー
(33) 優先権主張国	米国 (US)	(74) 代理人	100094318
(31) 優先権主張番号	60/276, 424		弁理士 山田 行一
(32) 優先日	平成13年3月16日 (2001. 3. 16)	(74) 代理人	100104282
(33) 優先権主張国	米国 (US)		弁理士 鈴木 康仁

最終頁に続く

(54) 【発明の名称】 混成した超低電圧電源を備えた、高速技術のための静電放電保護構造

(57) 【特許請求の範囲】

【請求項 1】

保護される回路構成を有する半導体集積回路 (IC) (100) 内の静電放電 (ESD)
) 保護回路 (302 ~ 902) であって、

前記 IC の保護される回路の接続点への接続に適応したパッド (104) と、

N ウェル領域内に形成されており前記パッドに結合された P 型アノード (322) 及び
 P ウェル領域内に形成されておりアース (112) に結合された N 型カソード (310)
 を有するサイリスタ (SCR) (306) と、

前記パッドから前記 SCR の第 1 のゲート (336) へ順方向に結合されているダイオ
 ード・ターンオン素子 (308) と

を備える静電放電保護回路。(図 3 ~ 図 8)

【請求項 2】

保護される回路構成を有する半導体集積回路 (IC) (100) 内の静電放電 (ESD)
) 保護回路 (1002 ~ 1302) であって、

前記 IC の保護される回路の接続点への接続に適応したパッド (104) と、

N ウェル領域内に形成されており前記パッドに結合された P 型アノード (322) 及び
 P ウェル領域内に形成されておりアース (112) に結合された N 型カソード (310)
 を有するサイリスタ (SCR) (306) と、

前記 SCR のゲート (334) からアースへ順方向に結合されているダイオード・ター
 ンオン素子 (308) と

10

20

を備える静電放電保護回路。(図10～図13)

【請求項3】

保護される回路構成を有する半導体集積回路(IC)(100)内の静電放電(ESD)保護回路(1402～1602)であって、

前記ICの保護される回路の接続点への接続に適応したパッド(104)と、

第2導電型のバルク領域(T2, 312)内に形成されており前記パッドに結合された第1導電型のアノード及び第1導電型のバルク領域(T1, 310)内に形成されておりアース(112)に結合された第2導電型のカソードを有しており、ESD電流を前記第1導電型の前記アノードから前記第2導電型の前記カソードに流すサイリスタ(SCR)(306)と、

10

前記SCRの第1のゲート(336)及びアースに結合された第1の抵抗器(341)と、

前記SCRの第2のゲート(334)及びアースに結合された結合コンデンサ(1304)と

を備える静電放電保護回路。(図14～図16)

【請求項4】

保護される回路構成を有する半導体集積回路(IC)(100)内の静電放電(ESD)保護回路(1502)であって、

前記ICの保護される回路の接続点への接続に適応したパッド(104)と、

前記パッドとアース(112)との間に結合されたサイリスタ(SCR)(306)と

20

、
前記SCRの第1のゲート(336)及びアースに結合された第1の抵抗器(341)と、

前記SCRの第1のゲート(336)及び前記パッドに結合された結合コンデンサ(1504)と

を備える静電放電保護回路。(図15)

【請求項5】

保護される回路構成を有する半導体集積回路(IC)(100)内の静電放電(ESD)保護回路(2102～2402)であって、

前記ICの保護される回路の接続点への接続に適応したパッド(104)と、

前記パッドとアース(112)との間に結合されたサイリスタ(SCR)(306)と

30

、
前記SCR(306)のアノード(322)と前記パッドとの間に順方向に直列結合された容量低減ダイオード(2104)であって、前記SCR(306)の寄生容量値以下の寄生接合容量値を有する容量低減ダイオードと、

を備える静電放電保護回路。(図21～図24)

【請求項6】

保護される回路構成及び複数の混成電源電圧ライン(2004)を有する半導体集積回路(IC)(100)内の静電放電(ESD)保護回路(2002)であって、

アノード(322)及びカソードを有するサイリスタ(SCR)(306)であって、
前記アノードが第1の電圧供給ライン(2004₁)に結合され、前記カソードがアースに結合されているサイリスタと、

40

それぞれが、前記各電圧供給ラインと前記接地されたカソードとの間に結合された複数の寄生容量(2006)と

を備える静電放電保護回路。(図20)

【請求項7】

カレントミラートリガを有するマルチフィンガ型ESD保護素子(2702)であって、

、
電圧供給ライン(2004)と少なくとも一つのトリガダイオード(320)との間に直列結合された、少なくとも一つの第1のPMOS素子(2610)を有する温度補償ト

50

リガ素子(2708)であって、前記少なくとも一つのトリガダイオードが、順方向でアース(112)に結合されている温度補償トリガ素子と、

少なくとも2つのSCRフィンガ(2706)であって、各SCRフィンガが、前記電圧供給ラインに結合されたアノード(322)と、アースに結合されたカソードとを有するSCR(306)と、前記電圧供給ラインと、前記SCRの第1のゲート(336)との間に直列結合された第2のPMOS素子(2704)とを備える、少なくとも2つのSCRフィンガと、

前記各SCRフィンガの第2のPMOS素子(2704)のゲートに結合された、前記第1のPMOS素子のゲートと

を備えるマルチフィンガ型ESD保護素子。(図27)

10

【請求項8】

カレントミラートリガを有するマルチフィンガ型ESD保護素子(2702)であって、

アース(112)と少なくとも一つのトリガダイオード(320)との間に直列結合された、少なくとも一つの第1のNMOS素子(2610)を有する温度補償トリガ素子(2708)であって、前記少なくとも一つのトリガダイオードが、順方向で電圧供給ライン(2004)に結合されている温度補償トリガ素子と、

少なくとも2つのSCRフィンガ(2706)であって、各SCRフィンガが、前記電圧供給ラインに結合されたアノード(322)と、アースに結合されたカソードとを有するSCR(306)と、アースと、前記SCRの第2のゲート(334)との間に直列結合された第2のNMOS素子(2704)とを備える、前記少なくとも2つのSCRフィンガと、

20

前記各SCRフィンガの第2のNMOS素子(2704)のゲートに結合された、前記第1のNMOS素子のゲートと

を具備するマルチフィンガ型ESD保護素子。(図27)

【請求項9】

カレントミラートリガを有するマルチフィンガ型SCR ESD保護素子(2702)であって、

電圧供給ライン(2004)と少なくとも一つのトリガダイオード(320)の間に直列結合された、少なくとも一つの第1のPMOS素子(2610)を有する温度補償トリガ素子(2708)であって、前記少なくとも一つのトリガダイオードが、順方向で少なくとも一つのNMOS素子に結合され、該少なくとも一つのNMOS素子がアース(112)に結合されている温度補償トリガ素子と、

30

少なくとも2つのSCRフィンガ(2706)であって、各SCRフィンガが、前記電圧供給ラインに結合されたアノード(322)と、アースに結合されたカソードとを有するSCR(306)と、前記電圧供給ラインと、前記SCRの第1のゲート(336)との間に直列結合された第2のPMOS素子(2704)と、前記各SCRフィンガの第2のPMOS素子(2704)のゲートに結合された前記第1のPMOS素子のゲートと、アースと、前記SCRの第2のゲート(334)との間に直列結合された第2のNMOS素子(2704)と、前記各SCRフィンガの第2のNMOS素子(2704)のゲートに結合された前記第1のNMOS素子のゲートとを備える、前記少なくとも2つのSCRフィンガと

40

を具備するマルチフィンガ型SCR ESD保護素子。(図27)

【請求項10】

電圧供給ライン(2004)に結合されたアノードと、I/Oパッド(104)に結合されたカソードと、アース(112)に結合された第1のトリガゲート(336₁)とを有する第1のSCR(306₁)と、

I/Oパッド(104)に結合されたアノードと、アース(112)に結合されたカソードと、電圧供給ライン(2004)に結合された第2のトリガゲート(334₂)とを有する第2のSCR(306₂)と

50

を備える相補型SCR・ESD保護回路(2802)であって、

寄生容量(2804)が、前記電圧供給ラインとアースとの間に形成される相補型SCR・ESD保護回路。(図28、図29、図30)

【発明の詳細な説明】

【相互関連出願】

【0001】

[0001]本特許出願は、2001年3月16日にファイルされた米国仮出願番号第60/276,415号、2001年3月16日にファイルされた同第60/276,416号、及び2001年9月11日にファイルされた同第60/318,548号の利益を請求するものであり、これらの内容を本願明細書に援用する。

10

【発明の分野】

【0002】

[0002]本発明は、一般に、静電放電(electrostatic discharge; ESD)保護回路の分野に関し、より具体的には、集積回路(integrated circuit; IC)の保護回路におけるサイリスタ(シリコン制御整流素子: silicon controlled rectifier; SCR)及びNMOS回路の改良に関する。

【発明の背景】

【0003】

[0003]集積回路(IC)技術における日進月歩の進歩により、ICを作動させるために、低電源電圧を用いる状況になってきている。低電源電圧は、該ICの寿命を制限する、誘導されたホットキャリアの問題に対処するのを手助けする。低電源電圧のICを設計するには、非常に薄いゲート酸化膜の使用が必要となる。該ゲート酸化膜の厚さは、生成される駆動電流の量に影響を及ぼす。ゲート酸化層が薄ければ薄いほど、より多くの駆動電流が生成され、そのため回路のスピードが増す。上記ゲート酸化膜(例えば、二酸化珪素)は、3ナノメートル以下の厚さを有しており、さらなる進歩により、上記ゲート酸化膜の厚さを、よりいっそう薄くすることができる可能性がある。また、低電源電圧により、非常に低い保持電圧(例えば、1.5~2.0V)を有するサイリスタ(SCR)を、ラッチアップの危険性を招くことなく使用できるようになる。低電源電圧で使用する上記薄いゲート酸化膜は、ESD発生時に最大限の過渡電圧を要する。

20

30

【0004】

[0004]上記酸化膜の降伏電圧は、SCRやNMOS素子等のESD保護回路を起動する接合降伏電圧(例えば、6~9V)よりも低いので、非常に薄いゲート酸化膜を用いると、問題が生じる。例えば、(I/O)パッドのためのESD保護を設けるために、ゲート接地SCR(grounded-gate SCR; GGSCR)を使用することができる。該GGSCRは、該SCRのためのトリガ電流を生成する、6~9Vの接合降伏電圧を有する。技術の進歩が、3ナノメートル以下の酸化膜の厚さの削減を可能にするので、上記ゲート酸化膜は、約4~6V以上のターンオン電圧及び高電流クランプ電圧で損傷を受けやすい。

【0005】

40

[0005]従って、従来技術においては、低トリガ電圧と共に、ターンオン時及び作動中に、上記ゲート酸化膜を損傷から保護することができる低保持電圧及びクランプ電圧を有するESD保護素子に対する要望がある。

【発明の開示】

【0006】

[0006]上記従来技術に関連する欠点は、保護される回路構成を有する半導体集積回路(IC)内の静電放電(ESD)保護回路の様々な実施形態によって克服される。一つの実施形態においては、該ESD保護回路は、該ICの保護される回路の接続点への接続に適応したパッドと、Nウェル領域内に形成されており該パッドに結合されたP型アノード及びPウェル領域内に形成されておりアースに結合されたN型カソードを有するサイリスタ(

50

SCR)とを備える。ダイオード・ターンオン素子は、該パッドから上記SCRの第1のゲートへ順方向に結合されている。

【0007】

[0007]第2の実施形態においては、保護される回路構成及び複数の混成電源電圧ラインを有する半導体IC内のESD保護回路が、第1の電圧供給ラインに結合されたアノードと、アースに結合されたカソードを有するSCRを備えている。寄生容量は、各電圧供給ラインを前記接地されたカソードに結合する。状況に応じて、少なくとも一つの保持ダイオードが、前記第1の電圧供給ラインから前記SCRのアノードへ順方向に結合されている。状況に応じて、少なくとも一つのトリガダイオードが、第2のトリガゲートから第2の電圧供給ラインへ順方向に結合されている。

10

【0008】

[0008]以下に説明するように、これら2つの実施形態及び他の様々な実施形態は、ICの保護される回路構成のためのESD保護を実現でき、そのため上記ダイオード・ターンオン素子は、ESD発生時のターンオン時及び作動時に、ゲート酸化膜を損傷から保護することができる低トリガ電圧と、低保持電圧及び低クランプ電圧を供給する。

【0009】

[0021]理解を容易にするために、同一の参照数字を、可能な限り、図面に共通している同一の構成要素を示すために使用する。

【発明の詳細な説明】

【0010】

20

[0022]本発明を、CMOSデバイスに関連して説明する。しかし、当業者は、異なるドープメントの種類を選択し、かつ濃度を調節することにより、Bipolar、BiCMOS、SiGe/BiCMOS及びESDによって引き起こされる損傷に影響を受けやすいその他のプロセスに本発明を適用できるようになっていることを認識するであろう。本発明は、ESD過渡電圧が、ゲート酸化膜や他の損傷しやすい半導体素子を損傷しないように適切に制限されるような、ターンオン電圧、保持電圧及び高電流クランプ特性を有するESD保護素子の様々な実施形態を含む。

【0011】

[0023]図1は、集積回路(IC)100のESD保護回路102を示す概略ブロック図を示す。該図は、IC100及びICパッド104の保護される接続点に結合されたESD保護回路102を示す。パッド104は、入力パッド、出力パッドあるいは電源パッドのいずれでもよく、低電圧ターンオン(すなわち、トリガ)素子108と、SCR又はNMOSデバイス等のESD保護素子106とに結合されている。ESD保護素子106は、アース112に結合されている。ESD保護素子106は、トリガ素子108に結合されているターンオン端子(例えば、ゲート(図示せず))を有する。分路経路110は、トリガ素子108とアース112との間に、任意に結合することができる。トリガ素子108及びESD保護素子106(例えば、SCR)は、パッド104に結合されている、IC100上の回路要素(図示せず)のための保護素子102として共に機能する。

30

【0012】

[0024]具体的には、トリガ素子108及びESD保護素子106は、パッド104において発生する可能性がある静電放電(ESD)からIC回路を保護する。ターンオン時、ESD保護素子106は、ESD電流をパッド104からアース112へ流すための分路として機能する。トリガ素子108は、ESD保護素子106をターンオン(すなわち、トリガ)して、該電流を即時に散逸させ、各実施形態に関連して以下に詳細に説明するように、過電圧ESD状態を回避する。

40

【0013】

[0025]図2は、本発明に係るESD保護素子102の場合の電流及び電圧特性200のグラフである。該グラフは、ESD保護素子102の電流特性を示す縦座標202と、ESD保護素子102の電圧特性を示す横座標204とからなる。該電圧特性は、特定の電圧によって画定された3つの領域に分けられる。具体的には、低電源電圧の場合の第1の

50

領域 206 は、0 ~ 1.5 V の電圧を有する。ESD 保護素子 102 の保持電圧範囲の場合の第 2 の領域 208 は、1.5 ~ 6 V の間である。過電圧状態の場合の第 3 の領域 210 は、例えば 6 ~ 9 V の、ESD 保護素子 102 のゲート酸化膜を損傷する可能性がある電圧過渡領域を有する。

【0014】

[0026] 従来の NMOS 及び SCR 保護素子の場合の電流及び電圧 (I-V) 特性を、それぞれ曲線 212、214 で示す。従来の ESD 保護素子は、過電圧領域 210 (例えば、従来技術の曲線 212、214 上の曲線部 220) 内で発生するトリガ電圧を有し、それは、ESD 保護素子 102 のゲート酸化層を損傷する可能性がある。上記 SCR 及び NMOS 保護素子の場合のトリガ電圧は、ほぼ同じ値 (例えば、7 ~ 9 V) である。しかし、上記 SCR 素子の場合の保持電圧 (1.5 ~ 5 V) は、上記 NMOS 保護素子の保持電圧 (約 5 V) 以下である。

10

【0015】

[0027] 図 3 ~ 図 19 に示す実施形態に関して説明するように、本発明の ESD 保護素子 102 は、ESD 保護素子 102 のゲート酸化膜を損傷させるゲート降伏電圧 (すなわち、6 ~ 9 V) 以下のトリガ及び保持電圧を有する。具体的には、本発明の ESD 保護素子 102 のトリガ電圧は、1.5 ~ 6 V の許容電圧範囲内にある。さらに、上記 ESD 保護素子を導電オン状態に維持するのに必要な最少電圧を供給する上記保持電圧は、上記ゲート酸化膜への損傷が最少化されるような許容電圧範囲内にある。例えば、曲線 218 で示す上記 SCR 保護素子は、6 V 以下のトリガ及び保持電圧を有する。同様に、曲線 216 で示す上記 NMOS 保護素子は、許容範囲内の 6 V 以下のトリガ電圧を有すると共に、その高保持電圧は、6 V をわずかに超える。

20

【0016】

[0028] 図 3 ~ 図 19 は、本発明に係るダイオードターンオントリガ素子 108 に結合された ESD 保護素子 106 の概略図を示す。図 3 ~ 図 19 の実施形態における ESD 保護素子 106 は、図 2 の電流 / 電圧 (I-V) 特性グラフに示すように、約 1.5 ~ 6 V の低電圧で上記 IC 回路をトリガ及び保護することができる。

【0017】

[0029] 図 3 は、ESD 保護素子 302 の第 1 の実施形態の概略図を示す。具体的には、図 3 は、本発明に係るダイオードターンオン SCR (DTSCR) 保護素子 302 の概略図を示す。DTSCR 302 は、ダイオードターンオン (トリガ) 素子 308 及び SCR 306 からなり、これらは、集積回路 (IC) 100 上の回路要素のための保護素子 302 として共に機能する。DTSCR 保護素子 302 は、上記 IC 回路要素に結合されたパッド 104 において発生する可能性のある静電放電 (ESD) から該 IC 回路要素を保護する。ターンオン時、SCR 306 は、ESD 電流をパッド 104 からアースへ流す分路として機能する。ダイオードターンオントリガ素子 308 は、SCR 306 をターンオン、すなわちトリガして、過電圧 ESD 状態を回避する。

30

【0018】

[0030] 図 3 について説明すると、SCR 保護素子 306 は、公知の NPN トランジスタ T1 310 及び PNP トランジスタ T2 312 として示されている。PNP トランジスタ T2 312 のエミッタは、SCR 306 のアノード 322 を形成し、該アノードはパッド 104 に接続されている。PNP トランジスタ T2 312 のコレクタは、第 1 の接続点 336 に接続されており、該接続点は、NPN トランジスタ T1 310 のベースに接続されていると共に、抵抗 R_{sub} 341 の一方に接続されている。第 1 の接続点 336 は、NPN トランジスタ T1 310 の第 1 のトリガゲート G1 を含む。抵抗 R_{sub} 341 の他方はアース 112 に接続されており、SCR 306 のカソードとして機能する。抵抗 R_{sub} 341 は、SCR 306 の NPN トランジスタ T1 310 のベースにおける固有基板抵抗を示し、アース 112 に結合された局部基板結合部によって形成されている。さらに、NPN トランジスタ T1 310 のエミッタも接地されたカソード 112 に接続されている。第 2 の接続点 334 は、PNP トランジスタ T2 312 のベース

40

50

と、NPNトランジスタT1 310のコレクタとを含む。また、第2の接続点334は、PNPトランジスタT2 312の任意の第2のトリガゲートG2の結合部を含んでもよい。図示のSCR及び各トリガゲートの配置及び断面実装をより理解するためには、その全体を本願明細書に包含する、2001年11月5日にファイルされた米国特許出願番号第10/007,833号を注目されたい。

【0019】

[0031]分路抵抗器110も、第1の接続点336からアース112へ結合されている。分路抵抗器110は、SCRトランジスタT1 310及びT2 312の外部にあり、SCR306のP形基板の固有抵抗 R_{sub} 341と並列に設けられている。一つの実施形態においては、抵抗器110は、シリサイドでブロックしたポリシリコンで形成され、固有基板抵抗 R_{sub} 341よりも低い抵抗値（例えば、1~10k Ω ）に選定される。抵抗器110は、少量の電流をアース112へ流す分路として作用する。そのため、抵抗器110は、SCR302をトリガしかねない、トリガ素子308とアース112との間の有害な漏れ電流のための経路を形成する。さらに、抵抗器110は、SCR306のいわゆるトリガ及び保持電流を制御する。

【0020】

[0032]トリガ素子308は、アノード322と、PNPトランジスタT2 312のコレクタ及びNPNトランジスタT1 310のベースを含む第1の接続点336との間に結合された複数の直列接続ダイオード D_s （ s は、0より大きい整数）を含む。ダイオード D_s は、例えば、ダイオード回路320を形成する3つの順方向バイアス n ウェルダイオードである。ダイオード回路320の第1のダイオード D_1 のアノードはパッド104に結合され、回路320の最後部のダイオード（例えば、 D_3 ）のカソードは、第1の接続点336（すなわち、トリガゲートG1）に結合されている。ダイオード回路320の各ダイオード D_s は、一般に、約0.7Vの順方向バイアス電圧を有する。

【0021】

[0033]NPNトランジスタT1 310及びPNPトランジスタT2 312からなる保護SCR回路306は、作動中、アノード322と接地されたカソード112との間に電流を流さない。すなわち、パッド104に高電圧（例えば、ESD電圧）が印加されないので、SCR306は、ターンオフされている。つまり、パッド104には、上記ICの規定信号又は作動電圧のみが現れる。ESDの発生によりパッド104に過電圧が生じた場合、ダイオード回路320のダイオード D_s は、かなりの電流を流し始める。

【0022】

[0034]具体的には、約0.7Vの電圧降下が、ダイオード回路320の各ダイオードの両端に一旦発生すると、ダイオード D_s は、順方向にバイアスされる。図のダイオード回路320には3つのダイオードが描かれているので、ダイオード回路320の両端には2.1Vの電圧が発生してダイオード回路320の3つ全てのダイオード D_s を順方向にバイアスする。

【0023】

[0035]一般にかなり大きな抵抗を有する分路抵抗器110が、固有基板抵抗 R_{sub} 341に並列になっているので、最初に、電流の大部分が分路抵抗器110を通して流れる。しかし、ダイオード回路320を通る該電流の一部が、SCR306のトリガゲートG1 336に供給される。分路抵抗器110（及び並列の基板抵抗 R_{sub} の固有抵抗）の両端の電圧降下が、一旦約0.7Vに達すると、NPNトランジスタT1 310がターンオンする（すなわち、トリガされる）。具体的には、NPNトランジスタT1 310のベース-エミッタダイオードが、順方向にバイアスされる。従って、NPNトランジスタT1 310が導通する。NPNトランジスタT1 310のコレクタは、PNPトランジスタT2 312のベースにキャリアを供給し、それによりPNPトランジスタT2 312がターンオンする。従って、図3のDTSCR302は、アノード322とアース112との間で、約2.8V（ダイオード回路320のための2.1V+上記ベース-エミッタダイオードのための0.7V）のターンオン電圧を有する。SCR306のN

10

20

30

40

50

P N トランジスタ T 1 3 1 0 及び P N P トランジスタ T 2 3 1 2 の両トランジスタが一旦ターンオンすると、S C R 3 0 6 の再生導電プロセスにより、E S D 電流を、即時にアース 1 1 2 へ分流することができるようになる。

【 0 0 2 4 】

[0036] 図 2 を参照すると、曲線 2 1 8 は、約 2 . 8 V の電圧が S C R 3 0 6 をターンオンして（すなわち、トリガして）導通状態にすることを示している。S C R 3 0 6 は、高電流に対して、約 1 . 5 V の保持電圧、及び 1 . 5 ~ 6 V のクランプ電圧で電流を流し続ける。従って、S C R 3 0 6 のトリガ及び保持 / クランプ電圧は、I C 1 0 0 のゲート酸化膜に対して有害である可能性がある従来の 6 ~ 9 V 以下である。

【 0 0 2 5 】

[0037] 図 4 は、本発明に係る E S D 保護素子 4 0 2 の第 2 の実施形態の概略図を示す。具体的には、図 4 は、D T S C R 保護素子 4 0 2 の概略図を示す。ダイオードターンオン S C R 保護素子 4 0 2 の構成は、該 S C R が、分離 P ウェルを用いたプロセスで形成され、かつ基板抵抗器 3 4 1 が第 1 の接続点 3 3 6 とアース 1 1 2 との間に結合されていない点を除いて、図 3 の D T S C R 保護素子 3 0 2 と同様に構成されている。さらに、ポリ分路抵抗器 1 1 0 は、第 1 の接続点 3 3 6 とアース 1 1 2 との間に結合されていない。また、図 3 のダイオード回路 3 2 0 に使用されているものより一つ少ないダイオードをダイオード 3 2 0 に要する。図 4 においては、ダイオードターンオン素子 4 0 8 のダイオード回路 3 2 0 は、2 つのダイオード D_s からなる。

【 0 0 2 6 】

[0038] D T S C R 保護素子 4 0 2 の S C R 3 0 6 は、図 3 の第 1 の実施形態 3 0 2 よりも低いダイオードターンオン電圧で起動する。具体的には、アース 1 1 2 に対して正極性であるパッド 1 0 4 で発生する E S D は、約 1 . 4 V で、ダイオード回路 3 2 0 の 2 つのダイオード D_s を順方向にバイアスする。また、ベース - エミッタダイオード D_n を形成する、N P N トランジスタ T 1 3 1 0 のベース・エミッタ間接合が、一旦約 0 . 7 V 間で上昇すると、ベース - エミッタダイオード D_n は、順方向にバイアスされて電流を流し、それによって S C R 3 0 6 がトリガされる。すなわち、D T S C R 保護素子 4 0 2 の S C R 3 0 6 は、ダイオード回路 3 2 0 の余分なダイオード及び分路抵抗器 1 1 0 を有する、図 3 の D T S C R 保護素子 3 0 2 をトリガするのに要する 2 . 8 V とは対照的に、アノード 3 2 2 とアース 1 1 2 との間に約 2 . 1 V でトリガされる。

【 0 0 2 7 】

[0039] 図 5 は、本発明に係る E S D 保護素子 5 0 2 の第 3 の実施形態の概略図を示す。具体的には、図 5 は、D T S C R 保護素子 5 0 2 の概略図を示し、第 2 の接続点 3 3 4 が、トリガゲート G 2 を形成する、N ウェル内に一つ又はそれ以上の N + トリガタップを有している。この第 3 の実施形態においては、トリガゲート G 2 は、抵抗器 5 0 4 を介して使用可能な最高電圧、すなわちパッド 1 0 4 に結合されている。パッド 1 0 4 及び抵抗器 5 0 4 は、P N P トランジスタ T 2 3 1 2 を完全にターンオフする高電位を S C R 3 0 6 の N ウェルに与えることにより、漏れ電流の低減を保障する。また、トリガゲート G 2 をパッド 1 0 4 に結合することにより、ラッチアップ状態を回避する S C R 3 0 6 のトリガ及び保持電流が増加する。抵抗器 5 0 4 は、一つ又はそれ以上の N + トリガタップと、S C R 3 0 6 の P N P トランジスタ 3 1 2 のベースとの間の N ウェルの固有抵抗であってもよい。別法として、抵抗器 5 0 4 は、N ウェルの抵抗及び / 又は第 1 の接続点 3 3 4 （すなわち、トリガゲート G 2 ）と、パッド 1 0 4 との間に設けられた外部抵抗器であってもよい。この第 3 の実施形態のトリガ動作は、上述した図 3 の D T S C R に関連したものと同様である。

【 0 0 2 8 】

[0040] 図 6 は、本発明に係る E S D 保護素子 6 0 2 の第 4 の実施形態の概略図を示す。具体的には、図 6 は、D T S C R 保護素子 6 0 2 の概略図を示し、D T S C R 保護素子 6 0 2 は、第 2 の接続点 3 3 4 におけるトリガゲート G 2 が、正の電源電圧 V D D 6 0 4 に結合されている点を除いて、図 3 の D T S C R 保護素子 3 0 2 と同様である。S C R 3 0

10

20

30

40

50

6のアノード322として機能する、Nウェル内に形成されたP+ドープ領域に隣接して、SCR306のNウェル内に、大きなN+ドープ領域が形成されている。

【0029】

[0041] Nウェル内のP+領域は、二重の目的を果たす。第一に、P+からNウェル接合は、PNPトランジスタT2 312のエミッタ-ベースダイオードD_pを形成する。第二に、該P+領域及び隣接する高ドープN+領域も、正の電源電圧VDD604に接続されている、PNPトランジスタT2 312内の大きなエミッタ-ベースダイオードD_pを形成する。該ダイオードD_pのVDD604への結合は、他のESDのストレス及び極性をカバーするために要する場合がある。該ダイオードD_pをSCR306内に組み込むことにより、より広い領域を占める独立したダイオードの実装が避けられる。この第3の実施形態のトリガ動作は、上述した図3のDTSCR302に関連したものと同様である。さらに、図5の第3の実施形態と同様に、電源電圧VDD604は、PNPトランジスタT2 312を完全にターンオフする高電位をSCR306のNウェルに与えることにより、漏れ電流の低減を保障する。また、上記トリガゲートG2を電源電圧VDD604に結合することにより、ラッチアップ状態を回避するSCR306のトリガ及び保持電流が増加する。

10

【0030】

[0042] 図7は、本発明に係るESD保護素子702の第5の実施形態の概略図を示す。具体的には、図7は、DTSCR保護素子702の概略図を示し、DTSCR保護素子702は、PNPトランジスタT2 312のトリガゲートG2と、NPNトランジスタT1 310のトリガゲートG1との間に一つ又はそれ以上のトリガダイオードD_sが結合されている点を除いて、図3のDTSCR保護素子302と同様である。

20

【0031】

[0043] 具体的には、2つのダイオード704、706（すなわち、D_s）が、ダイオード回路320に用いられている。ダイオード704、706は、第1のダイオード704のアノードが第2の接続点334においてトリガゲートG2に結合されると共に、第2のダイオード706のカソードが、第1の接続点336においてトリガゲートG1に結合されるように、順方向に直列結合されている。ダイオード回路320の2つのダイオード704、706の配置により、よりコンパクトな実装が可能になり、かつ低減された接合容量によりパッド104の容量性負荷がわずかに低減される。

30

【0032】

[0044] パッド104でのESD発生時には、4つのダイオードは、SCR306が導通してアース112への分路として機能することができるように、順方向にバイアスされなければならない。具体的には、PNPトランジスタT2 312のエミッタ-ベース接合が、ダイオード回路320における第3のダイオードD_pを形成すると共に、NPNトランジスタT1 310のベース-エミッタ接合がダイオード回路320における第4のダイオードD_nを形成する。PNPトランジスタT2 312のエミッタ-ベース接合によって形成された第3のダイオードD_pは、実際には、パッド104から見てダイオード回路320における第1のダイオードに当たることには注意すべきである。ダイオード回路320におけるこれら4つのダイオード全てが、一旦、順方向にバイアスされると、SCR306がトリガされてESD電流をアース112へ分流させる。この第5の実施形態においては、SCRターンオン電圧が、アノード322とアース112との間において約2.8Vであることに注意すべきである。また、SCR306の保持電圧は、図2に示すように、約1.5Vである。従って、トリガ及び保持電圧は、ESD発生時に、ゲート酸化膜を適切に保護すると共に、その他の損傷しやすい半導体デバイスを保護する。

40

【0033】

[0045] 図8は、本発明に係るESD保護素子802の第6の実施形態の概略図を示す。具体的には、図8は、本発明に係るダイオードターンオンNMOS（DTNMOS）保護素子802の概略図を示す。この第6の実施形態におけるダイオードターンオンNMOS（DTNMOS）保護素子802の構成は、NMOSデバイス804がSCR306の代

50

りに使用されている点を除いて、図3のD T S C R保護素子302と同様である。

【0034】

[0046]具体的には、直列接続ターンオンダイオード320が、パッド104と、NMOSデバイス804との間に順方向バイアスで結合されている。より具体的には、ダイオード回路320における第1のダイオード812のアノードがパッド104に結合されていると共に、ダイオード回路320における最後尾のダイオード814のカソードが、NMOSデバイス804のゲートに結合されている。各ダイオードは、独立したNウェル内に形成されており、それによって共通のP型基板からの電位分離が可能になる。ダイオード回路320におけるダイオード D_s は、低電流を流せるように形成することができ、該ダイオードは、パッド104における公称電圧において、及びIC100の全作動温度範囲にわたって、約10ナノアンペアの最大電流を有する。

10

【0035】

[0047]分路抵抗器110の一端も、NMOSデバイス804のゲートに結合されている。従って、該NMOSデバイスのゲート、ダイオード回路320における最後尾のダイオード814及び分路抵抗器110は、第1の接続点810を形成する。分路抵抗器110の他端は、アース112に結合されている。分路抵抗器110は、1~10k Ω の抵抗を有する。例示の実施形態においては、3つのダイオード D_s がダイオード回路320内に描かれている。しかし、ダイオード D_s の数は、通常の回路状態の下で、パッド104における最大電圧が、かなりの漏れ電流（例えば、100ナノアンペア以上）をダイオード回路320及び分路抵抗器110を介してアース112へ流さないかぎり、変更することができる。一般に、ダイオード回路320におけるダイオード D_s の総数は、4又は5を超えないようにすべきである。通常の作動状態時のダイオード回路320における各ダイオード両端の通常の電圧降下は、漏れ電流を十分低く保つために、0.3~0.4Vである。ESD発生時、ダイオード回路320における各ダイオード両端の電圧降下は、一般に、0.7Vである。

20

【0036】

[0048]NMOSデバイス804のドレインはパッド104に結合されており、NMOSデバイス804のソースは、アース112に結合されている。NMOSデバイス804に固有のものである寄生NPNトランジスタ806も図8に示されている。具体的には、NMOSデバイス804のドレイン及びソースを形成するN+ドープ領域は、それぞれ、寄生NPNトランジスタ806のコレクタ及びエミッタを形成すると共に、P型基板は、寄生NPNトランジスタ806のベースを形成する。

30

【0037】

[0049]NMOSデバイス804は、パッド104で発生するESDによりターンオンし、そのため、ダイオード回路320における各ダイオードの両端に、約0.7Vの電圧降下が発生する。ダイオード回路320におけるダイオード D_s が、一端順方向にバイアスされると、該ダイオード D_s が導通して、電流が分路抵抗器110を流れて流れる。分路抵抗器110の両端電圧が、NMOSデバイス804のゲートしきい値電圧（例えば、0.5V）より上昇すると、NMOSデバイス804がターンオンし、それにより、電流をアース112へ分流できるようになる。具体的には、該電流は上記ドレインからNMOSデバイス804のソースを流れてアース112へ流れる。また、寄生NPNトランジスタ806は、そのコレクタ及びエミッタを介して電流をアース112へ流す。従って、NMOSデバイス804（及び寄生NPNトランジスタ806）は、該電流をパッド104からアース112へ分流する。ダイオード回路320によるNMOSデバイス804のゲートのバイアスが、寄生NPNトランジスタ806のトリガ電圧の低減につながると共に、複数のNMOSフィンガが存在する場合の均一なトリガを可能にすることに注意すべきである。

40

【0038】

[0050]また、任意のリミッタダイオード808を、第1の接続点810及びアース112に結合してもよい。具体的には、リミッタダイオード808は、NMOSデバイス80

50

4のゲートからアース112に順方向に結合されている。リミッタダイオード808は、該ゲートにおける電圧が、ESD作動時に上記NMOSデバイスを流れる高電流と共に、上記ゲート酸化膜に対してホットキャリアダメージを引き起こす可能性がある電位を超えないことを保障する。具体的には、該リミッタダイオードは、約0.7Vの順方向バイアス電圧を有してもよく、これは、0.5Vのゲートしきい値電圧よりも高い。

【0039】

[0051]図9は、本発明に係るESD保護素子902の第7の実施形態の概略図を示す。具体的には、図9は、ダイオードターンオンNMOS(DTNMOS)保護素子902の概略図を示し、ダイオードターンオンDTNMOS保護素子902は、図8のDTNMOS保護素子802と同様である。しかし、NMOSデバイス804のゲートではなく、寄生NPNトランジスタ806が、NMOSデバイス804をターンオンするためのトリガポイントとして使用されている。

10

【0040】

[0052]具体的には、NMOSデバイス804のゲートは、MOS電流をターンオフするためにアース112に結合されている。さらに、ダイオード回路320は、寄生NPNトランジスタ806のベースに結合されていると共に、分路抵抗器110を介してアース112にも結合されている。また、基板の固有抵抗 R_{sub} 341も図示されており、分路抵抗器110と並列にアース112に結合されている。

【0041】

[0053]パッド104におけるESD発生中、ダイオード回路320のダイオード D_s が導通し、分路抵抗器110を介して電流が流れる。ダイオード回路320のダイオード D_s は、それぞれ約0.7Vで順方向にバイアスされる。分路抵抗器110の両端電圧が、寄生NPNトランジスタ806のベース-エミッタ順方向バイアス電圧(例えば、0.7V)より上昇すると、寄生NPNトランジスタ806がターンオンし(すなわち、導通し)、それによりコレクタからエミッタを介してアース112へ電流を流すことができるようになる。従って、NMOSデバイス804(及び寄生NPNトランジスタ806)は、約2.8Vのトリガ電圧、及び約5Vの保持電圧で、パッド104からアース112へ電流を分流するのに使用される。

20

【0042】

[0054]図10～図12は、本発明に係る様々な相補形ESD保護素子の実施形態を示す。これらの実施形態の各々の場合、パッド104と、SCR306のNPNトランジスタT2310のトリガゲートG1336との間の代りに、SCR306のPNPトランジスタT2312のトリガゲートG2334と、アース112との間にトリガ素子308が結合されている。

30

【0043】

[0055]具体的には、図10は、SCR306及びトリガ素子308を備えるDTSCR保護素子1002の概略図を示す。SCR306は、第1及び第2のトリガゲートG1及びG2を有する、上述の他の実施形態において説明したものと同様である。nウェルがフローティングしているため、固有nウェル抵抗 R_{nwell} が存在しないことに注意すべきである。また、図4の実施形態に関連して説明したように、分路抵抗器110が使用されていないことにも注意すべきである。

40

【0044】

[0056]トリガ素子308は、第2の接続点334におけるトリガゲートG2と、アース112との間に結合されている、直列結合ダイオード D_s によって形成されたダイオード回路320からなる。従って、この第8の実施形態1002は、パッド104と、第1の接続点336におけるNPNトランジスタT1310のトリガゲートG1との間に結合されたトリガ素子308を有する、図4の第2の実施形態402とコンプリメンタリであるとみなしてもよい。

【0045】

[0057]図示のダイオード回路320は、トリガゲートG2334からアース112に

50

順方向バイアス接続された2つのダイオード D_S からなる。パッド104においてESDが発生すると、PNPトランジスタ T_{2312} のエミッタ-ベース接合は、ダイオード D_P として作用し、導通し始める。またダイオード回路320のダイオード D_S が導通し始めて、電流がアース112へ流れる。PNPトランジスタ T_{2312} のエミッタ-ベースダイオード D_P 及びダイオード回路320の各ダイオード D_S の両端電位が、一端、0.7Vより上昇すると、PNPトランジスタ T_{2312} のエミッタ-ベースダイオード D_P 及びダイオード回路320のダイオード D_S が順方向にバイアスされる。すると、SCR306の再生導通プロセスを始動するために、PNPトランジスタ T_{2312} のエミッタから(NPNトランジスタ T_{1310} のベースも形成する)コレクタへ電流が流れる。

10

【0046】

[0058] (例えば、トリガゲート G_2 とアースとの間に2つのダイオード D_S を有する)ダイオード回路320の両端に発生する電位は約1.4Vであり、PNPトランジスタ T_{2312} のエミッタ-ベースの両端の電圧降下は、約0.7Vである。すなわち、SCR306のPNPトランジスタ T_{2312} は、PNPトランジスタ T_{2312} のエミッタ-ベースダイオード D_P 及びダイオード回路320が約2.1Vに達したときにトリガされる。図2を参照すると、トリガ電圧及び保持電圧が電圧領域210以下(すなわち6V以下)であり、これは、ゲート酸化膜に対して有害(例えば、破壊的)である可能性がある。

20

【0047】

[0059] 図11は、本発明に係るESD保護素子1102の第9の実施形態の概略図を示す。具体的には、図11は、DTSCR保護素子1102の概略図を示し、DTSCR保護素子1102は、パッド104と、第2の接続点334におけるPNPトランジスタ T_{2312} のトリガゲート G_2 との間に抵抗器504が結合されている点を除いて、図10のDTSCR保護素子1002と同様である。抵抗器504は、図5に関連して説明したように、例示的にnウェルの固有抵抗である。具体的には、上記トリガゲート G_2 は、抵抗器504を介して利用可能な最高電圧、例えばパッド104に結合されている。パッド104及び抵抗器504は、PNPトランジスタ T_{2312} を完全にターンオフする高電位をSCR306のNウェルに供給することにより、漏れ電流の低減を保障する。

30

【0048】

[0060] トリガ素子308は、例示的に、ダイオード回路320における3つのダイオード D_S からなる。パッド104においてESDが発生すると、PNPトランジスタ T_{2312} のエミッタ-ベース接合がダイオード D_P として機能し、約0.7Vで順方向にバイアスされる。またダイオード回路320のダイオード D_S も導通し始める。ダイオード回路320の各ダイオード D_S の両端電位が一旦、約0.7Vより上昇すると、ダイオード回路320のダイオード D_S も順方向にバイアスされる。従って、ダイオード回路320の両端に生じる電圧降下は、約2.1Vである。すなわち、アノード322とアース112との間の電圧が、一旦、約2.8Vに達すると、SCR306のPNPトランジスタ T_{2312} がトリガされる。図2を参照すると、トリガ電圧及び保持電圧が電圧領域210以下(すなわち6V以下)であり、これは、ゲート酸化膜に対して有害であると考えられる。

40

【0049】

[0061] 図12は、本発明に係るESD保護素子1202の第10の実施形態の概略図を示す。具体的には、図12は、DTSCR保護素子1202の概略図を示し、DTSCR保護素子1202は、パッド104と、第2の接続点334におけるPNPトランジスタ T_{2312} のトリガゲート G_2 との間に分路抵抗器110が結合されている点を除いて、図11のDTSCR保護素子1102と同様である。図3の実施形態と同様に、分路抵抗器110は、抵抗器504と並列になっており、かつ固有抵抗504よりもかなり低い抵抗値を有する。従って、パッド104におけるESDの発生により生じる電流は、最初に、nウェルの固有抵抗504の実例である抵抗器504よりも、分路抵抗器110を流

50

れる。分路抵抗器 110 は、SCR 306 をトリガしかねない、トリガ素子 308 とアース 112 との間の有害な漏れ電流のための経路を形成する。さらに、分路抵抗器 110 は、SCR 306 のいわゆるトリガ及び保持電流を制御する。

【0050】

[0062] 図 13 ~ 図 16 は、ESD 保護回路内に一つ又はそれ以上の結合コンデンサを用いた種々の SCR 保護素子の概略図を示す。図 13 は、DTSCR 保護素子 1302 の概略図を示し、DTSCR 保護素子 1302 は、図 10 の DTSCR 保護素子 1002 と同様であるが、結合コンデンサ 1304 を介した容量性接地を含む。具体的には、結合コンデンサ 1304 は、ダイオード回路 320 とアース 112 との間に直列に結合されている。過度 ESD の発生中、過渡電流は結合コンデンサ 1304 を介して流れるが、非過渡 (DC) 電流は、結合コンデンサ 1304 によって遮断される。結合コンデンサ 1304 は、1 pF の範囲 (pF ~ 1 nF) の容量値を有してもよい。PNP トランジスタ T2312 のエミッタ - ベースダイオード DP 及びダイオード回路 320 のダイオード D_s が、一旦、順方向にバイアスされると (例えば、0.7 V)、SCR 306 がターンオンして ESD 電流をパッド 104 からアース 112 へ分流する。

10

【0051】

[0063] 図 14 は、SCR 保護素子 1402 の概略図を示し、該 SCR 保護素子は、ダイオード回路 320 のダイオード D_s が用いられていない点を除いて、図 13 の SCR 保護素子 1302 と同様に構成されている。すなわち、結合コンデンサ 1304 がダイオード回路 320 のダイオード D_s の代りに用いられており、そのため、保護素子 1302 は、容量性ターンオン SCR (CTSCR) であるといえる。具体的には、SCR 306 は、SCR 306 の第 2 のゲート G2334 とアース 112 との間に直接結合コンデンサ 1304 を容量性接地することによってターンオンされる。過度 ESD の発生中、過渡電流は最初に結合コンデンサ 1304 を介して流れるが、非過渡 (DC) 電流は、結合コンデンサ 1304 によって遮断される。

20

【0052】

[0064] また、ESD パルスの初期段階においては、結合コンデンサ 1304 は、SCR 306 のトリガゲート G2334 を接地電位程度まで引っ張る。換言すれば、該コンデンサの両端の電圧降下は、事実上無視してよい。PNP トランジスタ T2312 のエミッタ - ベースダイオード DP が、一旦、約 0.7 V で順方向にバイアスされると、SCR 306 がターンオンして、ESD 電流をパッド 104 からアース 112 へ分流する。従って、PNP トランジスタ T2312 のエミッタ - ベースダイオード DP 及び結合コンデンサ 1304 にわたる SCR 306 のターンオン電圧は、ゲート酸化膜に対して有害であると考えられる電圧領域 210 以下 (すなわち 6 V 以下) である約 0.7 V である。

30

【0053】

[0065] 図 15 は、SCR 保護素子 1502 の概略図を示し、該保護素子は、パッド 104 と、NPN トランジスタ T1310 のトリガゲート G1336 との間に結合コンデンサ 1504 が結合されている点を除いて、図 14 の SCR 保護素子 1402 と同様に構成されている。過度 ESD の発生中、過渡電流は最初に結合コンデンサ 1504 を介して流れるが、非過渡 (DC) 電流は、結合コンデンサ 1504 によって遮断される。NPN トランジスタ T1310 のベース - エミッタダイオード D_n が、一旦、順方向にバイアスされると (例えば、約 0.7 V) と、SCR 306 がターンオンして、ESD 電流をパッド 104 からアース 112 へ分流する。従って、NPN トランジスタ T1310 のベース - エミッタダイオード D_n 及び結合コンデンサ 1304 にわたる SCR 306 のターンオン電圧は、ゲート酸化膜に対して有害である可能性がある電圧領域 210 以下である約 0.7 V (すなわち 6 V 以下) である。

40

【0054】

[0066] 図 16 は、図 14、15 の SCR 保護素子 1402、1502 の組み合わせとして構成された SCR 保護素子 1602 の概略図を示す。具体的には、SCR 306 の第 2 のゲート G2334 とアース 112 との間に直接結合コンデンサ 1304 を接続するこ

50

とによって、容量性接地が設けられている。さらに、パッド104と、NPNトランジスタT1 310のトリガートG1 336との間に結合コンデンサ1504が結合されている。ESDが生じている間、過渡電流は、まず、結合コンデンサ1304、1504を通して流れると共に、非過渡(DC)電流は、結合コンデンサ1304、1504によって遮断される。PNPトランジスタT2 312のエミッタ-ベースダイオードDP又はNPNトランジスタT1 310のベース-エミッタダイオードD_nが、一旦、順方向にバイアスされると(例えば、0.7V)、SCR306はターンオンしてESD電流をパッド104からアース112へ流す。

【0055】

[0067]図17及び図18は、ダイオード回路320ではなく、多数の直列結合MOSデバイスを、ESD保護回路のターンオン素子308として用いたSCR保護素子の概略図を示す。図17及び図18のESD保護回路1702、1802は、パッド104と、SCR306のNPNトランジスタT1 310のトリガートG1 336との間に複数の直列接続されたMOSデバイスが結合されている点を除いて、図3の実施形態と同様である。

10

【0056】

[0068]具体的には、図17は、パッド104と、NPNトランジスタT1 310のトリガートG1 336との間に直列結合された3つのPMOSデバイスを示している。別法として、図18は、パッド104と、NPNトランジスタT1 310のトリガートG1 336との間に直列結合された3つのPMOSデバイス1808を示している。図3～図16のダイオードターンオン素子D_sに関して説明したのと同様に、直列結合されるMOSデバイス(すなわち、NMOS又はPMOS)の数は、1～8の間で変更可能である。

20

【0057】

[0069]図17を参照すると、NMOS素子1708のゲート及びドレインは、ソースと比較して高電位に結合されている(ダイオード接続MOS)。従って、NMOSデバイス1704は、通常、オン状態にある。しきい値電圧(すなわち、順方向バイアスダイオードと同様の降伏電圧(knee voltage))(例えば、0.2～0.7V)を一旦超えると、電流が急激に増加して、NMOSデバイス1798は、順方向バイアスダイオードとして作用する。

30

【0058】

[0070]パッド104で発生するESD発生中、電流は最初、分路抵抗器110を介してNMOSデバイス1704を通してアース112へ流れる。各NMOSデバイス1704の両端の電位が、一旦、しきい値電圧を超えると、分路抵抗器110を通る電流が増加し、それにより、分路抵抗器110の両端電圧が増加する。分路抵抗器110の両端電圧が約0.7Vに達すると、NPNトランジスタT1 310のベース-エミッタダイオードが順方向にバイアスされて、SCR306がトリガされる。

【0059】

[0071]それぞれ約0.5Vのしきい値電圧を有する3つのNMOSデバイス1704が用いられる場合、3つのNMOSデバイス1704の両端の電位は、約1.5Vとなる。従って、NPNトランジスタT1 302のベース-エミッタダイオードD_n(0.7V)及びNMOSデバイス1704にわたるSCR306ターンオン電圧は、約2.2Vであり、これは、ゲート酸化膜に対して有害である可能性がある電圧領域210以下(すなわち、6V以下)である。

40

【0060】

[0072]図18を参照すると、各PMOSデバイス1804のゲート及びドレインが、ソースと比較して低い電位(例えば、VDD1804)に結合されている。従って、PMOSデバイス1804は、通常オン状態にある。ESD発生中には、図17のNMOSデバイス1704に適用したように、図18のPMOSデバイス1804に同じ解析を適用できる。

50

【 0 0 6 1 】

[0073]図 1 9 は、図 3 ~ 図 1 6 のダイオード回路 3 2 0 ではなく、逆方向バイアスされたツェナ (Z e n e r) ダイオード 1 9 0 8 を E S D 保護回路 1 9 0 8 のターンオン素子 3 0 8 として有する S C R 保護素子 1 9 0 2 の概略図を示す。E S D 保護回路 1 9 0 2 は、パッド 1 0 4 と、N P N トランジスタ T 1 3 1 0 のトリガゲート G 1 3 3 6 との間に逆方向バイアスされたツェナダイオード 1 9 0 8 が結合されている点を除いて、図 3 の実施形態と同様である。パッド 1 0 4 で発生する E S D 発生中、電流は、ツェナダイオード 1 9 0 8 及び分路抵抗器 1 1 0 を介してアノード 3 2 2 からアース 1 1 2 へ流れる。

【 0 0 6 2 】

[0074]ツェナダイオード 1 9 0 8 の両端電圧が、一旦、降伏電圧 (例えば、3 ~ 6 V) に達すると、分路抵抗器 1 1 0 を流れる電流が増加し、それにより、分路抵抗器 1 1 0 の両端電位が増加する。分路抵抗 1 1 0 の両端電圧が約 0 . 7 V に達すると、N P N トランジスタ T 1 3 1 0 のベース - エミッタダイオード D_n が順方向にバイアスされ、それにより S C R 3 0 6 が導通状態にトリガされて、E S D 電流がパッド 1 0 4 からアース 1 1 2 へ分流される。

【 0 0 6 3 】

[0075]ツェナダイオードは、一般に、P L D D (P - t y p e l i g h t l y d o p e d d r a i n) ドーピングと N 型高濃度ドープ領域 (N +)、あるいは N L D D (N - t y p e l i g h t l y d o p e d d r a i n) ドーピングと P 型高濃度ドープ領域 (P +)、又は P L D D 及び N L D D ドーピングの組み合わせ等の接合によって形成される。しかし、ツェナダイオードは、一般に、6 ~ 1 2 V の降伏電圧を有し、これは、非常に薄いゲート酸化膜の保護には高すぎる。

【 0 0 6 4 】

[0076]図 3 1 は、本発明のツェナダイオードトリガ素子 1 9 0 8 の断面図を示す。具体的には、P 型基板 (図示せず) 上に形成された N ウェル 3 1 0 4 は、それとの間に接合 3 1 1 2 を形成する N + ドープ領域 3 1 0 8 に隣接して形成された P + ドープ領域 3 1 0 6 を備える。該 P + ドープ領域の一部は、ツェナダイオード 1 9 0 8 のアノード 3 2 2 を形成するためにコンタクトが設けられているシリサイド層 3 1 1 0 を有する。同様に、該 N + ドープ領域 3 1 0 8 の一部は、ツェナダイオード 1 9 0 8 のカソードを形成するためにコンタクトが設けられているシリサイド層 3 1 1 0 を有する。シリサイド層 3 1 1 0 と接合 3 1 1 2 との間の領域は、表面短絡を防ぐためにシリサイドでブロックされている。一つの実施形態においては、N + / P + 接合 3 1 1 2 は、一般に、3 ~ 6 V の降伏電圧を確立する。

【 0 0 6 5 】

[0077]当業者は、E S D 保護素子での用途に対して有害な衝撃をもたらす可能性がある、このような構造における増加した漏れ電流を計算するために、注意深いプロセス評価を実行しなければならないことを認識するであろう。最悪の場合、N P N トランジスタ T 1 3 0 2 のベース - エミッタダイオード D_n 及びツェナダイオード 1 9 0 8 にわたる S C R 3 0 6 のターンオン電圧は約 6 . 7 V になり、これは、電圧領域 2 1 0 の下限であり (すなわち、約 6 V)、ゲート酸化膜に対して有害である可能性がある。

【 0 0 6 6 】

[0078]図 2 0 は、複数の様々な (混成の) 電源電圧 2 0 0 4₁ から 2 0 0 4_n (集合的に混成した電源電圧 2 0 0 4) を有する集積回路 (I C) 1 0 0 のための E S D 保護素子 2 0 0 2 の概略図を示す。この実施形態は、保護する電源ライン以外の電源ラインのアースに対して容量性結合を用いる。図 2 0 の実施形態は、電源電圧ライン 2 0 0 4 のうちの一つで発生する有害な E S D 放電から上記 I C 回路を保護する。E S D 保護素子 2 0 0 2 は、図 1 4 に関連して上述したようなコンデンサターンオン S C R (C T S C R) 1 4 0 2 と、図 1 0 に関連して上述したようなダイオードターンオン S C R (D T S C R) 素子 1 0 0 2 とを備える。

【 0 0 6 7 】

[0079] 電源電圧ライン 2004 は、各電源電圧ラインとアース 112 との間に発生する寄生容量 2006 (例えば、寄生容量 2006₁ から 2006_m) を有する。すなわち、電源電圧ライン 2004 (及び電源ライン 2004 に接続された全てのデバイス) は配線プレートとして作用するため、電源ライン 2004 とアース 112 との間に寄生容量 2006 が発生する。寄生容量 2006 は、図 13 ~ 図 15 で説明した結合コンデンサ 1304 の代りに、SCR 306 をトリガするのに利用することができる。

【0068】

[0080] 図 20 を参照すると、保護回路 2020 は、2つの電源電圧ライン 2004 とアース 112 との間に結合されている。SCR 306 のアノード 322 は、SCR 306 のトリガゲート G2 334 に結合された電源電圧ライン (例えば、電源電圧 2004₂) とは異なる電源電圧ライン (例えば、電源電圧 2004₁) に結合されている。保護回路 2020 は、アース 112 に対する電源ライン 2004₁ を保護するために利用することができる。電源ライン 2004₁ は、ESD ストレスを受けているように例証的に考えられるが、他の電位の電源ラインも同様に保護されるが、ESD ストレス状態で作動しているようには考えられていないことに注意すべきである。すなわち、アノード 322 は、ゲート G2 334 の電位と同じ電位 (であるが異なる電源領域)、該ゲートよりも低い電位、あるいは該ゲートよりも高い電位である電位を有する電源ラインに結合してもよい。

10

【0069】

[0081] 具体的には、SCR 306 の PNP トランジスタ 312 のトリガゲート G2 334 は、+2.5V の電位を例示的に有する、より低い電位の電源電圧ライン 2004₂ に結合されている。SCR 306 のゲート G2 334 は、ゲート G2 334 から電源電圧 2004₂ へ直列に接続されたトリガダイオード 2010 を介して電源ライン 2004₂ に結合されている。

20

【0070】

[0082] SCR 306 のアノード 322 を形成する PNP トランジスタ 312 のエミッタは、直列接続されたダイオード 2008 を介して電源ライン 2004₁ に結合されている。保持電圧ダイオード 2008 (例えば、3つのダイオード) は、ラッチアップの危険性を排除するために、SCR 306 の保持電圧を高い電位の電源電圧 2004₁ (例えば、3.3V) 以上に保持するために使用される。そして、電源ライン 2004₂ は、電源ライン 2004₂ と電源ライン 2004_{n+1} (すなわち、アース 112) との間に存在する寄生容量 2006 を介してアース 112 (すなわち、リファレンス電圧電源ライン VSS 2004_{n+1}) に結合されている。NPNTランジスタ 310 の第 1 のトリガゲート G1 336 は、SCR 306 の固有基板抵抗 341 を介してアース 112 に結合されている。また、NPNTランジスタ 310 のエミッタは、アース 112 に結合されて SCR 306 のカソードを形成する。

30

【0071】

[0083] 図 20 の実施形態は、3つの状態で作動しなければならない。第 1 の状態は、電源ライン 2004 が任意の順序でターンオンする、混成電圧 IC 100 の始動時である。第 2 の状態は、SCR 306 が、該 IC の通常動作を妨げてはいけない通常作動時である。すなわち、ラッチアップ状態は防がなければならない。第 3 の状態は、該 IC が、DC 電源によって作動しておらず、SCR 306 が直ちに ESD 電流をアース 112 へ分流しなければならない ESD ストレス状態である。

40

【0072】

[0084] これらの 3つの状態の各々は、アノード 322 及びゲート G2 334 経路に、適切な数のダイオード 2008、2010 を設けることによって実現できる。アノード経路 322 における保持ダイオード 2008 が、ラッチアップ状態を防ぐために、上記電源電圧以上の電圧に、SCR 306 導通 “オン” 状態における保持電圧を増加させるために設けられていることに注意すべきである。SCR 306 の好ましい保持電圧に関連して上述したように、当業者は、ESD 保護回路 2002 に必要とされる上記保持ダイオードの

50

数を容易に計算するであろう。保持ダイオード2008は、ESD放電経路中に配置され、かつSCR306と同じストレス電流の量に耐えるように十分大きいものとする。

【0073】

[0085]トリガゲートG2 341におけるトリガダイオード2010は、始動制約及びラッチアップ防止により与えられる状態を実現するように任意に設けられる。トリガダイオード2010は、(ESDストレス電流と比較して)小さなトリガ電流のみがSCR306によって流されるので、サイズを最少化することができる。

【0074】

[0086]上記始動状態は、使用する保持及びトリガダイオード2008、2010の数を必然的に決定する。アノード322に接続された電源ラインが最初にターンオンし、ゲートG2 334に結合された電源ラインが、アース112になお有効に結合されている始動時における最悪の場合、SCR306はトリガされてはならない。この最悪の状態下では、保持ダイオード2008からなるダイオード回路、NPNトランジスタ312の内部エミッタ-ベースダイオード及びトリガダイオード2010は、順方向にバイアスされる。

10

【0075】

[0087]始動時のSCRのトリガを避けるために、このダイオード回路全体(すなわち、保持ダイオード2008、エミッタ-ベースダイオードD_p及びトリガダイオード2010)の両端のダイオード電圧の合計は、印加されるアノード電源電圧を少なくとも補償しなければならない。例えば、アノード322が、3.3Vの電源ライン2004₁に結合されている場合、全体で7つのダイオードを保護回路2020中に用いなければならない。すなわち、3つの保持ダイオード2008と、PNPトランジスタ312のエミッタ-ベースダイオードD_pと3つのトリガダイオード2010とが必要となる。

20

【0076】

[0088]非作動ESDストレス状態下では、全ての電源ライン2004₁から2004_nは、各電源ライン2004とアース112との間の寄生接続2006により、アースに容量性結合されている。正のESDが、保護電源ライン(例えば、2004₁から2004_n)の内の一つで発生し、上記保護電源ラインにおける電圧が、保持ダイオード2008、PNPトランジスタ312のエミッタ-ベースダイオードD_p及びトリガダイオード2010にわたる総電圧を一旦超えると、SCR306がターンオンする。

30

【0077】

[0089]一般に、DTSCR保護素子における直列ダイオードの最大数は、漏れ電流を制限するために、4~5を超えてはならないことに注意すべきである。しかし、本実施形態は、より多くの数のターンオンダイオードが設けられているため、より高い電圧でDTSCR保護素子2002を使用することができるようになっている。さらに、通常の回路状態中、各ダイオードの両端の電圧降下は、該ダイオードをバイアスする印加供給電圧より低減されている。

【0078】

[0090]また、上記相補形DTSCRも、図10~図13に示すように、単にI/Oの保護に限定されるだけでなく、電源ライン2004を保護するのにも利用できることに注意すべきである。具体的には、該相補形DTSCRの一方の分岐又は両分岐は、G2リファレンス電位と同じかあるいは該電位よりも低い電圧レベルで、上記電源ラインを保護するために利用することができる。このような電源ライン保護は、全ての電源ライン2004が同時に作動するような始動シーケンスがない用途において用いることができる。

40

【0079】

[0091]図21は、低減された寄生容量を有するESD保護回路2102を示す概略ブロック図を示す。具体的には、図21の容量低減実施形態は、上述したように、パッド104とアース112との間に結合されたESD保護素子102(例えば、図3~図19のDTSCR又はNMOS)を備える。寄生容量2006(C_{esd})は、ESD保護素子106のアノード322とアース112との間に存在する。寄生容量2006は、通常、2

50

00 ~ 3000 フェムトファラドの容量を有する。この寄生容量は、入力パッド104上に含まれるESD保護素子106のサイズによって増加し、大きなサイズのESD保護素子は、より高い保護レベルを実現できる。本実施形態は、入力パッド104に関して説明したが、当業者は、同じ原理を出力パッド又は二方向性パッドに適用できることを理解するであろう。

【0080】

[0092]容量低減ダイオード2104は、保護入力パッド104と、ESD保護素子106のアノード322との間に順方向に直列結合されている。ダイオード2104は、保護回路2102が一旦、ESD作動モードに入ると、小さな電圧降下を付加する。ダイオード2104は、基板から絶縁するために、一般に、ウェル（例えば、Nウェル）内に実装されている。ダイオード2104は、小さい寄生接合容量値（例えば、30 ~ 100 フェムトファラド）を有し、これは、ESD保護素子106の寄生容量 $E_{esd}2006$ よりもかなり小さい値である。ダイオード寄生容量 $C_{dio}2106$ 及びESD保護素子容量 C_{esd} は、パッド104とアース112との間に直列に結合されている。保護素子2102の全体の容量 C_t は、上記寄生容量の直列接続により低減される（すなわち、 $C_t = (C_{dio} \times C_{esd}) / (C_{dio} + C_{esd})$ ）。パッド104における信号は、全体の容量 C_t に影響される。

【0081】

[0093]ESD保護回路2102の寄生容量のさらなる低減は、ESD保護素子106のアノードを、抵抗器2108（例えば、1K ~ 100K Ω ）を介して（正の）電源電圧ライン2004に結合することによって実現できる。通常の回路動作において、ダイオード2104は逆方向にバイアスされ、それによりダイオード2104の寄生容量 $C_{dio}2106$ がさらに低減される。上記ダイオードの寄生容量 $C_{dio}2106$ のさらなる低減は、接合容量及び逆方向バイアスの非線形依存性による。ESD発生時、抵抗器2108を流れる電流は、ごくわずかな量に制限される。従って、ダイオード2104は順方向にバイアスされ、上述したように、ESD保護素子106は、直ちに過渡ESD電流をアース112へ分流する。

【0082】

[0094]一つの実施形態において、ESD保護回路2102は、高速回路に使用される。回路100の速度を増すためには、入力信号を負荷する寄生容量は、非常に小さくしなければならない。従って、ESD保護回路2102は、一般に、50 ~ 200 フェムトファラド（fF）以上の寄生容量を付加してはならない。

【0083】

[0095]図22 ~ 図24は、図21の包括的な実施形態の教示を含む種々の実施形態の概略図を示す。図22は、図3のDTCR302に結合された容量低減ダイオード2104を有するESD保護回路2202の概略図を示す。また、トリガ素子308のダイオード回路320の第1のダイオードは、容量低減ダイオード2104として使用される。電源電圧ライン（VDD）2004は、抵抗器2108を介して、ダイオード回路320の容量低減ダイオード2104のカソードに結合されている。従って、保護素子2102の全体の容量 C_t は、上述したように、容量低減ダイオード2104の寄生容量と、トリガ素子308の他のトリガダイオードからアース112までの寄生容量との間の直列接続により低減される。

【0084】

[0096]図23は、SCR306に結合された容量低減ダイオード2104を有するESD保護回路2302の概略図を示し、容量低減ダイオード2104は、上記保持電圧ダイオードの上方のダイオードの形ですでに存在している。また、容量低減ダイオード2104は、他のタイプのESD保護素子にも用いることができる。図24は、ゲート接地NMOS ESD保護素子2406に結合された容量低減ダイオード2104を有するESD保護回路2402の概略図を示す。図21 ~ 図24の実施形態における教示から、容量低減ダイオード2104を、上記の図3 ~ 図19に示した実施形態のうちの少なくともいく

10

20

30

40

50

つかと共に用いることができることを理解すべきである。別法として、容量低減ダイオード 2104 は、ゲート接地 SCR (GGSCR) 等の他のトリガ素子と共に使用することができる。

【0085】

[0097]図 25 は、SCR ターンオンダイオードをダーリン (Darlington) トントランジスタポンプ 2502 として作動させる ESD 保護回路 302 の概略図を示す。該 ESD 保護回路は、パッド 104 とアース 112 との間に結合された SCR 306 を備える。ダイオードターンオン素子 308 は、3 段ダーリントントランジスタ 2502 によって示され、各段 $2512_1 \sim 2512_3$ (段 2512) は、直列結合ダイオード回路 320 におけるダイオード D_s に対応する。具体的には、DTSCR 302 の回路 320 におけるダイオード D_s は、P 型基板 (図示せず) と共に寄生 PNP トランジスタを形成する。すなわち、P 型基板は、一般にアース 112 に結合されている、各段 2512 のコレクタを形成する。各段 2512 のコレクタは、電流の一部を各ダイオード (すなわち、トランジスタ段 2512) から IC100 の接地された P 型基板 (図示せず) へ流し、それにより、通常動作中に、上記基板への漏れ電流が増加し、SCR 306 はトリガに失敗する。

10

【0086】

[0098]この電流損失問題を緩和するために、複数の P+ タイ 2520 を、P+ 基板及び N ウェルダイオードの近傍に形成してもよく、それによりダーリントントランジスタ 2502 のコレクタを、図 25 に示すように、トリガゲート G_1 336 等のトリガゲートに良好に結合できる。また上記 P+ タイは、分離 P ウェル / 深い N ウェルを有する IC100 の製造プロセスで利用できるように、上記 P 型基板から分離されている P ウェル内にダイオード D_s が形成されている場合に用いることができる。さらに、3 つのウェル (ある程度深い P ウェルの内側の第 1 の N ウェル、深い N ウェルの内側) を有する IC100 のための製造プロセスは、損失なく全ての電流を集電するダーリントン効果を用いる。従って、上述の技術の場合、各段 2512 からのコレクタ電流 I_c 及びダーリントントランジスタ 2502 の最終段 2512_3 のベース電流 I_b は、トリガゲート (例えば、トリガゲート G_1) に結合される。

20

【0087】

[0099]図 25 は、SCR 306 のトリガゲート G_1 336 に結合されたダーリントンポンプ 2502 を示しているが、ダイオード回路 320 が SCR 306 のトリガゲート G_2 334 に結合されている相補形実施形態の場合には、ダーリントンポンプ 2502 は、代替的にトリガゲート G_2 334 に結合されることを理解すべきである。

30

【0088】

[0100]図 10 ~ 図 13 に示した実施形態のような相補形 DTSCR が使用される実施形態においては、ダーリントン生成基板電流は、上述したように、P 型基板内で失われないことに注意すべきである。図 11 を参照すると、ダイオード回路 320 は、PNP トランジスタ T_2 312 に形成された第 2 のゲート G_2 334 に結合されている。従って、各ダーリントン段のコレクタ、及び最終段のベースは、本質的に P 型基板に結合されている。この場合、第 2 のゲート G_2 334 において有効なトリガ電流は、ダーリントン回路のコレクタ (基板) 電流 $I_{c1} \sim I_{c3}$ 及び最終段のベース電流 I_{b3} の合計と等しい。

40

【0089】

[0101]図 32 は、相補形 SCR ターンオンダーリントントランジスタポンプ 3202 を有する ESD 保護回路 1102 の概略図を示す。図 32 は、実際には、図 11 の概略図に対応する。トリガゲート G_2 334 におけるトリガ電流は、各ダーリントン段 2512 のコレクタ電流 ($I_{c1} + I_{c2} + I_{c3}$) と、最終のダーリントン段 (例えば、 2512_3) のベース電流 I_{b3} との合計に等しい。従って、直列結合トリガダイオード D_s から NPN トランジスタ T_1 310 のゲート G_1 336 にかけて生じるダーリントン効果により失われる電流は、自動的に回復され、上記相補形 DTSCR におけるゲート G_2 334 をトリガするために用いられる。

50

【 0 0 9 0 】

[0102]図 2 6 は、E S D 保護回路 1 0 2 の温度補償トリガ素子 2 6 0 8 の概略図を示す。温度補償トリガ素子 2 6 0 8 のの目的は、漏れ電流及びトリガ電流を、作動温度にかかわらず、特定の作動範囲内に残すことができるようにすることである。すなわち、トリガ点及び漏れ電流は、実質的に、I C 1 0 0 の作動温度と無関係である。

【 0 0 9 1 】

[0103]温度補償トリガ素子 2 6 0 8 は、ダイオード回路 3 2 0 に直列結合されている N M O S デバイス 2 6 1 2 に直列結合されている P M O S デバイス 2 6 1 0 のような、少なくとも一つの M O S デバイスを備える。具体的には、P M O S デバイス 2 6 1 0 のソースは、保護すべきラインのパッド 1 0 4 に結合されており、P M O S デバイス 2 6 1 0 のドレインは、N M O S デバイス 2 6 1 2 のドレインに結合されている。該 N M O S デバイスのソースは、ダイオード回路 3 2 0 の第 1 のダイオード D_1 のアノードに結合されており、ダイオード回路 3 2 0 の最後尾のダイオードのカソードは、アース 1 1 2 に結合されている。P M O S デバイス 2 6 1 0 のゲートは、上記 P M O S のドレイン又はより低い電位に結合されている。N M O S デバイス 2 6 1 2 のゲートは、上記 N M O S のドレイン又はより高い電位（例えば、点線で示すライン 2 6 1 4 ）に結合されている。

【 0 0 9 2 】

[0104]作動中、I C 1 0 0 の温度が上昇すると、ダイオード回路 3 2 0 のダイオードを流れる電流も増加する（すなわち、負の温度係数）。また、I C 1 0 0 の温度が上昇すると、M O S デバイス 2 6 1 0、2 6 1 2 を流れる電流が減少する（すなわち、正の温度係数）。従って、M O S デバイス 2 6 1 0、2 6 1 2 は、ダイオード回路 3 2 0 における電流増加を補償し、それによりトリガを、作動温度と比較的無関係にする。当業者は、温度補償トリガ素子 2 6 0 8 における M O S デバイスの数が、ダイオード回路 3 2 0 のダイオードのサイズ及び数と、I C 1 0 0 に使用されるデバイスの実際の温度係数とに依存して変化することを理解するであろう。さらに、温度補償トリガ素子 2 6 0 8 は、ゲート G 1 3 3 4 及びゲート G 2 3 3 6 のいずれか一方又は両方に用いることができる。

【 0 0 9 3 】

[0105]図 2 7 は、各 S C R フィンガ 2 7 0 6 に対してカレントミラートリガを有するマルチフィンガ形 D T S C R E S D 保護素子 2 7 0 2 の概略図を示す。D T S C R E S D 保護素子 2 7 0 2 は、複数の S C R フィンガ 2 7 0 6₁ ~ 2 7 0 6_n に結合された温度補償ターンオン回路 2 7 0 8 を備える。但し、n は 2 に等しい（n = 2）。マルチフィンガ形 D T S C R E S D 保護素子 2 7 0 2 は、電源ライン V D D 2 0 0 4 とアース 1 1 2 との間に例示的に結合されている。しかし、当業者は、マルチフィンガ形 D T S C R E S D 保護素子 2 7 0 2 を、保護すべきいずれかの電源ライン又は I / O パッド 1 0 4 の間に結合できることを認識するであろう。

【 0 0 9 4 】

[0106]温度補償ターンオン回路 2 7 0 8 は、図 2 6 に示すのと同様に、ダイオード回路 3 2 0 を形成する 3 つの直列ダイオードに結合された単一の P M O S デバイス 2 6 1 0 を例示的に備える。P M O S デバイス 2 6 1 0 のゲートは、ドレインに結合されている。さらに、ダイオード回路 3 2 0 が、各ダイオードが段を形成するダーリントントランジスタとして機能することを想起されたい。

【 0 0 9 5 】

[0107]各 S C R フィンガ 2 7 0 6 は、電源ライン V D D 2 0 0 4 に結合されたアノードと、アース 1 1 2 に結合されたカソードとを有する S C R 3 0 6 を備える。また、P M O S デバイス 2 7 0 4 は、保護すべき電源ライン V D D 2 0 0 4 からトリガゲートに結合されている。例えば、P M O S デバイス 2 7 0 4₁ のソースは、電源ライン 2 0 0 4 に結合され、ドレインは、第 1 のトリガゲート G 1 3 3 6₁ に結合されている。温度補償ターンオン回路 2 7 0 8 の P M O S デバイス 2 6 1 0 のゲート及びドレインは、各 S C R フィンガ 2 7 0 6 の P M O S デバイス 2 7 0 4 の各ゲートに結合されている。

【 0 0 9 6 】

[0108]電源ライン2004でのESD発生中、単一のターンオン回路2708を通して電源ライン2004からアース112へ流れる電流は、等しいトリガ電流で複数のESD分路デバイス(すなわち、SCRフィンガ2706)を駆動することができる。また、保持及びクランプ電圧は、電源ライン2004の電圧以上で、IC100のゲート酸化膜に対して有害である可能性がある、図2の有害な電圧範囲210以下に保持される。各SCRフィンガ2706へのトリガ電流は、ターンオン回路2708の電流から映される。該カレントミラーは、各SCRフィンガ2706のゲートG1 336及びゲートG2 334のそれぞれ又は両方をトリガするように設定することができることに注意すべきである。また、映された電流は、温度補償ターンオン回路708により温度補償されることに注意すべきである。さらに、複数の単一のターンオン回路2708をIC100上に設けて、分散した複数のSCRフィンガ2706に接続することができることに注意すべきである。上記ターンオン回路内のMOSデバイスの全てのゲートと、上記SCRフィンガ内のMOSデバイスの全てのゲートとは結合されている。従って、分散したターンオン回路は、IC100全体のESD過電圧状態を有効に検知し、IC100上の全てのSCRフィンガ2706をターンオンし、それにより、最大レベルの保護を実現できる。

10

【0097】

[0109]さらに、上記電流は、各SCRフィンガ2706の各トリガゲートへのトリガ電流が、ターンオン回路2708中の電流に比例するように、MOSTランジスタ2704、2610のサイズ(長さ及び幅)の比によって調整できることに注意すべきである。当業者は、ダイオード回路320とアース112との間にNMOSデバイスを設けること、及びSCRフィンガ2706の第2のゲートG2 334にNMOSデバイスを設けることにより、SCRフィンガ2706の第2のゲートG2 334でのトリガが可能になることを認識するであろう。

20

【0098】

[0110]図3～図24の実施形態においては、DTSCR素子302は、接地電力線クランプへの電力線、あるいは接地クランプへの入力/出力のいずれかとして使用されている。どちらの場合においても、DTSCR302は、電力線2004とアース112との間、又はI/Oパッド104とアース112との間のいずれかで、単一の方向に電流を分流する2端子構造として使用されている。しかし、ESDは、任意の端子の組み合わせ間で発生する可能性があり、上記電流は、ESD発生時に接地されると考えられる特定の端子に対して、正又は負の極性を有する。従って、SCR306は3端子素子として用いることもでき、それにより、図28～図30に関連して説明するように、電力線2004とアース112との間、I/Oパッド104とアース112との間、及び電力線2004とI/Oパッド104との間で二方向性ESD保護を実現できる。

30

【0099】

[0111]図28は、SCR306相補形入力保護回路2802の第1の実施形態の概略図を示す。保護回路2802は、電源ライン2004と、I/Oパッド104と、アース112との間に結合された第1及び第2のDTSCR306₁、306₂(第1及び第2の脚)を備える。第1のSCR306₁について説明すると、PNPトランジスタ3121のエミッタ(すなわち、アノード)は電源ライン2004₁に結合されており、PNPトランジスタ3121のベースは、NPNトランジスタ310₁のコレクタに結合されている。PNPトランジスタ3121のコレクタは、NPNトランジスタ3101のベースに結合されている第1のトリガゲートG1 336₁に結合されている。NPNトランジスタ3101のエミッタ(すなわち、カソード)は、I/Oパッド104に結合され、第1のトリガゲートG1 336₁は、アース112に結合されている。

40

【0100】

[0112]第2のSCR306₂について説明すると、PNPトランジスタ312₂のエミッタ(すなわち、アノード)はI/Oパッド104に結合されており、PNPトランジスタ3122のベースは、NPNトランジスタ310₂のコレクタに結合されている。PNPトランジスタ312₂のコレクタは、第1のトリガゲートG1 336₂を形成する、

50

NPNトランジスタ310₂のベースに結合されている。NPNトランジスタ310₁のエミッタ(すなわち、カソード)は、アース112に結合され、第2のトリガゲートG2334₂は、電源ライン2004に結合されている。

【0101】

[0113]SCR306が不活性である場合に逆極性のESDのための導電路を形成するために、一般に、ダイオードが別々に付加されている。しかし、当業者は、そのような付加ダイオード(すなわち、D_p及びD_n)を、すでに存在しているSCR306の一部として有利に利用することができることを認識しよう。

【0102】

[0114]ESD発生中、SCR306₁は、電源ライン2004に対してI/Oパッド104において接地電位で負のESDが発生する通常のスレスタスの場合のために、電源ライン2004に対してクランプを形成する。第2のSCR306₂は、GND112に対してI/Oパッド104において接地電位で正のESDが発生する通常のスレスタスの場合のために、アース112に対してクランプを形成する。逆のスレスタスの場合(電源2004に対する接地電位でのI/O104における正のESD、及びGND112に対する接地電位でのI/O104における負のESD)のためのダイオードD_p、D_nは、各SCR306のベース-エミッタによって形成される。通常ESDスレスタスの発生中、ベース-エミッタダイオードのうちの一つが、電源ライン2004とアース12との間の寄生VDD-GND容量2804を充電する。換言すれば、VDD-GND容量2804は、それらのベース-エミッタダイオード中の電流の流れを可能にする電氣的負荷を形成する。第1のゲートG1336₁における該ベース-エミッタダイオードの両端の電圧降下が、約+0.7Vに達すると、あるいは、第2のゲートG2334₂が-0.7Vに達すると、SCR306はターンオンして、ESD電流をそれぞれアース(すなわち、アース112又は電源ライン2004)へ分流させる。

【0103】

[0115]図29は、SCR306相補形入力保護回路2902の第2の実施形態の概略図を示す。図29の第2の実施形態は、2つの付加ダイオード回路3201、3202が、それぞれ、SCR306₁、306₂のトリガゲートに結合されている点を除いて、図28の第1の実施形態と同様である。具体的には、(例示的に、3つの直列結合ダイオードを有する)第1の回路3201における第1のダイオードのアノードは、PNPトランジスタ3121のエミッタに結合されており、ダイオード回路3201における最後尾のダイオードのカソードは、第1のトリガゲートG1336₁に結合されている。同様に、(例示的に、3つの直列結合ダイオードを有する)第2の回路3202における第1のダイオードのアノードは、第2のトリガゲートG2334₂に結合されており、ダイオード回路3202における最後尾のダイオードのカソードは、NPNトランジスタ3102のエミッタに結合されている。

【0104】

[0016]第1及び第2のダイオード回路3201、3202は、VDD-GND容量の容量性負荷に加えて負荷を形成するため、及び上記電源ラインの電圧以上にトリガ電圧を上昇させるために用いられる。図2を参照すると、第1のSCR306₁は、I/Oパッド104とアース112との間で約2.8Vでトリガされる。また同じ解析は、第2のSCR306₂に対しても適用できる。

【0105】

[0117]図30は、SCR306相補形入力保護回路3002の第3の実施形態の概略図を示す。図30の第3の実施形態は、相補形入力保護回路3002の各脚30061、30062が、負荷要素としてMOSデバイス3004を有している点を除いて、図28の第1の実施形態(又は、図29の第2の実施形態)と同様である。

【0106】

[0118]具体的には、第1のSCR脚3006₁は、NPNトランジスタ3101に並列に結合されたNMOSデバイス30041を有するSCR306₁を備えているため、N

10

20

30

40

50

MOSデバイス30041のソース及びドレインは、それぞれ、NPNトランジスタ3101のエミッタ及びコレクタに結合されている。さらに、NMOSデバイス30041のゲートは、第1のトリガゲートG1 336₁に結合されている。

【0107】

[0119]同様に、第2のSCR脚3006₂は、PNPトランジスタ3122に並列に結合されたPMOSデバイス3004₂を有するSCR306₂を備えているため、PMOSデバイス3004₂のソース及びドレインは、それぞれ、PNPトランジスタ3122のエミッタ及びコレクタに結合されている。さらに、PMOSデバイス3004₂のゲートは、第2のトリガゲートG2 334₂に結合されている。MOSデバイス3004は、約0.2～約0.6Vのしきい値電圧を有し、これは、SCR306₁のトリガゲートG1 336₁及びSCR306₂のトリガゲートG2 334₂におけるそれぞれベース-エミッタ又はエミッタ-ベース接合電圧(すなわち、約0.7V)よりも小さい。

10

【0108】

[0120]例えば、電源ライン(VDD)2004で発生する正のESD発生中、I/Oパッド104が接地電位である場合、接地ライン112は、NPNトランジスタ3061のベース-エミッタ接合から約0.7Vまで引き上げられる。第1のSCR脚30061の第1のトリガゲートG1 336₁に接続されているNMOSデバイス3004₁のゲートは、NMOSデバイス30041がターンオンするような0.7V以下のしきい値電圧を有する。MOSデバイスは、一つのNMOSTリガデバイスを有する低電圧トリガSCR(LVSCR)等の従来のデバイスとは違って、MOSモードのみで作動し、降伏は利用されないことに注意することが重要である。NMOSデバイス30041が一旦、ターンオンすると、SCR306₁のトリガゲートG2 334₁の電位は低く引き下げられ、該SCRは、導通のために予め処理される。VDD2004における正のESD電圧がSCR306₁の保持電圧を超えると、直ちに、ESD電流が接地されたI/Oパッド104へ分流されることになる。

20

【0109】

[0121]通常の回路作動時、GND電源ライン112は、SCR306₁のベース-エミッタ両端に電圧降下が生じないように接地されており、それにより、NMOS30041のゲートがアースに保持され、その結果として、NMOS3004₁がターンオフする。当業者は、同様の作動解析を第2のSCR脚30062に適用できることを認識しよう。従って、図30の第3の実施形態の一つの利点は、図29のダイオードターンオン回路によって発生するような漏れ電流が、通常作動中には発生しないということである。

30

【0110】

[0122]本発明の教示を含む様々な実施形態を詳細に図示及び説明してきたが、当業者は、それらの教示を含むその他の変更実施形態を容易に発想することができるであろう。

【図面の簡単な説明】

【0111】

【図1】超低ターンオン電圧素子を有する集積回路のESD保護回路を示す概略ブロック図である。

【図2】ESD保護素子の場合の電流/電圧特性のグラフである。

40

【図3】図1の包括的なESD保護回路の教示を含むESD保護回路の一実施形態の概略図である。

【図4】図1の包括的なESD保護回路の教示を含むESD保護回路の一実施形態の概略図である。

【図5】図1の包括的なESD保護回路の教示を含むESD保護回路の一実施形態の概略図である。

【図6】図1の包括的なESD保護回路の教示を含むESD保護回路の一実施形態の概略図である。

【図7】図1の包括的なESD保護回路の教示を含むESD保護回路の一実施形態の概略図である。

50

【図 8】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 9】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 10】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 11】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 12】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

10

【図 13】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 14】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 15】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 16】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 17】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

20

【図 18】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 19】図 1 の包括的な E S D 保護回路の教示を含む E S D 保護回路の一実施形態の概略図である。

【図 20】混成電源電圧を有する集積回路 (I C) のための E S D 保護回路の概略図である。

【図 21】低減寄生容量を有する、本発明に係る E S D 保護回路を示す概略ブロック図である。

【図 22】図 21 の包括的な実施形態の教示を含む一実施形態の概略図である。

【図 23】図 21 の包括的な実施形態の教示を含む一実施形態の概略図である。

30

【図 24】図 21 の包括的な実施形態の教示を含む一実施形態の概略図である。

【図 25】 S C R ターンオンダイオードをダーリントトランジスタポンプとして機能させる E S D 保護回路の概略図である。

【図 26】 E S D 保護回路 302 の温度補償トリガ素子の概略図である。

【図 27】各 D T S C R フィンガのためのカレントミラートリガを有するマルチフィンガ型 D T S C R E S D 保護素子の概略図である。

【図 28】 S C R 相補形入力保護回路の一実施形態の概略図である。

【図 29】 S C R 相補形入力保護回路の一実施形態の概略図である。

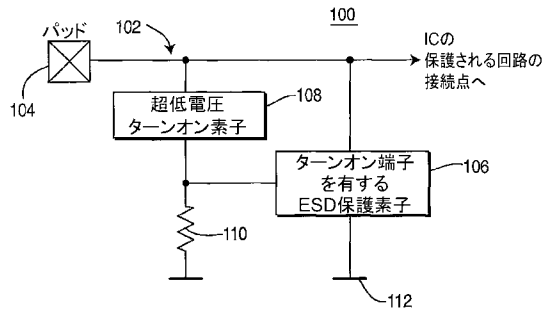
【図 30】 S C R 相補形入力保護回路の一実施形態の概略図である。

【図 31】本発明に係るツェナダイオードトリガ素子を有する S C R の断面図である。

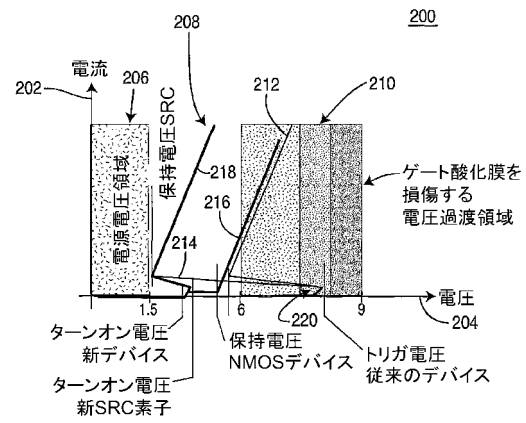
40

【図 32】相補形 S C R ターンオンダーリントトランジスタポンプを有する E S D 保護回路の概略図である。

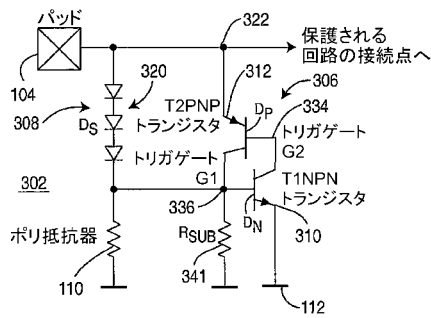
【図 1】



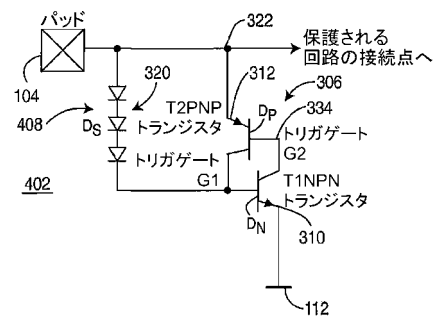
【図 2】



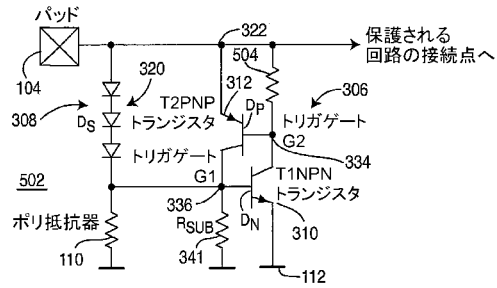
【図 3】



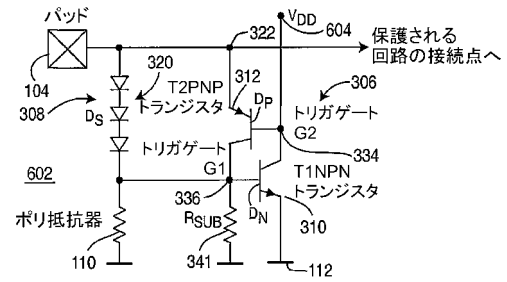
【図 4】



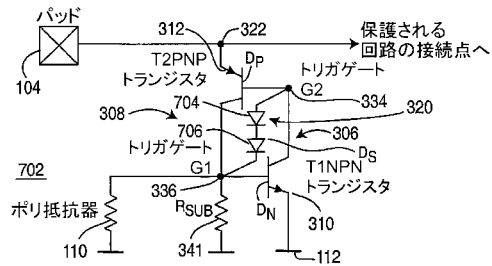
【図 5】



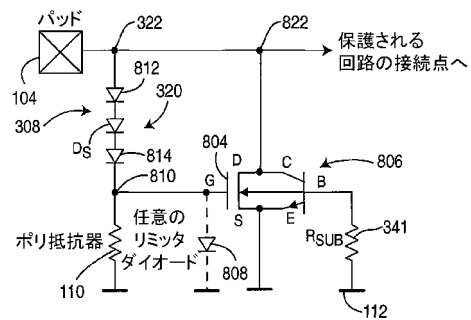
【図 6】



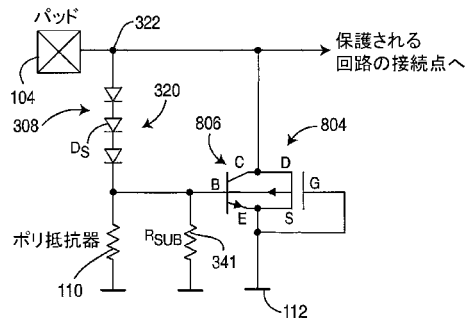
【図 7】



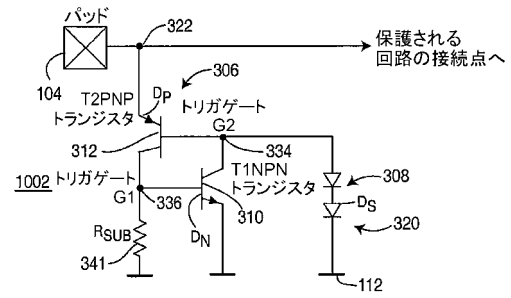
【図 8】



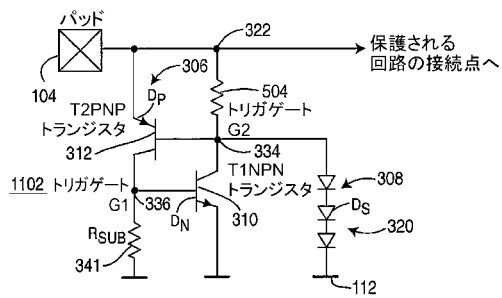
【図 9】



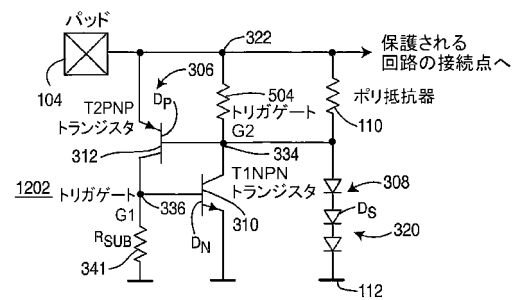
【図 10】



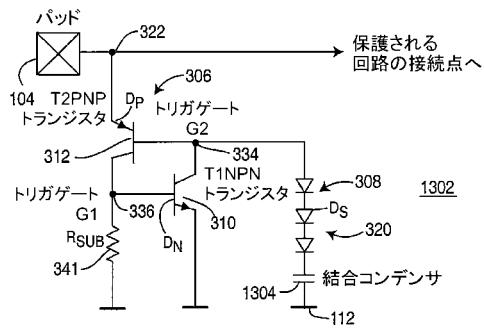
【図 11】



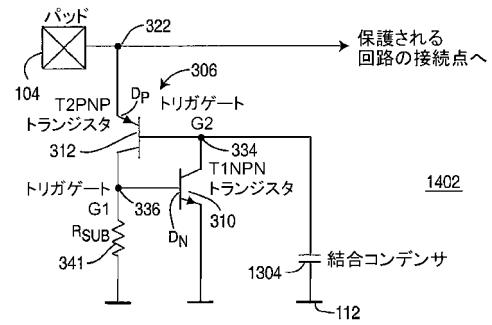
【図 12】



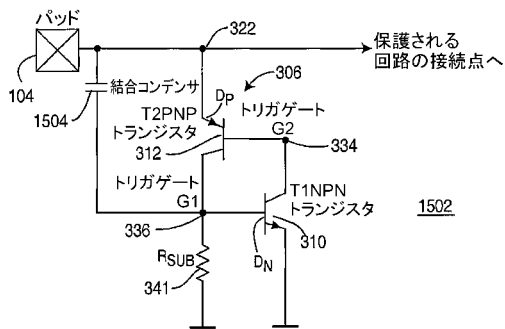
【図 13】



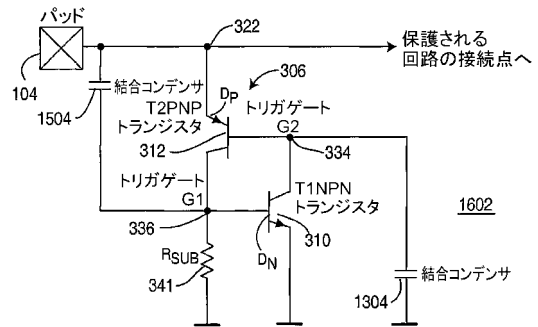
【図 14】



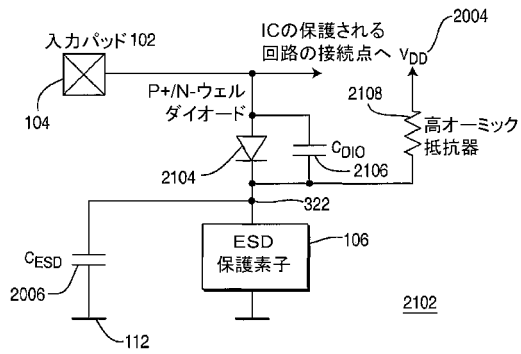
【図 15】



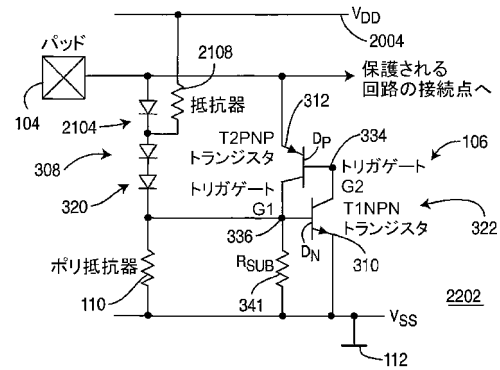
【図 16】



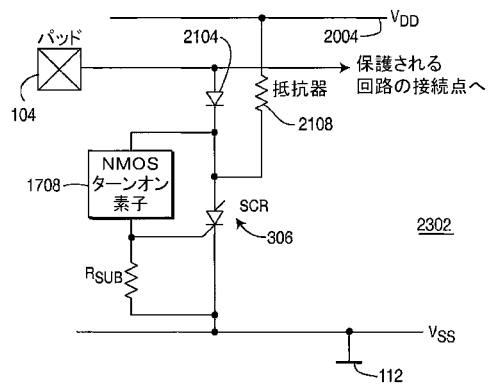
【図 2 1】



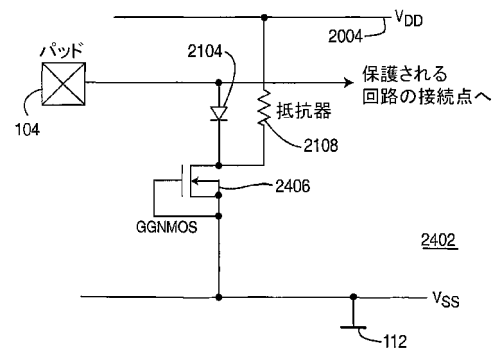
【図 2 2】



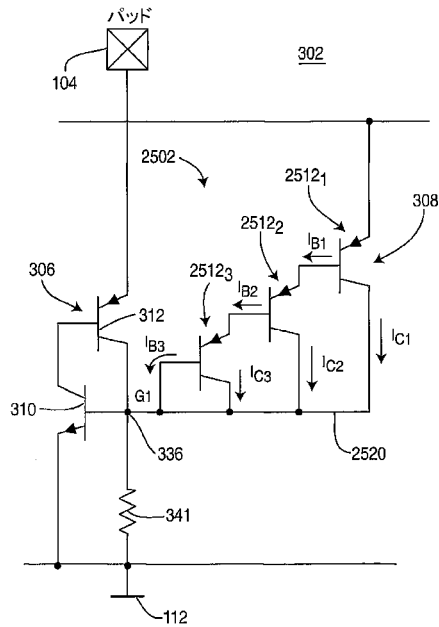
【図 2 3】



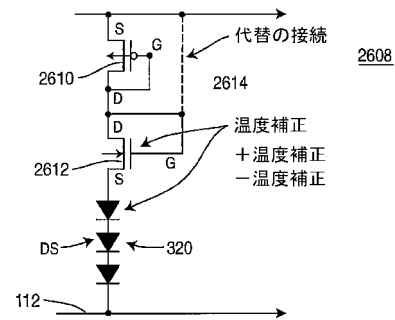
【図 2 4】



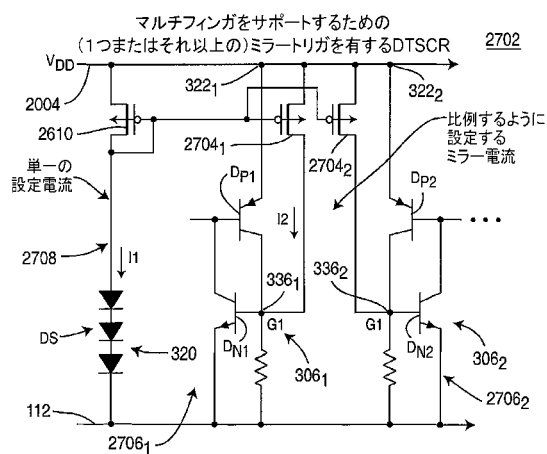
【図 25】



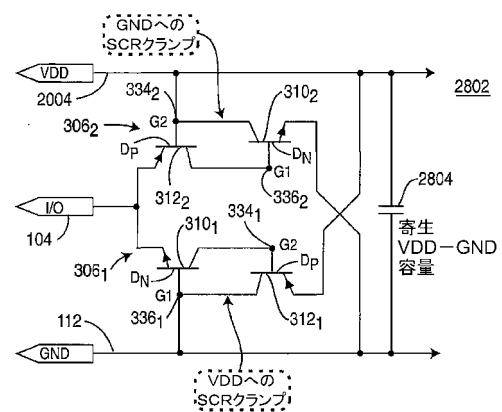
【図 26】



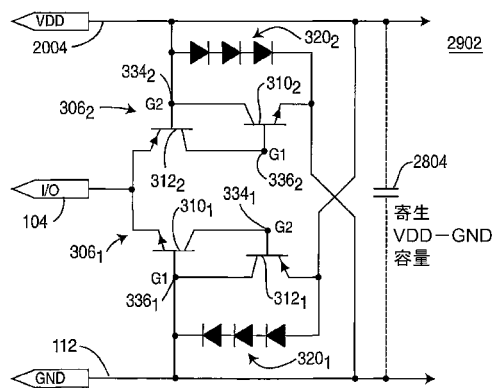
【図 27】



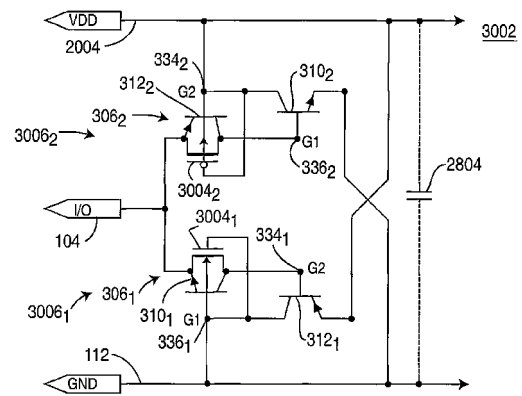
【図 28】



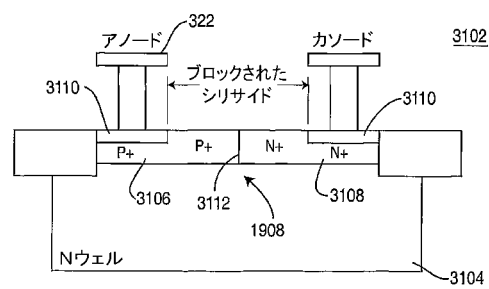
【図 29】



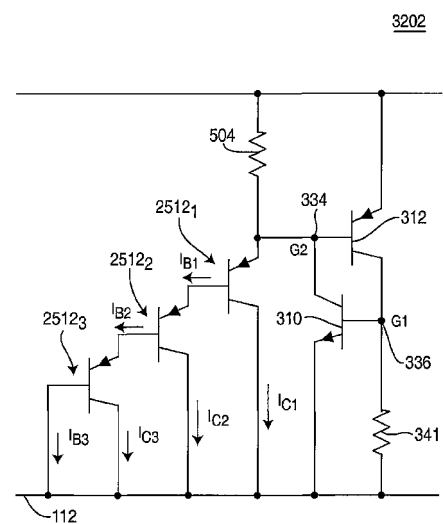
【図 30】



【図 31】



【図 32】



フロントページの続き

- (31)優先権主張番号 60/276,416
(32)優先日 平成13年3月16日(2001.3.16)
(33)優先権主張国 米国(US)
(31)優先権主張番号 60/318,548
(32)優先日 平成13年9月11日(2001.9.11)
(33)優先権主張国 米国(US)
- (74)代理人 100126826
弁理士 二宮 克之
(74)代理人 100107456
弁理士 池田 成人
- (72)発明者 マージェンス, マーカス
アメリカ合衆国, ニュージャージー州 08536, プレインスボロ, タマロン ドライブ
81-16
(72)発明者 ベラージェ, コーエン
ベルギー, ベー - 8470 ギステル, ブルーゼ バーン 188アー
(72)発明者 アーマー, ジョン
アメリカ合衆国, ニュージャージー州 08846, ミドルセックス, ヴェスパー アヴェ
ニュー 321
(72)発明者 ラス, クリスチャン
アメリカ合衆国, ニュージャージー州 08540, プリンストン, キャッスルトン アヴ
ェニュー 73

審査官 大嶋 洋一

- (56)参考文献 特開2001-358297(JP,A)
特開2001-148460(JP,A)
特開平09-191082(JP,A)
特開平09-134997(JP,A)
特開平05-251640(JP,A)
特開平03-165527(JP,A)
米国特許第05869873(US,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 27/04
H02H 3/20