(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)公開番号
特開2022-155410
(P2022-155410A)
(43)公開日　令和4年10月13日(2022.10.13)

(51)国際特許分類		FI			テーマコード（参考）
H04N	*5/374(2011.01)*	H04N	5/374		5C024
H04N	*5/378(2011.01)*	H04N	5/378		
H04N	*5/357(2011.01)*	H04N	5/357	500	

審査請求　未請求　請求項の数　5　ＯＬ　（全13頁）

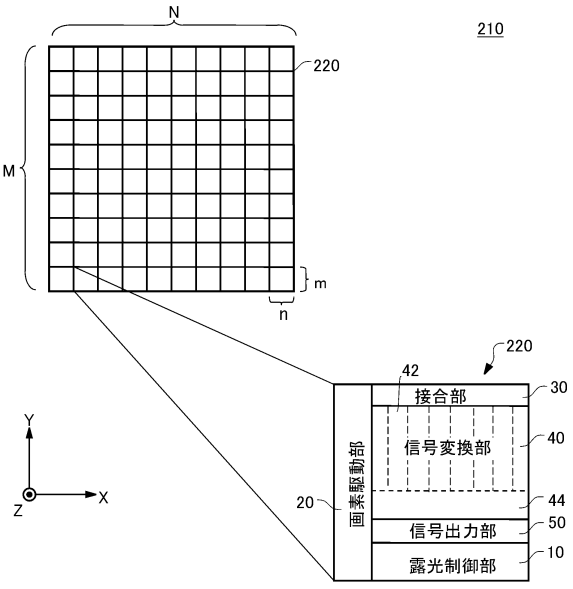
(21)出願番号　特願2021-58893(P2021-58893)
(22)出願日　令和3年3月30日(2021.3.30)

(71)出願人　000004112
株式会社ニコン
東京都港区港南二丁目１５番３号
(74)代理人　110000877弁理士法人ＲＹＵＫＡ国際
特許事務所
(72)発明者　米持 元
東京都港区港南二丁目１５番３号 株式
会社ニコン内

Ｆターム（参考）　5C024　CX06 GY39 GY41 HX01
HX13 HX23 HX29 HX55

(54)【発明の名称】　撮像素子および撮像装置

(57)【要約】　（修正有）
【課題】複数の画素をまとめたセル毎に信号出力線を備えた撮像素子において、消費電力を低減する撮像素子および撮像装置を提供する。
【解決手段】撮像素子において、処理回路部２１０は、第１画素から出力された画素信号をデジタルの信号に変換する第１変換部と、第２画素から出力された画素信号をデジタルの信号に変換する第２変換部と、第１変換部および第２変換部で変換された画素信号の各々を相関二重サンプリングした画素信号を出力するＣＤＳ回路を備える信号出力部を有するＭ×Ｎ個の処理ブロック２２０と、複数の処理ブロックの画素信号が出力される出力線と、を備える。また、撮像装置は、上記撮像素子を有する。
【選択図】図４



【特許請求の範囲】
【請求項１】
第１画素から出力された画素信号をデジタルの信号に変換する第１変換部と、
第２画素から出力された画素信号をデジタルの信号に変換する第２変換部と、
前記第１変換部および前記第２変換部で変換された前記画素信号の各々を相関二重サンプリングした画素信号を出力するＣＤＳ回路と
を有する処理ブロックと、
複数の前記処理ブロックの画素信号が出力される出力線と
を備える撮像素子。
【請求項２】
前記第１変換部は、前記第１画素のリセットに対応する変換後の画素信号を記憶して前記ＣＤＳ回路に出力する第１記憶部と、前記第１画素の露光に対応する変換後の画素信号を記憶して前記ＣＤＳ回路に出力する第２記憶部とを有し、
前記第２変換部は、前記第２画素のリセットに対応する変換後の画素信号を記憶して前記ＣＤＳ回路に出力する第１記憶部と、前記第２画素の露光に対応する変換後の画素信号を記憶して前記ＣＤＳ回路に出力する第２記憶部とを有する請求項１に記載の撮像素子。
【請求項３】
前記第１変換部は、前記第１画素のリセットに対応する変換後の画素信号を記憶する第１記憶部を有するとともに、前記第１画素の露光に対応する変換後の画素信号を前記ＣＤＳ回路に出力し、
前記第２変換部は、前記第２画素のリセットに対応する変換後の画素信号を記憶する第１記憶部を有するとともに、前記第１画素の露光に対応する変換後の画素信号を前記ＣＤＳ回路に出力し、
前記処理ブロックは、前記第１変換部および前記第２変換部の各々の前記第１記憶部から出力された画素信号を順次、記憶して前記ＣＤＳ回路に出力する第２記憶部を有する請求項１に記載の撮像素子。
【請求項４】
前記第１画素および前記第２画素が設けられた第１の基板と、
前記複数の処理ブロックが設けられた第２基板と
が積層されることにより形成されている請求項１から３のいずれか１項に記載の撮像素子。
【請求項５】
請求項１から４のいずれか１項に記載の撮像素子を備えた撮像装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、撮像素子および撮像装置に関する。
【背景技術】
【０００２】
複数の画素をまとめたセル毎に信号出力線を備えた撮像素子が知られている（例えば、特許文献１）。従来から消費電力の増大が問題となっていた。
［特許文献］
特許文献１　特開２００６－４９３６１号
【発明の概要】
【０００３】
本発明の第１の態様においては、撮像素子であって、第１画素から出力された画素信号をデジタルの信号に変換する第１変換部と、第２画素から出力された画素信号をデジタルの信号に変換する第２変換部と、第１変換部および第２変換部で変換された画素信号の各々を相関二重サンプリングした画素信号を出力するＣＤＳ回路とを有する処理ブロックと、複数の処理ブロックの画素信号が出力される出力線とを備える。

【０００４】
本発明の第２の態様においては、撮像装置であって、上記撮像素子を備える。
【０００５】
なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。
【図面の簡単な説明】
【０００６】
【図１】本実施形態に係る撮像素子４００の概要を示す図である。
【図２】画素部１１０の具体的な構成の一例を示す。
【図３】画素１１２の回路構成の一例を示す。
【図４】処理回路部２１０のより具体的な構成の一例を示す。
【図５】処理ブロック２２０のうちの、ＡＤＣ４２、記憶部４４および信号出力部５０を説明する概略図である。
【図６】処理ブロック２２０での処理のタイミングを示すチャートである。
【図７】他の処理ブロック２２２を説明する概略図である。
【図８】処理ブロック２２２での処理のタイミングを示すチャートである。
【図９】実施例に係る撮像装置５００の構成例を示すブロック図である。
【発明を実施するための形態】
【０００７】
以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。
【０００８】
本明細書において、Ｘ軸とＹ軸とは互いに直交し、Ｚ軸はＸＹ平面に直交する。ＸＹＺ軸は右手系を構成する。Ｚ軸と平行な方向を撮像素子４００の積層方向と称する場合がある。本明細書において、「上」及び「下」の用語は、重力方向における上下方向に限定されない。これらの用語は、Ｚ軸方向における相対的な方向を指すに過ぎない。なお、本明細書では、Ｘ軸方向の配列を「行」とし、Ｙ軸方向の配列を「列」として説明するが、行列方向はこれに限定されない。また、Ｚ軸方向が被写体からの光が入射する光軸方向となっている。
【０００９】
図１は、本実施形態に係る撮像素子４００の概要を示す図である。撮像素子４００は、被写体を撮像する。撮像素子４００は、撮像された被写体の画像データを生成する。撮像素子４００は、第１基板１００および第２基板２００を備える。図１に示すように、第１基板１００は、第２基板２００に積層されている。
【００１０】
第１基板１００は、画素部１１０を有する。画素部１１０は、入射された光に基づく画素信号を出力する。なお、第１基板１００を画素チップと呼ぶことがある。
【００１１】
第２基板２００は、処理回路部２１０および周辺回路部２３０を有する。なお、第２基板２００を信号処理チップと呼ぶことがある。
【００１２】
処理回路部２１０は、第１基板１００から出力された画素信号が入力される。処理回路部２１０は、入力された画素信号を処理する。例えば、処理回路部２１０は、アナログ信号をデジタル信号に変換する処理を行う。具体的には、処理回路部２１０は、入力された画素信号をデジタル信号に変換する処理を行う。処理回路部２１０は他の信号処理を行ってもよい。
【００１３】
本例の処理回路部２１０は、第２基板２００において、画素部１１０と対向する位置に配置されている。すなわち、処理回路部２１０は光軸方向について少なくとも部分的に画

素部１１０と重なるように配される。処理回路部２１０は、画素部１１０の駆動を制御するための制御信号を画素部１１０に出力してもよい。

【００１４】

周辺回路部２３０は、処理回路部２１０の駆動を制御する。周辺回路部２３０は、第２基板２００において、処理回路部２１０の周辺に配置されている。また、周辺回路部２３０は、第１基板１００と電気的に接続され、画素部１１０の駆動を制御してもよい。

【００１５】

撮像素子４００は、第１基板１００および第２基板２００に加えて、第２基板２００に積層された第３基板を有してもよい。例えば、第３基板はメモリチップであって、第２基板２００が出力した信号に応じた画像処理を行う。また、撮像素子４００の構造は、裏面照射型であっても、表面照射型であってもよい。以下、裏面照射型の例で説明する。

【００１６】

図２は、画素部１１０の具体的な構成の一例を示す。本例では、画素部１１０と、画素部１１０に設けられた画素ブロック１２０の拡大図を示している。

【００１７】

画素部１１０は、行方向および列方向に沿って並んで配置された複数の画素ブロック１２０を有する。本例の画素部１１０は、Ｍ×Ｎ個（Ｍ，Ｎは、自然数）の画素ブロック１２０を有する。本例では、ＭがＮと等しい場合を図示しているが、ＭとＮは異なっていてもよい。

【００１８】

画素ブロック１２０は、少なくとも１つの画素１１２を有する。本例の画素ブロック１２０は、ｍ×ｎ個（ｍ，ｎは、自然数）の画素１１２を有する。例えば、画素ブロック１２０は、１６×１６個の画素１１２を有する。画素ブロック１２０に対応する画素１１２の個数はこれに限定されない。本例では、ｍがｎと等しい場合を図示しているが、ｍはｎと異なっていてもよい。画素ブロック１２０は、行方向において共通の制御線に接続された複数の画素１１２を有する。例えば、画素ブロック１２０のそれぞれの画素１１２は、同一の露光時間に設定されるように共通の制御線に接続されている。一例において、行方向に並ぶｎ個の画素１１２が共通の制御線によって接続される。

【００１９】

一方、複数の画素ブロック１２０同士では、それぞれ異なる露光時間に設定されてよい。即ち、画素ブロック１２０のそれぞれの画素１１２は同一の露光時間であるが、他の画素ブロック１２０では異なる露光時間に設定されてよい。例えば、画素ブロック１２０の画素１１２が行方向に共通の制御線で接続されている場合に、他の画素ブロック１２０の画素１１２が異なる制御線で共通に接続される。

【００２０】

画素ブロック１２０は、後述する処理ブロック２２０に対応して配置される。本実施形態では、１つの処理ブロック２２０に対して、１つの画素ブロック１２０が配置されている。

【００２１】

画素１１２は、光を電荷に変換する光電変換機能を有する。画素１１２は、光電変換された電荷を蓄積する。ｍ個の画素１１２は、列方向に沿って並んで配置され、共通の信号線１２２に接続されている。そして、ｍ個の画素１１２は、画素ブロック１２０において、行方向にｎ列並んで配列されている。

【００２２】

換言すれば、画素ブロック１２０は、共通の制御線および／または信号線で接続された複数の画素１１２のあつまりである。また、画素ブロック１２０は、同一の露光時間が設定される複数の画素１１２の回路の最小単位であるともいえる。

【００２３】

図３は、画素１１２の回路構成の一例を示す。画素１１２は、光電変換部１０４と、転送部１２３と、排出部１２４と、リセット部１２６と、画素出力部１２７とを備える。画

素出力部１２７は、増幅部１２８および選択部１２９を有する。本例では、転送部１２３、排出部１２４、リセット部１２６、増幅部１２８および選択部１２９は、Ｎチャンネル型ＦＥＴとして説明するが、トランジスタの種類はこれに限られない。

【００２４】

光電変換部１０４は、光を電荷に変換する光電変換機能を有する。光電変換部１０４は、光電変換された電荷を蓄積する。光電変換部１０４は、例えば、フォトダイオードである。

【００２５】

転送部１２３は、光電変換部１０４に蓄積された電荷を蓄積部１２５に転送する。転送部１２３は、光電変換部１０４の電荷を転送するトランスファーゲートの一例である。換言すれば、転送部１２３をゲートとし、光電変換部１０４をソースとし、蓄積部１２５をドレインとして、これらがいわゆる転送トランジスタを構成している。転送部１２３のゲート端子は、制御信号φＴＸ１を入力するための画素ブロック１２０ごとのローカルな転送制御線に接続される。

【００２６】

排出部１２４は、光電変換部１０４に蓄積された電荷を電源電圧ＶＤＤが供給される電源配線に排出する。排出部１２４のゲート端子は、排出制御信号φＴＸ２を入力するための画素ブロック１２０ごとのローカルな排出制御線に接続される。なお、本例では、排出部１２４は、光電変換部１０４の電荷を電源電圧ＶＤＤが供給される電源配線に排出するとして説明したが、電源電圧ＶＤＤとは異なる電源電圧が供給される電源配線に排出してもよい。

【００２７】

蓄積部１２５は、転送部１２３により光電変換部１０４からの電荷が転送される。蓄積部１２５は、フローティングディフュージョン（ＦＤ）の一例である。

【００２８】

リセット部１２６は、蓄積部１２５の電荷を所定の電源電圧ＶＤＤが供給される電源配線に排出する。リセット部１２６のゲート端子は、リセット制御信号φＲＳＴを入力するための複数の画素ブロック１２０にわたるグローバルなリセット制御線に接続される。

【００２９】

画素出力部１２７は、蓄積部１２５の電位に基づく信号を信号線１２２に出力する。画素出力部１２７は、増幅部１２８および選択部１２９を有する。増幅部１２８は、ゲート端子が蓄積部１２５に接続され、ドレイン端子が電源電圧ＶＤＤの供給される電源配線に接続され、ソース端子が選択部１２９のドレイン端子に接続される。

【００３０】

選択部１２９は、画素１１２と信号線１２２の間の電気的な接続を制御する。選択部１２９により画素１１２と信号線１２２が電気的に接続されると、画素１１２から信号線１２２に画素信号が出力される。選択部１２９のゲート端子は、選択制御信号φＳＥＬを入力するための複数の画素ブロック１２０にわたるグローバルな選択制御線に接続される。選択部１２９のソース端子は負荷電流源１２１に接続されている。

【００３１】

負荷電流源１２１は、信号線１２２に電流を供給する。負荷電流源１２１は、第１基板１００に設けられてもよいし、第２基板２００に設けられてもよい。

【００３２】

以降、光電変換部１０４に蓄積された電荷、蓄積部１２５に転送された電荷および蓄積部１２５の電位に基づく信号のいずれか、または、これらを総称して、画素信号と称する場合がある。

【００３３】

付言すれば、画素１１２は少なくとも１つの光電変換部１０４と、当該少なくとも１つの光電変換部１０４からの画像信号を信号線１２２に読み出す読出部としての画素出力部１２７等と、を備えている。画素１１２は、画像を構成する画素信号を信号線１２２に出

力する回路の最小単位であるともいえる。

【００３４】

図４は、処理回路部２１０のより具体的な構成の一例を示す。本例では、処理回路部２１０と、処理回路部２１０に設けられた処理ブロック２２０の拡大図を示している。

【００３５】

処理回路部２１０は、行方向および列方向に沿って並んで配置された処理ブロック２２０を有する。本例の処理回路部２１０は、Ｍ×Ｎ個の処理ブロック２２０を有する。

【００３６】

本実施形態において、処理ブロック２２０と画素ブロック１２０は光軸方向から見て重なった位置に配される。この場合に、処理ブロック２２０と画素ブロック１２０の面積は隣接するブロック間のマージンを含めて略同一であってよい。

【００３７】

処理ブロック２２０は、電気的に接続された画素ブロック１２０の駆動を制御する。処理ブロック２２０と画素ブロック１２０とが電気的に接続されていることを、対応する、と呼ぶ場合がある。本実施形態では、互いに重なった位置に配された処理ブロック２２０と画素ブロック１２０とが接続されている。しかしながら、必ずしも重なった位置に配された処理ブロック２２０と画素ブロック１２０とが接続されることに代えて、互いに重ならない位置に配された処理ブロック２２０と画素ブロック１２０とが接続されてもよい。

【００３８】

例えば、処理ブロック２２０は、対応する画素ブロック１２０の露光時間を制御する。また、処理ブロック２２０は、ＡＤＣ等の処理回路を有し、対応する画素ブロック１２０が出力した信号を処理する。一例において、処理ブロック２２０は、対応する画素ブロック１２０から出力されたアナログの画素信号をデジタル信号に変換する。本例の処理ブロック２２０は、露光制御部１０と、画素駆動部２０と、接合部３０と、信号変換部４０と、信号出力部５０とを備える。

【００３９】

露光制御部１０は、複数の画素１１２の露光を制御する。露光制御部１０は、画素１１２の露光時間を制御するための信号を生成する。一例において、露光制御部１０は、露光の開始タイミングまたは終了タイミングの少なくとも１つを調整して、画素ブロック１２０毎の露光時間を制御する。

【００４０】

画素駆動部２０は、複数の画素１１２と電気的に接続される。画素駆動部２０は、露光制御部１０からの信号に基づき、複数の画素１１２から、任意の画素１１２を選択して駆動する。撮像素子４００は、入射光の強度に応じて、画素ブロック１２０毎に露光時間の設定が可能であるため、ダイナミックレンジを拡大することができる。

【００４１】

接合部３０は、第１基板１００と第２基板２００とを接合する。接合部３０は、第１基板１００から入力された画素信号を信号変換部４０に入力する。接合部３０は、行方向に配置されたｎ個の画素１１２に対応して設けられ、信号変換部４０に画素信号を列毎に入力する。

【００４２】

信号変換部４０は、画素部１１０が出力したアナログ信号をデジタル変換する。本例の信号変換部４０は、アナログの画素信号をデジタル信号に変換する。信号変換部４０は、列方向に配列されたｍ個の画素１１２からのアナログ信号を順次デジタル変換する。信号変換部４０は、行方向に並んだｎ個のＡＤＣ４２と、記憶部４４とを有する。ＡＤＣ４２のそれぞれは、対応する画素ブロック１２０の対応する列の画素１１２からのアナログ信号を並列にデジタル変換する。これは、一つの画素ブロック１２０に対していわゆるカラムＡＤＣ方式であるともいえる。記憶部４４については後述する。

【００４３】

信号出力部５０は、信号変換部４０からデジタル信号を受信する。一例において、信号

出力部５０は、デジタル信号を一時的に記憶する。信号出力部５０は、デジタル信号を記憶するためのラッチ回路を有してよい。

【００４４】

なお、１つの画素ブロック１２０に対して１つの処理ブロック２２０を設けることに代えて、Ｎ個（Ｎは２以上の自然数）の画素ブロック１２０に対して１つの処理ブロック２２０を設けてもよい。１つの処理ブロックに対応したＮ個の画素ブロック１２０を画素ブロック群と称することがある。例えば、列方向に沿って並んで配置された２つの画素ブロック１２０を１つの画素ブロック群として、１つの処理ブロック２２０を設けてもよい。この場合、処理ブロック２２０は、画素ブロック１２０毎に露光時間を制御してもよい。

【００４５】

付言すれば、処理ブロック２２０は、少なくとも１つの画素ブロック１２０に電気的に接続され、当該少なくとも１つの画素ブロック１２０の画素信号を処理する回路の最小単位であるともいえる。また、処理回路部２１０は、処理ブロック２２０の群で構成されているともいえる。

【００４６】

図５は、処理ブロック２２０のうちの、ＡＤＣ４２、記憶部４４および信号出力部５０を説明する概略図である。なお、図５における信号線のうちビット数に応じた本数のものは、簡略化のため１本で代表し、ビット数分あることは当該線上に斜め太線を入れて示した。

【００４７】

図５に示すように、各々のＡＤＣ４２は、対応する画素ブロック１２０の列方向に画素１１２が接続された信号線１２２に接続されている。よって、各々のＡＤＣ４２は、列方向に接続された画素１１２から信号線１２２に順次流れてくる画素信号をデジタル変換する。ＡＤＣ４２はデジタル変換した値を一次的に保持するラッチ回路を含んでいる。

【００４８】

本実施形態において、記憶部４４は、各々のＡＤＣ４２の出力側に接続された第１記憶部４４０および第２記憶部４４２を有する。第１記憶部４４０および第２記憶部４４２はそれぞれ、ＳＲＡＭであってもよいし、他の記憶素子であってもよい。

【００４９】

第１記憶部４４０には、画素１１２のリセットに対応する画素信号がＡＤＣ４２によりデジタル変換された信号が記憶される。第２記憶部４４２には、画素１１２の露光に対応する画素信号がＡＤＣ４２によりデジタル変換された信号が記憶される。

【００５０】

第１記憶部４４０の各々は、セレクタ４５１を介して処理ブロック２２０内のすなわちローカルな信号線４５０に接続される。第２記憶部４４２の各々は、セレクタ４５３を介して処理ブロック２２０内のすなわちローカルな信号線４５２に接続される。

【００５１】

信号出力部５０は、ＣＤＳ回路５５０、プリチャージ回路５５２および読出回路５５４を有する。付言すれば、本実施形態において、ＣＤＳ回路５５０およびプリチャージ回路５５２は処理ブロック２２０ごとにその内部に１つある。ＣＤＳ回路５５０は、ノイズ除去処理の一例としてＣＤＳ（相関二重サンプリング）処理を行う回路であり、本実施形態ではデジタルＣＤＳ処理を行う。

【００５２】

ＣＤＳ回路５５０およびプリチャージ回路５５２は信号線４５０、４５２に接続されている。これにより、ある画素１１２について第１記憶部４４０に記憶されたリセットに対応する画素信号と第２記憶部４４２に記憶された露光に対応する画素信号とがプリチャージされてＣＤＳ処理され、差分に相当するデジタルの画素信号が読出回路５５４に出力される。読出回路５５４は、予め定められたタイミングで画素信号を、処理ブロック２２０間で共用しているグローバルな信号線５５６に出力する。

【００５３】

図６は、処理ブロック２２０での処理のタイミングを示すチャートである。なお、画素ブロック１２０の全カラムで一斉に同期して行われる動作を一点鎖線で示した。また、図６は、説明の簡略化のため、１カラム目のある画素１１２と、この画素１１２と同じ行にある２カラム目の画素１１２とを例示している。

【００５４】

まず、画素ブロック１２０の画素１１２からリセットに対応する画素信号（これを画素信号ＲＳＴとあらわす）が、対応するＡＤＣ４２に入力される。ＡＤＣ４２は、画素信号ＲＳＴをＡＤ変換してラッチに一次記憶する。

【００５５】

ＡＤＣ４２は、ラッチに一次記憶した画素信号ＲＳＴを第１記憶部４４０に書き出す。これによりラッチが空くので、画素ブロック１２０の全カラムの画素１１２から露光に対応する画素信号（これを画素信号ＳＧＮＬとあらわす）が対応するＡＤＣ４２に入力される。ＡＤＣ４２は、画素信号ＳＧＮＬをＡＤ変換してラッチに一次記憶する。

【００５６】

ＡＤＣ４２は、ラッチに一次記憶した画素信号ＳＧＮＬを第２記憶部４４２に書き出す。このとき、１カラム目のＡＤＣ４２に対応する第１記憶部４４０に対応するセレクタ４５１がオンして、画素信号ＲＳＴが信号線４５０に読み出されてよい。すなわち、画素信号ＳＧＮＬと第２記憶部４４２への書き出しと、１カラム目の画素信号ＲＳＴの信号線への読み出しが時間的に重複してよい。

【００５７】

信号線４５０へ読み出された画素信号ＲＳＴはＣＤＳ回路に入力される。さらに、１カラム目のＡＤＣ４２に対応する第２記憶部４４２に対応するセレクタ４５３がオンして、画素信号ＳＧＮＬが信号線４５２に読み出され、ＣＤＳ回路に入力される。これにより、ＣＤＳ回路５５０でＣＤＳ処理されて、それらの差分に対応する画素信号（これを画素信号ＤＳとあらわす）が出力される。さらに、画素信号ＤＳが読出回路５５４により信号線５５６に出力される。

【００５８】

１カラム目の画素信号ＤＳが信号線５５６に出力されるときに、２カラム目の画素信号ＲＳＴが信号線４５０に読み出される。すなわち、それらの動作が時間的に重複してよい。以降、２カラム目の画素１１２についても１カラム目の画素１１２と同様に処理されて画素信号ＤＳが信号線５５６に出力される。これにより、後段でさらに画像処理されて１枚の画像データが生成される。

【００５９】

次の行の画素１１２については、ＡＤＣ４２のラッチが空き次第、ＡＤ変換の処理を開始することができる。よって、ある行の画素１１２のＣＤＳ処理と、次の行の画素１１２のＡＤＣ４２の動作とを少なくとも部分的に重複して行うことができる。

【００６０】

以上の通り、ＡＤＣ４２でのＡＤ変換の後は、カラム毎に順次動作が行われる。この場合に、ＡＤＣ４２のそれぞれが固有の第１記憶部４４０および第２記憶部４４２とつながっている。よって、信号線４５０、４５２への読み出しのタイミングが来るまで画素信号ＲＳＴ、ＳＧＮＬを保持しておくことができる。例えば、１カラム目の画素１１２についてＣＤＳ処理されるまで、２カラム目の画素１１２の画素信号ＲＳＴ、ＳＧＮＬを第１記憶部４４０および第２記憶部４４２に保持しておくことができる。

【００６１】

さらに、処理ブロック２２０の各々でＣＤＳ処理され、処理後の画素信号ＤＳがグローバルな信号線５５６に出力される。よって、グローバルな信号線に画素信号ＲＳＴと画素信号ＳＧＮＬを出力して後段でＣＤＳ処理するのに比べて、画素１１２ごとで一度の信号出力で済み、消費電力を抑えることができる。

【００６２】

図７は、他の処理ブロック２２２を説明する概略図である。なお、図７において図５と

同じ構成には同じ参照番号を付して説明を省略する。

【００６３】

図７の記憶部４６は、各々のＡＤＣ４２の出力側に第１記憶部４４０が接続されている点では図５と同じである。一方、記憶部４６は、処理ブロック２２２で共用の一つの第２記憶部４４４を有する。第２記憶部４４４も、ＳＲＡＭであってもよいし、他の記憶素子であってもよい。第２記憶部４４４は、セレクタ４５４を介して信号線４５０，４５２に接続される。

【００６４】

信号線４５０とＣＤＳ回路５５０との間にセレクタ４５５が設けられている。これにより、セレクタ４５５をオフにした状態で、セレクタ４５４といずれかのセレクタ４５１とをオンにすることにより、当該セレクタ４５１に対応する第１記憶部４４０の信号を第２記憶部４４４に転送することができる。また、セレクタ４５５およびいずれのセレクタ４５１もオフにした状態で、セレクタ４５４をオンすることにより、第２記憶部４４４に記憶されていた信号をＣＤＳ回路５５０に入力することができる。一方、セレクタ４５４をオフにし、セレクタ４５５およびいずれかのセレクタ４５１もオンすることにより、当該セレクタ４５４に対応する第１記憶部４４０の信号をＣＤＳ回路５５０に入力することができる。

【００６５】

図８は、処理ブロック２２２での処理のタイミングを示すチャートである。なお、用いている記号等は図６と同じである。

【００６６】

ある行について全カラム一斉にＡＤＣ４２の動作が行われることは、図６と同じである。ＡＤＣ４２の各々は、ラッチに一次記憶した画素信号ＲＳＴをそれぞれの第１記憶部４４０に書き出す。これによりラッチが空くので、画素ブロック１２０の全カラムの画素１１２から画素信号ＳＧＮＬが対応するＡＤＣ４２に入力される。ＡＤＣ４２は、画素信号ＳＧＮＬをＡＤ変換してラッチに一次記憶する。

【００６７】

さらに、１カラム目のＡＤＣ４２に対応する第１記憶部４４０に対応するセレクタ４５１と、セレクタ４５４がオンして、１カラム目の画素信号ＲＳＴが信号線４５０を介して第２記憶部４４４に転送される。

【００６８】

セレクタ４５４がオンすることにより、第２記憶部４４４に記憶されていた１カラム目の画素信号ＲＳＴが信号線４５２を介してＣＤＳ回路５５０に入力する。さらに、１カラム目の第１記憶部４４０に対応するセレクタ４５１とセレクタ４５５がオンすることにより、第１記憶部４４０に記憶されていた１カラム目の画素信号ＳＧＮＬが信号線４５０を介してＣＤＳ回路に入力される。これにより、ＣＤＳ回路５５０でＣＤＳ処理されて、画素信号ＤＳが出力される。さらに、画素信号ＤＳが読出回路５５４により信号線５５６に出力される。

【００６９】

１カラム目の画素信号ＤＳが信号線５５６に出力されるときに、２カラム目の画素信号ＲＳＴが信号線４５０に読み出される。すなわち、それらの動作が時間的に重複してよい。以降、２カラム目の画素１１２についても１カラム目の画素１１２と同様に処理されて画素信号ＤＳが信号線５５６に出力される。これは、処理ブロック２２０で共用される第２記憶部４４４が、第１記憶部４４０のそれぞれからの画素信号ＲＳＴを順次記憶して、ＣＤＳ回路５５０に順次出力しているともいえる。

【００７０】

以上の通り、ＡＤＣ４２でのＡＤ変換の後は、カラム毎に順次動作が行われる。この場合に、ＡＤＣ４２のそれぞれが固有の第１記憶部４４０を有するとともに、複数のＡＤＣ４２で共用する第２記憶部４４２が設けられている。よって、次にＣＤＳ処理される画素１１２の画素信号ＲＳＴを一旦、第２記憶部４４４に保持しておくことで、第１記憶部４

４０を画素信号ＳＧＮＬの保持に用いることができる。
【００７１】
さらに、処理ブロック２２０の各々でＣＤＳ処理され、処理後の画素信号ＤＳがグローバルな信号線５５６に出力される。よって、図７の処理ブロック２２２においても、グローバルな信号線に画素信号ＲＳＴと画素信号ＳＧＮＬを出力して後段でＣＤＳ処理するのに比べて、画素１１２ごとで一度の信号出力で済み、消費電力を抑えることができる。なお、処理ブロック２２０で共用される第２記憶部４４４は１つに限られず２個以上でｎ－１個以下であってもよい。
【００７２】
なお、上記いずれの実施形態においても、蓄積部１２５、画素出力部１２７を他の画素と共有してもよい。また、画素１１２は複数の光電変換部１０４、転送部１２３で構成してもよい。また、排出部１２４を設けずに、画素１１２をいわゆる４トランジスタ型で構成してもよい。
【００７３】
さらに、上記いずれの実施形態においても、処理ブロック２２０に露光制御部１０および画素駆動部２０を設けず、主に処理ブロック２２０ごとに読出しが行われて信号変換部４０による変換を行うものであってよい。この場合には画素１１２は画素ブロック１２０ごとではなく画素部１１０の全体として露光時間が制御される。
【００７４】
図９は、実施例に係る撮像装置５００の構成例を示すブロック図である。撮像装置５００は、撮像素子４００と、システム制御部５０１と、駆動部５０２と、測光部５０３と、ワークメモリ５０４と、記録部５０５と、表示部５０６と、駆動部５１４と、撮影レンズ５２０とを備える。
【００７５】
撮影レンズ５２０は、光軸ＯＡに沿って入射する被写体光束を撮像素子４００へと導く。撮影レンズ５２０は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。撮影レンズ５２０は、撮像装置５００に対して着脱できる交換式レンズであってもよい。なお、図９では瞳近傍に配置された仮想的な１枚のレンズで当該撮影レンズ５２０を代表して表している。
【００７６】
駆動部５１４は、撮影レンズ５２０を駆動する。一例において、駆動部５１４は、撮影レンズ５２０の光学レンズ群を移動させて合焦位置を変更する。また、駆動部５１４は、撮影レンズ５２０内の虹彩絞りを駆動して撮像素子４００に入射する被写体光束の光量を制御してよい。
【００７７】
駆動部５０２は、システム制御部５０１からの指示に従って撮像素子４００のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路を有する。また、操作部５０８は、レリーズボタン等により撮像者からの指示を受け付ける。
【００７８】
撮像素子４００は、画素信号をシステム制御部５０１の画像処理部５１１へ引き渡す。画像処理部５１１は、ワークメモリ５０４をワークスペースとして種々の画像処理を施した画像データを生成する。例えば、ＪＰＥＧファイル形式の画像データを生成する場合は、ベイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部５０５に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部５０６に表示される。
【００７９】
測光部５０３は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部５０３は、例えば１００万画素程度のＡＥセンサを含む。システム制御部５０１の演算部５１２は、測光部５０３の出力を受けてシーンの領域ごとの輝度を算出する。

【００８０】
演算部５１２は、算出した輝度分布に従ってシャッタ速度、絞り値、ＩＳＯ感度を決定する。測光部５０３は撮像素子４００で兼用してもよい。なお、演算部５１２は、撮像装置５００を動作させるための各種演算も実行する。駆動部５０２は、一部または全部が撮像素子４００に搭載されてよい。システム制御部５０１の一部が撮像素子４００に搭載されてもよい。

【００８１】
以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

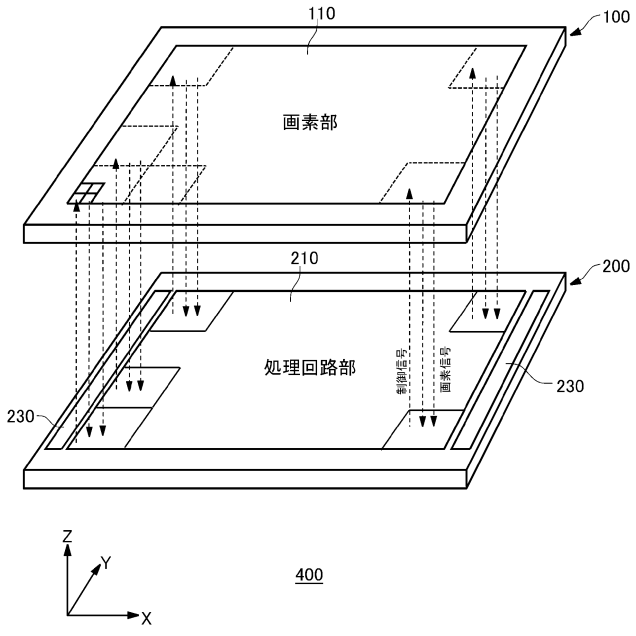
【００８２】
特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

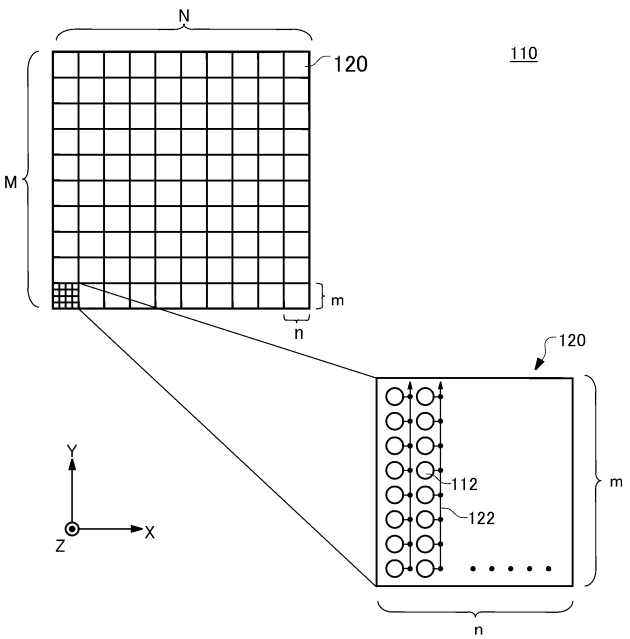
【００８３】
１０　露光制御部、２０　画素駆動部、３０　接合部、４０　信号変換部、４２　ＡＤＣ、４４　記憶部、５０　信号出力部、１００　第１基板、１０４　光電変換部、１１０　画素部、１１２　画素、１２０　画素ブロック、１２１　負荷電流源、１２２　信号線、１２３　転送部、１２４　排出部、１２５　蓄積部、１２６　リセット部、１２７　画素出力部、１２８　増幅部、１２９　選択部、２００　第２基板、２１０　処理回路部、２２０、２２２　処理ブロック、２３０　周辺回路部、４００　撮像素子、４４０　第１記憶部、４４２、４４４　第２記憶部、４５０、４５２　信号線、４５１，４５３、４５４　セレクタ、５００　撮像装置、５０１　システム制御部、５０２　駆動部、５０３　測光部、５０４　ワークメモリ、５０５　記録部、５０６　表示部、５０８　操作部、５１１　画像処理部、５１２　演算部、５１４　駆動部、５２０　撮影レンズ、５５０　ＣＤＳ回路、５５２　プリチャージ回路、５５４　読出回路、５５６　信号線

【図面】

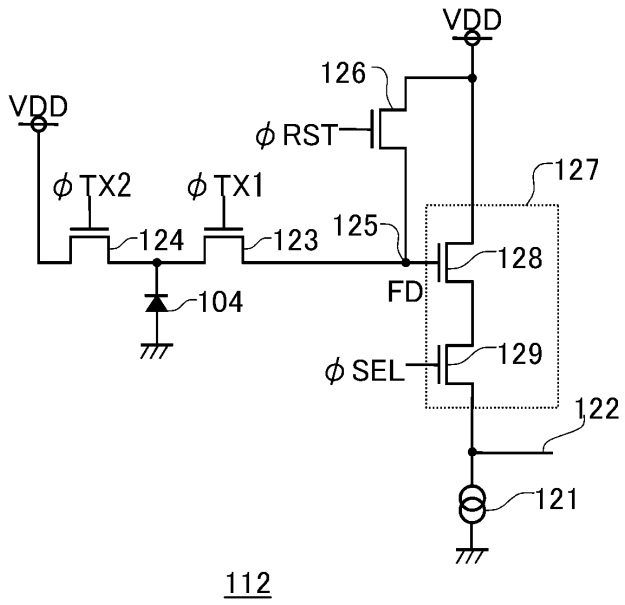
【図１】



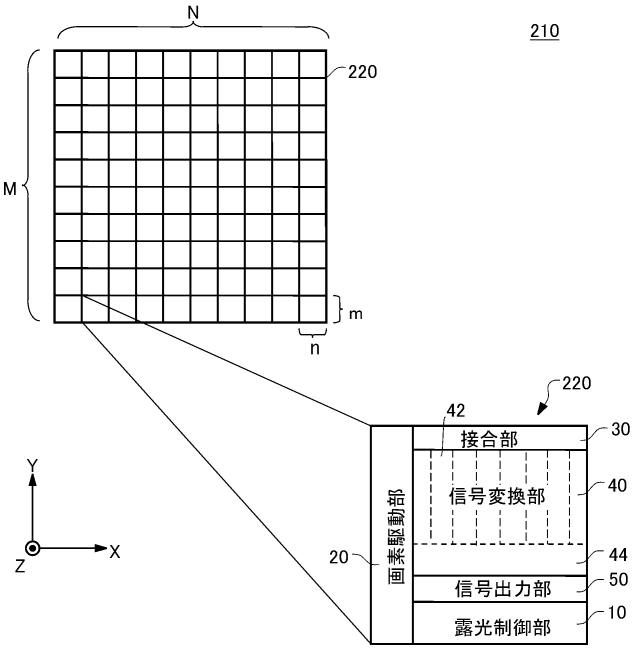
【図２】



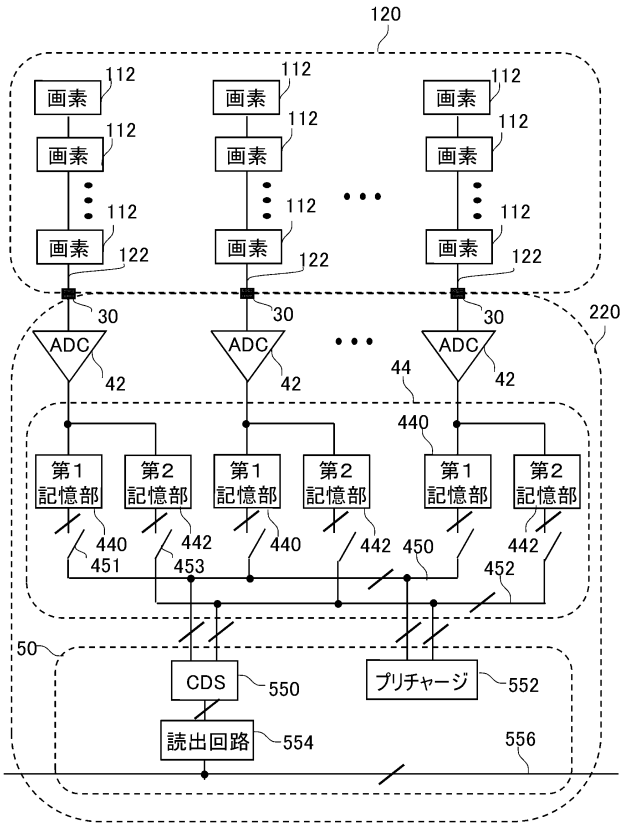
【図３】


VDD
VDD
126
φRST
127
φTX2
φTX1
124
123
125
128
FD
104
φSEL
129
122
121
112

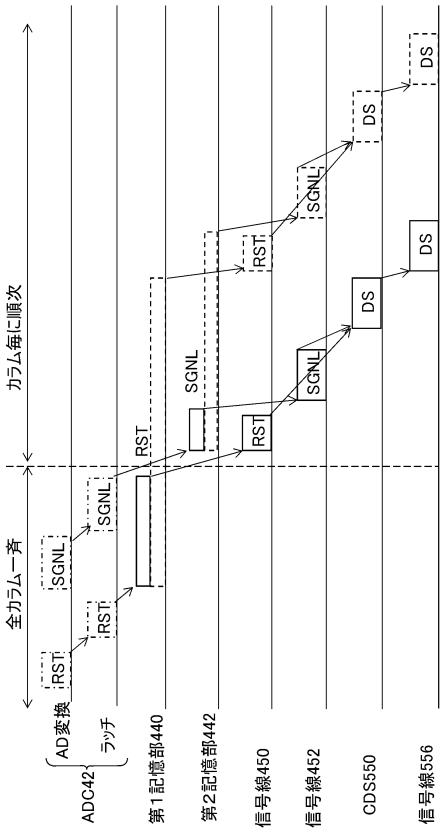
【図４】


N
210
220
M
m
n
220
42
接合部
30
信号変換部
40
画素駆動部
20
44
信号出力部
50
露光制御部
10
Y
X
Z

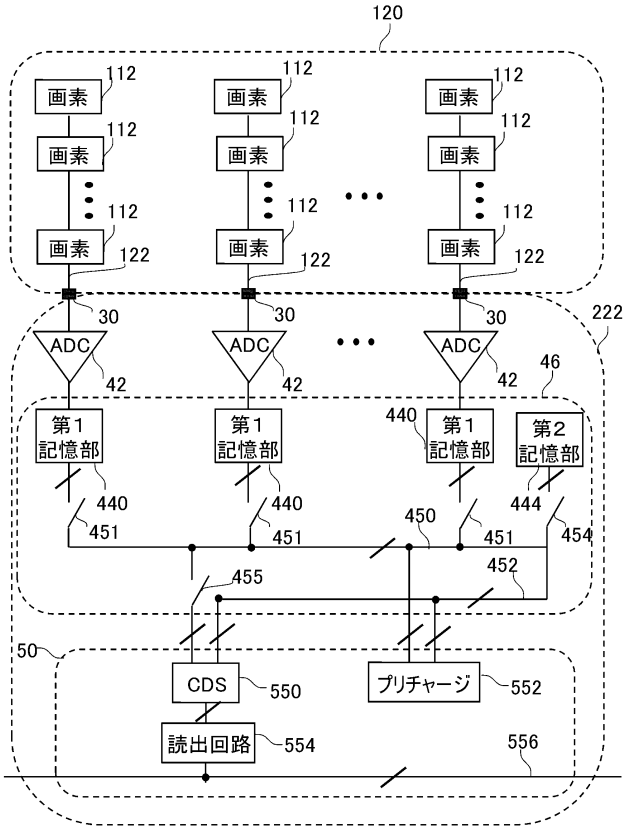
【図５】


120
画素
112
122
30
ADC
42
220
44
440
第1記憶部
第2記憶部
442
451
453
450
452
50
CDS
550
プリチャージ
552
読出回路
554
556

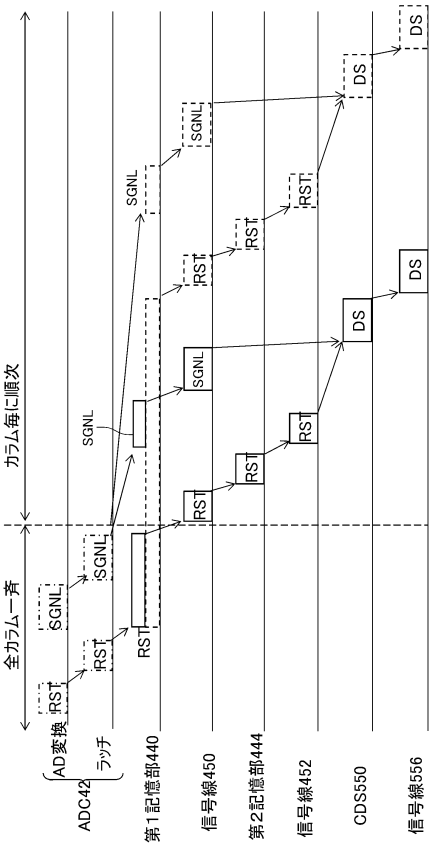
【図６】


カラム毎に順次
全カラム一斉
AD変換
ラッチ
RST
SGNL
DS
ADC42
第1記憶部440
第2記憶部442
信号線450
信号線452
CDS550
信号線556

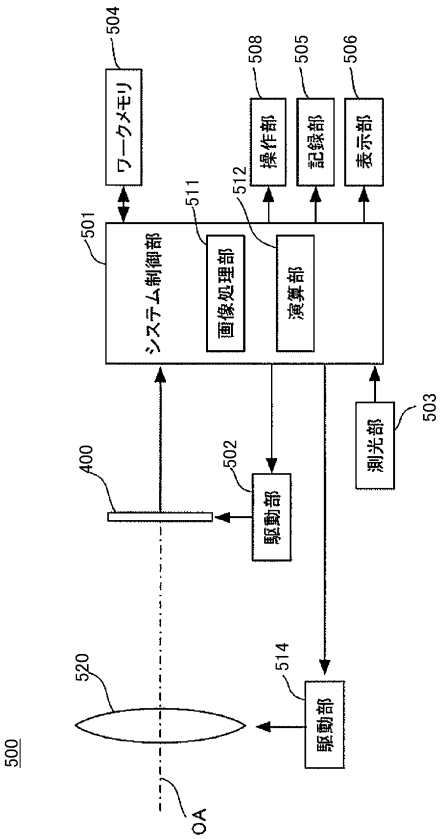
【図７】


120
画素
112
122
30
ADC
42
222
46
第1記憶部
第2記憶部
440
444
450
451
452
454
455
50
CDS
550
プリチャージ
552
読出回路
554
556

【図８】


カラム毎に順次
全カラム一斉
SGNL
RST
DS
AD変換
ラッチ
ADC42
第1記憶部440
信号線450
第2記憶部444
信号線452
CDS550
信号線556

【図９】


500
504
ワークメモリ
508
操作部
505
記録部
506
表示部
501
システム制御部
511
画像処理部
512
演算部
503
測光部
400
502
駆動部
520
514
駆動部
OA