

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95100287

※ 申請日期：95 年 1 月 4 日

※IPC 分類：H01L 29/49, 29/36, 29/78
006.0

一、發明名稱：(中文/英文)

以 TiC 做為高介電值 SiO₂ 閘極疊堆上的熱穩定 p-金屬碳化物
TiC AS A THERMALLY STABLE p-METAL CARBIDE ON HIGH k
SiO₂ GATE STACKS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國/US

三、發明人：(共 6 人)

姓名：(中文/英文)

1. 亞力珊卓 C 加勒蓋瑞/ CALLEGARI, ALESSANDRO C.
2. 麥可 A 葛里貝克/ GRIBELYUK, MICHAEL A.
3. 戴安 L 拉克/ LACEY, DIANNE L.
4. 芬頓 R 麥克費利/ MCFEELY, FENTON R.
5. 凱瑟琳 L 珊格/ SAENGER, KATHERINE L.

6. 蘇費 瑞法/ ZAFAR, SUFI

國 籍：(中文/英文)

1. 美國/ US
2. 俄羅斯/ RU
3. 美國/ US
4. 美國/ US
5. 美國/ US
6. 印度/ IN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2005 年 1 月 13 日；11/034,597

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及一種製造該半導體裝置的方法。特別是，本發明關於一種互補式金屬氧化物半導體(CMOS)裝置，其包含一熱穩定的型金屬碳化物於一高介電常數 k /介層堆疊上。本發明亦提供一製程，係用以形成熱穩定的 p 型金屬碳化物，其可與一 CMOS 流程結合。

【先前技術】

於標準 CMOS 裝置中，多晶矽為一典型地標準閘極材料。使用多晶矽閘極於 CMOS 裝置製造科技已為一常態發展，且其現今被廣泛地用於半導體工業。一使用多晶矽閘極的好處為，其可承受高溫。然而，亦有些問題相關於一多晶矽閘極的使用。舉例而言，由於多晶矽空乏效應(poly-depletion effect)及相對高的電片電阻(sheet resistance)(約 150 Ohms/Sq.)，一般於 CMOS 裝置中被使用的多晶 Si 閘極，成為供 0.1 微米或以下通道長之晶片性能的一門檻因素。多晶 Si 閘極的另一問題為，多晶 Si 閘極中的摻質(dopant)，如硼，可輕易擴散通過薄閘極介電材料，造成裝置性能進一步的降低。

為了避免多晶 Si 閘極產生的問題，一單一金屬已被建議取代多晶 Si 閘極。雖然該科技已被建議，單一

金屬於一高 k (大於約 4.0 的介電常數)/介面層閘極堆疊，為非熱穩定的。舉例而言，鎢 W 及銻 Re 於 1000°C 時具穩定性問題。鎢於 1000°C 、5 秒的回火(anneal)之後，顯示介面的 SiO_2 再生達 4-5Å，限制了裝置縮放，而 Re 於一高 k 閘極堆疊並不穩定，導致裝置(遷移率)退化。舉例而言，見 A. Callegari 等人之 IEDM 2004, p.825, S. Francisco Ca., Dec. 13-15, 2004 及 Narayanan 等人之 VLSI Digest 2004, Hawaii June 2004.。

於 1000°C 之穩定性被需要，以活化源極/汲極植入(implant)自對準(self-aligned)金屬氧化物半導體場效電晶體(MOSFETs)。而且，已被指出的是，高電子遷移率得自執行一高溫回火時。舉例而言，見 A. Callegari 等人之 IEDM 2004, p.825, S. Francisco Ca., Dec. 13-15, 2004。金屬氮化物，如 TiN，已被廣泛地使用，以增進金屬/高 k 熱穩定性。然而，大部分 TiN 的工作報告顯示，TiN 為一中間隙(mid-gap)材料，其可能限制裝置的性能。

綜上述觀點，有必要提供一種新的化合物金屬，其於一含高 k 介電材料之一閘極堆疊上為熱穩定的。尤其是，有必要提供一種新的化合物金屬，其適用於 pFET 裝置中。

【發明內容】

本發明提供一種新的、包含 TiC 之化合物金屬

(compound metal)，該 TiC 為具有一約 4.75 至約 5.3，較佳約 5，eV 之功函數的一 p 型金屬，其於含一高 k 介電材料及一介面層上的一閘極堆疊上為熱穩定的。此外，本發明的 TiC 金屬化合物，於 1000°C 時，為一非常有效的氧擴散屏障，使一 p 金屬氧化物半導體(pMOS)裝置中之等效氧化層厚度(EOT)及反轉層厚度大幅縮限至 14Å 以下。

較廣泛的定義，本發明提供一種半導體裝置，如膜堆疊(film stack)，其包含：

- 一半導體基板；
- 一位於前述半導體基板上的介面層；
- 一位於前述介面層上的高 k 介電材料；以及
- 一位於前述高 k 介電材料上的 TiC 閘極金屬。

此外，本發明提供一種半導體結構，包含：

- 一半導體基板，以及

一圖案化的閘極區域，包含至少一位於一部份前述基板上的介面層、一位於前述介面層上的高 k 介電材料，及一位於前述高閘極介電材料上的 TiC 化合物金屬。

除了上述的膜堆疊及半導體結構，本發明亦提供一種方法，係用以製造一 TiC 金屬化合物，包含：

提供一 Ti 靶(target)及一包含 Ar 及以 He 稀釋的一碳源(carbon source)的環境；以及

於前述環境中，自前述 Ti 靶濺鍍(sputtering)一 TiC 膜。

本發明亦提供一種方法，係用以製造前述半導體結構，於其中，供形成一 TiC 膜之發明的製程被採用。概括地說，半導體結構首先，藉提供一包含一高 k 介電材料及於一基板的一表面上之一介面層，而被形成；之後，使用上述製程步驟以形成一 TiC 膜於前述堆疊，如藉提供一 Ti 靶及一包含 Ar 及藉 He 被稀釋一碳源環境；並於前述環境中，自前述 Ti 靶濺鍍一 TiC 膜。

於本發明的某些實施態樣中，TiC 金屬閘極可被單獨使用作為閘極電極，或與一含 Si 閘極電極相連結，而其於上部表面包含一矽化物接點。後者結構再此被稱之為一含多晶 Si/TiC 之雙重 FET。

值得注意的是，高 k 介電材料一詞被遍佈用於本發明，以表示一具大於 SiO_2 ，如大於 4.0，之介電常數 k 的絕緣體材料。較佳地，高 k 介電材料具一約 7.0 或更高的 k。

“介面層”一詞，被遍佈使用於本發明，以表示一絕緣體材料，其包含至少 Si 或 O 原子，舉例而言，包含 SiO_2 及 SiON 。

【實施方式】

本發明，提供一種可被當作於包含一高 k 介電材料及一介面層的一堆疊上之熱穩定的 p 金屬閘極使用之 TiC 化合物金屬及其製造方法，將藉參考本發明所伴隨的圖示，被更詳細的描述。值得注意的是，本發明的圖示被提供作為闡述目的使用，而因此未依比例繪製。

首先參考圖 1A-1C，其闡述使用於形成一膜堆疊結構的基本製程步驟，該結構包含發明的 TiC 化合物金屬，於一含高 k 介電材料及介面層之堆疊之上。圖 1A 顯示一初始膜結構，其包含一介面層 12 於一半導體基板 10 的一表面上。

於本發明中所採用的半導體基板 10 包含任何半導體材料，其包括但不限制於：Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP 及所有其他 IV/IV、III/V 或 II/VI 化合物半導體。半導體基板 10 亦可包含一有機的半導體或一層狀的半導體，如 Si/SiGe、一絕緣層上矽(SOI)或是一絕緣層上 SiGe (SGOI)。於本發明的某些實施態樣中，半導體基板 10 較佳由一含 Si 半導體材料，如一含矽半導體材料，所組成。半導體基板 10 可被摻雜、去摻雜(undoped)，或包含摻雜及非摻雜區域。

半導體基板 10 亦可包含一第一摻雜的(n-或 p-)區域，及一第二摻雜的(n-或 p-)區域。為了清晰闡明，摻雜的區域並沒有被特別的顯示於本發明的圖示當中。第一摻雜區域與第二摻雜區域可為相同的，或其可具不同的導電率及/或摻雜濃度。這些摻雜的區域被視為“井”。半導體基板 10 可為應變的(strained)、非應變的或其結合。此外，半導體基板 10 可具任何結晶學的(crystallographic)方向，包含，舉例而言，100、110、111 及其結合。供選擇地，半導體基板 10 可具一混合基板，其包含至少兩不同結晶學方向的平面表面。

至少一絕緣區域(未顯示)繼而被典型地形成於半

導體基板 10 之內。絕緣區域可為一溝渠絕緣區域或一場氧化物絕緣區域。溝渠絕緣區域使用熟知技藝者熟悉的傳統溝渠絕緣製程，而被形成。舉例而言，微影技術、蝕刻及用一溝渠介電材料填充溝渠，可被用於形成溝渠絕緣區域。選擇性地，於填充溝渠前，一襯墊可被形成於溝渠中，一密化(densification)步驟可被執行於填充溝渠後，而一平坦化製程亦可接續於填充溝渠後。場氧化物可使用所謂的矽製程區域氧化而被形成。值得注意的，當鄰近閘極具相反的導電性時，典型地需要至少一絕緣區域，以提供絕緣於鄰近閘極區域間。鄰近的閘極區域可具相同的導電性(如，均為 n-或 p-)，或可供選擇地，其可具不同的導電性(如，一 n 型而另一為 p 型)。

介面層 12 繼而使用一熱製程，如氧化或氮氧化、一沉積製程，如化學氣相沉積(CVD)、電漿輔助的 CVD、原子層沉積(ALD)、蒸發、濺鍍及化學溶液沉積或其結合，被形成於半導體基板 10 的表面之上。供選擇地，一沉積製程及氮化可被用以形成介面層 12。介面層 12 包含至少 Si 及 O 原子，而 N 原子為選擇性的。介面層 12 因此可包含 SiO_2 、 SiON 、其矽酸鹽或複數層。於一些實施態樣中，介面層 12 包含 SiO_2 ，而於其他實施態樣中，介面層 12 包含 SiON 。介面層 12 包含自約 1 至約 80，典型地自 1 至 20，之原子百分比 Si。殘留的為 O 及/或 N。一化學氧化物典型地不使用 N。Si 可連續地出現於整個介面層 12 或其可為漸變的。

介面層 12 典型地具一自約 4.0 至 20 的介電常數，更典型的，具一自約 4.5 至 18 的介電常數。介面層 12 典型地具一自約 0.1 至約 5 nm 的厚度，更典型的，具一自約 0.2 至約 2.5 nm 的厚度。

接下來，如圖 1B 所顯示，一高 k 介電材料 14 被形成於一介面層 12 的表面上。”高 k”一詞指示一絕緣體，其介電常數大於 4.0，典型地自約 7.0 或更高。高 k 介電材料 14 可藉由熱成長製程，舉例而言，如氧化、氮化或氮氧化，而被形成。供選擇地，高 k 介電材料 14 可藉由一沉積製程，舉例而言，如化學氣相沉積(CVD)、電漿助力 CVD、金屬有機的化學氣相沉積(MOCVD)、原子層沉積(ALD)、蒸發、反應的濺鍍、化學溶液沉積及其他類似沉積製程，而被形成。介電材料 14 亦可使用任何上述製程的結合被形成。

用作例證地，本發明採用的高 k 介電材料 14 包含，但不限制於：一種氧化物、氮化物、氮氧化物及/或矽酸鹽(包含金屬矽酸鹽及氮化的金屬矽酸鹽)。於一實施態樣中，高 k 介電材料 14 較佳的包含一氧化物，舉例而言，如 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 、 Y_2O_3 、 Ga_2O_3 、 GdGaO 及其混合物。高 k 介電材料 14 之高度較佳的實施例包含 HfO_2 ，矽酸鈣或氮氧矽鈣。

高 k 介電材料 14 的物理厚度可能變化，但典型地，高 k 介電材料 14 具一自約 0.5 至約 10 nm 的厚度，更典型的，具一自約 0.5 至約 3 nm 的厚度。

於提供顯示於圖 1B 的堆疊結構後，一 TiC 化合物

金屬層 16 繼而形成於高 k 介電材料 14 之上，舉例而言，提供於圖 1C 中顯示的結構。根據本發明，TiC 化合物金屬層 16 藉提供一 Ti 靶及一包含 Ar 及一以 He 稀釋的碳源之環境，繼而於前述環境中，自前述 Ti 靶濺鍍一 TiC 膜，而被形成。根據本發明，He 被用於稀釋 C 源。用以稀釋 C 源的 He 含量典型地自約 70 至約 99%，更典型的，自約 90 至約 98%，更加典型的 He 含量為 95%。濺鍍製程發生於任何傳統濺鍍裝置的一反應腔室中。

本發明使用的 Ti 靶，包含任何固體 Ti 源。濺鍍 TiC 膜時，使用於環境中的碳源包含任何有機的含 C 化合物，舉例而言，烷烴類(alkanes)(一含一單一 C 鍵結的有機化合物，如 CH_4 、 C_2H_6 及其他 $\text{C}_n\text{H}_{2n+2}$ 化合物)、烯屬烴類(alkenes)(包含一 C 雙鍵結，如 C_2H_4 及其他 C_nH_{2n} 化合物)及炔屬烴類(alkynes)(包含一 C 三鍵結，如 C_2H_2)。較佳地，C 源為一炔屬烴，以 C_2H_2 為最佳。C 源可為一固體、液體或氣體，而以氣體的 C 源高度較佳。

於本發明的某些實施態樣中，在本發明中採用之 Ar 及由 He 稀釋的 C 源流率(flow)分別為，自約 1 至約 100 sccm 供 Ar 及自約 1 至 100 供 C 源。更典型地，Ar 的流率為約 20 sccm，而以 He 稀釋的 C 源的流率約為 16 sccm。其他濺鍍的條件，如溫度、氣體壓力及時間已被熟悉於習知技術中。

形成的 TiC 膜 16 的厚度可因使用的濺鍍條件及用以製造的裝置型態而改變。典型地，於濺鍍後，TiC 膜 16 具一自約 2 至約 200 nm 的厚度，更典型的，具一自

約 5 至約 50 nm 的厚度。

顯示於圖 1C 中的結構可繼而使用任何傳統 CMOS 流程，被形成於一 CMOS 裝置，如 FET，中。於一些實施態樣中，顯示於圖 1C 中之堆疊的結構，可以，或選擇性地，被當作一含 Si 閘極材料 18 處理，其可被形成於 TiC 層 16 的頂部。後者之實施態樣被顯示於圖 2A-2D 中。雖然圖 2A-2D 闡述了含 Si 材料 18 的存在，以下的製程步驟通常在無含 Si 材料被形成時進行。值得注意的，圖案化的閘極區域 20 之接續的矽化作用典型地不被執行，該區域 20 僅包含 TiC 層 16。

於圖 2A 闡述的實施態樣中，一含 Si 材料 18，如多晶矽、SiGe 及 SiGeC 被形成於 TiC 層 16 之上。因此，於此實施態樣中，含 Si 材料 18 及 TiC 層 16 形成一多層的閘極。於另一實施態樣中，TiC 被用作為一單一金屬閘極。含 Si 材料 18 可被使用於單晶體、多晶型或非晶體，或任何該等形式的混合物中。

含 Si 材料典型地使用一在原位的(in-situ)沉積製程或沉澱、離子植入及回火被摻雜。因 TiC 為一 p 型金屬，該摻質為一 p 型摻質。本發明於此時形成之含 Si 材料 18 的厚度，如高度，可因採用的製程而改變。典型地，含 Si 材料 18 具一自約 20 至約 180 nm 的垂直厚度，更典型的具一自約 40 至約 150 nm 的厚度。

於闡述的實施態樣製程當中，含 Si 材料 18、TiC 層 16 及選擇性地高 k 介電材料 14 及介面層 12，繼而藉由微影技術及蝕刻被圖案化，以提供一圖案化的閘極區

域或堆疊 20。雖然一單一圖案化的閘極區域(或堆疊)20 被顯示，本發明考慮形成一複數的圖案化閘極區域(或堆疊)20。當一複數的圖案化閘極區域(或堆疊)被形成，該閘極(或堆疊)可具相同尺寸大小，如長度，或可具不同尺寸大小，以增進裝置性能。本發明於此時每一圖案化的閘極堆疊(或區域)20，包含至少一圖案化的 TiC 層 16。圖 2B 顯示於形成閘極區域(或堆疊)20 的圖案後的結構。於闡述的實施態樣中，於本發明的此步驟間，含 Si 材料 18、TiC 層 16、高 k 介電材料 14 及介面層 12 被蝕刻，如圖案化。

微影步驟包含塗敷一光阻於圖 2A 或 1C 顯示之覆蓋層結構之上部表面，將光阻曝光以得一預期的輻射圖案，並使用一傳統光阻顯影劑以顯影曝光的光阻。光阻中的圖案繼而使用一或多個乾蝕刻步驟，被轉移至結構。於一些實施態樣中，於圖案被轉移至覆蓋層結構的其中一層後，圖案化的光阻可被移除。於其他實施態樣中，圖案化的光阻於蝕刻完成後被移除。

可被用於本發明，以形成圖案化的閘極區域(或堆疊)20 之合適的乾蝕刻步驟包含，但不限於：反應性離子蝕刻、離子束蝕刻、電漿蝕刻或雷射消融。採用的乾蝕刻製程典型地，但並非永遠，對於下層的高 k 介電材料 14 有選擇性，因此，此蝕刻步驟典型地不會移除包含高 k 介電材料 14 及介面層 12 之堆疊。然而，於一些實施態樣及圖 2B 中顯示的此蝕刻步驟，可被用以移除高 k 介電材料 14 及介面層 12 之未被事先蝕刻之閘極區

域(或堆疊)20 之材料層所保護的部分。

接下來，至少一間隙物 22 被典型地，非永遠，形成於每一圖案化的閘極區域(或堆疊)20 之曝光的側壁上，舉例而言，見圖 2C。該至少一間隙物 22 包含一絕緣體，如一氧化物、氮化物、氮氧化物及/或其任何組合。該至少一間隙物 22 藉由沉積及蝕刻而被形成。

至少一間隙物 22 的寬度必須夠寬，以使源極及汲極矽化物接點(以接續被形成)不致侵蝕於底下的閘極區域(或堆疊)20 之邊緣。典型地，當至少一間隙物 22，由底部測量，具一自約 20 至約 80 nm 的寬度時，源極/汲極矽化物不致侵蝕於底下的閘極區域(或堆疊)20 之邊緣。

閘極區域(或堆疊)20 於間隙物形成之前，藉由提供相同之一熱氧化、氮化或氮氧化製程，亦可被鈍化(passivated)。鈍化步驟約於閘極區域(或堆疊)20 形成一鈍化的材料薄層(未顯示)。此步驟可以被用以取代或結合先前間隙物形成步驟。當與間隙物形成步驟一起被使用，間隙物形成發生於閘極區域(或堆疊)20 之鈍化製程後。

源極/汲極擴散區域 24(間隙物存在或不存在)繼而被形成於基板之內。源極/汲極擴散區域 24 使用離子植入及一回火步驟，而被形成。回火步驟被提供以活化摻質，其由先前植入步驟被植入。離子植入及回火的條件被熟知技藝者熟悉。離子植入及回火後形成的結構，被顯示於圖 2D 中。

源極/汲極擴散區域 24 亦可包含延伸植入區域(未被分離地標示)，其於使用一傳統延伸植入，於植入源極/汲極之前形成。一活化回火可接續延伸植入，或選擇性地，於延伸植入間植入的摻質及源極/汲極植入，可使用相同活化回火循環被活化。暈(Halo)植入(未顯示)亦於此被考慮。源極/汲極延伸典型地淺於深源極/汲極區域，且其包含一與圖案化閘極區域(或堆疊)20 對準之一邊緣。

接下來，若未於先前被移除，高 k 介電材料 14 曝光的部分及底下之介面層 12，藉使用一選擇性地移除此等絕緣材料之化學蝕刻製程，被移除。此蝕刻步驟中止於半導體基板 10 的一上部表面。雖然任何化學腐蝕劑可被用於移除高 k 介電材料的曝光部分及底下的介面層 12，於一實施態樣中所使用的為稀釋的氫氟酸(HDF)。

圖 2D 亦顯示於源極/汲極擴散區域 26 之上之矽化物區域 26 及含 Si 材料 18，若其存在，的存在。於含 Si 材料 18 之上的矽化物為選擇性的，且若無含 Si 材料出現於閘區域(或堆疊)20 頂部時，其不會被形成。矽化物區域 26 藉使用任何傳統矽化製程而被形成。於某些實施態樣中及當無含 Si 材料出現於至少源極/汲極區域 26 時，一含 Si 材料，如磊晶 Si 或非晶 Si，可於矽化之前被形成。

矽化製程包含，形成一導電的且耐高溫的金屬，如 Co、Ti、W、Ni、Pt 或具其他合金添加物，如 C、Ge、Si 及等等之合金，於將被矽化的區域之上。一傳統沉積

製程，如 CVD、PECVD、濺鍍、蒸發或電鍍，可被使用。選擇性地，一屏障層可形成於金屬層之上，其保護金屬不致氧化。選擇性的屏障層之實施例包含，舉例而言，SiN、TiN、TaN、TiON 及其組合。接續的金屬沉積結構被提供給至少一第一回火，其造成沉積的金屬及 Si 及接續形成之一金屬矽化物間的反應。回火典型地被執行於自約 250°至約 800°C 的一溫度，更典型的，具一自約 400°至約 550°C 的第一回火溫度。

於某些實施態樣中，第一回火形成一富含金屬矽化階段，其對一選擇的蝕刻步驟為高抗阻的。當一富含金屬階段被製造，一第二較高回火溫度被需要，以形成一低電阻矽化物。於其他實施態樣中，第一回火於形成低電阻矽化物中，為重要的。

接續第一回火，沉積的金屬之未反應的及殘留的部分，藉使用一傳統蝕刻製程，如濕蝕刻、反應性離子蝕刻(RIE)、離子束蝕刻或電漿蝕刻，被移除。

若必須，一第二回火被執行於蝕刻製程後。第二回火典型地被執行於一高於第一回火的溫度。一典型的供第二，選擇性的，回火之溫度範圍為自約 550°至約 900°C。

進一步 CMOS 製程，如具金屬內連線的 BEOL(後段製程)內連線級(levels)的形成，可藉使用習知的製程步驟被形成。

以下的實施例，提供一本發明的說明，及藉使用本發明以形成一含 TiC 閘極堆疊所得的一些優勢。

實施例

於此實施例中，一 $\text{TiC}/\text{HfO}_2/\text{SiO}_2$ 堆疊被形成於一 Si 晶圓之一表面。 SiO_2 介面層藉由 Si 晶圓的氧化被形成。 SiO_2 介面層的厚度約為 1.2 nm。一具一約 3 nm 厚度的 HfO_2 介電材料藉 MOCVD 被形成於 SiO_2 介面層上。 TiC 層繼而藉提供一 Ti 靶及一包含 $\text{Ar}/\text{C}_2\text{H}_2$ (5% in He)，分別使用 20 及 16 sccm 的流率，之一環境被形成。 TiC 層具一約 40 nm 的厚度。

於提供堆疊後，堆疊接受於 1000°C 、 N_2 中的快速熱回火中，而一於 450°C 之一形成氣體回火個別地被執行。圖 3 顯示此堆疊的 CV 特徵。CV 得自於 10kHz，並來回追蹤。該紀錄沒有顯示指出低電荷俘獲 (low charge trapping) 之磁滯。看似理想的該 CV 暗示低介面狀態 (low interface states) 低於 1×10^{11} charges/cm²。值得注意的，堆疊的功函數約為 5eV，如同 S. M. Sze, Physics of Semiconductor Devices, Second Edition, pages 395-397, J. Wiley & Sons 所計算的，針對一 pMOS 裝置，此值為典型常見的。亦注意，EOT (標準的) 僅為約 14Å。因此，因為植入於閘極堆疊內的高 k 介電材料，使用此堆疊製造的 pFET 應操作於厚度為約 14Å、具充分閘極漏電縮減 (~5 數量級) 的反轉層。現今 SiO_2 科技具一厚度約為 19Å 的反轉層，其具一相當高的閘極漏電。

雖然本發明被特別地以較佳實施態樣顯示及描述，熟知技藝者將了解，在不脫離本發明的精神及範圍下，前述及其他形式跟細節的修正可被完成。因此，本

發明不受到描述的及闡述的確實形式及細節之限制，但落於附屬之專利申請範圍內。

【圖式簡單說明】

圖 1A-1C 為圖像的表示(透過截面視圖)，闡述多種用於形成一膜堆疊結構的製程步驟，該結構包含 TiC 金屬化合物作為一 p 型金屬閘極於一含一高 k 介電材料及介面層之一堆疊上。

圖 2A-2D 為圖像表示(透過截面視圖)，闡述本發明供形成一多晶 Si/閘極金屬自對準 FET 結構之基本製程步驟。

圖 3 為一圖示，顯示於 1000°C、N₂ 中回火並繼而回火於一形成氣體環境中後，一 TiC/HfO₂/SiO₂ 閘極堆疊之電容相對電壓(CV)特徵。

【主要元件符號說明】

- 10. 半導體基板
- 12. 介面層
- 14. 介電材料
- 16. TiC 層
- 18. 含 Si 材料
- 20. 閘極區域 (或堆疊)
- 22. 間隙物
- 24. 源極/汲極(擴散)區域
- 26. 源極/汲極區域

五、中文發明摘要：

提供一種包含 TiC 的化合物金屬，該 TiC 為具約 4.75 至約 5.3 eV，較佳為 5 eV，的功函數(workfunction)之一 p 型金屬，該金屬於含一高 k 介電材料及一介面層之一閘極堆疊上為熱穩定的。也提供一種製造 TiC 化合物金屬的方法。此外，本發明之 TiC 金屬化合物於 1000°C 時為一非常有效的氧擴散屏障，使一 p 金屬氧化物半導體(pMOS)裝置中之等效氧化層厚度(EOT)及反轉層厚度大幅縮限至 14Å 以下。

六、英文發明摘要：

A compound metal comprising TiC which is a p-type metal having a workfunction of about 4.75 to about 5.3, preferably about 5, eV that is thermally stable on a gate stack comprising a high k dielectric and an interfacial layer is provided as well as a method of fabricating the TiC compound metal. Furthermore, the TiC metal compound of the present invention is very effective oxygen diffusion barrier at 1000°C allowing very aggressive equivalent oxide thickness (EOT) and inversion layer thickness scaling below 14Å in a p-metal oxide semiconductor (pMOS) device.

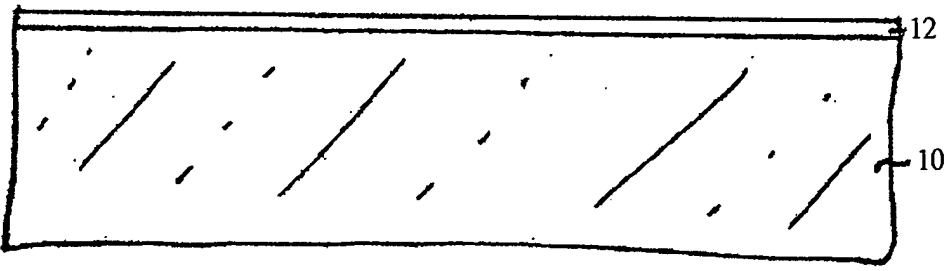


圖1A

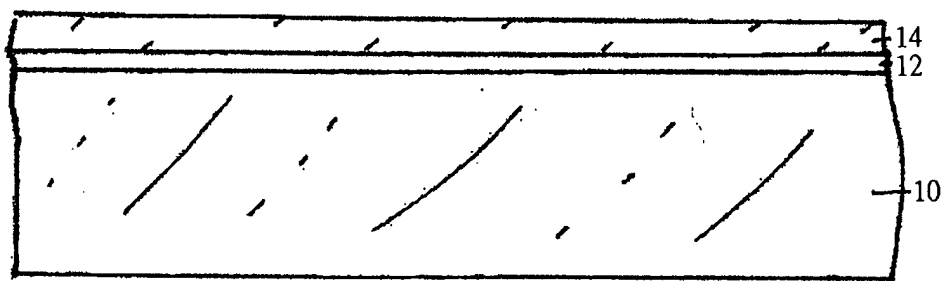


圖1B

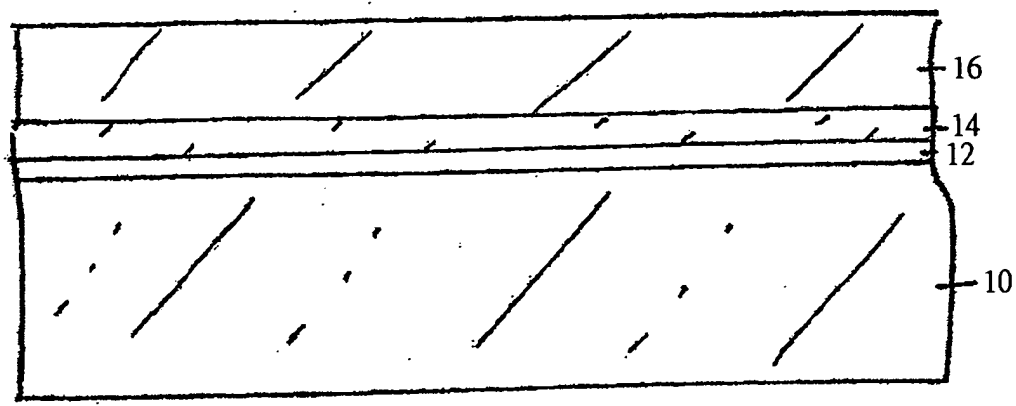


圖1C

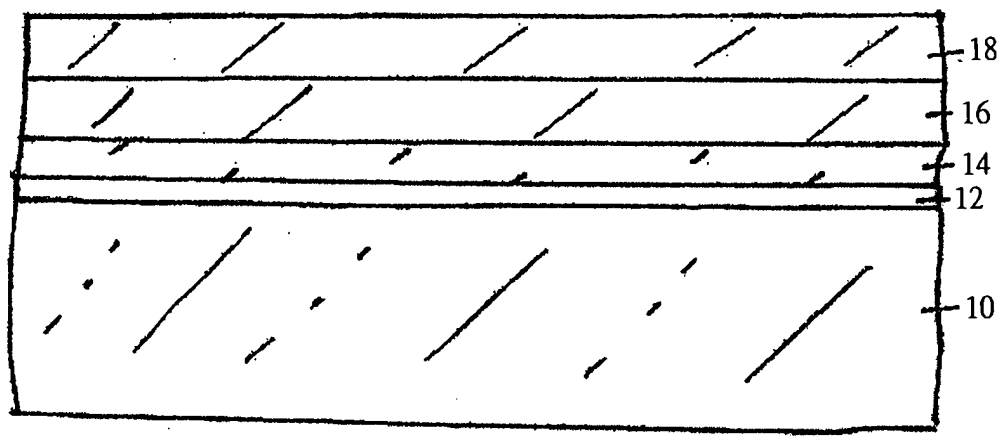


圖2A

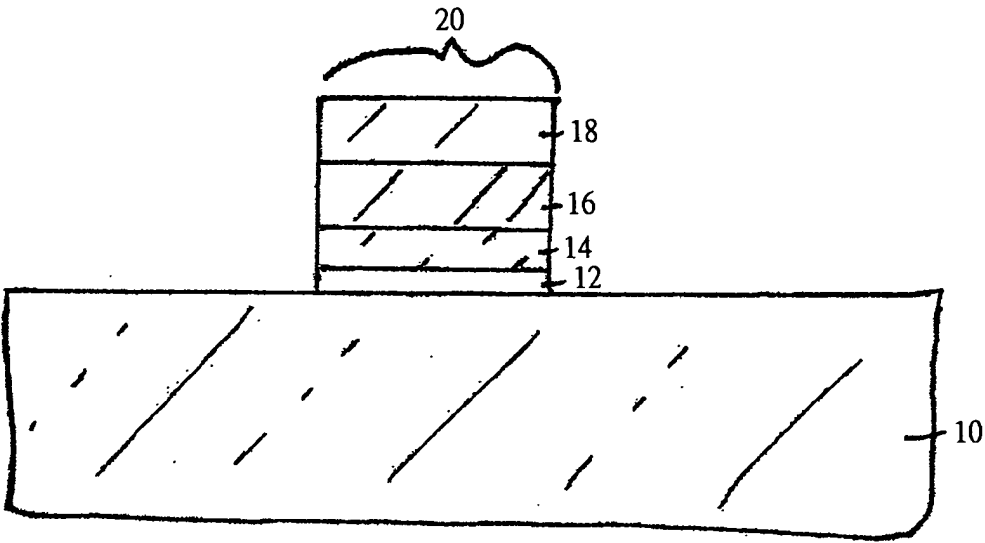


圖2B

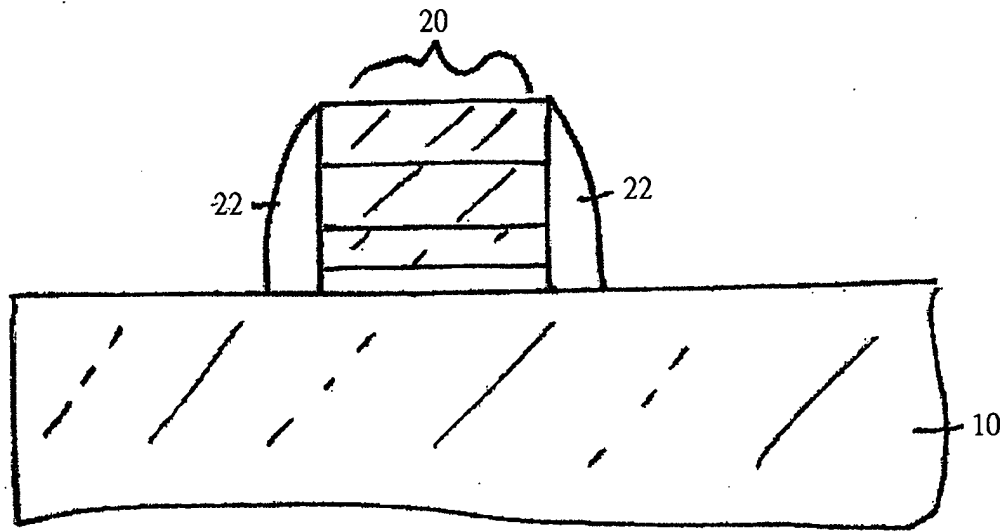


圖2C

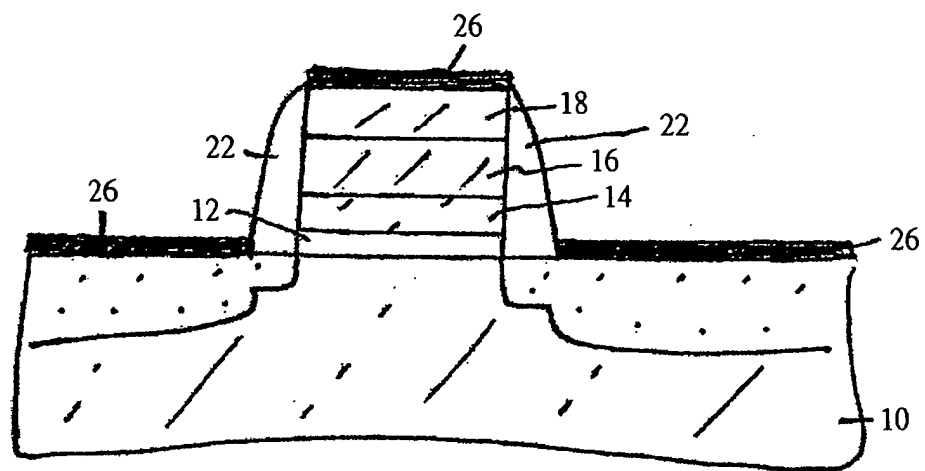


圖2D

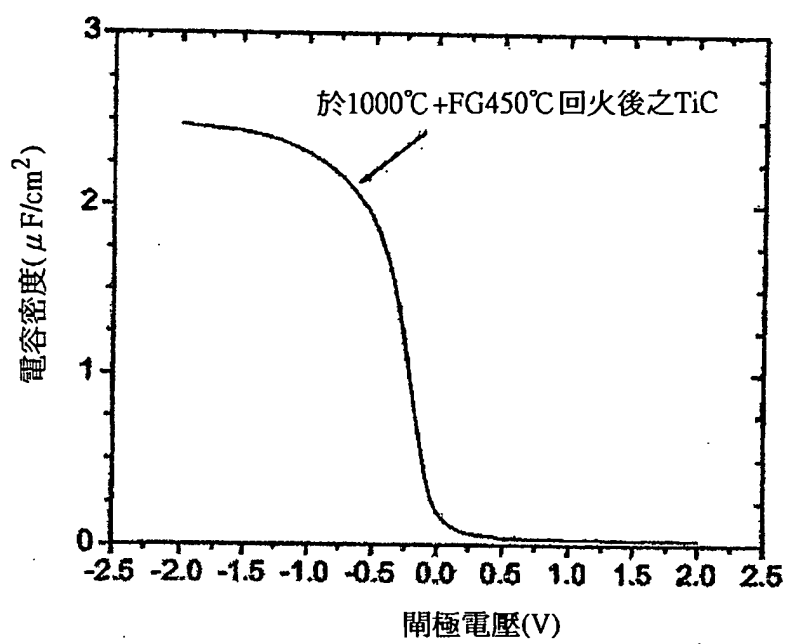


圖3

七、指定代表圖：

(一)本案指定代表圖為：圖 2D。

(二)本代表圖之元件符號簡單說明：

- 10. 半導體基板
- 12. 介面層
- 14. 介電材料
- 16. TiC 層
- 18. 含 Si 材料
- 20. 閘極區域 (或堆疊)
- 22. 間隙物
- 24. 源極/汲極(擴散)區域
- 26. 源極/汲極區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種 p 型半導體結構，包含：

一半導體基板；

一位於前述半導體基板上的介面層，該介面層包含 SiO_2 且具有一自約 0.1 至約 5 nm 的厚度以及低於 $1 \times 10^{11} \text{ charges/cm}^2$ 的介面狀態；

一位於前述介面層上的高 k 介電材料，該高 k 介電材料包含一以 Hf 為基礎的材料；以及

一位於前述高 k 介電材料上的 TiC 金屬閘極，該 TiC 金屬閘極具有一介於 4.75 及 5.3 eV 間的功函數，其中該 TiC 金屬閘極之一側壁係對準該高 k 介電材料之一側壁，且對準該介面層之一側壁。

2. 如請求項 1 所述之 p 型半導體結構，其中前述半導體基板包含 Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP、其他 II/IV 或 III/VI 化合物半導體、有機半導體或層狀的半導體。

3. 如請求項 1 所述之 p 型半導體結構，其中前述介面層具有一自約 1 至約 80 原子百分比的 Si 內含物。

4. 如請求項 1 所述之 p 型半導體結構，其中前述介面層具一漸變的(graded)Si 內含物。

5. 如請求項 1 所述之 p 型半導體結構，其中前述高 k 介

電材料具一大於 4.0 的介電常數及一自約 0.5 至約 10 nm 的厚度。

6. 如請求項 1 所述之 p 型半導體結構，其中前述高 k 介電材料包含一氧化物、氮化物、氮氧化物、矽酸鹽或其混合物。
7. 如請求項 1 所述之 p 型半導體結構，其中前述高 k 介電材料包含 HfO_2 、Hf 矽酸鹽或 Hf 氮氧化物。
8. 如請求項 1 所述之 p 型半導體結構，進一步包含一含 Si 導電的材料於前述 TiC 金屬閘極之上。
9. 如請求項 1 所述之 p 型半導體結構，其中前述介面層、前述高 k 介電材料及前述 TiC 金屬閘極被圖案化成為一閘極區域。
10. 一種 p 型半導體結構，包含：
 - 一半導體基板；
 - 一位於前述半導體基板上的介面層，該介面層包含 SiO_2 且具有一自約 0.1 至約 5 nm 的厚度以及低於 $1 \times 10^{11} \text{ charges/cm}^2$ 的介面狀態；
 - 一位於前述介面層上的高 k 介電材料，該高 k 介電材料包含一以 Hf 為基礎的材料；以及
 - 一位於前述高 k 介電材料上的 TiC 金屬閘極，該

TiC 金屬閘極具有一介於 4.75 及 5.3eV 間的功函數，其中該 p 型半導體結構具有一約 14 Å 或 14 Å 以下的反轉層厚度。

- 11.如請求項 10 所述之 p 型半導體結構，其中前述半導體基板包含 Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP、其他 II/IV 或 III/VI 化合物半導體、有機半導體或層狀的半導體。
- 12.如請求項 10 所述之 p 型半導體結構，其中前述介面層具一自約 1 至約 80 原子百分比的 Si 內含物。
- 13.如請求項 10 所述之 p 型半導體結構，其中前述介面層具一漸變的(graded)Si 內含物。
- 14.如請求項 10 所述之 p 型半導體結構，其中前述高 k 介電材料具一大於 4.0 的介電常數及一自約 0.5 至約 10 nm 的厚度。
- 15.如請求項 10 所述之 p 型半導體結構，其中前述高 k 介電材料包含一氧化物、氮化物、氮氧化物、矽酸鹽或其混合物。
- 16.如請求項 10 所述之 p 型半導體結構，其中前述高 k 介電材料包含 HfO₂、Hf 矽酸鹽或 Hf 氮氧化物。

17.如請求項 10 所述之 p 型半導體結構，其中前述介面層、前述高 k 介電材料及前述 TiC 金屬閘極被圖案化成為一閘極區域。

18.如請求項 10 所述之 p 型半導體結構，進一步包含一含 Si 導電的材料於前述 TiC 金屬閘極之上。