

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01B 5/16	(11) 공개번호 특2001-0050489	(43) 공개일자 2001년06월 15일
(21) 출원번호	10-2000-0054406	
(22) 출원일자	2000년09월 16일	
(30) 우선권주장	99-266865 1999년09월21일 일본(JP)	
	99-263438 1999년09월 17일 일본(JP)	
	99-375648 1999년 12월28일 일본(JP)	
(71) 출원인	제이에스알 가부시끼가이샤 마쯔모토 에이찌	
(72) 발명자	일본 도쿄도 주오구 쓰끼지 2쵸메 11방 24고 하루따, 유이찌	
	일본도쿄도주오구쓰끼지2쵸메11방24고제이에스알가부시끼가이샤내 야수따, 나오시	
(74) 대리인	일본도쿄도주오구쓰끼지2쵸메11방24고제이에스알가부시끼가이샤내 위혜숙, 주성민	

심사청구 : 있음

(54) 이방 도전성 시트 및 그의 제조 방법 및 커넥터

요약

본 발명은 예를 들면 커넥터로서 사용되는 두께 방향으로 도전성을 나타내는 이방 도전성 시트에 관한 것이다.

제1의 이방 도전성 시트는, 예를 들면 두께 방향으로 신장하는 복수의 도전부와, 각 도전부를 둘러싸도록 형성된 면 방향으로 반도체성을 나타내는 반도체부로 구성된다. 또는, 각 도전부를 둘러싸도록 형성된 절연부를 통하여 반도체부가 형성된다. 또는, 면 방향으로 반도체성을 나타내는 시트 기체(基體) 중에, 도전성 입자가 두께 방향으로 늘어서도록 배향된 상태에서 함유되어 구성된다.

제2의 이방 도전성 시트는, 두께 방향으로 도전성을 갖는 시트체의 적어도 한쪽면에 제전층이 일체적으로 설치되어 구성되고, 예를 들면 두께 방향으로 신장하는 복수의 도전부가 절연부에 의해 서로 절연된 시트체에 있어서, 절연부의 한쪽면에 제전층이 설치되어 구성된다.

제3의 이방 도전성 시트는, 두께 방향으로 도전성을 갖는 시트체를 구비하고, 외부 장치 또는 전자 부품 단자에 접속되는 접속용 도전부와, 접지부에 접속되는 하나 이상의 제전용 도전부로 구성된다.

상기한 이방 도전성 시트에 의해서는, 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있고, 또한 시트 표면에 발생한 전하가 전기적으로 중화되고 제전되어 정전기에 의한 악영향을 배제할 수 있다.

대표도

도1

색인어

이방 도전성 시트, 커넥터

명세서

도면의 간단한 설명

- 도 1은, 제1의 본 발명의 제1 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도.
- 도 2는, 제1의 본 발명의 이방 도전성 시트를 제조하기 위하여 사용되는 금형의 일례에 있어서의 구성을 나타내는 설명용 단면도.
- 도 3은, 도 2에 나타난 금형 내에 시트 성형 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 4는, 시트 성형 재료층에 자장을 작용시킨 상태를 나타내는 설명용 단면도.
- 도 5는, 시트 형성 재료층이 경화 처리되어 도전부 및 반도체부가 형성된 상태를 나타내는 설명용 단면

- 도.
- 도 6은, 반도체부용 시트를 나타내는 설명용 단면도.
- 도 7은, 반도체부용 시트에 관통 구멍이 형성된 상태를 나타내는 설명용 단면도.
- 도 8은, 반도체부용 시트의 관통 구멍 내에 도전부용 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 9는, 금형 내에 도전부용 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 10은, 금형 내에서 도전부가 형성된 상태를 나타내는 설명용 단면도.
- 도 11은, 금형 내에서 도전부를 둘러싸도록 반도체부용 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 12는, 제1의 본 발명의 제2 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도.
- 도 13은, 반도체부용 시트에 개구가 형성된 상태를 나타내는 설명용 단면도.
- 도 14는, 반도체부용 시트의 관통 구멍 내에 도전부용 재료층이 형성되고, 이 반도체부용 시트가 금형 내에 배치된 상태를 나타내는 설명용 단면도.
- 도 15는, 금형 내에 도전부용 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 16은, 금형 내에서 도전부 및 이것을 둘러싸는 절연부가 형성된 상태를 나타내는 설명용 단면도.
- 도 17은, 금형 내에서 절연부를 둘러싸도록 반도체부용 재료층이 형성된 상태를 나타내는 설명용 단면도.
- 도 18은, 제1의 본 발명의 제3 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도.
- 도 19는, 제1의 본 발명의 제4 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도.
- 도 20은, 제1의 실시 형태에 관한 이방 도전성 시트가 검사 대상인 회로 장치와 커넥터판의 사이에 개재된 상태를 나타내는 설명용 단면도.
- 도 21은, 반도체부의 표면에서 돌출한 상태로 도전부가 형성된 제1의 본 발명에 관한 이방 도전성 시트의 일례에 있어서의 구성을 나타내는 설명용 단면도.
- 도 22는, 커넥터판의 표면에 일체적으로 설치된 제1의 본 발명에 관한 이방 도전성 시트의 일례에 있어서의 구성을 나타내는 설명용 단면도.
- 도 23은, 제2의 본 발명의 이방 도전성 시트의 시트체를 제조하기 위하여 사용되는 금형의 일례에 있어서의 구성을 나타내는 설명용 단면도.
- 도 24는, 구조에 1에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 25는, 구조에 2에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 26은, 구조에 3에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 27은, 구조에 4에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 28은, 구조에 5에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 29는, 구조에 5에 관한 이방 도전성 시트를 나타내는 평면도.
- 도 30은, 구조에 6에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 31은, 구조에 7에 관한 이방 도전성 시트를 나타내는 설명용 단면도.
- 도 32는, 구조에 2에 관한 이방 도전성 시트가 검사 대상인 회로 장치와 커넥터판의 사이에 개재된 상태를 나타내는 설명용 단면도.
- 도 33은, 커넥터판의 표면에 일체적으로 설치된 이방 도전성 시트의 일례를 나타내는 설명용 단면도.
- 도 34는, 제3의 본 발명의 이방 도전성 시트의 한 구성예를 나타내는 설명용 단면도.
- 도 35는, 제3의 본 발명의 이방 도전성 시트에 있어서의 제전용 도전부의 한 배치예를 나타내는 설명용 평면도.
- 도 36은, 시트체를 나타내는 설명용 단면도.
- 도 37은, 시트체에 관통 구멍이 형성된 상태를 나타내는 설명용 단면도.
- 도 38은, 시트체의 관통 구멍 내에 제전용 도전부 형성 재료가 형성된 상태를 나타내는 설명용 단면도.
- 도 39는, 제3의 본 발명의 이방 도전성 시트를 제조하기 위하여 사용되는 금형의 한 구성예를 나타내는 설명용 단면도.
- 도 40은, 도 39에 나타난 금형 내에 대전 방지용 도전부 재료가 배치된 상태를 나타내는 설명용 단면도.
- 도 41은, 금형 내에서 대전 방지용 도전부 재료를 둘러싸도록 시트체 형성 재료가 충전된 상태를 나타내는 설명용 단면도.

도 42는, 시트체 형성 재료에 자장을 작용시킨 상태를 나타내는 설명용 단면도.

도 43은, 시트체 형성 재료층이 경화 처리되어 접속용 도전부 및 절연부가 형성된 상태를 나타내는 설명용 단면도.

도 44는, 제3의 본 발명의 이방 도전성 시트의 다른 구성예를 나타내는 설명용 단면도.

도 45는, 도 34에 나타낸 이방 도전성 시트가 검사 대상인 회로 장치와 기판의 사이에 개재된 상태를 나타내는 설명용 단면도.

도 46은, 대전 방지용 도전부와 방호용 도전부가 함께 배치되어 이루어지는 이방 도전성 시트의 한 구성예를 나타내는 설명용 단면도.

도 47은, 도 34에 나타낸 이방 도전성 시트의 표면에 도전성을 갖는 층이 형성된 이방 도전성 시트의 한 구성예를 나타내는 설명용 단면도.

도 48은, 도 34에 나타낸 이방 도전성 시트에 있어서, 절연부의 전부를 반도체성을 나타내는 반도체성 부분으로 했을 경우의 한 구성예를 나타내는 설명용 단면도.

<도면의 주요부분에 대한 부호의 설명>

1: 피검사 회로 장치

2: 피검사 전극

10: 이방 도전성 시트

10A: 시트 형성 재료층

10B: 반도체부용 시트

11, 21: 도전부

11A: 도전부용 재료층

11H, 20H: 관통 구멍

11K, 31, 36: 개구

12: 반도체부

12A :반도체부용 재료층

13, 22: 절연부

14: 시트 기체

15: 블랭크 영역

15A, 15B, 15C, 21A, 21B, 21C: 고밀도 도전부 영역

16: 도전부 배치 영역

20: 시트체

30, 75: 제전층

35: 고전도성 제전층

37: 저전도성 제전층

40: 커넥터판

41, 61: 접속용 전극

42, 64: 단자 전극

43, 63: 배선부

50: 상부 금형

51, 56: 강자성체 기판

52, 57: 강자성체 부분

53, 58: 비자성체 부분

54: 스페이서

55: 하부 금형

59A, 59B: 전자석

60: 기판

62: 제전용 전극

- 65: 접지 단자
- 76: 반도체성 부분
- 130: 대전 방지용 도전부
- 130A: 제전용 도전부, 대전 방지용 도전부 재료
- 131: 도전부 형성 재료
- 140: 제전용 도전부, 방호용 도전부
- d: 반도체부 (12)와 이에 가장 근접한 도전부 (11)간의 이격 거리
- D: 고밀도 도전부 영역 (15A), (15B), (15C)에서의 인접하는 도전부 (11)간의 이격 거리
- d0: 도전부 (21)의 주연부와 제전층 (30)의 개구 테두리 간의 이격 거리
- d1: 대전 방지용 도전부 (130)과 이에 가장 근접한 접속용 도전부와와의 이격 거리의 최대치 및 인접하는 대전 방지용 도전부 (130)과의 이격 거리
- d2: 방호용 도전부 (140)과 이에 가장 접근한 접속용 도전부와와의 이격 거리

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 예를 들면 전자 부품 등의 회로 장치 상호간의 전기적 접속이나, 프린트 회로 기판, 반도체 집적 회로 등의 회로 장치 검사 장치 등의 커넥터로서 바람직하게 사용되는 이방 도전성 시트 및 그의 제조 방법 및 커넥터에 관한 것이다.

이방 도전성 엘라스토머 시트는 두께 방향으로만 도전성을 나타내는 것, 또는 두께 방향으로 가압되었을 때 두께 방향으로만 도전성을 나타내는 가압 도전성 도전부를 갖는 것이고, 납땜 또는 기계적 감합 등의 수단을 사용하지 않고, 콤팩트한 전기적 접속을 달성할 수 있는 것, 기계적인 충격이나 변형을 흡수하여 소프트한 접속이 가능한 것 등의 특징을 갖기 때문에, 이러한 특징을 이용하여 예를 들면 전자 계산기, 전자식 디지털 시계, 전자 카메라, 컴퓨터 키보드 등의 분야에서, 회로 장치, 예를 들면 프린트 회로 기판과 리드리스 칩 캐리어, 액정 패널 등과의 상호 전기적인 접속을 달성하기 위한 커넥터로서 널리 사용되고 있다.

또한, 키보드나 터치 스위치 등에서 외력을 검출하기 위한 센서로서도 사용되고 있다.

또한, 프린트 회로 기판, 가요성 기판, 세라믹 기판, TAB용의 캐리어 테이프 등의 여러 재질로, 여러 방법에 의해 제조된 전자 회로용 기판 또는 반도체 집적 회로, 또는 복수의 반도체 집적 회로를 1개의 모듈에 조립한 MCM 등의 전기적 검사에 있어서는, 검사 대상인 회로 장치의 적어도 한쪽면에 형성된 피검사 전극과, 검사용 회로 기판 표면에 형성된 검사용 전극과의 전기적인 접속을 달성하기 위하여 회로 장치의 피검사 전극 영역과 검사용 회로 기판의 검사용 전극 영역 사이에 이방 도전성 엘라스토머 시트를 개재시키는 것이 행해지고 있다.

종래, 이러한 이방 도전성 엘라스토머 시트로서는, 여러가지 구조의 것이 알려져 있으며, 예를 들면 특개소 51-93393호 공보에는 금속 입자를 엘라스토머 중에 균일하게 분산시켜 얻어지는 이방 도전성 엘라스토머 시트가 개시되어 있으며, 또한 특개소 53-147772호 공보에는 도전성 자성체 입자를 엘라스토머 중에 불균일하게 분포시킴으로써 두께 방향으로 신장하는 다수의 도전로 형성부와, 이들을 서로 절연하는 절연부가 형성되어 이루어지는 이방 도전성 엘라스토머 시트가 개시되어 있고, 또한 특개소 61-250906호 공보에는 도전로 형성부의 표면과 절연부 사이에 단차가 형성된 이방 도전성 엘라스토머 시트가 개시되어 있다.

그러나, 이들 이방 도전성 시트는 두께 방향으로만 도전성을 갖지만, 면 방향에서는 절연성을 갖기 때문에, 그 사용 방법이나 사용 환경에 따라 이방 도전성 시트 표면에 정전기가 발생하여 대전되는 등 여러 문제가 발생하였다.

예를 들면, 이방 도전성 시트를 회로 장치의 전기적 검사에 사용하는 경우에는 검사 대상인 회로 장치(이하, "피검사 회로 장치"라고도 한다.)와 검사용 회로 기판 사이에 이방 도전성 시트를 개재시키고, 이 이방 도전성 시트를 가압함으로써 피검사 회로 장치와 검사용 회로 기판과의 전기적 접속을 달성하여 전기적 검사가 행해지지만, 가압 동작 및 박리 동작에 의해 전하가 발생하기 쉽고, 피검사 회로 장치의 전기적 검사를 수회 연속하여 행함으로써, 이방 도전성 시트 표면에 전하가 축적되어 고전압의 정전기를 띠게 된다.

그리고, 이방 도전성 시트 표면에 전하가 축적되어 정전기를 띠면, 이 정전기에 의해 피검사 회로 장치가 이방 도전성 시트에 달라붙기 때문에, 검사 작업을 원활하게 행하는 것이 곤란해진다. 또한, 이방 도전성 시트 표면에 고전압의 정전기가 축적되면, 작업자의 안전성 확보 면에서 문제가 있으며, 특히 매우 높은 전압의 정전기가 축적되었을 때에는, 이 정전기가 방전함으로써 검사 장치 및 이방 도전성 시트뿐만 아니라, 피검사 회로 장치에까지 악영향을 미치는 경우가 있어 그 결과, 검사용 회로 기판이나 검사 장치가 고장나거나, 검사 대상인 피검사 회로 장치를 파괴할 우려가 있었다.

이러한 이유로, 회로 장치의 전기적 검사에 있어서 정기적으로, 또는 이방 도전성 시트 표면에 정전기

발생이 관찰되었을 때 필요에 따라 검사 작업을 중단하고, 제전 브러시 등을 사용하여 이방 도전성 시트의 제전 작업을 행할 필요가 있으며, 그 때문에 검사 효율이 저하된다는 문제가 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 이상과 같은 사정에 기초하여 이루어진 것으로서, 그 제1 목적은 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있는 이방 도전성 시트를 제공하는 데 있다.

본 발명의 제2 목적은, 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있는 이방 도전성 시트를 제조할 수 있는 방법을 제공하는 데 있다.

발명의 구성 및 작용

제1의 본 발명의 이방 도전성 시트는 두께 방향으로 도전성을 나타내는 이방 도전성 시트로서, 면 방향으로 반도체성을 나타내는 반도체부를 갖는 것을 특징으로 한다.

제1의 본 발명의 이방 도전성 시트에 있어서는, 상기 반도체부의 체적 고유 저항이 10^{-7} 내지 $10^4 \Omega\text{m}$ 인 것이 바람직하다.

또한, 상기 반도체부의 표면 고유 저항이 10^{-1} 내지 $10^{10} \Omega/\square$ 인 것이 바람직하다.

또한, 제1의 본 발명의 이방 도전성 시트는, 두께 방향으로 신장하는 복수의 도전부와, 이들 각각의 도전부를 둘러싸도록 형성된 면 방향으로 반도체성을 나타내는 반도체부를 구비하여 이루어지는 것을 특징으로 한다.

또한, 제1의 본 발명의 이방 도전성 시트는, 두께 방향으로 신장하는 복수의 도전부와, 이들 도전부를 둘러싸도록 형성된 절연부와, 이 절연부를 둘러싸도록 형성된 면 방향으로 반도체성을 나타내는 반도체부를 구비하여 이루어지는 것을 특징으로 한다.

또한, 제1의 본 발명의 이방 도전성 시트는, 면 방향으로 반도체성을 나타내는 시트 기체 중에 도전성 입자가 두께 방향으로 늘어서도록 배향된 상태로 함유되어 이루어지는 것을 특징으로 한다.

제1의 본 발명의 이방 도전성 시트에 있어서는, 반도체부 또는 시트 기체는 도전성 유기 물질, 아민계 유기 도전성 물질, 도전성 고분자 물질, 금속 입자 및 카본 블랙에서 선택된 1종 이상으로 이루어지는 도전성 물질을 함유하여 이루어지는 것이 바람직하다.

제1의 본 발명의 이방 도전성 시트의 제조 방법은 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자 및 반도체성 부여 물질이 함유되어 이루어지는 시트 성형 재료층을 형성하고, 이 시트 성형 재료층에 대하여 강도 분포를 갖는 평행 자장을 이 시트 성형 재료층의 두께 방향으로 작용시킴과 동시에, 이 시트 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 한다.

또한, 제1의 본 발명의 이방 도전성 시트의 제조 방법은, 관통 구멍 또는 개구가 형성된 반도체성을 나타내는 반도체부용 시트를 준비하고, 이 반도체부용 시트에 있어서의 관통 구멍 또는 개구 내에 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 함유되어 이루어지는 도전부용 재료층을 형성하고, 이 도전부용 재료층에 대하여 평행 자장 또는 강도 분포를 갖는 평행 자장을 이 도전부용 재료층의 두께 방향으로 작용시킴과 동시에, 이 도전부용 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 한다.

또한, 제1의 본 발명의 이방 도전성 시트의 제조 방법은, 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자 및 반도체성 부여 물질이 함유되어 이루어지는 시트 성형 재료층을 형성하고, 이 시트 성형 재료층에 대하여 평행 자장을 이 시트 성형 재료층의 두께 방향으로 작용시킴과 동시에, 이 시트 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 한다.

제1의 본 발명의 이방 도전성 시트에 따르면, 표면에서 면방향으로 반도체성을 나타내는 반도체부를 갖기 때문에, 이 반도체부를 접지함으로써 반도체부를 통하여 제전되고, 그 결과 표면에 정전기가 발생하여 대전되는 것이 방지 또는 억제된다.

제2의 본 발명의 이방 도전성 시트는, 두께 방향으로 도전성을 갖는 이방 도전성의 시트체와, 이 시트체의 적어도 한쪽면에 일체적으로 설치된 제전층을 구비하여 이루어지는 것을 특징으로 한다.

또한, 제2의 본 발명의 이방 도전성 시트는, 두께 방향으로 신장하는 복수의 도전부가 절연부에 의해 서로 절연된 상태로 배치되어 이루어지는 이방 도전성의 시트체와, 이 시트체에 있어서의 절연부의 적어도 한쪽면에 설치된 제전층을 구비하여 이루어지는 것을 특징으로 한다.

이러한 이방 도전성 시트에 있어서는, 제전층은 시트체에 있어서의 절연부에 설치되는 것이 바람직하다.

시트체에 있어서의 절연부의 적어도 한쪽면은 오목 부분이 형성되고, 이 오목 부분 내에 제전층이 설치될 수도 있다.

제2의 본 발명의 이방 도전성 시트에 있어서는, 제전층이 도전성 유기 물질, 아민계 유기 도전성 물질, 금속, 카본 블랙을 함유하여 이루어지는 층, 열경화성 수지 또는 열가소성 수지 중에 도전성 물질을 함유하여 이루어지는 층, 또는 도전성 중합체로 이루어지는 층으로 구성되는 것이 바람직하다.

또한, 제전층이 금속층으로 이루어지는 것이 바람직하다.

제2의 본 발명의 이방 도전성 시트의 제조 방법은, 도전성 물질을 함유하여 이루어지는 유동성의 제전층 형성용 조성물을 제조하고, 이 제전층 형성용 조성물을 시트체에 도포하여 도포막을 형성한 후, 이 도포

막에 대하여 정착 처리를 행함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 제2의 본 발명의 이방 도전성 시트의 제조 방법은, 도전성 물질과 바인더 또는 바인더가 되는 경화성 재료를 함유하여 이루어지는 유동성의 제전층 형성용 조성물을 제조하고, 이 제전층 형성용 조성물을 시트체에 도포하여 도포막을 형성한 후, 이 도포막에 대하여 건조 처리 및(또는) 경화 처리를 행함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 제2의 본 발명의 이방 도전성 시트의 제조 방법은 제전층이 되어야 할 제전층용 필름을 제조하고, 이 제전층용 필름을 시트체에 접착함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 제2의 본 발명의 이방 도전성 시트의 제조 방법은, 시트체를 성형하기위한 금형의 성형면에 제전층이 되어야 할 층을 형성하고, 그 후 이 금형 내에, 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 도전성 입자가 함유되어 이루어지는 시트체 성형 재료를 주입하여 성형 재료층을 형성하고, 이 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 한다.

제2의 본 발명의 구성에 따르면, 이방 도전성 시트체의 한쪽면에 제전층이 설치되기 때문에, 이 제전층을 접지함으로써 이방 도전성 시트의 한쪽면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다.

제3의 본 발명의 이방 도전성 시트는, 두께 방향으로 도전성을 갖는 탄성 고분자 물질로 이루어지는 이방 도전성 시트체를 구비하고, 전자 부품의 외부 장치 또는 단자에 접속되는 접속용 도전부와, 접지부에 접속되는 하나 이상의 제전용 도전부를 갖는 것을 특징으로 한다.

상기한 이방 도전성 시트에 있어서는, 시트체가 두께 방향으로 신장하는 복수의 접속용 도전부가 절연부에 의해 서로 절연된 상태로 배치되어 이루어지고, 제전용 도전부가 이 시트체에 있어서는 접속용 도전부 배치 영역 이외의 블랭크 영역에 배치되는 것이 바람직하다.

이 경우에 있어서는, 하나 이상의 제전용 도전부가 블랭크 영역 내에 분산된 상태로 배치된 구성을 할 수 있다.

또한, 하나 이상의 제전용 도전부가 접속용 도전부 배치 영역의 주변에 배치된 구성을 할 수 있다.

제3의 본 발명의 이방 도전성 시트에 있어서, 제전용 도전부는 금속 입자, 도전성 금속 산화물, 도전성 유기물 및 카본 블랙에서 선택된 하나 이상의 도전성 물질을 포함하여 이루어질 수 있다.

제전용 도전부는 접속용 도전부와 동일한 구조를 가질 수 있다.

제전용 도전부는 접속용 도전부와 동일한 조성을 가질 수 있다.

제3의 본 발명의 이방 도전성 시트에 따르면, 제전용 도전부를 통하여 접지부에 접속되기 때문에, 정전기가 제전용 도전부를 통하여 제전된다. 그 결과, 시트 표면에 전하가 축적되는 것을 억제할 수 있고, 정전기에 의한 접속용 도전부에 대한 악영향을 배제할 수 있으며, 따라서 각종 전기적 접속을 달성하기 위한 커넥터로서 바람직하게 사용할 수 있다.

그리고, 제전용 도전부가 블랭크 영역 내에 분산된 상태로 배치됨으로써 정전기가 제전용 도전부를 통하여 제전되기 때문에, 블랭크 영역 내의 모든 부분에 있어서 정전기를 띠는 것을 충분히 억제할 수 있다.

또한, 제전용 도전부가 접속용 도전부 배치 영역의 주변에 배치됨으로써 시트 표면에서 정전기가 방전되는 경우라도 제전용 도전부에서 방전을 일으켜 이 제전용 도전부를 통하여 빠르게 제전할 수 있기 때문에, 접속용 도전부에 악영향을 미치는 경우는 없다.

이상의 본 발명의 이방 도전성 시트는 커넥터로서 유용하며, 특히 회로 장치의 전기적 검사를 행하는 검사 방법에 있어서 바람직하게 사용할 수 있다.

이하, 본 발명에 대하여 상세히 설명한다.

<제1의 발명>

(제1의 실시 형태)

도 1은, 제1의 본 발명의 제1 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도이다. 이 이방 도전성 시트 (10)에 있어서는, 각각 두께 방향으로 신장하는 복수의 기동형 도전부 (11)이 접속해야 할 전극 패턴에 대응하는 패턴에 따라서 면 방향을 따라 배치되고, 이들 각각의 도전부 (11)을 둘러싸도록 반도전부 (12)가 형성된다.

이 예에 있어서의 도전부 (11)은 탄성 고분자 물질로 이루어진 기재 중에, 도전성 입자가 이 이방 도전성 시트 (10)의 두께 방향으로 늘어서도록 배향된 상태로 함유되어 구성된다.

도전부 (11)의 기재를 구성하는 탄성 고분자 물질로서는, 가교 구조를 갖는 고분자 물질이 바람직하다. 가교 고분자 물질을 얻기 위해서 사용할 수 있는 경화성의 고분자 물질 형성 재료로서는 여러가지의 것을 사용할 수 있으며, 그 구체에로서는 폴리부타디엔 고무, 천연 고무, 폴리이소프렌 고무, 스티렌-부타디엔 공중합체 고무, 아크릴로니트릴-부타디엔 공중합체 고무 등의 공액 디엔계 고무 및 이들의 수소 첨가물, 스티렌-부타디엔-디엔 블록 공중합체 고무, 스티렌-이소프렌 블록 공중합체 등의 블록 공중합체 고무 및 이들의 수소 첨가물, 클로로프렌, 우레탄 고무, 폴리에스테르계 고무, 에피크로히드린 고무, 실리콘 고무, 에틸렌-프로필렌 공중합체 고무, 에틸렌-프로필렌-디엔 공중합체 고무 등을 들 수 있다.

이상에 있어서, 얻어지는 이방 도전성 시트에 내후성이 요구되는 경우에는, 공액 디엔계 고무 이외의 것을 사용하는 것이 바람직하고, 특히 성형 가공성 및 전기 특성의 관점에서는 실리콘 고무를 사용하는 것이 바람직하다.

실리콘 고무로서는 액상 실리콘 고무를 가교 또는 축합한 것이 바람직하다. 액상 실리콘 고무는 그 정도가 왜곡 속도 10^{-1} sec이고 10^5 포아즈 이하인 것이 바람직하며, 축합형인 것, 부가형인 것, 비닐기나 히드록실기를 함유하는 것 중 어느 하나일 수 있다. 구체적으로는 디메틸실리콘 생고무, 메틸비닐실리콘 생고무, 메틸페닐비닐실리콘 생고무 등을 들 수 있다.

이들 중에서 비닐기를 함유하는 액상 실리콘 고무(비닐기 함유 폴리디메틸실록산)는, 통상 디메틸디클로로실란 또는 디메틸디알콕시실란을 디메틸비닐클로로실란 또는 디메틸비닐알콕시실란의 존재하에서 가수분해 및 축합 반응시키고, 예를 들면 계속해서 용해-침전의 반복에 의한 분별을 행함으로써 얻을 수 있다.

또한, 비닐기를 양 말단에 함유하는 액상 실리콘 고무는, 옥타메틸시클로테트라실록산과 같은 환상 실록산을 축매의 존재하에서 음이온 중합하고, 중합 정지제로서 예를 들면 디메틸디비닐실록산을 사용하며, 그 밖의 반응 조건(예를 들면, 환상 실록산의 양 및 중합 정지제의 양)을 적절하게 선택함으로써 얻을 수 있다. 여기에서 음이온 중합의 축매로서는, 수산화 테트라메틸암모늄 및 수산화 n-부틸포스포늄 등의 알칼리 또는 이들의 실란올레이트 용액 등을 사용할 수 있으며, 반응 온도는 예를 들면 80 내지 130 °C이다.

이러한 비닐기 함유 폴리디메틸실록산은, 그 분자량 Mw(표준 폴리스티렌 환산 중량 평균 분자량을 말한다. 이하, 동일)가 10000 내지 40000인 것이 바람직하다. 또한, 얻어지는 도전로 소자의 내열성의 관점에서, 분자량 분포 지수(표준 폴리스티렌 환산 중량 평균 분자량 Mw와 표준 폴리스티렌 환산 수평균 분자량 Mn과의 비 Mw/Mn의 값을 말한다. 이하, 동일)가 2 이하인 것이 바람직하다.

한편, 히드록실기를 함유하는 액상 실리콘 고무(히드록실기 함유 폴리디메틸실록산)는, 통상 디메틸디클로로실란 또는 디메틸디알콕시실란을 디메틸히드로클로로실란 또는 디메틸히드로알콕시실란의 존재하에서, 가수분해 및 축합 반응시켜, 예를 들면 계속해서 용해-침전의 반복에 의한 분별을 행함으로써 얻을 수 있다.

또한, 환상 실록산을 축매의 존재하에서 음이온 중합하고, 중합 정지제로서 예를 들면 디메틸히드로클로로실란, 메틸히드로클로로실란 또는 디메틸히드로알콕시실란 등을 사용하고, 그 밖의 반응 조건(예를 들면, 환상 실록산의 양 및 중합 정지제의 양)을 적절하게 선택함으로써도 얻을 수 있다. 여기에서, 음이온 중합의 축매로서는, 수산화 테트라메틸암모늄 및 수산화 n-부틸포스포늄 등의 알칼리 또는 이들의 실란올레이트 용액 등을 사용할 수 있으며, 반응 온도는 예를 들면 80 내지 130 °C이다.

이러한 히드록실기 함유 폴리디메틸실록산은, 그 분자량 Mw가 10000 내지 40000인 것이 바람직하다. 또한, 얻어지는 도전로 소자의 내열성의 관점에서 분자량 분포 지수가 2 이하인 것이 바람직하다.

제1의 본 발명에 있어서는, 상기한 비닐기 함유 폴리디메틸실록산 및 히드록실기 함유 폴리디메틸실록산 중 어느 하나를 사용할 수도 있으며, 양자를 병용할 수도 있다.

제1의 본 발명에 있어서는, 고분자 물질 형성 재료를 경화시키기 위해서 적절한 경화 촉매를 사용할 수 있다. 이러한 경화 촉매로서는, 유기 과산화물, 지방산 아조 화합물, 히드로실릴화 촉매 등을 사용할 수 있다.

경화 촉매로서 사용되는 유기 과산화물의 구체예로서는, 과산화 벤조일, 과산화 비스디시클로벤조일, 과산화 디쿠말, 과산화 디tert-부틸 등을 들 수 있다.

경화 촉매로서 사용되는 지방산 아조 화합물의 구체예로서는, 아조비스이소부티로니트릴 등을 들 수 있다.

히드로실릴화 반응의 촉매로서 사용할 수 있는 것의 구체예로서는, 염화백금산 및 그의 염, 백금-불포화기 함유 실록산 합성물, 비닐실록산과 백금의 합성물, 백금과 1,3-디비닐테트라메틸디실록산의 합성물, 트리오르가노포스핀 또는 포스파이트와 백금의 합성물, 아세틸아세테이트 백금 킬레이트, 환상 디엔과 백금의 합성물 등의 공지된 것을 들 수 있다.

경화 촉매의 사용량은 고분자 물질 형성 재료의 종류, 경화 촉매의 종류, 그 밖의 경화 처리 조건을 고려하여 적절히 선택되지만, 통상 고분자 물질 형성 재료 100 중량부에 대하여 3 내지 15 중량부이다.

또한, 도전부 (11)의 기재 중에는 필요에 따라 통상의 실리카 분말, 콜로이드 실리카, 에어로겔 실리카, 알루미늄 등의 무기 충전재를 함유시킬 수 있다. 이러한 무기 충전재를 함유시킴으로써, 도전부 (11)을 형성하기 위한 재료의 텍스토피성이 확보되고, 그 정도가 높아지며 나아가 도전성 입자의 분산 안정성이 향상됨과 동시에, 높은 강도를 갖는 도전부 (11)을 얻을 수 있다.

이러한 무기 충전재의 사용량은 특히 한정되는 것은 아니지만, 다량으로 사용하면 자장에 의한 도전성 입자의 배향을 충분히 달성할 수 없기 때문에 바람직하지 않다.

도전부 (11)의 기재 중에 함유되는 도전성 입자로서는, 자장을 작용시킴으로써 용이하게 이방 도전성 시트 (10)의 두께 방향으로 늘어서도록 배향시킬 수 있다는 관점에서, 자성을 나타내는 도전성 입자를 사용하는 것이 바람직하다. 이러한 도전성 입자의 구체예로서는, 니켈, 철, 코발트 등의 자성을 나타내는 금속 입자 또는 이들 합금의 입자 또는 이들 금속을 함유하는 입자, 또는 이들 입자를 코어 입자로 하고, 이 코어 입자 표면에 금, 은, 팔라듐, 로듐 등의 도전성이 양호한 금속을 행한 것, 또는 비자성 금속 입자 또는 유리 비드 등의 무기 물질 입자 또는 중합체 입자를 코어 입자로 하고, 이 코어 입자 표면에 니켈, 코발트 등의 도전성 자성체의 도금을 행한 것, 또는 코어 입자에 도전성 자성체 및 도전성이 양호한 금속 모두를 피복한 것 등을 들 수 있다. 이들 중에서도 니켈 입자를 코어 입자로 하고, 그 표면에 금 등의 도전성이 양호한 금속 도금을 행한 것을 사용하는 것이 바람직하다.

코어 입자 표면에 도전성 금속을 피복하는 수단으로서 특히 한정되는 것은 아니지만, 예를 들면 화학

도금 또는 전해 도금에 의해 행할 수 있다.

도전성 입자로서, 금속의 코어 입자 표면에 도전성 금속이 피복되어 이루어지는 것을 사용하는 경우에는, 양호한 도전성을 얻을 수 있는 관점에서 입자 표면에서의 도전성 금속의 피복율(코어 입자 표면에 대한 도전성 금속의 피복 면적 비율)이 40 % 이상인 것이 바람직하고, 더욱 바람직하게는 45 % 이상, 특히 바람직하게는 47 내지 95 %이다.

또한, 도전성 금속의 피복량은 코어 입자가 금속 입자인 경우에는, 코어 입자의 0.5 내지 50 중량%인 것이 바람직하고, 보다 바람직하게는 1 내지 30 중량%, 더욱 바람직하게는 3 내지 25 중량%, 특히 바람직하게는 4 내지 20 중량%이다. 피복되는 도전성 금속이 금인 경우에는, 그 피복량은 코어 입자의 2.5 내지 30 중량%인 것이 바람직하고, 보다 바람직하게는 3 내지 20 중량%, 더욱 바람직하게는 3.5 내지 15 중량%, 특히 바람직하게는 4 내지 10 중량%이다. 또한, 피복되는 도전성 금속이 은인 경우에는, 그 피복량은 코어 입자의 3 내지 50 중량%인 것이 바람직하고, 보다 바람직하게는 4 내지 40 중량%, 더욱 바람직하게는 5 내지 30 중량%, 특히 바람직하게는 6 내지 20 중량%이다.

한편, 코어 입자가 유리 비드 등의 무기 물질 입자 또는 중합체 입자인 경우에는, 코어 입자 표면에서의 도전성 금속의 피복율이 70 % 이상인 것이 바람직하고, 더욱 바람직하게는 90 % 이상이다.

또한, 도전성 입자의 입자경은 1 내지 1000 μm 인 것이 바람직하고, 보다 바람직하게는 2 내지 500 μm , 더욱 바람직하게는 5 내지 300 μm , 특히 바람직하게는 10 내지 200 μm 이다.

또한, 도전성 입자의 입자경 분포(Dw/Dn)는 1 내지 10인 것이 바람직하고, 보다 바람직하게는 1.01 내지 7, 더욱 바람직하게는 1.05 내지 5, 특히 바람직하게는 1.1 내지 4이다.

이러한 조건을 만족하는 도전성 입자를 사용함으로써, 얻어지는 도전부 (11)은 가압 변형이 용이한 것이 되며, 또한 이 도전성 입자 사이에 충분한 전기적 접촉을 얻을 수 있다.

또한, 도전성 입자의 형상은 특히 한정되는 것은 아니지만, 고분자 물질 형성 재료 중에 용이하게 분산시킬 수 있다는 관점에서 구형의 것, 별 형상의 것 또는 이들이 응집된 2차 입자에 의한 괴상의 것이 바람직하다.

또한, 도전성 입자의 함유율은 5 % 이하인 것이 바람직하고, 보다 바람직하게는 3 % 이하, 더욱 바람직하게는 2 % 이하, 특히 바람직하게는 1 % 이하이다. 이러한 조건을 만족하는 도전성 입자를 사용함으로써 고분자 물질 형성 재료를 경화 처리할 때 기포가 생기는 것이 방지 또는 억제된다.

또한, 도전성 입자로서 그 표면이 실란 커플링제 등의 커플링제로 처리된 것을 적절하게 사용할 수 있다. 도전성 입자의 표면이 커플링제로 처리됨으로써, 이 도전성 입자와 탄성 고분자 물질과의 접촉성이 높아지고, 그 결과 얻어지는 도전부 (11)은 반복 사용에 있어서의 내구성이 높은 것이 된다.

커플링제의 사용량은 도전성 입자의 도전성에 영향을 주지 않는 범위에서 적절하게 선택되지만, 도전성 입자 표면에서의 커플링제의 피복율(도전성 코어 입자의 표면에 대한 커플링제의 피복 면적 비율)이 5 % 이상이 되는 양인 것이 바람직하고, 보다 바람직하게는 상기 피복율이 7 내지 100 %, 더욱 바람직하게는 10 내지 100 %, 특히 바람직하게는 20 내지 100 %가 되는 양이다.

도전부 (11)에는 도전성 입자가 체적분율로 10 내지 60 %, 바람직하게는 20 내지 40 %가 되는 비율로 함유되는 것이 바람직하다. 이 비율이 10 % 미만인 경우에는, 충분히 전기 저항치가 작은 도전부 (11)을 얻지 못하는 경우가 있다. 한편, 이 비율이 60 %를 넘는 경우에는 얻어지는 도전부 (11)은 취약한 것이 되기 쉽고, 도전부로서 필요한 탄성을 얻지 못하는 경우가 있다.

또한, 도전부 (11)의 두께 방향에서의 전기 저항은, 이 도전부 (11)을 두께 방향으로 가압한 상태에서 100 m Ω 이하인 것이 바람직하다.

반도전부 (12)는 양 방향으로 반도체성을 나타내는 것으로서, 고분자 물질로 이루어지는 기재 중에 반도체성 부여 물질이 함유되거나, 또는 반도체성을 나타내는 고분자 물질로 구성된다.

여기에서, "반도체성"이란 체적 고유 저항이 10^{-7} 내지 $10^4 \Omega \cdot \text{m}$ 의 값을 나타내는 것을 말하며, 이방 도전성 시트 두께와의 균형으로 표면 고유 저항이 10^{-1} 내지 $10^{10} \Omega / \square$ 의 값을 나타내는 것을 말한다.

반도전부 (12)의 기재를 구성하는 고분자 물질로서는, 상술한 도전부 (11)의 기재를 구성하는 탄성 고분자 물질로서 예시한 것을 사용할 수 있으며, 그 외에 여러 열가소성 수지나 방사선, 열, 이온, 산 등에 의해 경화할 수 있는 경화성 수지를 사용할 수도 있다.

반도전부 (12)의 기재 중에 함유되는 반도체성 부여 물질로서는, 그 자체로 도전성 또는 반도체성을 나타내는 물질(이하, "자기 도전성 물질"이라고도 한다.), 흡습함으로써 도전성 또는 반도체성이 발현되는 물질(이하, "흡습 도전성 물질"이라고도 한다.) 등을 사용할 수 있다.

자기 도전성 물질로서는, 일반적으로는 금속 결합에 의해 도전성을 나타내는 물질, 잉여 전자의 이동에 의해 전하의 이동이 발생하는 것, 빈 구멍의 이동에 의해 전하의 이동이 발생하는 것, 이온을 생성하고 그 이온이 전하를 운반하는 것, 주쇄에 따라 π 결합을 갖고, 그 상호 작용에 의해 도전성을 나타내는 물질, 측쇄에 있는 기의 상호 작용에 의해 전하의 이동을 일으키는 물질 등에서 선택하여 사용할 수 있다. 구체적으로는 백금, 금, 은, 구리, 니켈, 코발트, 철, 알루미늄, 망간, 아연, 주석, 납, 인듐, 몰리브덴, 니오브, 탄탈, 크롬 등을 포함하는 금속 입자; 이산화구리, 산화아연, 산화주석 등의 도전성 금속 산화물; 게르마늄, 규소, 인듐인, 황화아연 등의 반도체성 물질; 카본 블랙, 그래파이트 등의 탄소계 물질; 제4급 암모늄염, 아민계 화합물 등의 양이온을 생성하는 물질; 지방족 술폰산염, 고급 알코올 황산 에스테르염, 고급 알코올 에틸렌옥사이드 부가 황산 에스테르염, 고급 알코올 인산 에스테르염, 고급 알코올 에틸렌옥사이드 부가 인산 에스테르염 등의 음이온을 생성하는 물질; 베타인 등의 양이온 및 음이

온 모두를 생성하는 물질; 폴리아세틸렌계 중합체, 아크릴계 중합체, 폴리페닐렌계 중합체, 복소환 중합체, 라더 중합체, 네트워크 중합체, 이온성 중합체 등의 도전성 고분자 물질 등을 사용할 수 있다. 이 상에서, 이온을 생성하는 물질은 계면 활성제로서 총칭되는 경우도 있다. 또한, 폴리아세틸렌계 중합체, 아크릴계 중합체, 폴리페닐렌계 중합체, 라더 중합체, 네트워크 중합체 등의 중합체에 있어서는 금속 이온 등을 도핑함으로써 도전성을 조절할 수도 있다.

흡수 도전성 물질로서는 일반적으로 흡수성이 큰 물질인 것이 바람직하고, 극성이 큰 기인 수산기나 에스테르기 등을 갖는 물질인 것이 바람직하다. 구체적으로는 클로로폴리실록산, 알콕시실란, 알콕시폴리실란, 알콕시폴리실록산 등의 규소 화합물; 도전성 우레탄, 폴리비닐알코올 또는 그의 공중합체 등의 고분자 물질, 고급 알코올 에틸렌옥사이드, 폴리에틸렌글리콜 지방산 에스테르, 다가 알코올 지방산 에스테르 등의 알코올계 계면 활성제, 다당류 등을 사용할 수 있다.

또한, 이들 중, 도전성 고분자 물질은 반도체부 (12)를 구성하는 기재로서 사용할 수 있다.

이상의 도전성 물질 중, 바람직한 것으로서 지방족 술폰산염을 들 수 있다. 지방족 술폰산염 중, 특히 알킬술폰산의 금속염을 사용하는 것이 바람직하고, 이 경우에는 적당한 도전성이 부여되어 양호한 대전 방지 효과를 얻을 수 있음과 동시에, 알킬술폰산의 금속염이 우수한 열 안정성을 갖기 때문에 고온에서의 처리, 예를 들면 번-인 검사 등에 반복 사용되는 경우에도 안정된 대전 방지 효과를 얻을 수 있다.

알킬술폰산의 금속염으로서, 알칼리 금속의 염이 바람직하다. 그 구체에 로서는, 1-데칸술폰산 나트륨, 1-운데칸술폰산 나트륨, 1-도데칸술폰산 나트륨, 1-트리데칸술폰산 나트륨, 1-테트라데칸술폰산 나트륨, 1-펜타데칸술폰산 나트륨, 1-헥사데칸술폰산 나트륨, 1-헵타데칸술폰산 나트륨, 1-옥타데칸술폰산 나트륨, 1-노나데칸술폰산 나트륨, 1-에이코산데카술폰산 나트륨, 1-데칸술폰산 칼륨, 1-운데칸술폰산 칼륨, 1-도데칸술폰산 칼륨, 1-트리데칸술폰산 칼륨, 1-테트라데칸술폰산 칼륨, 1-펜타데칸술폰산 칼륨, 1-헥사데칸술폰산 칼륨, 1-헵타데칸술폰산 칼륨, 1-옥타데칸술폰산 칼륨, 1-노나데칸술폰산 리튬, 1-에이코산데카술폰산 리튬, 1-데칸술폰산 리튬, 1-트리데칸술폰산 리튬, 1-테트라데칸술폰산 리튬, 1-펜타데칸술폰산 리튬, 1-헥사데칸술폰산 리튬, 1-헵타데칸술폰산 리튬, 1-옥타데칸술폰산 리튬, 1-노나데칸술폰산 리튬, 1-에이코산데카술폰산 리튬 및 이들의 이성체를 들 수 있다.

이들 화합물 중에서는 내열성이 우수하다는 점에서 나트륨염이 특히 바람직하다. 이들은 복수종을 혼합하여 사용해도 지장이 없다.

알킬술폰산의 금속염의 첨가량은 반도체부의 기재를 구성하는 고분자 물질의 0.1 내지 20 질량%의 범위 내로 하는 것이 바람직하다. 그 이유는 술폰산의 금속염의 함유 비율이 0.1 질량% 미만에서는 얻어지는 대전 방지 효과가 낮아지는 경우가 있고, 한편 20 질량%를 넘는 경우에는 반도체부 기재의 기계적 강도가 저하하거나, 도전부와 도전부 사이의 절연부의 전기 전도도가 높아져 양자 사이의 절연성이 불충분해지는 경우가 있기 때문에 바람직하지 않다.

상기한 반도체부의 전기 전도도는 10^{-14} S/cm 내지 10^{-7} S/cm인 것이 바람직하다. 전기 전도도가 10^{-14} S/cm 이상이면, 충분한 정전기의 대전 방지 성능을 얻을 수 있다. 한편, 전기 전도도가 10^{-7} S/cm 이하이면, 도전부와 도전부 사이에 충분한 절연성을 얻을 수 있기 때문에 바람직하다.

예를 들면, 부가형 액상 실리콘 고무 "KE1950-40"(신에쓰 가가꾸 고교 가부시키 가이샤 제조)의 A액 및 B액을 중량 환산으로 등량이 되는 비율로 혼합하고, 이어서 이 혼합물 100 질량부에 니켈 입자(세리트사 제조 "SF300")를 코어 입자로서 여기에 무전해 금 도금을 평균 피복량이 코어 입자의 6 질량%가 되도록 행한 평균 입자경 40 μm 의 도전성 입자 130 질량부와, 나트륨알킬술폰네이트 ($\text{C}_n\text{H}_{2n+1}\text{SO}_3\text{Na}$ ($n=12$ 내지 20)) 2.5 질량부를 첨가하여 혼합한 후, 감압에 의한 탈포 처리를 행함으로써 이방 도전성 시트 형성용 조성물을 제조할 수 있다.

상기한 부가형 액상 실리콘 고무 "KE1950-40"은, 그 A액 및 B액의 23 $^{\circ}\text{C}$ 에서의 점도(B형 점도계에 의한 것)가 모두 4800P, 경화물의 150 $^{\circ}\text{C}$ 에서의 압축 영구 왜곡(JIS K 6249)이 20 %, 23 $^{\circ}\text{C}$ 에서의 듀로미터 A 경도(JIS K 6249)가 42, 인열 강도 (JIS K 6249 크레센트형)이 35.6 kgf/cm인 것이다.

도시한 예에서의 이방 도전성 시트 (10)은, 인접하는 도전부 (11)끼리 반도체부 (12)에 의해 접속된 상태에 있기 때문에, 이 반도체부 (12)의 표면 고유 저항이 10^5 내지 10^{10} Ω/\square 인 것이 바람직하고, 특히 10^6 내지 10^8 Ω/\square 인 것이 바람직하다. 표면 고유 저항이 10^5 Ω/\square 미만인 경우에는, 인접하는 도전부 (11)사이에서 소요되는 절연성을 얻지 못하는 경우가 있다. 한편, 표면 고유 저항이 10^{10} Ω/\square 를 넘는 경우에는, 이 이방 도전성 시트 (10)의 표면의 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다.

또한, 동일한 이유에 의해 이방 도전성 시트 (10)의 두께가 예를 들면 1 mm인 경우에는, 반도체부 (12)의 전기 전도도(체적 고유 저항의 역수)는 10^{-3} 내지 10^{-5} $\Omega^{-1}\text{m}^{-1}$ 인 것이 바람직하다.

이러한 이방 도전성 시트 (10)은, 예를 들면 이하의 방법 (a) 내지 방법 (c) 중 어느 하나의 방법에 의해 제조할 수 있다.

방법 (a)

이 방법 (a)에 있어서는, 도 2에 나타낸 금형이 사용된다. 이 금형은 상부 금형 (50) 및 이와 쌍을 이루는 하부 금형 (55)가 틀 모양의 스페이서 (54)를 통하여 서로 대향하도록 배치되어 구성된다.

상부 금형 (50)에 있어서는 강자성체 기관 (51)의 밑면에 목적으로 하는 이방 도전성 시트 (10)의 도전부 (11)의 배치 패턴에 대칭인 패턴에 따라 강자성체 부분 (52)가 형성되고, 이 강자성체 부분 (52)이

외의 부분에는 비자성체 부분 (53)이 형성된다.

한편, 하부 금형 (55)에 있어서는, 강자성체 기관 (56)의 윗면에 목적으로 하는 이방 도전성 시트 (10)의 도전부 (11)의 배치 패턴과 동일한 패턴에 따라 강자성체 부분 (57)이 형성되고, 이 강자성체 부분 (57) 이외의 부분에는 비자성체 부분 (58)이 형성된다.

상부 금형 (50) 및 하부 금형 (55)의 각각에 있어서의 강자성체 기관 (51), (56) 및 강자성체 부분 (52), (57)을 구성하는 재료로서는, 철, 니켈, 코발트 또는 이들의 합금 등을 사용할 수 있다.

또한, 상부 금형 (50) 및 하부 금형 (55)의 각각에 있어서의 비자성체 부분 (53), (58)을 구성하는 재료로서는, 구리 등의 비자성 금속, 폴리이미드 등의 내열성 수지 등을 사용할 수 있다.

그리고, 이 방법 (a)에 있어서는 상기한 금형을 사용하여 다음과 같이 하여 이방 도전성 시트 (10)이 제조된다.

우선, 경화 처리에 의해 탄성 고분자 물질이 되는 고분자 물질 형성 재료 중에, 자성을 나타내는 도전성 입자 및 반도체성 부여 물질이 분산되어 이루어지는 유동성의 시트 성형 재료를 제조하고, 도 3에 나타낸 바와 같이 이 시트 성형 재료를 금형 내에 주입하여 시트 성형 재료층 (10A)를 형성한다.

이어서, 도 4에 나타낸 바와 같이 상부 금형 (50)에 있어서의 강자성체 기관 (51)의 윗면 및 하부 금형 (55)에 있어서의 강자성체 기관 (56)의 밑면에 한쌍의 전자석 (59A), (59B)를 배치하고, 이 전자석 (59A), (59B)를 작동시킴으로써 강도 분포를 갖는 평행 자장, 즉 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에서 큰 강도를 갖는 평행 자장을 시트 성형 재료층 (10A)의 두께 방향으로 작용시킨다. 그 결과, 시트 성형 재료층 (10A)에서는, 이 시트 성형 재료층 (10A) 중에 분산되어 있는 도전성 입자가, 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에 위치하는 부분에 집합함과 동시에, 두께 방향으로 늘어서도록 배향된다.

그리고, 이 상태에 있어서 시트 성형 재료층 (10A)를 경화 처리함으로써, 도 5에 나타낸 바와 같이 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에 배치된 탄성 고분자 물질 중에 도전성 입자가 조밀하게 충전된 도전부 (11)과, 탄성 고분자 물질 중에 반도체성 물질이 함유되고, 도전성 입자가 전혀 또는 거의 존재하지 않는 반도체부 (12)로 이루어지는 이방 도전성 시트 (10)이 제조된다.

이상에 있어서, 시트 성형 재료층 (10A)의 경화 처리는 평행 자장을 작용시킨 상태에서 행할 수도 있지만, 평행 자장의 작용을 정지시킨 후에 행할 수도 있다.

시트 성형 재료 (10A)에 작용되는 평행 자장의 강도는 평균 200 내지 10000 가우스가 되는 크기가 바람직하다.

또한, 평행 자장을 작용시키는 수단으로서, 전자석 대신에 영구 자석을 사용할 수도 있다. 영구 자석으로서의 상기한 범위의 평행 자장의 강도를 얻을 수 있다는 관점에서 알니코(Fe-Al-Ni-Co계 합금), 페라이트 등으로 이루어지는 것이 바람직하다.

시트 성형 재료층 (10A)의 경화 처리는, 사용되는 재료에 의해 적절하게 선정되지만, 통상 가열 처리에 의해 행해진다. 구체적인 가열 온도 및 가열 시간은 시트 성형 재료층 (10A)를 구성하는 고분자 물질 형성 재료 등의 종류, 도전성 입자의 이동에 요하는 시간 등을 고려하여 적절하게 선정된다.

방법 (b)

이 방법 (b)에 있어서는, 도 6에 나타낸 바와 같이 예를 들면 탄성 고분자 물질, 열가소성 수지 또는 경화성 수지 중에 반도체성 부여 물질이 함유되어 이루어지거나, 또는 반도체성을 나타내는 고분자 물질로 이루어지는 반도체부용 시트 (10B)를 준비하고, 이 반도체부용 시트 (10B)에 도 7에 나타낸 바와 같이, 형성하여야 할 도전부 (11)의 패턴에 대응하는 패턴에 따라 복수의 관통 구멍 (11H)를 형성한다.

여기에서, 반도체부용 시트 (10B)에 관통 구멍 (11H)를 형성하는 수단으로서, 레이저 가공에 의한 수단, 펀칭기 등을 이용한 펀칭에 의한 수단, 드릴 가공에 의한 수단 등을 이용할 수 있다.

한편, 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 분산되어 이루어지는 유동성의 도전부용 재료를 제조하고, 이 도전부용 재료를 반도체부용 시트 (10B)의 관통 구멍 (11H) 내에 충전함으로써, 도 8에 나타낸 바와 같이 이 관통 구멍 (11H) 내에 도전부용 재료층 (11A)를 형성한다.

그 후, 이 도전부용 재료층 (11A)에 대하여 전자석 또는 영구 자석에 의해 평행 자장을 이 도전부용 재료층 (11A)의 두께 방향으로 작용시킴으로써, 이 도전부용 재료층 (11A) 중에 분산되어 있는 도전성 입자가 두께 방향으로 늘어서도록 배향된다.

그리고, 이 상태에 있어서 도전부용 재료층 (11A)를 경화 처리함으로써, 탄성 고분자 물질 중에 도전성 입자가 두께 방향으로 늘어서도록 배향된 상태로 함유되어 이루어지는 도전부 (11)이 형성되고, 그에 따라 도 1에 나타낸 구성의 이방 도전성 시트 (10)이 제조된다.

방법 (c)

이 방법 (c)에 있어서는, 우선 예를 들면 도 2에 나타낸 금형을 준비하고, 도 9에 나타낸 바와 같이 상부 금형 (50)의 강자성체 부분 (52)와, 하부 금형 (55)의 강자성체 부분 (57)의 사이에 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 분산되어 이루어지는 도전부용 재료층 (11A)를 형성한다. 이러한 도전부용 재료층 (11A)를 형성하기 위해서는, 상부 금형 (50)의 강자성체 부분 (52) 및 하부 금형 (55)의 강자성체 부분 (57) 중 어느 하나 또는 양쪽 표면에 도전부용 재료를 도포한 후, 상부 금형 (50) 및 하부 금형 (55)를 겹치면 된다. 도전부용 재료를 도포하는 수단으로서, 스크린 인쇄 등의 인쇄법

을 사용할 수 있다.

이어서, 금형 내에 형성된 도전부용 재료층 (11A)에 대하여, 전자석 또는 영구 자석에 의해 평행 자장이 이 도전부용 재료층 (11A)의 두께 방향으로 작용시킴으로써, 이 도전부용 재료층 (11A) 중에 분산되어 있는 도전성 입자가 두께 방향으로 늘어서도 배향된다. 그리고, 이 상태에 있어서 도전부용 재료층 (11A)를 경화 처리함으로써 도 10에 나타난 바와 같이, 상부 금형 (50)의 강자성체 부분 (52)와 하부 금형 (55)의 강자성체 부분 (57) 사이에, 탄성 고분자 물질 중에 도전성 입자가 두께 방향으로 늘어서도 배향된 상태로 함유되어 이루어지는 도전부 (11)이 형성된다.

그리고, 금형 내에 경화되어 탄성 고분자 물질이 되는 고분자 물질 형성 재료 또는 경화성 수지 재료 중에 반도체성 부여 물질이 함유되어 이루어지는 반도체부용 재료를 주입함으로써, 도 11에 나타난 바와 같이 상부 금형 (50)의 비자성체 부분 (53)과 하부 금형 (55)의 비자성체 부분 (58) 사이에, 도전부 (11)를 둘러싸도록 반도체부용 재료층 (12A)가 형성된다. 그 후, 반도체부용 재료층 (12A)를 경화 처리함으로써, 탄성 고분자 물질 또는 경화성 수지 중에 도전성 부여 물질이 함유되어 이루어지는 반도체부 (12)가 형성되고, 이로써 도 1에 나타난 구성의 이방 도전성 시트 (10)이 제조된다.

이상과 같은 이방 도전성 시트 (10)에 따르면, 면 방향으로 반도체성을 나타내는 반도체부 (12)가 도전부 (11)의 각각을 둘러싸도록 형성되기 때문에, 이 반도체부 (12)를 접지함으로써, 이 반도체부 (12)를 통하여 제전되고, 그 결과 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다.

(제2의 실시 형태)

도 12는, 제 1의 본 발명의 제2 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도이다. 이 이방 도전성 시트 (10)에 있어서는, 각각 두께 방향으로 신장하는 복수의 기동형의 도전부 (11)이 작은 피치, 높은 밀도로 배치된 고밀도 도전부 영역 (15A), (15B), (15C)가 형성되고, 이 고밀도 도전부 영역 (15A), (15B), (15C)에는 도전부 (11)을 둘러싸도록 절연부 (13)이 형성된다. 그리고, 고밀도 도전부 영역 (15A), (15B), (15C)에서의 절연부 (13)을 둘러싸도록 반도체부 (12)가 형성된다.

절연부 (13)을 구성하는 재료로서는, 상술한 도전부 (11)의 기재를 구성하는 탄성 고분자 물질로서 예시한 것을 사용할 수 있고, 그 외에 여러가지 열가소성 수지나 방사선, 열, 이온, 산 등에 의해 경화할 수 있는 경화성 수지를 사용할 수도 있다.

또한, 도전부 (11) 및 반도체부 (12)의 구성은, 상술한 제1의 실시 형태와 동일하다.

이러한 이방 도전성 시트 (10)에 있어서는, 반도체부 (12)와 이에 가장 근접한 도전부 (11) 간의 이격 거리 d 가 5 mm 이하인 것이 바람직하고, 특히 0.1 내지 2 mm인 것이 바람직하다. 이 이격 거리 d 가 10 mm를 넘는 경우에는, 도전부 (11)과 반도체부 (12) 사이에 면적이 큰 영역이 형성되기 때문에, 이 영역에서 정전기가 발생하여 대전하기 쉽다. 한편, 이 이격 거리가 너무 작은 경우에는, 반도체부 (12)의 재질에 따라서는 면 방향에서의 소요되는 절연성을 얻지 못하는 경우가 있다.

또한, 동일한 이유에 의해 고밀도 도전부 영역 (15A), (15B), (15C)에서의 인접하는 도전부 (11) 간의 이격 거리 D 는 3 mm 이하, 특히 0.1 내지 1 mm인 것이 바람직하다.

이러한 이방 도전성 시트 (10)은, 예를 들면 이하의 방법 (d) 또는 방법 (e)에 의해 제조할 수 있다.

방법 (d)

이 방법 (d)에 있어서는, 도 6에 나타난 바와 같이 탄성 고분자 물질, 열가소성 수지 또는 경화성 수지 중에 반도체성 부여 물질이 함유되어 이루어지거나, 또는 반도체성을 나타내는 고분자 물질로 이루어지는 반도체부용 시트 (10B)를 준비하고, 이 반도체부용 시트 (10B)에 도 13에 나타난 바와 같이 형성하여야 할 고밀도 도전부 영역 (15A), (15B), (15C)에 대응하는 패턴에 따라 복수의 개구 (11K)를 형성한다.

여기에서, 반도체부용 시트 (10B)에 개구 (11K)를 형성하는 수단으로서, 상술한 방법 (b)에서의 반도체부용 시트 (10B)에 관통 구멍 (11H)를 형성하는 수단과 동일한 수단을 이용할 수 있다.

이어서, 도 14에 나타난 바와 같이 반도체부용 시트 (10B)의 개구 (11K) 내에, 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 분산되어 이루어지는 유동성의 도전부용 재료를 충전함으로써, 이 개구 (11K) 내에 도전부용 재료층 (11A)를 형성함과 동시에, 이 도전부용 재료층 (11A)가 형성된 반도체부용 시트 (10B)를 도 2에 나타난 금형 내에 배치한다.

그 후, 이 도전부용 재료층 (11A)에 대하여 전자석 또는 영구 자석에 의해 강도 분포를 갖는 평행 자장, 즉 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에서 큰 강도를 갖는 평행 자장을 이 도전부용 재료층 (11A)의 두께 방향으로 작용시킴으로써, 도전부용 재료층 (11A) 중에 분산되어 있는 도전성 입자가 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57) 사이에 위치하는 부분에 집합함과 동시에, 두께 방향으로 늘어서도 배향된다.

그리고, 이 상태에 있어서 도전부용 재료층 (11A)를 경화 처리함으로써, 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에 배치된 탄성 고분자 물질 중에 도전성 입자가 조밀하게 충전된 도전부 (11)이 형성됨과 동시에, 도전성 입자가 전혀 또는 거의 존재하지 않는 탄성 고분자 물질로 이루어지는 절연부 (13)이 도전부 (11)을 둘러싸도록 형성되고, 이로써 도 12에 나타난 이방 도전성 시트 (10)을 얻을 수 있다.

방법 (e)

이 방법 (e)에 있어서는, 우선 예를 들면 도 2에 나타난 금형을 준비하고, 도 (15)에 나타난 바와 같이 상부 금형 (50)과 하부 금형 (55) 사이에서 형성해야 할 고밀도 도전부 영역 (15A), (15B), (15C)에 대

응하는 영역에 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 분산되어 이루어지는 도전부용 재료층 (11A)를 형성한다. 이러한 도전부용 재료층 (11A)를 형성하기 위해서는, 상부 금형 (50) 및 하부 금형 (55) 중 어느 하나 또는 양쪽 표면에서 형성해야 할 고밀도 도전부 영역 (15A), (15B), (15C)에 대응하는 영역에 유동성의 도전부용 재료를 도포한 후, 상부 금형 (50) 및 하부 금형 (55)을 겹치면 된다. 도전부용 재료를 도포하는 수단으로서는, 스크린 인쇄 등의 인쇄법을 사용할 수 있다.

이어서, 금형 내에 형성된 도전부용 재료층 (11A)에 대하여, 전자석 또는 영구 자석에 의해 강도 분포를 갖는 평행 자장, 즉 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에서 큰 강도를 갖는 평행 자장을 이 도전부용 재료층 (11A)의 두께 방향으로 작용시킴으로써, 도전부용 재료층 (11A) 중에 분산되어 있는 도전성 입자가 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57) 사이에 위치하는 부분에 집합함과 동시에, 두께 방향으로 늘어서도록 배향된다.

그리고, 이 상태에 있어서 도전부용 재료층 (11A)를 경화 처리함으로써, 도 16에 나타난 바와 같이 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57) 사이에 배치된 탄성 고분자 물질 중에 도전성 입자가 조밀하게 충전된 도전부 (11)이 형성됨과 동시에, 도전성 입자가 전혀 또는 거의 존재하지 않는 탄성 고분자 물질로 이루어지는 절연부 (13)이 형성된다.

그 후, 도 17에 나타난 바와 같이 금형내에 경화되어 탄성 고분자 물질이 되는 고분자 물질 형성 재료 또는 경화성 수지 재료 중에 반도전성 부여 물질이 함유되어 이루어지는 유동성의 반도전부용 재료를 주입함으로써, 절연부 (13)을 둘러싸도록 반도전부용 재료층 (12A)를 형성하고, 이 반도전부용 재료층 (12A)를 경화 처리함으로써, 탄성 고분자 물질 또는 경화성 수지 중에 도전성 부여 물질이 함유되어 이루어지는 반도전부 (12)가 형성되고, 이로써 도 12에 나타난 이방 도전성 시트 (10)이 제조된다.

이상과 같은 이방 도전성 시트 (10)에 따르면, 상술한 제1의 실시 형태에 관한 이방 도전성 시트 (10)과 동일한 효과를 얻을 수 있음과 동시에, 절연부 (13)이 도전부 (11)을 둘러싸도록 형성되기 때문에, 인접하는 도전부 (11) 사이에서 소요되는 절연성을 확실히 달성할 수 있다.

(제3의 실시 형태)

도 18은, 제 1의 본 발명의 제3 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도이다.

이 이방 도전성 시트 (10)에 있어서는, 각각 두께 방향으로 신장하는 복수의 기동형 도전부 (11)이 접촉하여야 할 전극 패턴에 대응하는 패턴에 따라서 면 방향을 따라 배치되고, 이들 각각의 도전부 (11)을 둘러싸도록 관 모양의 절연부 (13)이 형성되며, 이 절연부 (13)을 둘러싸도록 반도전부 (12)가 형성된다.

여기에서, 반도전부 (12)와 이에 가장 근접한 도전부 (11) 간의 이격 거리 d는 상술한 제2의 실시 형태와 동일하다.

이러한 이방 도전성 시트 (10)은, 상술한 제2 실시 형태에서의 방법 (d) 또는 방법 (e)에 준하여 제조할 수 있다.

그리고, 이 제3 실시 형태에 관한 이방 도전성 시트 (10)에 따르면, 상술한 제2 실시 형태에 관한 이방 도전성 시트 (10)과 동일한 효과를 얻을 수 있다.

(제4의 실시 형태)

도 19는, 제1의 본 발명의 제4 실시 형태에 관한 이방 도전성 시트의 구성을 나타내는 설명용 단면도이다. 이 이방 도전성 시트 (10)은, 면 방향으로 반도전성을 나타내는 시트 기체 (14) 중에, 도전성 입자가 이 시트 기체 (14) 전체에 걸쳐 그 두께 방향으로 늘어서도록 배향된 상태로 함유되어 구성되고, 시트 기체 (14)는 탄성 고분자 물질 중에 반도전성 부여 물질이 함유되어 구성된다. 이 이방 도전성 시트 (10)은 예를 들면 시트 기체 (14)의 표면에서의 임의의 부분을 두께 방향으로 가압함으로써, 이 가압한 부분에서 도전성 입자에 의해 도전로가 형성되는 것이다.

이러한 구성의 이방 도전성 시트 (10)에 있어서는, 도전성 입자가 시트 기체 (14) 중에 체적분율로 3 내지 30 %, 특히 5 내지 15 %가 되는 비율로 함유되는 것이 바람직하다. 이 비율이 3 % 미만인 경우에는, 충분히 전기 저항이 작은 도전로를 형성하는 것이 곤란해지는 경우가 있다. 한편, 이 비율이 50 %를 넘는 경우에는, 얻어지는 이방 도전성 시트 (10)은 취약한 것이 되거나, 양 방향으로도 도전성을 나타내게 되어 필요한 이방 도전성을 나타내지 못하는 경우가 있다.

이 이방 도전성 시트 (10)에 있어서는, 시트 기체 (14)의 표면 고유 저항이 10^6 내지 10^{10} Ω/□인 것이 바람직하고, 특히 10^7 내지 10^9 Ω/□인 것이 바람직하다. 표면 고유 저항이 10^6 Ω/□ 미만인 경우에는, 예를 들면 시트 기체 (14)의 표면을 가압함으로써 형성되는 도전로 사이에서 소요되는 절연성을 얻지 못하는 경우가 있다. 한편, 표면 고유 저항이 10^{10} Ω/□를 넘는 경우에는, 이 이방 도전성 시트 (10)의 표면 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다.

또한, 동일한 이유에 의해 시트 기체 (14)의 전기 전도도(체적 고유 저항의 역수)는, 10^{-4} 내지 10^{-6} Ω⁻¹m⁻¹인 것이 바람직하다.

이러한 이방 도전성 시트(10)은, 예를 들면 이하의 방법에 의해 제조할 수 있다.

우선, 경화 처리에 의해 탄성 고분자 물질이 되는 고분자 물질 형성 재료 중에, 자성을 나타내는 도전성 입자 및 반도전성 부여 물질이 분산되어 이루어지는 유동성의 시트 성형 재료를 제조하고, 이 시트 성형

재료를 강자성체로 이루어지는 자성판 표면에 도포함으로써 시트 성형 재료층을 형성한다. 여기에서, 반도체성 부여 물질로서는 비자성의 것이 사용된다.

이어서, 형성된 시트 성형 재료층에 대하여 전자석 또는 영구 자석에 의해 평행 자장을 시트 성형 재료층의 두께 방향으로 작용시킨다. 그 결과, 시트 성형 재료층에 있어서는, 이 시트 성형 재료층 중에 분산되어 있는 도전성 입자가 두께 방향으로 늘어서도 배향된다.

그리고, 이 상태에 있어서 시트 성형 재료층을 경화 처리함으로써, 시트 기체 (14)가 형성되고, 이로써 도 19에 나타낸 구성의 이방 도전성 시트 (10)이 제조된다.

이상과 같은 이방 도전성 시트 (10)에 따르면, 시트 기체 (14)가 면 방향으로 반도체성을 나타내는 것이고, 따라서 시트 기체 (14) 전체가 반도체부가 되기 때문에, 이 시트 기체 (14)를 접지함으로써 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다.

(이방 도전성 시트의 사용 방법)

제1의 본 발명의 이방 도전성 시트는, 회로 장치의 전기적 검사에 바람직하게 사용할 수 있다. 이하, 상기한 제1 실시 형태의 이방 도전성 시트 (10)을 사용하여 회로 장치의 전기적 검사를 행하는 경우에 대하여 설명한다.

회로 장치의 전기적 검사에 있어서는, 도 20에 나타낸 바와 같이 검사 대상인 회로 장치(이하, "피검사 회로 장치"라고도 한다.) (1)의 피검사 전극 (2)와 대칭인 패턴에 따라 배치된 접속용 전극 (41)을 표면에 놓고, 접속용 전극 (41)에 배선부 (43)을 통하여 전기적으로 접속된, 예를 들면 피치가 2.54 mm, 1.80 mm 또는 1.27 mm의 격자점 배열에 따라 배치된 단자 전극 (42)를 이면에 갖는 커넥터판 (40)을 준비한다. 그리고, 이 커넥터판 (40)의 표면에 이방 도전성 시트 (10)이 그 도전부 (11)이 접속용 전극 (41)상에 위치하도록 배치하고, 이 이방 도전성 시트 (10)상에 피검사 회로 장치 (1)이 그 피검사 전극 (2)가 이 이방 도전성 시트 (10)의 도전부 (11)상에 위치하도록 배치한다. 여기에서, 이방 도전성 시트 (10)에 있어서의 반도체부 (12)는 적절한 수단에 의해 접지된다.

그리고, 예를 들면 커넥터판 (40)을 피검사 회로 장치 (1)에 접근하는 방향으로 이동시킴으로써, 이방 도전성 시트 (10)이 피검사 회로 장치 (1)과 커넥터판 (40)에 의해 가압된 상태가 되고, 이 가압력에 의해 이방 도전성 시트 (10)의 도전부 (11)에 그 두께 방향으로 신장하는 도전로가 형성되며, 그 결과 피검사 회로 장치 (1)의 피검사 전극 (2)와 커넥터판 (40)의 접속용 전극 (41)과의 사이의 전기적 접속이 달성되며, 이 상태에서 소요되는 전기적 검사가 행해진다.

그리고, 피검사 회로 장치 (1)의 전기적 검사가 종료된 후, 이 피검사 회로 장치 (1)이 또다른 피검사 회로 장치로 교환되고, 이 피검사 회로 장치에 대하여 상기와 동일한 조작을 반복함으로써 전기적 검사가 행해진다.

그러나, 제1의 본 발명의 이방 도전성 시트 (10)을 사용함으로써, 다수의 회로 장치의 전기적 검사를 연속하여 행해도 이 도전성 시트 (10)의 표면에 정전기가 발생하여 대전되는 것이 방지 또는 억제되기 때문에, 검사 작업을 중단하고 이방 도전성 시트 (10)의 제전 작업을 행할 필요가 없어, 그 결과 시간적 고효율로 다수의 회로 장치의 전기적 검사를 행할 수 있다.

제1의 본 발명의 이방 도전성 시트는, 상기한 실시 형태로 한정되는 것은 아니며 여러가지 변경을 가할 수 있다.

예를 들면, 두께 방향으로 신장하는 복수의 도전부를 가진 이방 도전성 시트를 구성하는 경우에는, 도 21에 나타낸 바와 같이 도전부 (11)이 반도체부 (12)의 표면에서 돌출된 상태로 형성될 수도 있다.

또한, 도 22에 나타낸 바와 같이 이방 도전성 시트 (10)은, 예를 들면 회로 장치의 전기적 검사에 사용되는 커넥터판 (40) 표면에 일체적으로 설치된 것일 수도 있다.

<제2의 발명>

(이방 도전성 시트)

제2의 본 발명의 이방 도전성 시트는 두께 방향으로 도전성을 가진 이방 도전성 시트체와, 이 시트체의 적어도 한쪽면에 설치된 제전층을 구비하여 이루어지는 것이다. 이 제전층은 시트체의 한쪽면 전체에 걸쳐 형성될 수도 있고, 시트체의 한쪽면에서의 일부 영역에 형성될 수도 있다.

(시트체)

시트체로서는 두께 방향으로 도전성을 갖는 이방 도전성의 것이라면 여러 구성의 것을 사용할 수 있지만, 탄성 고분자 물질로 이루어지는 기재 중에 도전성 입자가 이 시트체의 두께 방향으로 늘어서도 배향된 상태로 함유되어 이루어지는 것을 바람직하게 사용할 수 있다.

시트체의 기재를 구성하는 탄성 고분자 물질로서는, 제1의 발명에서 도전부의 기재를 구성하는 탄성 고분자 물질과 동일한 것을 동일한 조건으로 사용할 수 있다.

시트체의 기재 중에 함유되는 도전성 입자로서는, 제1의 발명에서의 도전성 입자와 동일한 것을 동일한 조건으로 사용할 수 있다.

제2의 본 발명에 있어서, 시트체로서는 여러가지 형태의 것을 사용할 수 있으며, 구체적으로는 탄성 고분자 물질로 이루어지는 기재 전체에 걸쳐 도전성 입자가 함유되어 이루어지는 것(비편재형), 도전성 입자가 조밀하게 충전된 두께 방향으로 신장하는 복수의 도전부가 도전성 입자가 전혀 또는 거의 존재하지 않는 절연부에 의해 서로 절연된 상태로 배치되어 이루어지는 것(편재형), 도전부가 절연부의 한쪽면 또는 양면에서 돌출된 상태로 형성되어 이루어지는 것 등을 사용할 수 있다.

이러한 시트체는, 예를 들면 다음과 같이 하여 제조할 수 있다.

우선, 고분자 물질 형성 재료 중에 자성을 나타내는 도전성 입자가 분산되어 이루어지는 시트체 성형 재료를 제조하고, 이 시트체 성형 재료를 시트체 성형용 금형(이하, "금형"이라고 한다.) 내에 주입한다.

이어서, 금형 내의 시트체 성형 재료에 대하여, 그 두께 방향으로 평행 자장을 작용시킴으로써 시트체 성형 재료 중에 분산되어 있는 도전성 입자를 두께 방향으로 늘어서도록 배향시킨다.

그리고, 이 상태에서 시트체 성형 재료의 경화 처리를 행함으로써, 탄성 고분자 물질로 이루어지는 기재 중에 도전성 입자가 두께 방향으로 늘어서도록 배향된 상태로 함유되어 이루어지는 시트체를 얻을 수 있다.

이상에서, 시트체 성형 재료의 경화 처리는 평행 자장을 작용시킨 상태에서 행할 수도 있지만, 평행 자장의 작용을 정지시킨 후에 행할 수도 있다. 그리고, 평행 자장의 강도, 수단 및 경화 처리에 대해서는 제1의 발명과 동일하다.

또한, 목적으로 하는 시트체가 두께 방향으로 신장하는 복수의 도전부가 절연부에 의해 서로 절연된 상태로 배치되어 이루어지는 것인 경우에는, 시트체 성형 재료에 면 방향에서 강도 분포를 갖는 평행 자장을 작용시킨다.

도 23은, 시트체 성형 재료에 강도 분포를 갖는 평행 자장을 작용시키기 위한 금형의 일례에 있어서의 구성을 나타내는 설명용 단면도이다. 이 금형은 도 2에 나타난 것과 동일한 구성을 가지며, 상부 금형(50) 및 이와 쌍을 이루는 하부 금형(55)가 틀 모양의 스페이서(54)를 통하여 서로 대향하도록 배치되고, 상부 금형(50)에 있어서는 목적으로 하는 시트체의 도전부의 배치 패턴에 대칭인 패턴에 따라 강자성체 부분(52)가 형성되고, 또한 하부 금형(55)에 있어서는 목적으로 하는 시트체의 도전부의 배치 패턴과 동일한 패턴에 따라 강자성체 부분(57)이 형성된다.

이러한 금형에 있어서는, 이 금형 내에 시트체 성형 재료가 주입된 상태로, 상부 금형(50)에 있어서의 강자성체 기관(51)의 윗면 및 하부 금형(55)에 있어서의 강자성체 기관(56)의 밑면에 전자석 또는 영구 자석을 배치함으로써, 상부 금형(50)의 강자성체 부분(52)로부터, 이에 대응하는 하부 금형의 강자성체 부분(57)을 향하는 방향으로 평행 자장이 작용한다. 그 결과, 시트체 성형 재료에 있어서는, 이 시트체 성형 재료 중에 분산되어 있는 도전성 입자가, 상부 금형(50)의 강자성체 부분(52)와 이에 대응하는 하부 금형(55)의 강자성체 부분(57)의 사이에 위치하는 부분에 집합함과 동시에, 두께 방향으로 늘어서도록 배향된다.

그리고, 이 상태에 있어서 시트체 성형 재료를 경화 처리함으로써, 상부 금형(50)의 강자성체 부분(52)와 이에 대응하는 하부 금형(55)의 강자성체 부분(57) 사이에 배치된 도전성 입자가 조밀하게 충전된 도전부와, 도전성 입자가 전혀 또는 거의 존재하지 않는 절연부로 이루어지는 시트체를 얻을 수 있다.

(제전층)

제전층을 구성하는 재료의 도전성 물질로서는, 제1의 발명에서 설명한 자기 도전성 물질 및 흡습 도전성 물질 등을 사용할 수 있다.

이러한 도전성 물질은 그 자체로 층을 형성할 수 있는 것이면 단독으로 제전층을 구성할 수 있지만, 그 자체로 층을 형성하는 것이 곤란한 것을 사용하는 경우, 또는 형성해야 할 제전층의 도전성을 조정하는 경우에는 적절한 바인더를 사용하여 제전층을 구성할 수 있다.

이러한 바인더로서는 열가소성 수지 재료, 경화성 수지 재료, 종이, 접착재, 수지 재료를 용체에 용해하여 유동성을 갖게 한 것 등을 사용할 수 있으며, 경화성 수지 재료로서는 방사선, 열, 이온, 산 등에 의해 경화할 수 있는 것을 사용할 수 있다.

제전층은 그 표면 고유 저항이 $1 \times 10^{12} \Omega/\square$ 이하인 것이 바람직하고, 특히 1×10^5 내지 $1 \times 10^{10} \Omega/\square$ 인 것이 바람직하다. 표면 고유 저항이 $1 \times 10^{12} \Omega/\square$ 를 넘는 경우에는 시트 표면의 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다. 한편, 표면 고유 저항이 지나치게 작은 경우에는 예를 들면 제전층이 시트체의 표면 전체에 걸쳐 형성될 경우, 면 방향에서 소요되는 절연성을 얻지 못하는 경우가 있다.

또한, 제전층은 그 전기 전도도(체적 고유 저항의 역수)가 $1 \times 10^{-7} \Omega^{-1} m^{-1}$ 이상인 것이 바람직하고, 특히 1×10^{-7} 내지 $1 \times 10^4 \Omega^{-1} m^{-1}$ 인 것이 바람직하다. 전기 전도도가 $1 \times 10^{-7} \Omega^{-1} m^{-1}$ 미만인 경우에는, 시트 표면의 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다. 한편, 전기 전도도가 지나치게 큰 경우에는 예를 들면 제전층이 시트체의 표면 전체에 걸쳐 형성될 경우, 면 방향에서 소요되는 절연성을 얻지 못하는 경우가 있다.

시트체상에 제전층을 형성하는 방법으로서, 이 제전층을 구성하는 재료에 따라 적절하게 선택할 수 있으며, 구체적으로는 하기의 (1) 내지 (4)의 방법을 이용할 수 있다.

- (1) 도전성 물질(자기 도전성 물질 및(또는) 흡습 도전성 물질)을 함유하여 이루어지는 유동성의 제전층 형성용 조성물을 제조하고, 이 제전층 형성용 조성물을 시트체에 도포하여 도포막을 형성한 후, 이 도포막을 정착 처리하는 방법.
- (2) 제전층이 되어야 할 제전층용 필름을 제조하고, 이 제전층용 필름을 시트체에 접착하는 방법.
- (3) 시트체에 전해 도금, 무전해 도금, 스퍼터링, 증착 등의 금속 도금 처리를 행하는 방법.

(4) 금형의 성형면에 제전층이 되어야 할 층을 형성하고, 이 금형 내에서 시트체를 제조하는 방법.

상기 (1)의 방법에 있어서, 제전층 형성용 조성물에 유동성을 부여하기 위하여 또는 제전층 형성용 조성물의 유동성을 조정하기 위하여 적절한 용제를 사용할 수 있다.

제전층 형성용 조성물을 시트체 표면에 도포하는 방법으로서 스프레이법, 브러시에 의한 방법, 침지에 의한 방법, LB막으로서 피복하는 방법, 롤 도포법, 블레이드(스키지)에 의해 도포하는 방법 등을 이용할 수 있다.

제전층 형성용 조성물로 이루어지는 도포막의 정착 처리는, 이 제전층 형성용 조성물을 구성하는 성분의 종류에 따라 선택된다.

구체적으로는 제전층 형성용 조성물로서, 층을 형성하는 것이 가능한 도전성 물질이 용제 중에 함유되어 이루어지는 것, 또는 도전성 물질 및 바인더가 용제 중에 함유되어 이루어지는 것을 사용하는 경우에는, 이 제전층 형성용 조성물의 도포막이 건조 처리됨으로써 정착되어 제전층이 형성된다.

또한, 제전층 형성용 조성물로서 도전성 물질과, 바인더가 되는 경화성 재료를 함유하여 이루어지는 것을 사용하는 경우에는, 이 제전층 형성용 조성물의 도포막이 경화 처리됨으로써, 또는 건조 처리된 후에 경화 처리됨으로써 정착되어 제전층이 형성된다.

이상과 같은 제전층 형성용 조성물로서는, 일반적으로 "대전 방지제" 또는 "도전성 도료"로서 시판되고 있는 것을 사용할 수 있다.

또한, 상기 (1)의 방법에 있어서, 시트체 표면에서의 일부 영역에 제전층을 형성하는 경우에는, 이 시트체 표면에서의 제전층을 형성하지 않은 영역에 레지스트 또는 테이프 등에 의해 마스크를 형성한 후, 제전층 형성용 조성물을 사용하여 제전층을 형성하고, 그 후 이 마스크를 제거하는 방법을 채용할 수 있다.

상기 (2)의 방법에 있어서, 제전층용 필름을 시트체에 접착하는 수단으로서, 열 압착에 의한 수단, 적절한 접착제를 사용하는 수단을 채용할 수 있다.

또한, 제전층용 필름으로서 일반적으로 "대전 방지 필름(시트)"으로서 시판되고 있는 것이나, 금속박을 사용할 수 있다.

상기 (3)의 방법에 있어서, 시트체의 표면에서의 일부 영역에 제전층을 형성하는 경우에는, 이 시트체의 표면에서의 제전층을 형성하지 않은 영역에 레지스트 또는 테이프 등에 의해 마스크를 형성한 후, 도금 처리에 의해 제전층을 형성하고, 그 후 이 마스크를 제거하는 방법, 도금 처리에 의해 시트체의 표면에 금속층을 형성하고, 이 금속층에 대하여 포트리도그래피 및 에칭 처리를 실시하여 그 일부를 제거하는 방법을 이용할 수 있다.

상기 (4)의 방법에 있어서, 금형의 성형면에 제전층이 되어야 할 층을 형성하는 방법으로서, 상기 (1) 내지 (3)의 방법을 적용할 수 있다.

(이방 도전성 시트의 구조)

제2의 본 발명의 이방 도전성 시트는, 상기한 시트체 및 제전층을 갖는 것이라면 그 구체적 구조는 특히 한정되지 않으며, 여러 구조의 것을 채용할 수 있다. 이하, 제2의 본 발명의 이방 도전성 시트의 구체적인 구조에 대하여 설명한다.

<구조예 1>

구조예 1에 관한 이방 도전성 시트의 설명용 단면도를 도 24에 나타내었다. 이 이방 도전성 시트 (10)은, 시트체 (20)과 이 시트체 (20)의 한쪽면(도 24에서 윗면)에 그 주변 이외의 영역을 덮도록 설치된 제전층 (30)으로 구성된다.

이 예에서의 시트체 (20)은, 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 구성된다. 각각의 도전부 (21)에는 도전성 입자가 시트체 (20)의 두께 방향으로 늘어서도록 배향된 상태로 조밀하게 충전되고, 이들 도전부 (21)은, 이 시트체 (20)의 면 방향을 따라 접속하여야 할 전극, 예를 들면 검사 대상인 회로 장치의 피검사 전극패턴에 대응하는 패턴에 따라 배치된다.

이러한 구성의 시트체 (20)에 있어서, 도전부 (21)에는 도전성 입자가 체적분율로 바람직하게는 10 내지 60 %, 더욱 바람직하게는 20 내지 50 %가 되는 비율로 함유되어 있는 것이 바람직하다. 이 비율이 10 % 미만인 경우에는 충분히 전기 저항치가 작은 도전부 (21)을 얻지 못하는 경우가 있다. 한편, 이 비율이 60 %를 넘는 경우에는, 얻어지는 도전부 (21)은 취약한 것이 되기 쉽고, 도전부로서 필요한 탄성을 얻지 못하는 경우가 있다.

이러한 이방 도전성 시트 (10)에 있어서는, 인접하는 도전부 (21)끼리 제전층 (30)에 의해 접속된 상태에 있기 때문에, 제전층 (30)의 표면 고유 저항이 1×10^5 내지 $1 \times 10^{11} \Omega/\square$ 인 것이 바람직하고, 더욱 바람직하게는 1×10^7 내지 $1 \times 10^9 \Omega/\square$ 이다. 표면 고유 저항이 $1 \times 10^5 \Omega/\square$ 미만인 경우에는, 인접하는 도전부 사이에서 소요되는 절연성을 얻지 못하는 경우가 있다. 한편, 표면 고유 저항이 $1 \times 10^{11} \Omega/\square$ 를 넘는 경우에는, 시트 표면의 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다.

또한, 동일한 이유에 의해 제전층 (30)의 전기 전도도는, 예를 들면 제전층 (30)의 두께가 0.1 mm일 때에는 1×10^{-3} 내지 $1 \times 10^{-5} \Omega^{-1} m^{-1}$ 인 것이 바람직하다.

<구조예 2>

구조예 2에 관한 이방 도전성 시트의 설명용 단면도를 도 25에 나타내었다. 이 이방 도전성 시트 (10)은 도전성 입자가 조밀하게 충전된 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 이루어지는 시트체 (20)을 갖고, 이 시트체 (20)에는 도전부 (21)이 작은 피치, 높은 밀도로 배치된 고밀도 도전부 영역 (21A), (21B), (21C)가 형성된다.

그리고, 이 시트체 (20)의 한쪽면에는 개구 (31)이 형성된 제전층 (30)이 설치되고, 이 제전층 (30)의 개구 (31)에 의해 시트체 (20)에서의 고밀도 도전부 영역 (21A), (21B), (21C)가 노출된 상태로 되어 있다.

이러한 이방 도전성 시트 (10)에 있어서는, 시트체 (20)의 한쪽면에서의 도전부 (21)의 주연부와, 제전층 (30)의 개구 테두리와의 이격 거리 d0이 10 mm 이하인 것이 바람직하고, 더욱 바람직하게는 5 mm 이하, 특히 바람직하게는 0.5 내지 3 mm 이다. 이 이격 거리 d0이 10 mm을 넘는 경우에는, 시트체 (20)의 한쪽면에서의 도전부 (21)의 주연부와, 제전층 (30)의 개구 테두리 사이의 영역이 대전하기 쉬워진다. 한편, 이 이격 거리가 지나치게 작은 경우에는 제전층 (30)의 재질 및 두께에 따라서는 면 방향에서 소요되는 절연성을 얻지 못하는 경우가 있다.

또한, 동일한 이유에 의해 시트체 (20)의 고밀도 도전부 영역 (21A), (21B), (21C)에서의 인접하는 도전부 (21) 간의 이격 거리 D는 3 mm 이하, 특히 0.1 내지 1 mm인 것이 바람직하다.

제전층 (30)의 두께는 100 μm 이하인 것이 바람직하고, 더욱 바람직하게는 50 μm 이하이다. 이 두께가 100 μm을 넘는 경우에는, 예를 들면 검사 대상인 회로 장치의 피검사 전극과, 시트체 (20)의 도전부 (21)과의 전기적 접촉을 이 제전층 (30)이 장애가 되어 확실히 달성하는 것이 곤란해지는 경우가 있다.

<구조예 3>

구조예 3에 관한 이방 도전성 시트의 설명용 단면도를 도 26에 나타내었다. 이 이방 도전성 시트 (10)은 도전성 입자가 조밀하게 충전된, 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 이루어지는 시트체 (20)을 갖고, 이 시트체 (20)의 한쪽면에는 이 도전부 (21)의 패턴에 대응하는 패턴에 따라 개구 (31)이 형성된 제전층 (30)이 설치되며, 이 제전층 (30)의 각각의 개구 (31)에 의해 시트체 (20)의 각각의 도전부 (21)이 노출된 상태로 되어 있다.

이러한 이방 도전성 시트 (10)에 있어서는, 상술한 구조예 2에 관한 이방 도전성 시트와 마찬가지로, 시트체 (20)의 한쪽면에서의 도전부 (21)의 주연부와, 제전층 (30)의 개구 테두리와의 이격 거리 d0이 5 mm 이하, 특히 0.5 내지 2 mm인 것이 바람직하다.

또한, 인접하는 도전부 (21) 사이에 제전층 (30)을 설치하는 경우에는, 시트체 (20)에서의 인접하는 도전부 (21) 간의 이격 거리 D는 2 mm 이상인 것이 바람직하고, 더욱 바람직하게는 3 mm 이상, 특히 바람직하게는 5 mm 이상이다. 이 이격 거리 D가 2 mm 미만인 경우에는, 인접하는 도전부 (21) 사이의 영역에 제전층 (30)을 형성하는 것이 곤란해지는 경우가 있다.

<구조예 4>

구조예 4에 관한 이방 도전성 시트의 설명용 단면도를 도 27에 나타내었다. 이 이방 도전성 시트 (10)은 도전성 입자가 조밀하게 충전된, 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 이루어지는 시트체 (20)을 갖고, 이 시트체 (20)에는 도전부 (21)이 작은 피치, 높은 밀도로 배치된 고밀도 도전부 영역 (21A), (21B), (21C)가 형성된다. 그리고, 이 시트체 (20)의 한쪽면에는 고밀도 도전부 영역 (21A), (21B), (21C) 이외의 영역에 오목 부분 (23)이 형성되고, 이 오목 부분 (23) 내에 제전층 (30)이 설치된다.

<구조예 5>

구조예 5에 관한 이방 도전성 시트의 설명용 단면도를 도 28에 나타내고, 이 이방 도전성 시트의 평면도를 도 29에 나타내었다. 이 이방 도전성 시트 (10)은 도전성 입자가 조밀하게 충전된, 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 이루어지는 시트체 (20)을 갖고, 이 시트체 (20)에는 도전부 (21)이 작은 피치, 높은 밀도로 배치된 고밀도 도전부 영역 (21A), (21B), (21C)가 형성된다. 또한, 고밀도 도전부 영역 (21B)에 있어서는, 도 29에 나타낸 바와 같이 도전부 (21)이 직사각형의 틀 모양으로 배치된다. 그리고, 이 시트체 (20)의 한쪽면에는 고밀도 도전부 영역 (21A), (21B), (21C)를 노출시키는 개구 (36)이 형성된 고도전성 제전층 (35)이 설치되고, 도전부 (21)이 배치된 직사각형의 틀 모양 고밀도 도전부 영역 (21B)에는, 이 고밀도 도전부 영역 (21B)를 노출시키는 고도전성 제전층 (35)의 개구 (36)을 막도록 저도전성 제전층 (37)이 설치된다.

상기한 이방 도전성 시트 (10)에 있어서, 고도전성 제전층 (35)는 예를 들면 그 두께가 0.1 mm인 경우에는 표면 고유 저항이 $1 \times 10^8 \Omega/\square$ 이하이고, 전기 전도도가 $1 \times 10^{-4} \Omega^{-1} m^{-1}$ 이상인 것이 바람직하며, 특히 표면 고유 저항이 1×10^5 내지 $1 \times 10^7 \Omega/\square$ 이고, 전기 전도도가 1×10^{-1} 내지 $1 \times 10^{-3} \Omega^{-1} m^{-1}$ 인 것이 바람직하다.

또한, 저도전성 제전층 (37)은, 예를 들면 그 두께가 0.1 mm인 경우에는 표면 고유 저항이 1×10^8 내지 $1 \times 10^{12} \Omega/\square$ 이고, 전기 전도도가 1×10^{-4} 내지 $1 \times 10^{-8} \Omega^{-1} m^{-1}$ 이상인 것이 바람직하며, 특히 표면 고유 저항이 2.5×10^9 내지 $2.5 \times 10^{11} \Omega/\square$ 이고, 전기 전도도가 1×10^{-5} 내지 $1 \times 10^{-7} \Omega^{-1} m^{-1}$ 인 것이 바람직하다.

이러한 이방 도전성 시트 (10)에 따르면, 시트체 (20)의 한쪽면에서의 고밀도 도전부 영역 (21A), (21B), (21C) 이외의 영역에는, 고도전성 제전층 (35)가 설치되기 때문에, 고효율로 대전을 방지 또는

억제할 수 있다. 나아가, 틀 모양의 고밀도 도전부 영역 (21B)에 둘러싸인 영역(이하, 이것을 "독립 영역"이라고 한다.)에 있어서는, 이 독립 영역상에 형성된 고도전성 제전층 (35)가, 이 고밀도 도전부 영역 (21B)상에 형성된 저도전성 제전층 (37)을 통하여 독립 영역 이외의 영역에 형성된 고도전성 제전층 (35)에 접속되기 때문에, 확실히 대전을 방지 또는 억제할 수 있다.

<구조예 6>

구조예 6에 관한 이방 도전성 시트의 설명용 단면도를 도 30에 나타내었다. 이 이방 도전성 시트 (10)은 도전성 입자가 조밀하게 충전된, 각각 두께 방향으로 신장하는 복수의 도전부 (21)과, 이들 도전부 (21)을 서로 절연하는 절연부 (22)로 이루어지는 시트체 (20)을 가지며, 이 시트체 (20)에는 도전부 (21)이 작은 피치, 높은 밀도로 배치된 고밀도 도전부 영역 (21A), (21B), (21C)가 형성된다. 또한, 이 예에 있어서는 시트체 (10)의 각각의 도전부 (21)은 절연부 (22)의 양면에서 돌출된 상태로 형성된다.

그리고, 이 시트체 (20)의 한쪽면에는 개구 (31)이 형성된 제전층 (30)이 설치되고, 이 제전층 (30)의 개구 (31)에 의해 시트체 (20)에서의 고밀도 도전부 영역 (21A), (21B), (21C)가 노출된 상태로 되어 있다.

이러한 이방 도전성 시트 (10)에 있어서는, 시트체 (20)의 도전부 (21)의 돌출 높이는 제전층 (30)의 두께보다 큰 것이 바람직하고, 특히 제전층 (30)의 두께의 2 내지 10배인 것이 바람직하다.

<구조예 7>

구조예 7에 관한 이방 도전성 시트의 설명용 단면도를 도 31에 나타내었다. 이 이방 도전성 시트 (10)에 있어서, 시트 기체 (20)은 도전성 입자가 탄성 고분자 물질로 이루어지는 기재 전체에 걸쳐 두께 방향으로 늘어서도록 배향된 상태로 함유되어 구성되고, 예를 들면 이 시트체 (20)의 표면에서의 임의의 부분을 두께 방향으로 가압함으로써, 이 가압한 부분에서 도전성 입자에 의해 도전로가 형성되는 것이다.

이러한 구성의 시트체 (20)에 있어서, 도전성 입자가 기재 중에 체적분율로 3 내지 50 %, 바람직하게는 5 내지 30 %가 되는 비율로 함유되어 있는 것이 바람직하다. 이 비율이 3 % 미만인 경우에는 충분히 전기 저항치가 작은 도전로를 형성하는 것이 곤란해지는 경우가 있다. 한편, 이 비율이 50 %를 넘는 경우에는 얻어지는 시트체 (20)은 취약한 것이 되거나, 면 방향으로도 도전성을 나타나게 되어 필요로 하는 이방 도전성을 나타내지 않게 되는 경우가 있다.

그리고, 이 시트체 (20)의 한쪽면에는, 이 한쪽면 전체를 덮도록 제전층 (30)이 설치된다.

이러한 이방 도전성 시트 (10)에 있어서는, 제전층 (30)의 표면 고유 저항은 1×10^6 내지 1×10^{11} Ω/□인 것이 바람직하고, 더욱 바람직하게는 1×10^8 내지 1×10^{10} Ω/□이다. 표면 고유 저항이 1×10^6 Ω/□ 미만의 경우에는, 면 방향에서 소요되는 절연성을 얻지 못하는 경우가 있다. 한편, 표면 고유 저항이 1×10^{11} Ω/□를 넘는 경우에는, 시트 표면의 대전을 충분히 방지 또는 억제하는 것이 곤란해지는 경우가 있다.

또한, 동일한 이유에 의해 제전층 (30)의 전기 전도도는, 예를 들면 제전층 (30)의 두께가 0.1 mm인 경우에는 1×10^{-4} 내지 1×10^{-6} Ω⁻¹ m⁻¹인 것이 바람직하다.

(이방 도전성 시트의 사용 방법)

제2의 본 발명의 이방 도전성 시트는, 회로 장치의 전기적 검사에 바람직하게 사용할 수 있다. 이하, 상기한 구조예 2에 관한 이방 도전성 시트 (10)을 사용하여 회로 장치의 전기적 검사를 행하는 경우에 대하여 설명한다.

회로 장치의 전기적 검사에 있어서는 도 32에 나타낸 바와 같이, 피검사 회로 장치 (1)의 피검사 전극 (2)와 대칭인 패턴에 따라 배치된 접속용 전극 (41)을 표면에 갖고, 접속용 전극 (41)에 배선부 (43)을 통하여 전기적으로 접속된, 예를 들면 피치가 254 mm, 1.80 mm 또는 1.27 mm의 격자점 배열에 따라 배치된 단자 전극 (42)을 이면에 갖는 커넥터판 (40)이 준비된다. 그리고, 이 커넥터판 (40)의 표면상에 이방 도전성 시트 (10)이, 그 시트체 (20)의 도전부 (21)이 접속용 전극 (41)상에 위치되도록 배치되고, 이 이방 도전성 시트 (10)상에 피검사 회로 장치 (1)이, 그 피검사 전극 (2)가 이 이방 도전성 시트 (10)에 있어서는 시트체 (20)의 도전부 (21)상에 위치되도록 배치된다. 여기에서, 이방 도전성 시트 (10)은 제전층 (30)이 회로 장치 (2)측이 되도록 배치되고, 이 제전층 (30)은 적절한 수단에 의해 접지된다.

그리고, 예를 들면 커넥터판 (40)을 피검사 회로 장치 (1)에 접근하는 방향으로 이동시킴으로써, 이방 도전성 시트 (10)이 피검사 회로 장치 (1)과 커넥터판 (40)에 의해 가압된 상태가 되고, 이 가압력에 의해 이방 도전성 시트 (10)에 있어서는 시트체 (20)의 도전부 (21)에 그 두께 방향으로 신장하는 도전로가 형성되고, 그 결과 피검사 회로 장치 (1)의 피검사 전극 (2)와 커넥터판 (40)의 접속용 전극 (41) 사이의 전기적 접속이 달성되며, 이 상태로 소요의 전기적 검사가 행해진다.

그리고, 피검사 회로 장치 (1)의 전기적 검사가 종료된 후, 이 피검사 회로 장치 (1)이 별도의 피검사 회로 장치로 교환되고, 이 피검사 회로 장치에 대하여 상기와 동일한 조작을 반복함으로써 전기적 검사가 행해진다.

제2의 본 발명의 이방 도전성 시트 (10)에 따르면, 시트체 (20)의 한쪽면에 제전층 (30)이 설치되기 때문에, 이 제전층 (30)을 접지함으로써 이방 도전성 시트의 한쪽면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다. 따라서, 제2의 본 발명의 이방 도전성 시트를 프린트 회로 기판이나 반도체 집적 회로 등의 회로 장치의 전기적 검사에 사용하는 경우에는, 검사 작업을 중단하여 이방 도전성 시트

의 제전 작업을 행하는 것이 불필요해지기 때문에, 높은 시간적 효율로 회로 장치의 전기적 검사를 행할 수 있다.

제2의 본 발명의 이방 도전성 시트는 상기한 실시 형태로 한정되는 것은 아니며, 여러가지 변경을 가하는 것이 가능하다.

예를 들면, 상술한 구조에 1 내지 7에 있어서, 제전층 (30)은 시트체 (20)의 양면에 설치될 수도 있다.

또한, 시트체 (20)에는 복수의 제전층 (30)을 적층하여 설치할 수도 있다.

또한, 도 33에 나타난 바와 같이 이방 도전성 시트 (10)은, 예를 들면 회로 장치의 전기적 검사에 사용되는 커넥터판 (40)의 표면에 일체적으로 설치될 수도 있다.

이하, 제2의 본 발명의 실시예에 대하여 설명한다.

이하의 실시예에서 사용한 시트체를 상세히 설명하면 다음과 같다.

(형태)

도전성 입자가 조밀하게 충전된 두께 방향으로 신장하는 복수의 도전부가, 절연부에 의해 서로 절연된 상태로 배치되어 이루어지는 것(편재형),

두께 1.2 mm, 도전부의 직경 0.8 mm, 도전부의 피치 1.5 mm

(기재)

부가형 실리콘 고무

(도전성 입자)

평균 입자경이 40 μm인 니켈 입자에 금이 도금되어 이루어지는 것

<실시예 1>

시트체의 한쪽면에 제전층 형성용 조성물을 브러시 도포법에 의해 도포하여 건조 처리함으로써, 두께가 10 μm인 제전층을 형성하고 이로써 구조에 1에 관한 이방 도전성 시트를 제조하였다.

이상에서, 제전층 형성용 조성물로서는 비이온계 계면 활성제를 함유하여 이루어지는 대전 방지제를 사용하였다.

또한, 형성된 제전층의 표면 고유 저항을 측정함과 동시에, 시트체에서의 인접하는 도전부 사이의 전기 저항을 측정하였다. 측정 결과를 하기 표 1에 나타내었다.

<실시예 2>

제전층 형성용 조성물로서 실록산계 화합물을 함유하여 이루어지는 대전 방지제를 사용한 것 이외는 실시예 1과 동일하게 하여, 시트체의 한쪽면에 두께가 10 μm인 제전층을 형성하고, 이로써 구조에 1에 관한 이방 도전성 시트를 제조하였다.

형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 1에 나타내었다.

<실시예 3>

제전층 형성용 조성물로서 아크릴계 도전성 중합체를 함유하여 이루어지는 대전 방지제를 사용한 것 이외는 실시예 1과 동일하게 하여, 시트체의 한쪽면에 두께가 10 μm인 제전층을 형성하고, 이로써 구조에 1에 관한 이방 도전성 시트를 제조하였다.

형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 1에 나타내었다.

<실시예 4>

제전층 형성용 조성물로서 도전성 금속 산화물을 함유하여 이루어지는 대전 방지제를 사용한 것 이외는 실시예 1과 동일하게 하여, 시트체의 한쪽면에 두께가 10 μm인 제전층을 형성하고, 이로써 구조에 1에 관한 이방 도전성 시트를 제조하였다.

형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 1에 나타내었다.

<실시예 5>

제전층 형성용 조성물로서 나트륨알킬술포네이트($C_nH_{2n+1}SO_3Na$ (n=12 내지 20))을 함유하여 이루어지는 대전 방지제를 사용한 것 이외는 실시예 1과 동일하게 하여, 시트체의 한쪽면에 두께가 10 μm인 제전층을 형성하고, 이로써 구조에 1에 관한 이방 도전성 시트를 제조하였다.

형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 1에 나타내었다.

<시험예 1>

유리 섬유 보강형 에폭시 기판(치수: 14 cm×14 cm×1 mm)상에, 실시예 1 내지 5에 관한 각각의 이방 도전성 시트를 제전층이 위를 향한 상태로 고정하고, 이것을 이방 도전성 시트가 위를 향한 상태로 접지한

알루미늄판(치수: 30 cm×30 cm×2 mm)상에 배치하였다. 이어서, 기온 28도, 상대 습도 약 50 %의 조건 하에서 표면에 레지스트층을 형성한 구리 도금의 유리 섬유 보강형 에폭시 기판(10 cm× 10 cm×0.5 mm)에 의해 이방 도전성 시트를 130 kgf의 하중으로 2초간 가압하고, 이 조작을 총 200회 행하였다.

그리고, 상기한 시험이 종료되고 나서 50초 경과한 후 및 300초 경과한 후의 이방 도전성 시트의 표면 전위를 측정하였다.

또한, 비교예로서 제전층이 형성되지 않은 시트체에 대하여 상기와 동일한 시험을 행하였다.

이상, 시험 결과를 표 1에 나타내었다.

[표 1]

	제전층의 표면 고유저항 (Ω/□)	도전부 사이의 전 기저항 (MΩ)	표면 전위 (kV)	
			50초 경과 후	300초 경과 후
실시예 1	3×10^8	> 100	-0.2	-0.1
실시예 2	5×10^8	> 100	-0.6	-0.2
실시예 3	2×10^8	> 100	-0.2	-0.1
실시예 4	2×10^8	> 100	-0.2	-0.1
실시예 5	2×10^8	> 100	-0.2	-0.1
비교예	-	> 100	-4.3	-3.9

표 1의 결과로부터 명확한 바와 같이, 실시예 1 내지 5에 관한 이방 도전성 시트에 따르면, 시험이 종료되고 나서 50초 경과 후 및 300초 경과 후의 표면 전위의 값은 모두 작아, 표면에 정전기가 발생하여 대전되는 것이 확실히 억제됨이 확인되었다.

이에 대하여, 비교예에 있어서는 시험이 종료되고 나서 50초 경과 후 및 300초 경과 후의 표면 전위의 값이 모두 커서, 표면에 정전기가 발생하여 대전되는 것이 확인되었다.

<실시예 6>

시트체의 표면에 폴리에틸렌 수지 중에 카본 블랙이 함유되어 이루어지는 두께 70 μm의 제전층용 필름을 압착에 의해 접착함으로써 제전층을 형성하고, 이로써 구조예 2에 관한 이방 도전성 시트를 제조하였다. 형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 2에 나타내었다.

<실시예 7>

종이로 이루어진 기재 중에 유기 도전성 섬유가 함유되어 이루어지는 두께 100 μm의 제전층용 필름을 사용한 것 이외는, 실시예 6과 동일하게 하여 제전층을 형성하고, 이로써 구조예 2에 관한 이방 도전성 시트를 제조하였다.

형성된 제전층의 표면 고유 저항 및 시트체에서의 인접하는 도전부 사이의 전기 저항을 하기 표 2에 나타내었다.

<시험예 2>

유리 섬유 보강형 에폭시 기판(치수: 14 cm×14 cm×1 mm)상에, 실시예 6 내지 7에 관한 각각의 이방 도전성 시트를 제전층이 위를 향한 상태로 고정하고, 이것을 이방 도전성 시트가 위를 향한 상태로 접지한 알루미늄판(치수: 30 cm×30 cm×2 mm)상에 배치하였다. 이어서, 기온 27도, 상대 습도 약 27 %의 조건 하에서 표면에 레지스트층을 형성한 구리 도금 유리 섬유 보강형 에폭시 기판(10 cm×10 cm×0.5 mm)에 의해 이방 도전성 시트를 130 kgf의 하중으로 2초간 가압하고, 이 조작을 총 50회 행하였다.

그리고, 상기한 시험이 종료된 직후의 이방 도전성 시트의 표면 전위를 측정하였다.

또한, 비교예로서 제전층이 형성되지 않은 시트체에 대하여, 상기와 동일한 시험을 행하였다.

이상, 시험 결과를 표 2에 나타내었다.

[표 2]

	제전층의 표면 고유저항 (Ω/□)	도전부 사이의 전 기저항 (MΩ)	표면 전위 (kV)
실시예 6	2×10^9	> 100	-0.11
실시예 7	3×10^{10}	> 100	-0.35
비교예	-	> 100	-1.84

표 2의 결과로부터 명확한 바와 같이, 실시예 6 내지 7에 관한 이방 도전성시트에 따르면, 시험이 종료된 직후의 표면 전위 값은 모두 작아 표면에 정전기가 발생하여 대전되는 것이 억제됨이 확인되었다.

이에 대하여, 비교예에 있어서는 시험이 종료된 직후의 표면 전위 값이 커서, 표면에 정전기가 발생하여 대전되는 것이 확인되었다.

<제3의 발명>

도 34는, 제3의 본 발명의 이방 도전성 시트의 한 구성예를 나타내는 설명용 단면도이다. 이 이방 도전성 시트 (10)에 있어서의 시트체 (20)은, 각각 두께 방향으로 신장하는 복수의 기동형 접속용 도전부 (21)과, 이들 접속용 도전부 (21)을 서로 절연하는 절연부 (22)로 구성된다. 이들 접속용 도전부 (21)은, 시트체 (20)의 면 방향을 따라 접속해야 할 전극, 예를 들면 피검사 회로 장치의 피검사 전극의 패턴에 따라 배치된다.

그리고, 이 시트체 (20)에 있어서의 접속용 도전부 배치 영역 (16) 이외의 블랭크 영역 (15)에는 하나 이상의 제전용 도전부 (130)이 배치되고, 이 제전용 도전부 (130)은 회로 장치의 피검사 전극과 대칭으로 배치된 접속용 전극을 갖는 커넥터 장치에 설치된 접지 단자에 전기적으로 접속된다.

시트체 (20)으로서는, 두께 방향으로 도전성을 갖는 이방 도전성의 것이라면 여러 구성의 것을 사용할 수 있지만, 탄성 고분자 물질로 이루어지는 기재 중에 도전성 입자가 이 시트체 (20)의 두께 방향으로 늘어서도 배향된 상태로 함유되어 이루어지는 것을 바람직하게 사용할 수 있다.

시트체 (20)의 기재를 구성하는 탄성 고분자 물질로서는, 제1의 발명에서 도전부의 기재를 구성하는 탄성 고분자 물질과 동일한 것을 동일한 조건으로 사용할 수 있다.

시트체 (20)의 기재 중에 함유되는 도전성 입자로서는, 제1의 발명에서의 도전성 입자와 동일한 것을 동일한 조건으로 사용할 수 있다.

이 이방 도전성 시트 (10)에 있어서의 제전용 도전부 (130)은, 주로 이방 도전성 시트 (10)의 표면이 정전기를 띠는 것을 억제하거나, 또는 축적된 전하가 작을 때 전기적으로 중화하여 제전하는 기능을 갖는 도전부(이하, "대전 방지용 도전부"라고 한다.)이고, 도 35에도 나타난 바와 같이 접속용 도전부 배치 영역 (16) 이외의 블랭크 영역 (15) 내에 분산되어 배치된다. 여기에서, 접속용 도전부 배치 영역 (16)이란, 하나 또는 복수의 접속용 도전부 (21)이 중첩되어 배치되는 영역을 말하고, 블랭크 영역 (15)란, 접속용 도전부 (21)이 존재하지 않는 어느 정도 이상의 면적 영역을 말한다.

도 35에서는, 대전 방지용 도전부 (130)과는 별도의 제전용 도전부 (140)이 편의상 대전 방지용 도전부 (130)과 함께 기재되어 있다. 이 제전용 도전부 (140)의 상세한 설명에 대해서는 후술한다.

대전 방지용 도전부 (130)이 배치되는 간격은, 이방 도전성 시트 (10)의 용도 또는 크기에 따라서도 다르지만, 예를 들면 프린트 회로 기판의 전기적 검사용으로 사용하는 경우에는, 대전 방지용 도전부 (130)과 이에 가장 근접한 접속용 도전부와 이격 거리의 최대치 및 인접하는 대전 방지용 도전부 (130)과의 이격 거리 d1의 최대치는 4 cm 이하인 것이 바람직하고, 보다 바람직하게는 3 cm 이하, 더욱 바람직하게는 2 cm 이하이다. 이 이격 거리 d1의 최대치가 4 cm 이하인 것에 의해, 이방 도전성 시트 (10)의 표면이 정전기를 띠는 것을 충분히 억제할 수 있고, 정전기에 의한 접속용 전극 (21)로의 악영향을 배제할 수 있다.

또한, 동일한 이유에 의해, 예를 들면 반도체 집적 회로의 전기적 검사용으로 사용하는 경우에는, 대전 방지용 도전부와 이에 가장 근접한 접속용 도전부와 이격 거리의 최대치 및 인접하는 대전 방지용 도전부와 이격 거리의 최대치는 10 mm 이하인 것이 바람직하고, 보다 바람직하게는 5 mm 이하, 더욱 바람직하게는 3 mm 이하이다.

대전 방지용 도전부 (130)은, 예를 들면 고분자 물질로 이루어지는 기재 중에 도전성 물질이 분산되어 구성되어 있고, 기재를 구성하는 고분자 물질로서는 상술한 시트체 (20)의 기재를 구성하는 탄성 고분자 물질로서 사용되는 것을 이용할 수 있다.

또한, 대전 방지용 도전부 (130)을 구성하는 기재 중에 함유되는 도전성 물질로서는, 제1의 발명에서 설명한 자기 도전성 물질 및 흡습 도전성 물질 등을 사용할 수 있다.

대전 방지용 도전부 (130)은, 그 전기 저항치가 100 MΩ 이하인 것이 바람직하고, 보다 바람직하게는 10 MΩ 이하, 더욱 바람직하게는 1 MΩ 이하이다. 대전 방지용 도전부 (130)의 전기 저항치가 100 MΩ 이하인 것에 의해, 이방 도전성 시트 (10)의 표면에 발생하는 정전기를 빠르게 제전할 수 있고, 이방 도전성 시트 (10)의 표면이 정전기를 띠는 것을 억제할 수 있다.

또한, 대전 방지용 도전부 (130)은 안정된 통전을 확보할 수 있다면, 그 평면 형상은 특히 제한되지 않으며, 예를 들면, 한변이 100 μm 내지 1 mm 정도의 정방형, 또는 직경이 100 μm 내지 1 mm 정도의 원형으로 할 수 있다.

또한, 대전 방지용 도전부 (130)의 표면은, 이 대전 방지용 도전부 (130)을 둘러싸는 절연부 (22)의 표면과 동일한 높이 위치인 것이 바람직하지만, 엄밀하게 동일할 필요는 없으며, 예를 들면 100 μm 내지 500 μm 정도의 범위에서 높이 위치가 다르더라도, 대전 방지 효과가 손상되거나 또는 검사시에 전기적 접속이 방해되거나 하는 것은 아니다.

이러한 이방 도전성 시트는, 예를 들면 이하의 방법 (i) 또는 (ii)의 방법에 의해 제조할 수 있다.

방법 (i)

이 방법 (i)에 있어서는, 도 36에 나타난 바와 같이 탄성 고분자 물질로 이루어지고, 두께 방향으로 신장하는 복수의 접속용 도전부 (21)이 절연부 (22)에 의해 서로 절연된 상태로 목적으로 하는 배치 패턴에 따라 배치되어 이루어지는 시트체 (20)을 준비하고, 이 시트체 (20)에 도 37에 나타난 바와 같이 형성하여야 할 대전 방지용 도전부 (130)의 배치 패턴에 따라 블랭크 영역 (15)에 복수의 관통 구멍 (20H)를 형성한다.

여기에서, 시트체 (20)에 관통 구멍 (20H)를 형성하는 수단으로서는, 레이저 가공에 의한 수단, 펀칭기 등을 이용한 펀칭에 의한 수단, 드릴 가공에 의한 수단 등을 이용할 수 있다.

한편, 고분자 형성 재료 중에 도전성 물질이 분산되어 이루어지는 유동성의 대전 방지용 도전부 형성 재료 (131)을 제조하고, 도 38에 나타난 바와 같이 이 대전 방지용 도전부 형성 재료 (131)을 시트체 (20)에서의 관통 구멍 (20H) 내에 충전한다.

그 후, 대전 방지용 도전부 형성 재료 (131)을 경화 처리함으로써, 대전 방지용 도전부 (130)이 형성되고, 도 34에 나타난 구성의 이방 도전성 시트 (10)이 제조된다.

방법 (ii)

이 방법 (ii)에 있어서는 도 39에 나타난 바와 같이, 예를 들면 상부 금형 (50) 및 이와 쌍을 이루는 하부 금형 (55)가 틀 모양의 스페이서 (54)를 통하여 서로 대향하도록 배치되어 구성된 금형이 사용된다.

상부 금형 (50)에 있어서는, 강자성체 기관 (51)의 밑면에 목적으로 하는 이방 도전성 시트 (10)의 접속용 도전부 (21)의 배치 패턴과 대칭인 패턴에 따라 강자성체 부분 (52)가 형성되고, 이 강자성체 부분 (52) 이외의 부분에는 비자성체 부분 (53)이 형성된다.

한편, 하부 금형 (55)에 있어서는, 강자성체 기관 (56)의 윗면에 목적으로 하는 이방 도전성 시트 (10)의 접속용 도전부 (21)의 배치 패턴과 동일한 패턴에 따라 강자성체 부분 (57)이 형성되고, 이 강자성체 부분 (57) 이외의 부분에는 비자성체 부분 (58)이 형성된다.

각각의 상부 금형 (50) 및 하부 금형 (55)에 있어서의 강자성체 기관 (51), (56) 및 강자성체 부분 (52), (57)을 구성하는 재료로서는, 철, 니켈, 코발트 또는 이들의 합금 등을 사용할 수 있다.

또한, 각각의 상부 금형 (50) 및 하부 금형 (55)의 비자성체 부분 (53), (58)을 구성하는 재료로서는, 구리 등의 비자성 금속, 폴리이미드 등의 내열성 수지 등을 사용할 수 있다.

이 방법 (ii)에 있어서는 우선 도 40에 나타난 바와 같이, 블랭크 영역 (15)와 금형 내의 영역에서 형성하여야 할 대전 방지용 도전부 (130)의 배치 패턴에 대응하는 위치에, 미리 성형된 대전 방지용 도전부 (130)이 되어야 할 대전 방지용 도전부 재료(130A)를 배치한다. 그리고, 도 41에 나타난 바와 같이, 금형 내에 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 함유되어 이루어지는 페이스트상의 시트체 형성 재료 (20A)를 대전 방지용 도전부 재료 (130A)를 둘러싸도록 충전한다.

그 후, 도 42에 나타난 바와 같이, 상부 금형 (50)에 있어서의 강자성체 기관 (51)의 윗면 및 하부 금형 (55)에 있어서의 강자성체 기관 (56)의 밑면에 한쌍의 전자석 (59A), (59B)를 배치하고, 이 전자석 (59A)를 작동시킴으로써 강도 분포를 갖는 평행 자장, 즉 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에서 큰 강도를 갖는 평행 자장을 시트체 형성 재료 (20A)의 두께 방향으로 작용시킨다. 그 결과, 시트체 형성 재료 (20A)에 있어서는, 이 시트체 형성 재료 (20A) 중에 분산되어 있는 도전성 입자가 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에 위치하는 부분에 집합함과 동시에, 두께 방향으로 늘어서도록 배향된다.

그리고, 이 상태에 있어서 시트체 형성 재료 (20A)를 경화 처리함으로써, 도 43에 나타난 바와 같이 상부 금형 (50)의 강자성체 부분 (52)와 이에 대응하는 하부 금형 (55)의 강자성체 부분 (57)의 사이에 배치된 탄성 고분자 물질 중에 도전성 입자가 조밀하게 충전된 접속용 도전부 (21)과, 도전성 입자가 전혀 또는 거의 존재하지 않는 절연부 (22)가 형성되고, 도 34에 나타난 이방 도전성 시트 (10)이 제조된다.

이상에 있어서, 시트체 형성 재료 (20A)의 경화 처리는, 평행 자장을 작용시킨 상태로 행할 수도 있지만, 평행 자장의 작용을 정지시킨 후에 행할 수도 있다. 그리고, 평행 자장의 강도, 수단 및 경화 처리에 대해서는, 제1의 발명과 동일하다.

이상과 같은 이방 도전성 시트 (10)에 따르면, 대전 방지용 도전부 (130)이 블랭크 영역 (15) 내에 분산된 상태로 배치됨으로써, 예를 들면 회로 장치의 전기적 검사에 있어서 가압 동작 및 박리 동작을 반복하여 행함으로써 시트 표면에 발생하는 정전기를 대전 방지용 도전부 (130)을 통하여 제전할 수 있고, 그 결과 블랭크 영역 (15) 내의 모든 부분에서 전하가 시트 표면에 축적되는 것을 충분히 억제할 수 있으며, 높은 전위의 정전기가 발생하는 것을 방지할 수 있다. 따라서, 정전기에 의한 접속용 전극 (21)에 대한 악영향이 배제되고, 높은 생산성으로, 동시에 높은 안전성으로 전기적 검사를 행할 수 있다.

도 44는, 제3의 본 발명의 이방 도전성 시트의 다른 구성을 나타내는 설명용 단면도이다. 이 이방 도전성 시트 (10)에 있어서는, 각각 두께 방향으로 신장하는 복수의 기동형 접속용 도전부 (21)이 절연부 (22)에 의해 서로 절연된 상태로 배치되고, 하나 이상의 제전용 도전부 (140)이 접속용 도전부 배치 영역 (16)의 주변에 접속용 도전부 배치 영역 (16)에 근접하여 배치된다.

이 이방 도전성 시트 (10)에 있어서의 제전용 도전부 (140)은 주로, 이 이방 도전성 시트 (10)의 표면에 발생한 정전기가 방전하는 경우에, 방전을 제전용 도전부 (140) 자신에서 발생시켜 제전함으로써 접속용 도전부 (21)에서의 정전 방전을 방지하는 기능을 갖는 도전부(이하, "방호용 도전부"라고 한다)이고, 도 35에 나타난 바와 같이 통상은 특히 정전기에 의한 영향을 받기 쉽다고 예상되는 접속용 도전부, 즉 접

속용 도전부 배치 영역 (16)의 주변부에 위치하고, 블랭크 영역 (15)에 근접하는 접속용 도전부를 둘러싸도록 배치된다.

방호용 도전부 (140)이 배치되는 간격은 이방 도전성 시트 (10)의 용도 또는 크기에 따라라도 다르지만, 예를 들면 프린트 회로 기판의 전기적 검사용 이방 도전성 시트의 경우에는, 방호용 도전부 (140)과 이에 가장 접근한 접속용 도전부와와의 이격 거리 d_2 의 최대치는 1 cm 이하인 것이 바람직하고, 보다 바람직하게는 5 mm 이하, 더욱 바람직하게는 3 mm 이하이다. 이 이격 거리 d_2 의 최대치가 1 cm 이하인 것에 의해 방전을 방호용 도전부 (140)에서 확실히 발생시킬 수 있고, 접속용 도전부 (21)에 정전기에 의한 악영향을 제공하지 않는다.

또한, 동일한 이유에 의해, 예를 들면 반도체 집적 회로의 전기적 검사용 이방 도전성 시트의 경우에는, 방호용 도전부와 이에 가장 접근한 접속용 도전부와와의 이격 거리의 최대치는 1 mm 이하인 것이 바람직하고, 보다 바람직하게는 500 μm 이하, 더욱 바람직하게는 200 μm 이하이다.

방호용 도전부 (140)은 정전기의 방전을 이 방호용 도전부 (140)에서 발생시켜 제전함으로써 접속용 도전부 (21)을 방호한다는 성질상, 접속용 도전부 (21)에 영향을 주지 않고 방전을 완료시킬 필요가 있으며, 상술한 대전 방지용 도전부 (130)보다 낮은 전기 저항치인 것이 바람직하다.

방호용 도전부 (140)의 전기 저항치는 100 k Ω 이하인 것이 바람직하고, 보다 바람직하게는 1 k Ω 이하, 더욱 바람직하게는 10 Ω 이하이다. 제전용 도전부 (140)의 전기 저항치가 100 k Ω 이하인 것에 의해, 접속용 도전부 (21)에 영향을 주지 않고 방전을 완료시킬 수 있다.

또한, 방호용 도전부 (140)의 구성은 기본적으로는, 상술한 대전 방지용 도전부 (130)과 동일하며, 예를 들면 고분자 물질로 이루어지는 기재 중에 도전성 물질이 분산되어 구성되어 있지만, 방호용 도전부 (140)에서의 도전성 물질로서는 금속 입자, 도전성 금속 산화물을 사용하는 것이 바람직하다. 이에 따라, 상기한 전기 저항치를 갖는 제전용 도전부를 형성할 수 있다.

이러한 이방 도전성 시트 (10)은, 예를 들면 상기한 방법 (i) 또는 방법 (ii)에 준하여 제조할 수 있다.

상기한 방법 (i)에 있어서, 형성하여야 할 방호용 도전부 (140)의 배치 패턴에 따라 시트체 (20)에서의 접속용 도전부 배치 영역 (16) 주변에 관통 구멍 (20H)을 형성할 수도 있다.

또한, 상기한 방법 (ii)에 있어서, 금형에서의 접속용 도전부 배치 영역 (16)이 되는 영역의 주변에 근접하는, 형성하여야 할 방호용 도전부 (140)의 배치 패턴에 대응하는 부분에 미리 성형된 방호용 도전부 재료를 배치할 수도 있다.

이상과 같은 이방 도전성 시트 (10)에 따르면, 방호용 도전부 (140)이 접속용 도전부 배치 영역 (16) 주변에 접속용 도전부 배치 영역 (16)에 근접하여 배치됨으로써, 예를 들면 회로 장치의 전기적 검사에 있어서 가압 동작 및 박리 동작을 반복하여 행함으로써 이방 도전성 시트 (10)의 표면이 정전기를 띠고, 이 정전기가 방전하는 경우라도 방전을 방호용 도전부 (140)에서 발생시켜, 이 방호용 도전부 (140)을 통하여 신속하게 제전할 수 있는 결과, 접속용 도전부 (21)에 제공하는 영향이 배제되고, 높은 안전성으로 전기적 검사를 행할 수 있다.

(이방 도전성 시트의 사용 방법)

제3의 본 발명의 이방 도전성 시트를 커넥터로서 사용하여 회로 장치의 전기적 검사를 행하는 경우에 대하여 설명한다.

회로 장치의 전기적 검사는 도 45에 나타낸 바와 같이, 피검사 회로 장치 (1)과 기판 (60) 사이에 이방 도전성 시트 (10)를 개재시키고, 피검사 회로 장치와 검사용 회로 기판과의 전기적 접촉을 달성하여 전기적 검사가 행해진다.

기판 (60)은 피검사 회로 장치 (1)에서의 피검사 전극 (2)와 대칭인 패턴에 따라 배치된 접속용 전극 (61)과, 이방 도전성 시트 (10)에서의 대전 방지용 도전부 (130)과 대칭인 패턴에 따라 배치된 제전용 전극 (62)를 표면에 갖고, 접속용 전극 (61)에 배선부 (63)를 통하여 전기적으로 접속된, 예를 들면 피치가 2.54 mm, 1.80 mm 또는 1.27 mm의 격자점 배열에 따라 배치된 단자 전극 (64)와, 제전용 전극 (62)에 배선부를 통하여 전기적으로 접속된 접지 단자 (65)를 이면에 갖는다.

이 예에 있어서는, 이방 도전성 시트 (10)으로서 예를 들면 도 34에 나타낸 구성을 갖는 것이 사용된다.

그리고, 이 기판 (60)의 표면에 이방 도전성 시트 (10)이, 그 접속용 도전부 (21)이 접속용 전극 (61)상에 위치됨과 동시에, 대전 방지용 도전부 (130)이 제전용 전극 (62)상에 위치되도록 배치되고, 이 이방 도전성 시트 (10)상에 피검사 회로 장치 (1)이, 그 피검사 전극 (2)가 이 이방 도전성 시트 (10)의 접속용 도전부 (21)상에 접촉하도록 배치된다. 여기에서, 기판 (60)에서의 접지 단자 (65)는 적절한 수단에 의해 접지되고 제전 경로가 형성된다.

그리고, 전체를 두께 방향으로 가압함으로써 이방 도전성 시트 (10)의 접속용 도전부 (21)에 그 두께 방향으로 신장하는 도전로가 형성되는 결과, 피검사 회로 장치 (1)의 피검사 전극 (2)와 기판 (60)의 접속용 전극 (61) 사이의 전기적 접촉이 달성되고, 이 상태에서 소요의 전기적 검사가 행해진다.

그리고, 피검사 회로 장치 (1)의 전기적 검사가 종료된 후, 이 피검사 회로 장치 (1)이 별도의 피검사 회로 장치에 교환되고, 이 피검사 회로 장치에 대하여 상기와 동일한 조작을 반복함으로써 전기적 검사가 행해진다.

그러나, 제3의 본 발명의 이방 도전성 시트를 커넥터로서 사용함으로써 다수의 회로 장치의 전기적 검사를 연속하여 행한 경우라도, 전하가 이방 도전성 시트 (10)의 표면에 축적되고, 정전기를 띠는 것이 억제되기 때문에 검사 장치 및 이방 도전성 시트 (10)에 대한 악영향이 배제됨과 동시에, 검사 작업을 중단하여 이방 도전성 시트 (10)의 제전 작업을 행하는 것이 불필요해져, 그 결과 높은 시간적 효율로, 동

시에 높은 안전성으로 다수의 회로 장치의 전기적 검사를 행할 수 있다.

제3의 본 발명의 이방 도전성 시트는 상기한 실시 형태로 한정되는 것은 아니며, 여러가지 변경을 가하는 것이 가능하다.

예를 들면, 도 46에 나타난 바와 같이 대전 방지용 도전부 (130)과 방호용 도전부 (140) 모두가 배치될 수 있다. 이 이방 도전성 시트 (10)에 따르면, 대전 방지용 도전부 (130)에 의해 이방 도전성 시트 (10)의 표면이 정전기를 띠는 것을 억제할 수 있음과 동시에, 시트 표면에 발생한 정전기가 방전하는 경우라도 방전을 방호용 도전부 (140)에서 발생시켜 제전할 수 있기 때문에, 정전기에 의한 접속용 도전부 (21)에 대한 악영향을 확실히 배제할 수 있다.

이 경우에 있어서는, 대전 방지용 도전부 (130)과 방호용 도전부 (140)은 각각의 기능을 엄밀히 구별할 필요가 있는 것도 아니며, 당연히 양쪽의 기능을 가질 수 있다.

또한, 도 47에 나타난 바와 같이 시트체 (20)의 표면에 도전성을 갖는 제전층 (75)가 설치된 구성을 할 수 있다. 이 이방 도전성 시트 (10)에 있어서, 제전용 도전부 (130)은 제전층 (75)와 전기적으로 접속되는 것이 바람직하다.

또한, 도 48에 나타난 바와 같이 시트체 (20)에서의 절연부의 일부 또는 전부를 반도체성을 나타내는 반도체성 부분 (76)으로 구성될 수도 있다.

여기에서 "반도체성"이란, 기술한 바와 같이 체적 고유 저항이 10^{-7} 내지 $10^4 \Omega\text{m}$ 의 값을 나타내는 것을 말하고, 이방 도전성 시트 (10)의 두께와의 균형으로 표면 고유 저항이 10^{-1} 내지 $10^{10} \Omega/\square$ 의 값을 나타내는 것을 말한다.

이상과 같은 구성에 의해, 한층 더 대전 방지 효과를 얻을 수 있다.

또한, 제전용 도전부는 접속용 도전부와 마찬가지로, 예를 들면 니켈 입자를 두께 방향으로 배향시킴으로써 형성할 수 있다. 이 경우에는 시트체 형성 재료를 금형 내에 충전하고, 이 시트체 형성 재료에 대하여 두께 방향으로 평행 자장을 작용시킨 후에, 이 시트체 형성 재료를 경화 처리함으로써 제전용 도전부와 접속용 도전부를 동일한 프로세스로, 또는 동시에 제조할 수 있다. 이 경우에는 제전용 도전부로서 사용되는 도전부를 추가하는 것만으로도 충분하기 때문에, 제조 공정의 변경을 행하지 않고 매우 용이하게 상기와 같은 작용 효과를 갖는 이방 도전성 시트를 제조할 수 있다.

또한, 이 경우에는 제전용 도전부의 전기 저항치는 가압되지 않을 때에 $10 \text{ M}\Omega$ 이상이 되는 경우가 있는데, 가압시에는 전기 저항치가 커도 10Ω 이하, 통상은 1Ω 이하가 되기 때문에 가압시에 제전됨으로써, 이방 도전성 시트 표면에 축적되는 전하를 안전한 수준으로 유지할 수 있다.

또한, 각각의 접속용 도전부는 시트체 표면에서 돌출된 상태로 형성될 수도 있다.

또한, 이방 도전성 시트는, 예를 들면 회로 장치의 전기적 검사에 사용되는 기판 표면에 일체적으로 설치될 수도 있다.

발명의 효과

제1의 본 발명의 이방 도전성 시트에 따르면, 면 방향으로 반도체성을 나타내는 반도체부를 갖기 때문에, 이 반도체부를 접지함으로써 반도체부를 통하여 제전되고, 그 결과 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다. 따라서, 제1의 본 발명의 이방 도전성 시트를 프린트 회로 기판이나 반도체 집적 회로 등의 회로 장치의 전기적 검사에 사용하는 경우에는, 검사 작업을 중단하고 이방 도전성 시트의 제전 작업을 행하는 것이 불필요해지기 때문에, 높은 시간적 효율로 회로 장치의 전기적 검사를 행할 수 있다.

제1의 본 발명의 이방 도전성 시트의 제조 방법에 따르면, 표면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있는 이방 도전성 시트를 용이하게 제조할 수 있다.

제2의 본 발명의 이방 도전성 시트에 따르면, 시트체의 한쪽면에 제전층이 설치되기 때문에, 이 제전층을 접지함으로써 이방 도전성 시트의 한쪽면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있다. 따라서, 제2의 본 발명의 이방 도전성 시트를 프린트 회로 기판이나 반도체 집적 회로 등의 회로 장치의 전기적 검사에 사용하는 경우에는, 검사 작업을 중단하고 이방 도전성 시트의 제전 작업을 행하는 것이 불필요해지기 때문에, 높은 시간적 효율로 회로 장치의 전기적 검사를 행할 수 있다.

제2의 본 발명의 이방 도전성 시트의 제조 방법에 따르면, 한쪽면에 정전기가 발생하여 대전되는 것을 방지 또는 억제할 수 있는 이방 도전성 시트를 용이하게 제조할 수 있다.

제3의 본 발명의 이방 도전성 시트에 따르면, 제전용 도전부를 통하여 접지부에 접속되기 때문에 시트 표면에 발생한 정전기가 제전용 도전부를 통하여 외부와의 전하 이동이 가능해짐으로써, 시트 표면에 발생한 전하가 전기적으로 중화, 즉 제전된다. 그 결과, 시트 표면이 정전기를 띠는 것을 억제할 수 있고, 정전기에 의한 접속용 도전부에 대한 악영향을 배제할 수 있다.

따라서, 제3의 본 발명의 이방 도전성 시트를 프린트 회로 기판이나 반도체 집적 회로 등의 회로 장치의 전기적 검사에 있어서 커넥터로서 사용하는 경우에는, 정전기에 의한 접속용 도전부에 대한 악영향이 배제됨과 동시에, 검사 작업을 중단하고 이방 도전성 시트의 제전 작업을 행하는 것이 불필요해지기 때문에, 높은 시간적 효율로 동시에 높은 안전성으로 회로 장치의 전기적 검사를 행할 수 있다.

제3의 본 발명의 이방 도전성 시트의 제조 방법에 따르면, 정전기에 의한 접속용 도전부에 대한 악영향이 배제되고, 높은 시간적 효율로 동시에 높은 안전성으로 회로 장치의 전기적 검사를 행할 수 있는 이

방 도전성 시트를 용이하게 제조할 수 있다.

(57) 청구의 범위

청구항 1

두께 방향으로 도전성을 나타내는 이방 도전성 시트로서, 면 방향으로 반도체성을 나타내는 반도체부를 갖는 것을 특징으로 하는 이방 도전성 시트.

청구항 2

제1항에 있어서, 반도체부의 체적 고유 저항이 10^{-7} 내지 10^4 Ωm 인 것을 특징으로 하는 이방 도전성 시트.

청구항 3

제1항에 있어서, 반도체부의 표면 고유 저항이 10^{-1} 내지 10^{10} Ω/\square 인 것을 특징으로 하는 이방 도전성 시트.

청구항 4

두께 방향으로 신장하는 복수의 도전부와, 이들 각각의 도전부를 둘러싸도록 형성된 면 방향으로 반도체성을 나타내는 반도체부를 구비하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 5

두께 방향으로 신장하는 복수의 도전부와, 이들 도전부를 둘러싸도록 형성된 절연부와, 이 절연부를 둘러싸도록 형성된 면 방향으로 반도체성을 나타내는 반도체부를 구비하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 6

면 방향으로 반도체성을 나타내는 시트 기체 중에, 도전성 입자가 두께 방향으로 늘어서도록 배향된 상태로 함유되어 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 7

제1항 내지 제6항 중 어느 한항에 있어서, 반도체부 또는 시트 기체는 도전성 유기 물질, 아민계 유기 도전성 물질, 도전성 고분자 물질, 금속 입자 및 카본 블랙에서 선택된 1종 이상으로 이루어지는 도전성 물질을 함유하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 8

제1항 내지 제6항 중 어느 한항에 있어서, 반도체부 또는 시트 기체는 알킬술폰산 나트륨염을 도전성 물질로서 함유하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 9

제4항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자 및 반도체성 부여 물질이 함유되어 이루어지는 시트 성형 재료층을 형성하고, 이 시트 성형 재료층에 대하여 강도 분포를 갖는 평행 자장을 이 시트 성형 재료층의 두께 방향으로 작용시킴과 동시에, 이 시트 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 10

제4항 또는 제5항 중 어느 한항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

관통 구멍 또는 개구가 형성된, 반도체성을 나타내는 반도체부용 시트를 준비하고, 이 반도체부용 시트에 있어서의 관통 구멍 또는 개구 내에, 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자가 함유되어 이루어지는 도전부용 재료층을 형성하고, 이 도전부용 재료층에 대하여 평행 자장 또는 강도 분포를 갖는 평행 자장을 이 도전부용 재료층의 두께 방향으로 작용시킴과 동시에, 이 도전부용 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 11

제6항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 자성을 나타내는 도전성 입자 및 반도체성 부여 물질이 함유되어 이루어지는 시트 성형 재료층을 형성하고, 이 시트 성형 재료층에 대하여 평행 자장을 이 시트 성형 재료층의 두께 방향으로 작용시킴과 동시에, 이 시트 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 12

두께 방향으로 도전성을 갖는 이방 도전성의 시트체와, 이 시트체의 적어도 한쪽면에 일체적으로 설치된

제전층을 구비하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 13

두께 방향으로 신장하는 복수의 도전부가 절연부에 의해 서로 절연된 상태로 배치되어 이루어지는 이방 도전성 시트체와, 이 시트체에 있어서의 절연부의 적어도 한쪽면에 설치된 제전층을 구비하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 14

제13항에 있어서, 제전층은 시트체에 있어서의 절연부에 설치되는 것을 특징으로 하는 이방 도전성 시트.

청구항 15

제13항에 있어서, 시트체에 있어서의 절연부의 적어도 한쪽면에는 오목부가 형성되고, 이 오목부 내에 제전층이 설치되는 것을 특징으로 하는 이방 도전성 시트.

청구항 16

제12항 내지 제15항 중 어느 한항에 있어서, 제전층이 도전성 유기 물질, 아민계 유기 도전성 물질, 금속, 카본 블랙을 함유하여 이루어지는 층, 열경화성 수지 또는 열가소성 수지 중에 도전성 물질을 함유하여 이루어지는 층, 또는 도전성 중합체로 이루어지는 층으로 구성되는 것을 특징으로 하는 이방 도전성 시트.

청구항 17

제12항 내지 제15항 중 어느 한항에 있어서, 제전층이 알킬술폰산 나트륨염을 함유하여 이루어지는 층으로 구성되는 것을 특징으로 하는 이방 도전성 시트.

청구항 18

제12 내지 제15항 중 어느 한항에 있어서, 제전층이 금속층으로 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 19

제12항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

도전성 물질을 함유하여 이루어지는 유동성의 제전층 형성용 조성물을 시트체에 도포하여 도포막을 형성하고, 그 후 이 도포막에 대하여 정착 처리를 행함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 20

제12항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

도전성 물질과, 바인더 또는 바인더로 이루어지는 경화성 재료를 함유하여 이루어지는 유동성의 제전층 형성용 조성물을 시트체에 도포하여 도포막을 형성하고, 그 후 이 도포막에 대하여 건조 처리 및(또는) 경화 처리를 행함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 21

제12항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

제전층이 되어야 할 제전층용 필름을 시트체에 접촉함으로써 제전층을 형성하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 22

제12항에 기재한 이방 도전성 시트를 제조하는 방법으로서,

시트체를 성형하기 위한 금형의 성형면에 제전층이 되어야 할 층을 형성하고, 그 후 이 금형 내에 경화되어 탄성 고분자 물질이 되는 고분자 형성 재료 중에 도전성 입자가 함유되어 이루어지는 시트체 성형 재료를 주입하여 성형 재료층을 형성하고, 이 성형 재료층을 경화 처리하는 공정을 포함하는 것을 특징으로 하는 이방 도전성 시트의 제조 방법.

청구항 23

두께 방향으로 도전성을 갖는 탄성 고분자 물질로 이루어지는 이방 도전성의 시트체를 구비하고, 외부 장치 또는 전자 부품 단자에 접속되는 접속용 도전부와, 접지부에 접속되는 하나 이상의 제전용 도전부를 갖는 것을 특징으로 하는 이방 도전성 시트.

청구항 24

제23항에 있어서, 시트체는 두께 방향으로 신장하는 복수의 접속용 도전부가 절연부에 의해 서로 절연된 상태로 배치되어 이루어지고, 제전용 도전부가 이 시트체에 있어서의 접속용 도전부 배치 영역 이외의 블랭크 영역에 배치되는 것을 특징으로 하는 이방 도전성 시트.

청구항 25

제23항 또는 제24항에 있어서, 하나 이상의 제전용 도전부가 블랭크 영역 내에 분산된 상태로 배치되는 것을 특징으로 하는 이방 도전성 시트.

청구항 26

제23항 또는 제24항에 있어서, 하나 이상의 제전용 도전부가 접속용 도전부 배치 영역의 주변에 배치되는 것을 특징으로 하는 이방 도전성 시트.

청구항 27

제23항 또는 제24항에 있어서, 제전용 도전부는 금속 입자, 도전성 금속 산화물, 도전성 유기물, 카본 블랙 중에서 선택된 하나 이상의 도전성 물질을 포함하여 이루어지는 것을 특징으로 하는 이방 도전성 시트.

청구항 28

제23항 또는 제24항에 있어서, 제전용 도전부는 접속용 도전부와 동일한 구조를 갖는 것을 특징으로 하는 이방 도전성 시트.

청구항 29

제23항 또는 제24항에 있어서, 제전용 도전부는 접속용 도전부와 동일한 조성을 갖는 것을 특징으로 하는 이방 도전성 시트.

청구항 30

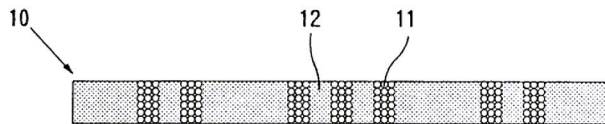
제1항 내지 제29항 중 어느 한항에 기재한 이방 도전성 시트로 이루어지는 것을 특징으로 하는 커넥터.

청구항 31

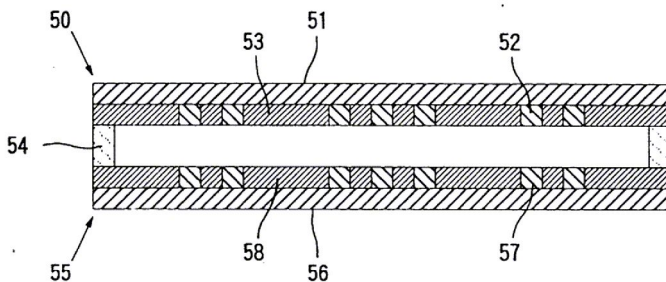
제30항에 기재한 커넥터를 사용하여 회로 장치의 전기적 검사를 행하는 것을 특징으로 하는 회로 장치의 검사 방법.

도면

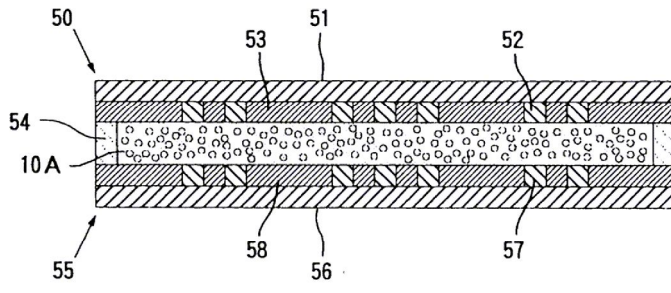
도면1



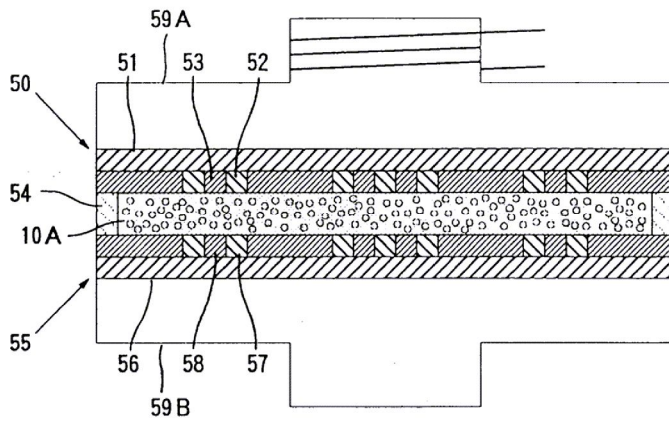
도면2



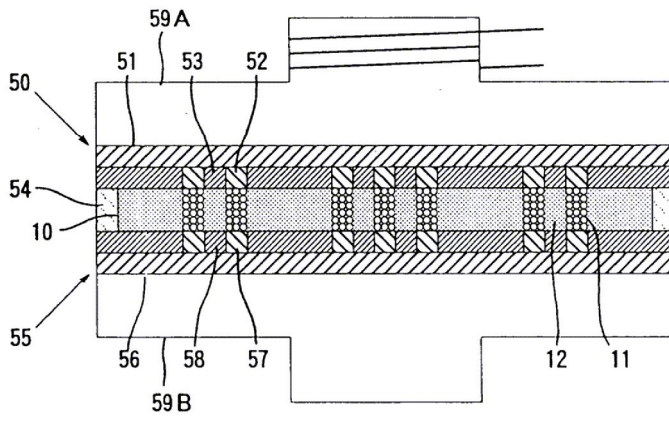
도면3



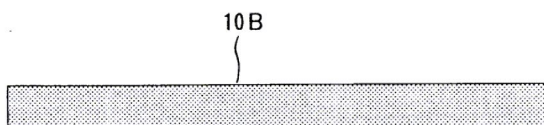
도면4



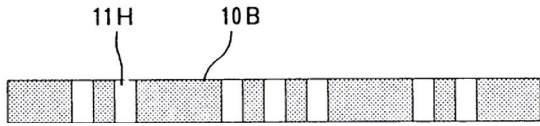
도면5



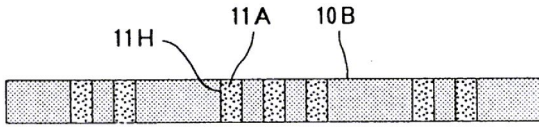
도면6



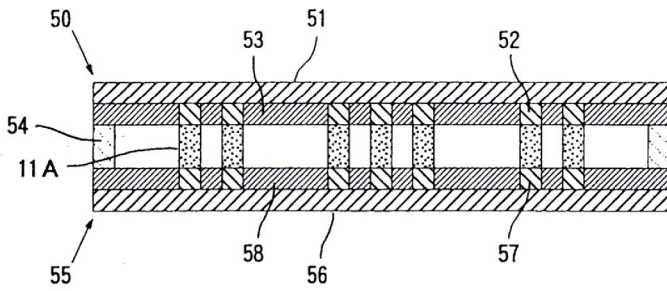
도면7



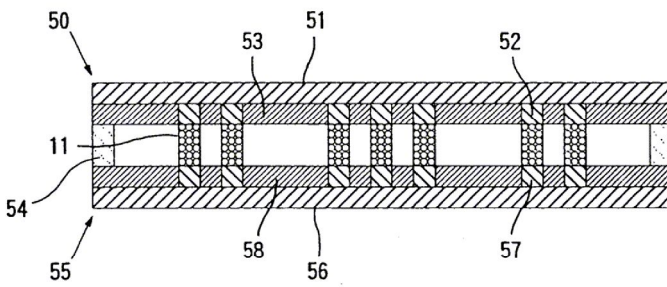
도면8



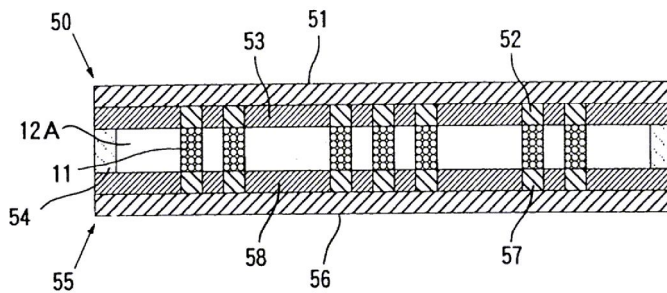
도면9



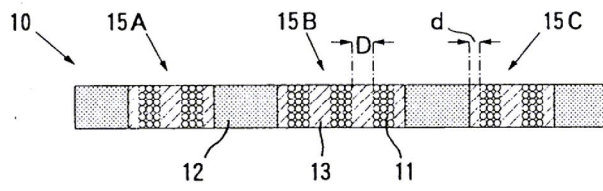
도면10



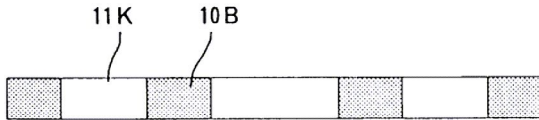
도면11



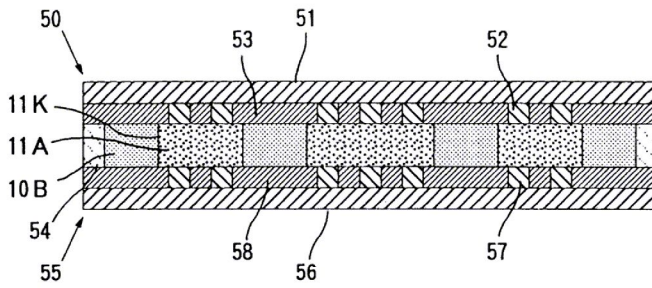
도면 12



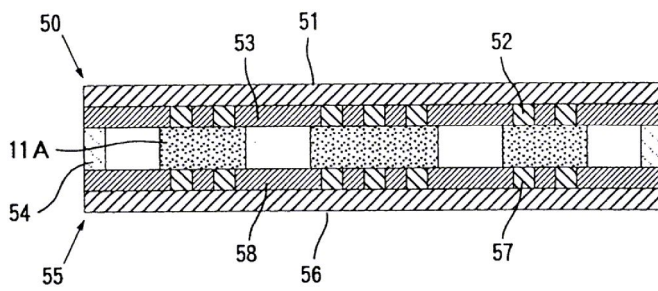
도면 13



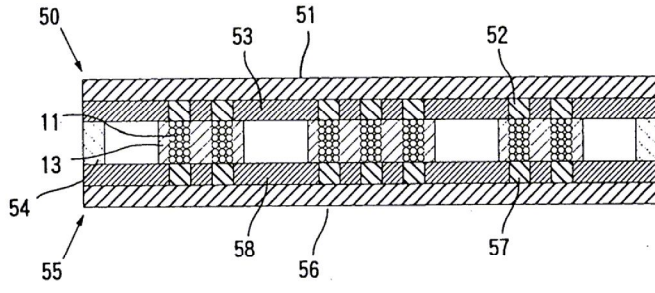
도면 14



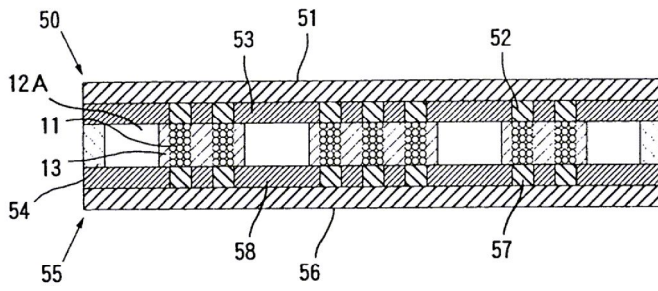
도면 15



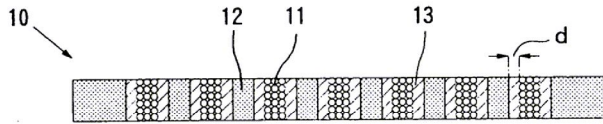
도면 16



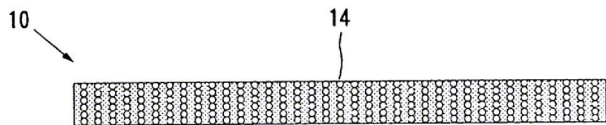
도면 17



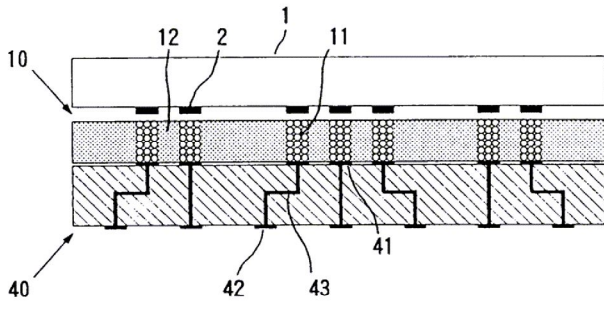
도면 18



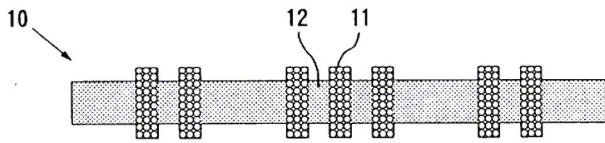
도면 19



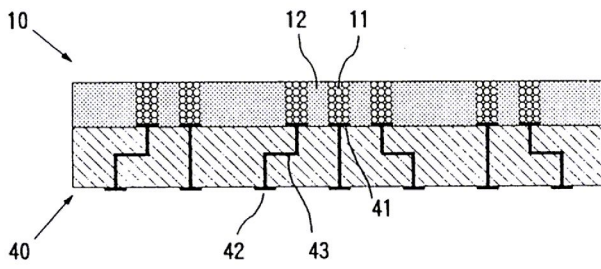
도면20



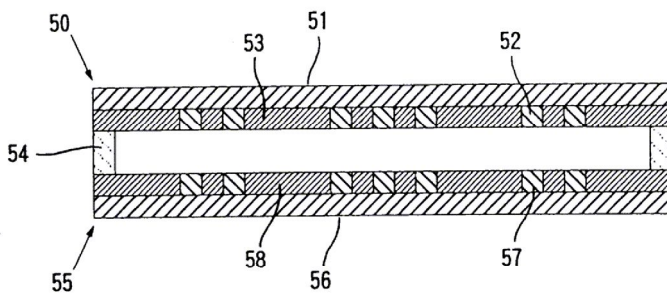
도면21



도면22



도면23



도면24

