

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 19 年 7 月 5 日 (2007.7.5)

【公開番号】特開 2000-347856 (P2000-347856A)
 【公開日】平成 12 年 12 月 15 日 (2000.12.15)
 【出願番号】特願 2000-149722 (P2000-149722)
 【国際特許分類】

G 0 6 F 9/34 (2006.01)

【 F I 】

G 0 6 F 9/34 3 3 0

【手続補正書】
 【提出日】平成 19 年 5 月 22 日 (2007.5.22)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

命令を実行する方法であって、

(A) 命令が、2 つの独立して選択されたレジスタにメモリからまたは前記命令から第 1 の値及び第 2 の値を単一のプロセッササイクルでロードするための命令であることを指定するオペコードフィールドと、前記第 1 の値及び前記第 2 の値を指定するソースフィールドと、前記第 1 の値をロードするための第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタフィールドと、前記第 2 の値をロードするための第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタフィールドとを有する前記命令を受け取るステップと、

(B) 前記第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタ信号を、レジスタファイルの第 1 のレジスタポートアドレス入力に供給するステップと、

(C) 前記第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタ信号を、前記レジスタファイルの第 2 のレジスタポートアドレス入力に供給するステップを含む方法。

【請求項 2】

(D) 前記レジスタファイルの第 1 のレジスタポートに前記第 1 の値を供給するステップと、

(E) 前記レジスタファイルの第 2 のレジスタポートに前記第 2 の値を供給するステップ

を更に含む、請求項 1 の方法。

【請求項 3】

(F) 前記第 1 のターゲットレジスタに前記第 1 の値を格納するステップと、

(G) 前記第 2 のターゲットレジスタに前記第 2 の値を格納するステップ

を更に含む、請求項 2 の方法。

【請求項 4】

前記ソースフィールドは、プロセッサがアクセス可能なメモリにおける、前記第 1 の値を含む第 1 のロケーションのアドレスを指定する、請求項 1 の方法。

【請求項 5】

前記メモリにおいて、前記第 1 のロケーションのアドレスは、第 2 のロケーションのアドレスと予め決められた関係を有しており、

(D) 前記予め決められた関係に基づいて、前記第 1 のロケーションのアドレスから前記第 2 のロケーションのアドレスを導出するステップ
を更に含む、請求項 4 の方法。

【請求項 6】

前記ステップ (D) が、
前記第 1 のロケーションのアドレスに 1 ワードを付加して、前記第 2 のロケーションのアドレスを導出するステップ
を含む、請求項 5 の方法。

【請求項 7】

前記オペコードフィールド、前記ソースフィールド、前記第 1 のターゲットレジスタフィールド、及び前記第 2 のターゲットレジスタフィールドが、プロセッサがアクセス可能な単一ワードのビットフィールドから構成される、請求項 1 の方法。

【請求項 8】

前記オペコードフィールド、前記ソースフィールド、前記第 1 のターゲットレジスタフィールド、及び前記第 2 のターゲットレジスタフィールドが、各々、前記プロセッサがアクセス可能な 1 ワードから構成される、請求項 1 の方法。

【請求項 9】

命令を実行するための装置であって、
命令が、2つの独立して選択されたレジスタにメモリからまたは前記命令から第 1 の値及び第 2 の値を単一のプロセッササイクルでロードするための命令であることを指定するオペコードフィールドと、前記第 1 の値及び前記第 2 の値を指定するソースフィールドと、前記第 1 の値をロードするための第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタフィールドと、前記第 2 の値をロードするための第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタフィールドとを有する前記命令を受け取る手段と、
前記第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタ信号を、レジスタファイルの第 1 のレジスタポートアドレス入力に供給する手段と、
前記第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタ信号を、前記レジスタファイルの第 2 のレジスタポートアドレス入力に供給する手段
を備え、

前記オペコードフィールド、前記ソースフィールド、前記第 1 のターゲットレジスタフィールド、及び前記第 2 のターゲットレジスタフィールドが、各々、前記プロセッサがアクセス可能な 1 ワードから構成されることからなる、装置。

【請求項 10】

命令を実行するためのシステムであって、
命令が、2つの独立して選択されたレジスタにメモリからまたは前記命令から第 1 の値及び第 2 の値を単一のプロセッササイクルでロードするための命令であることを指定するオペコードフィールド、前記第 1 の値及び前記第 2 の値を指定するソースフィールド、前記第 1 の値をロードするための第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタフィールド、および前記第 2 の値をロードするための第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタフィールドを有する前記命令を受け取る入力と、前記第 1 のターゲットレジスタを指定する第 1 のターゲットレジスタ信号を供給する第 1 の出力と、前記第 2 のターゲットレジスタを指定する第 2 のターゲットレジスタ信号を供給する第 2 の出力とを備えるプロセッサと、
前記第 1 の値を表す第 1 のメモリデータ信号を供給する第 1 の出力を備えると共に、前記第 2 の値を表す第 2 のメモリデータ信号を供給する第 2 の出力を有するメモリと、
前記第 1 のメモリデータ信号を受け取る第 1 のレジスタポート、前記第 2 のメモリデータ信号を受け取る第 2 のレジスタポート、前記第 1 のターゲットレジスタ信号を受け取る第 1 のレジスタポートアドレス入力、及び前記第 2 のターゲットレジスタ信号を受け取る第 2 のレジスタポートアドレス入力を備え、前記第 1 のターゲットレジスタに前記第 1 の値を格納し、前記第 2 のターゲットレジスタに前記第 2 の値を格納するよう構成されたレ

ジスタファイル
を具備するシステム。

【請求項 1 1】

前記ソースフィールドは、前記メモリにおける、前記第 1 の値を有する第 1 のロケーションのアドレスを指定する、請求項 1 0 のシステム。

【請求項 1 2】

前記メモリにおいて、前記第 1 のロケーションのアドレスは、第 2 のロケーションのアドレスと予め決められた関係を有しており、

前記プロセッサは、その予め決められた関係に基づいて、前記第 1 のロケーションのアドレスから前記第 2 のロケーションのアドレスを導出するよう構成される、請求項 1 1 のシステム。

【請求項 1 3】

前記第 1 のロケーションのアドレスと前記第 2 のロケーションのアドレスとが 1 ワードだけ異なる、請求項 1 2 のシステム。

【請求項 1 4】

前記オペコードフィールド、前記ソースフィールド、前記第 1 のターゲットレジスタフィールド、及び前記第 2 のターゲットレジスタフィールドが、前記プロセッサがアクセス可能な単一ワードのビットフィールドから構成される、請求項 1 0 のシステム。

【請求項 1 5】

前記オペコードフィールド、前記ソースフィールド、前記第 1 のターゲットレジスタフィールド、及び前記第 2 のターゲットレジスタフィールドが、各々、前記プロセッサがアクセス可能な 1 ワードから構成される、請求項 1 0 のシステム。