

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 00979

(54) Procédé de fabrication de transistor bipolaire latéral auto-aligné.

(51) Classification internationale (Int. Cl.³). H 01 L 21/31, 21/72, 29/70; H 03 K 19/091.

(22) Date de dépôt..... 20 janvier 1981.

(33) (32) (31) Priorité revendiquée : EUA, 4 février 1980, n° 118.291.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 32 du 7-8-1981.

(71) Déposant : FAIRCHILD CAMERA AND INSTRUMENT CORPORATION, résidant aux EUA.

(72) Invention de : Hemraj Kundanmal Hingarh et Madhukar Bhavanidas Vora.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Regimbeau, Corre, Martin et Schrimpf,
26, av. Kléber, 75116 Paris.

La présente invention se rapporte, d'une manière générale, à la technologie des semi-conducteurs et concerne, plus particulièrement, la fabrication de dispositifs semi-conducteurs présentant des dimensions submicroniques.

Les circuits électroniques modernes sont fabriqués en corps semi-conducteurs intégrés par une introduction sélective d'impuretés de dopage des types P et N dans le corps semi-conducteur. La diffusion ou l'implantation d'une impureté de dopage exige la formation d'un masque sur la surface du corps semi-conducteur pour contrôler l'introduction sélective de l'impureté de dopage.

La limitation dimensionnelle de circuits intégrés dépend dans une large mesure de la précision de l'alignement du masque de dopage. Les règles de fabrication actuelles exigent généralement une largeur de ligne de trois ou quatre microns pour assurer un alignement précis du masque. En conséquence, la plus petite dimension pouvant être fabriquée avec précision peut être limitée à 3 ou 4 microns.

L'invention a pour objet :

- un procédé permettant de définir avec précision un masque de dopage ;
- un procédé de fabrication d'un transistor latéral ayant une largeur de base submicronique ;
- un procédé de fabrication d'un transistor à base auto-alignée ;
- un procédé perfectionné de fabrication d'un dispositif logique d'injection intégré.

Une des caractéristiques de l'invention est l'utilisation d'un matériau semi-conducteur polycristallin dopé comme masque de dopage.

Dans ses grandes lignes, le procédé suivant l'invention de définition précise d'un masque de dopage

submicronique sur la surface d'un corps semi-conducteur comprend les opérations consistant à former une couche de matériau semi-conducteur polycristallin non dopé sur une surface du corps semi-conducteur et à former une
5 couche de masque de dopage sur le silicium polycristallin non dopé. Ensuite, on élimine une partie du masque de dopage et le matériau semi-conducteur polycristallin sous-jacent. Puis on diffuse une impureté de dopage dans la partie marginale exposée du matériau semi-conducteur
10 polycristallin non dopé, après quoi la couche de masque de dopage et le matériau semi-conducteur polycristallin non dopé sont éliminés par application d'un corrosif préférentiel, moyennant quoi le matériau polycristallin dopé est laissé intact.

15 Pour fabriquer un transistor bipolaire latéral orienté en surface, on forme une première couche de matériau de masque de dopage sur une surface dopée d'un corps semi-conducteur. Ensuite, on forme une seconde
20 couche de silicium polycristallin non dopé sur la couche de matériau de masque de dopage et une troisième couche de matériau de masque de dopage sur la surface de la seconde couche. Puis on élimine la seconde couche et la troisième couche d'une partie de la première couche,
25 en exposant ainsi une partie marginale de la seconde couche. On diffuse ensuite une impureté de dopage dans la partie marginale de la seconde couche pour définir une région dopée de dimensions submicroniques. Enfin, on élimine la troisième couche et la seconde couche non
30 dopée par corrosion ou gravure préférentielle, moyennant quoi le silicium polycristallin dopé reste intact et est utilisé comme masque lors de l'implantation subséquente d'une impureté de dopage dans le corps semi-conducteur, en formant ainsi des régions de surface pour l'émetteur et le collecteur du transistor bipolaire, tandis que la
35 région de surface non dopée sous-jacente au silicium

polycristallin dopé constitue la région de base du transistor.

Le transistor bipolaire orienté en surface peut constituer le transistor injecteur latéral d'une cellule de logique d'injection intégrée (I^2L). La fabrication du transistor bipolaire vertical de la cellule I^2L comprend en outre les opérations consistant à appliquer sélectivement une réserve sur la première couche antérieurement à l'implantation de l'impureté de dopage, moyennant quoi une région de collecteur du transistor bipolaire vertical est masquée par rapport à l'impureté de dopage implantée. Ensuite, on chauffe le corps semi-conducteur pour faire pénétrer l'impureté de dopage implantée et pour augmenter encore l'épaisseur de l'oxyde de silicium au-dessus de la région dans laquelle l'impureté de dopage est implantée. On élimine alors la réserve et la couche d'oxyde de silicium sous-jacente et l'on forme une seconde couche de réserve sur la région de base du transistor latéral. Une impureté de dopage d'un premier type de conductibilité est implantée dans la région de collecteur du transistor vertical pour définir une région de base intrinsèque de celui-ci, puis on diffuse une impureté de dopage du type de conductibilité opposé audit premier type dans la surface exposée pour définir la région de collecteur du transistor vertical.

L'invention sera mieux comprise à la lecture de la description détaillée qui suit et à l'examen des dessins joints qui en représentent, à titre d'exemple non limitatif, un mode de réalisation.

Sur ces dessins :

- les figures 1 à 7 sont des vues en coupe transversale d'un corps semi-conducteur qui mettent en évidence les opérations de fabrication d'un dispositif I^2L suivant un mode de réalisation de l'invention.

On va maintenant se référer aux dessins, sur lesquels la figure 1 est une vue en coupe d'un corps semi-conducteur désigné dans son ensemble par la référence générale 10 et comprenant un substrat 12 du type P dans une surface principale duquel est formée une région diffusée 14, N+. Au-dessus de la région N+, 14 s'étend une couche épitaxiale N-, 16. Une couche d'oxyde de silicium 18, qui s'étend à travers la couche épitaxiale 16, entoure celle-ci et définit une cellule de dispositif à l'intérieur du corps semi-conducteur. Une telle structure est avantageusement utilisée dans des dispositifs semi-conducteurs isolés à l'oxyde tels que les circuits logiques d'injection intégrés Isoplanar fabriqués par le Dépositant (Fairchild Camera and Instrument Corporation).

Au-dessus de la surface du corps semi-conducteur 10 s'étend une première couche 20 d'oxyde de silicium d'une épaisseur d'environ 400 Angströms, une seconde couche 22 de nitrure de silicium surjacent à la couche 20 et présentant une épaisseur d'environ 1500 Angströms, une troisième couche 24 d'oxyde de silicium surjacent à la seconde couche 22 et d'une épaisseur d'environ 200 Angströms et une couche 26 de silicium polycristallin non dopé surjacent à la couche 24 et offrant une épaisseur de l'ordre de 5000 Angströms. Au-dessus de la couche de silicium polycristallin 26 s'étend une couche de 3000 Angströms d'oxyde de silicium, 28.

Comme représenté sur la figure 2, une partie de la couche d'oxyde de silicium 28 et une partie de la couche de silicium polycristallin sous-jacente 26 sont éliminées de la surface du corps semi-conducteur 10 par masquage au vernis photosensible appelé "photoresist" et gravure ou corrosion sélective. Un corrosif convenable pour l'oxyde de silicium est l'acide fluorhydrique (HF)

et un corrosif convenable pour le silicium polycristallin non dopé est le PED, Etch décrit par Bassous dans IEEE Transactions on Electron Devices, Octobre 1978, Vol. ED25, n° 10, pages 1178-85. Ensuite, une impureté de dopage
5 telle que du bore est diffusée dans la partie marginale exposée de la couche polycristalline 26 en formant ainsi une région 30 du type P dans ladite couche 26. La largeur de la région diffusée 30 peut être ajustée entre 0,25
10 de base d'un transistor bipolaire latéral, comme décrit plus loin.

Ensuite, comme représenté sur la figure 3, on élimine la couche d'oxyde de silicium 28 au moyen d'acide fluorhydrique et l'on applique un corrosif préférentiel
15 tel que le PED Etch à la couche polycristalline 26, moyennant quoi le matériau polycristallin non dopé est éliminé par le corrosif tandis que le silicium polycristallin dopé reste intact.

Comme représenté sur la figure 4, du photoresist
20 32 est alors appliqué sur la surface de la couche 24 au-dessus de la zone de surface du corps semi-conducteur 10 où les régions de collecteur d'un transistor bipolaire NPN vertical doivent être formées. Le photoresist 32, conjointement avec le silicium polycristallin dopé 30,
25 forme un masque pour l'introduction subséquente d'ions d'une impureté de dopage du type P telle que du bore par implantation ionique, comme représenté sur la figure 4. Une concentration ionique de 10^{14} ions par cm^2 à 100 keV est convenable.

30 Ensuite, comme représenté sur la figure 5, le photoresist 32 est retenu sur la surface de la couche 24, tandis que le matériau polycristallin 30, la couche d'oxyde de silicium 24 et la couche de nitrure de silicium 22, non protégés par le photoresist 32 sont éliminés au
35 moyen d'un corrosif convenable. On utilise un corrosif

tel que de l'acide fluorhydrique pour éliminer l'oxyde de silicium et de l'acide phosphorique chaud pour éliminer le nitrure de silicium. La structure est alors chauffée à environ 1000°C pour faire pénétrer le bore de dopage et pour augmenter l'épaisseur de la couche d'oxyde de silicium exposée 20, en formant ainsi les régions d'émetteur et de collecteur 34 et 36 du transistor latéral et les régions de base extrinsèques 38 et 40 du transistor vertical.

Comme représenté sur la figure 6, une couche de photoresist 44 est alors formée sur la surface de la structure surjacent à la région de base 35 du transistor bipolaire latéral et une impureté de dopage du type P telle que du bore est ensuite introduite dans les régions de surface 50 et 52 pour définir la région de base intrinsèque du transistor bipolaire NPN vertical. Une concentration ionique de 10^{12} ions par cm^2 à 190 keV est convenable.

Enfin, comme représenté sur la figure 7, les régions de collecteur N+, 60 et 62 sont formées par la diffusion d'arsenic dans la surface exposée des régions 50 et 52 de la figure 6. Les collecteurs 60, 62, ont de préférence une concentration en impureté de dopage d'au moins 10^{20} atomes par cm^3 .

Des contacts électriques sont établis avec les régions d'émetteur et de base 34, 36 du transistor PNP latéral et avec les collecteurs 60 et 62 du transistor bipolaire NPN vertical pour compléter le dispositif. Avantage important, la largeur de base 35 du transistor PNP peut être ajustée à une fraction de micron près avec l'implantation des régions d'émetteur et de collecteur réalisée en utilisant le masque de base suivant l'invention.

Bien entendu, l'invention n'est nullement limitée au mode de réalisation particulier représenté et

décrit ; elle est susceptible de nombreuses variantes sans qu'on s'écarte pour cela de l'esprit ni du domaine de l'invention.

REVENDICATIONS

1 - Procédé de fabrication d'un transistor bi-
polaire orienté en surface dans un corps semi-conducteur,
ledit procédé étant caractérisé en ce qu'il comprend les
opérations consistant : à former une première couche (24)
5 de matériau de masque de dopage sur une surface dudit
corps semi-conducteur (12), ladite surface étant d'un
premier type de conductibilité ; à former une seconde
couche de silicium polycristallin non dopé (26) sur
ladite couche (24) de matériau de masque de dopage ; à
10 former une troisième couche (28) de matériau de masque
de dopage sur la surface de ladite seconde couche ; à éli-
miner lesdites seconde et troisième couches d'une partie
de la première couche, en exposant ainsi une partie mar-
ginale de la seconde couche ; à diffuser une impureté
15 de dopage dans la partie marginale ainsi exposée de la
seconde couche (26), en formant ainsi une partie dopée de
ladite seconde couche ; à éliminer la troisième couche
(28) ; à éliminer la seconde couche non dopée (26) au
moyen d'un corrosif préférentiel, moyennant quoi la
20 partie dopée de la seconde couche subsiste ; et à implan-
ter une impureté de dopage du type de conductibilité
opposé audit premier type dans ladite surface du corps
semi-conducteur en utilisant ladite partie dopée de la
seconde couche comme masque d'implantation ionique,
25 en formant ainsi dans le corps semi-conducteur des ré-
gions de surface dudit type de conductibilité opposé sé-
parées par une région de surface dudit premier type de
conductibilité.

2 - Procédé suivant la revendication 1, dans
30 lequel ladite première couche (24) est une couche d'oxyde
de silicium en contact avec la surface du corps semi-
conducteur, et dans lequel ledit transistor orienté en
surface est un transistor injecteur latéral faisant partie

d'une cellule logique d'injection intégrée, ledit procédé comprenant en outre la fabrication d'un transistor bipolaire vertical et étant caractérisé en ce qu'il comprend les opérations consistant à : appliquer sélec-
5 tivement une réserve (32) sur la première couche (24) antérieurement à l'opération d'implantation d'une impureté de dopage dudit type de conductibilité opposé, moyennant quoi une région de collecteur dudit transistor bipolaire vertical est masquée par rapport à l'impureté de dopage
10 dudit type de conductibilité opposé implantée ; à chauffer ledit corps semi-conducteur pour faire pénétrer ladite impureté de dopage de type de conductibilité opposé et pour augmenter l'épaisseur de l'oxyde de silicium au-dessus de la région de surface de l'impureté de dopage
15 dudit type de conductibilité opposé implantée ; à éliminer ladite réserve et la première couche sous-jacente à celle-ci ; à appliquer une couche de réserve (44) sur-jacente à la région de base du transistor latéral ; à implanter une impureté de dopage dudit type de conducti-
20 bilité opposé dans le corps semi-conducteur, dans la région de collecteur du transistor bipolaire vertical ; et à diffuser une impureté de dopage dudit premier type de conductibilité dans la région de collecteur (50) exposée.

25 3 - Dans la fabrication de dispositifs semi-conducteurs, procédé permettant de définir de façon précise un masque de dopage submicronique sur la surface d'un corps semi-conducteur, ledit procédé étant caractérisé en ce qu'il comprend les opérations consis-
30 tant : à former une couche de matériau semi-conducteur polycristallin non dopé (26) sur la surface du corps semi-conducteur ; à former une couche de masque de dopage (28) sur ledit matériau semi-conducteur polycristal-
35 lin non dopé ; à éliminer une partie de ladite couche de masque de dopage et du matériau semi-conducteur polycristallin sous-jacent ; à diffuser une impureté de dopage

ge dans la partie marginale exposée dudit matériau semi-conducteur polycristallin non dopé ; à éliminer ladite couche de masque de dopage ; et à éliminer ledit matériau semi-conducteur polycristallin non dopé tout en maintenant intact ledit matériau semi-conducteur polycristallin dopé.

4 - Procédé suivant la revendication 3, caractérisé en ce que le matériau semi-conducteur polycristallin est du silicium ; en ce que la couche de masque de dopage est une couche d'oxyde de silicium ; en ce que l'opération d'élimination d'oxyde de silicium consiste à appliquer un corrosif de l'oxyde de silicium ; et en ce que l'opération d'élimination du matériau semi-conducteur polycristallin sous-jacent consiste à utiliser un agent de corrosion préférentielle du silicium polycristallin.



