



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0112125
(43) 공개일자 2007년11월22일

(51) Int. Cl.

H01L 21/66 (2006.01)

(21) 출원번호 10-2007-7017753

(22) 출원일자 2007년07월31일

심사청구일자 없음

번역문제출일자 2007년07월31일

(86) 국제출원번호 PCT/US2005/045582

국제출원일자 2005년12월15일

(87) 국제공개번호 WO 2006/073736

국제공개일자 2006년07월13일

(30) 우선권주장

11/028,940 2005년01월03일 미국(US)

(71) 출원인

폼팩터, 인코포레이티드

미국 캘리포니아주 94551 리버모어 사우스프론트
로드 7005

(72) 별명자

헨슨 로이 제이.

미국 캘리포니아주 94566 플레즌튼 빈트너 웨이
1344

통 존 엠.

미국 캘리포니아주 95127 산 조세 하이랜드 드라
이브 16211

(74) 대리인

김태홍, 송승필

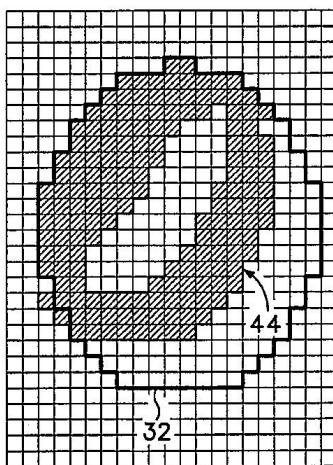
전체 청구항 수 : 총 30 항

(54) 프로브 헤드 어레이

(57) 요 약

반도체 웨이퍼 상에 형성되는 디바이스들을 테스트하는 프로브 헤드는 복수의 프로브 DUT(device under test) 어레이들을 포함한다. 각각의 DUT는 대응하는 프로브 DUT 어레이의 프로브들과 압착(pressure contact)되는 패드들을 포함한다. 프로브 어레이 패턴들은, 그 프로브들이 패드들과 접촉하는 경우에 적어도 하나의 디바이스와 대향하는 오목부, 돌출부, 아일랜드(island) 및 개구부와 같은 불연속 요소들(discontinuities)을 가진다.

대표도 - 도29



특허청구의 범위

청구항 1

반도체 웨이퍼 상에 형성된 디바이스들을 테스트하는 접촉기로서,

상기 디바이스들상에 형성된 패드들과 접촉하는 프로브 어레이를 구비하며,

상기 프로브 어레이는 상기 프로브 어레이의 개구부 주위에 배치된 인접(continuous) DUT 어레이들을 포함하며, 상기 개구부는 상기 프로브 어레이가 상기 패드들과 접촉하는 경우에 적어도 하나의 디바이스에 걸쳐서 형성되는 접촉기.

청구항 2

제 1 항에 있어서, 상기 프로브 어레이는, 상기 프로브 어레이가 상기 패드들과 접촉하는 경우에, 상기 DUT 어레이들 내에 적어도 하나의 디바이스와 대향하는 적어도 하나의 부가적인 개구부를 포함하는 것인 접촉기.

청구항 3

제 1 항에 있어서, 상기 인접 DUT 어레이들은 대략 고리모양 패턴을 형성하는 것인 접촉기.

청구항 4

제 1 항에 있어서, 상기 DUT 어레이들 내의 상기 개구부는 4 개의 DUT 어레이들에 의해 구획되는 것인 접촉기.

청구항 5

반도체 웨이퍼 상의 실질적으로 균일한 격자에 배열된 디바이스들을 테스트하는 프로브 헤드로서,

상기 디바이스 격자와 동일한 구성을 가지는 격자에 실질적으로 배열된 DUT 어레이들에 형성된 복수의 프로브들; 및

상기 프로브들이 상기 디바이스들을 터치(touch)하는 경우에, 적어도 하나의 디바이스와 대향하여 상기 DUT 어레이들에 둘러싸여 형성된 공간을 포함하는 것인 접촉기.

청구항 6

제 5 항에 있어서, 상기 프로브 헤드는, 상기 프로브들이 상기 디바이스들을 터치하는 경우에 적어도 하나의 디바이스와 대향하는 적어도 하나의 부가적인 공간을 포함하는 것인 접촉기.

청구항 7

제 5 항에 있어서, 상기 DUT 어레이들은 대략 고리모양 패턴을 형성하는 것인 접촉기.

청구항 8

제 5 항에 있어서, 상기 공간은 4 개의 DUT 어레이들에 의해 구획되는 것인 접촉기.

청구항 9

반도체 웨이퍼 상에 형성된 디바이스들을 테스트하는 장치로서,

실질적으로 고리모양 패턴에 배열된 프로브 DUT 어레이들을 구비하는 디바이스 테스트 장치.

청구항 10

제 9 항에 있어서, 상기 고리모양 패턴은 개구부를 포함하며, 상기 패턴은 적어도 하나의 부가적인 개구부를 포함하는 것인 디바이스 테스트 장치.

청구항 11

반도체 웨이퍼 상에 형성되는 디바이스들을 테스트하는 장치로서,

프로브 DUT 어레이가 없는 패턴의 주변부(perimeter) 내에 포함되는 적어도 하나의 개구부를 포함하는 패턴에 배열되는 프로브 DUT 어레이들을 구비하는 디바이스 테스트 장치.

청구항 12

제 11 항에 있어서, 상기 프로브 어레이 패턴은, 프로브 DUT 어레이가 없는 패턴의 주변부 내에 포함되는 적어도 하나의 부가적인 개구부를 포함하는 것인 디바이스 테스트 장치.

청구항 13

제 11 항에 있어서, 상기 패턴은 대략 고리모양을 가지는 것인 디바이스 테스트 장치.

청구항 14

제 11 항에 있어서, 상기 개구부는 4 개의 DUT 어레이들에 의해 구획되는 것인 디바이스 테스트 장치.

청구항 15

반도체 웨이퍼 상에 형성되는 디바이스들을 테스트하는 장치로서,

적어도 하나의 국부적인 불연속 요소(discontinuity)를 가진 주변부를 가지는 패턴에 배열되는 프로브 DUT 어레이들을 구비하는 디바이스 테스트 장치.

청구항 16

제 15 항에 있어서, 상기 국부적인 불연속 요소는 적어도 하나의 DUT 어레이의 돌출부(protuberance)인 것인 디바이스 테스트 장치.

청구항 17

제 16 항에 있어서, 상기 돌출부는 단일 DUT 어레이에 의해 형성되는 것인 디바이스 테스트 장치.

청구항 18

제 16 항에 있어서, 상기 돌출부는 최소 폭을 가지며, 상기 주변부로부터 상기 최소 폭 보다 2 배 이상 크게 외부를 향하여 연장되어 있는 것인 디바이스 테스트 장치.

청구항 19

제 16 항에 있어서, 상기 주변부는 적어도 하나의 부가적인 돌출부를 포함하는 것인 디바이스 테스트 장치.

청구항 20

제 15 항에 있어서, 상기 국부적인 불연속 요소는 적어도 하나의 DUT 어레이의 오목부인 것인 디바이스 테스트 장치.

청구항 21

제 20 항에 있어서, 상기 오목부는 단일 DUT 어레이에 의해 형성되는 것인 디바이스 테스트 장치.

청구항 22

제 20 항에 있어서, 상기 오목부는 최소폭을 가지며, 상기 주변부로부터 상기 최소폭 보다 2 배 이상 크게 안쪽으로 연장되어 있는 것인 디바이스 테스트 장치.

청구항 23

제 20 항에 있어서, 상기 주변부는 적어도 하나의 부가적인 오목부를 포함하는 것인 디바이스 테스트 장치.

청구항 24

제 15 항에 있어서, 상기 패턴은 대칭적인 것인 디바이스 테스트 장치.

청구항 25

제 24 항에 있어서, 상기 패턴은 실질적으로 평행사변형의 형상을 가지는 것인 디바이스 테스트 장치.

청구항 26

제 25 항에 있어서, 상기 패턴은 실질적으로 마름모꼴의 형상을 가지는 것인 디바이스 테스트 장치.

청구항 27

실질적으로 평행 수평선들 및 평행 수직선들을 형성하는 패턴으로 반도체 웨이퍼 상에 배열되는 디바이스들을 테스트하는 장치로서,

대칭적인 패턴으로 배열되는 프로브 DUT 어레이들을 구비하며,

상기 패턴은, 상기 프로브 DUT 어레이들이 상기 디바이스들을 터치하는 경우에, 상기 디바이스들의 상기 수평선들 및 수직선들 중 임의의 것과 평행하지 않은 적어도 하나의 주변부를 가지는 것인 디바이스 테스트 장치.

청구항 28

제 27 항에 있어서, 상기 패턴은 실질적으로 평행사변형의 형상을 가지는 것인 디바이스 테스트 장치.

청구항 29

제 28 항에 있어서, 상기 패턴은 실질적으로 마름모꼴의 형상을 가지는 것인 디바이스 테스트 장치.

청구항 30

웨이퍼 상의 반도체 디바이스들을 테스팅하는 방법으로서,

적어도 하나의 불연속 요소를 가지는 프로브들의 어레이를 제공하는 단계;

테스트될 상기 반도체 디바이스들의 제 1 부분이 상기 프로브들 중 일부와 접촉하고, 상기 디바이스들의 제 2 부분이, 상기 프로브들과 접촉하는 것이 아니라 상기 적어도 하나의 불연속 요소를 가지는 위치에서 대향하도록, 상기 어레이를 상기 웨이퍼와 접촉시키는 단계;

상기 웨이퍼를 상기 프로브들의 어레이와 접촉하지 않도록 이동시키는 단계;

상기 웨이퍼를 상기 프로브들의 어레이에 대하여 측면으로 이동시키는 단계; 및

상기 디바이스들의 제 2 부분 중 적어도 일부가 상기 프로브들의 일부와 접촉되도록 상기 어레이를 상기 웨이퍼와 접촉시키는 단계를 포함하는 반도체 디바이스의 테스트 방법.

명세서**기술 분야**

<1>

본 발명은 반도체 웨이퍼 상의 디바이스들을 테스트하는 프로브 헤드 어레이에 관한 것이다.

배경 기술

<2>

마이크로프로세서, DRAM 및 플래시 메모리와 같은 반도체 디바이스들은, 공지된 방식으로 반도체 웨이퍼 상에 제조된다. 웨이퍼의 크기 및 그 웨이퍼 상에 형성된 각각의 디바이스의 크기에 따라서, 단일 웨이퍼상에 단지 몇몇 또는 천가지 이상의 디바이스가 존재할 수도 있다. 이러한 디바이스들은 통상적으로 서로 동일하며, 이들 각각은 입력 신호들, 출력 신호들, 제어 신호들 등과 같은 상기 디바이스들에 대한 전력 접속 및 그 밖의 접속을 위하여, 상기 디바이스의 표면 상에 복수의 도전성 패드를 포함한다.

<3>

어느 것이 완전하게 작동하여 패키징 및 세일에 적합한지 그리고 동작하지 않거나 또는 부분적으로 작동하여 패키징에 부적합한지를 결정하기 위하여 웨이퍼 상의 디바이스들을 테스트하는 것이 바람직하다. 이를 위하여, 그 디바이스들이 여전히 웨이퍼상에 있는 동안에 웨이퍼 테스터들은 그 디바이스들에 전력 및 입력 신호들을 인가하고, 미리결정된 테스팅 루틴 동안에 출력들을 모니터한다.

- <4> 각각의 DUT 는 실질적으로 다른 DUT들과 동일하기 때문에, 복수의 동일한 프로브 DUT 어레이들이 존재한다. 각각의 프로브 DUT 어레이는 대응하는 DUT 상의 패드들 중 하나를 분리하도록 별개의 압착을 행하는 프로브들을 포함한다.
- <5> 이러한 프로브 DUT 어레이들은, 프로브 헤드 또는 웨이퍼 프로브 카드의 일부분인 복수의 프로브 헤드들 상에 설치되는 단일 프로브 어레이를 구성한다. 통상적으로, 웨이퍼 프로브 카드는, 프로브 헤드 상의 각각의 DUT 어레이에 대하여 하나의 채널씩 복수의 채널들을 포함한다. 그 결과, 복수의 DUT 어레이들은 웨이퍼 상의 복수의 DUT 들과 동시에 접촉한다.
- <6> 명백하게도, 동시에 테스트될 수 있는 DUT 들이 많을수록, 전체 웨이퍼는 더 빠르게 테스트될 수 있다. 그러나, 그 DUT 어레이들에 접속될 수 있는 테스터 채널들의 개수에는 제한이 있다. 일부 테스터들이 많은 채널들 예를 들어, 128 개의 채널을 포함하지만, 웨이퍼 상에서 테스트될 수백개의 DUT 들이 존재할 수도 있다. 따라서, 테스팅 프로세스는 프로브 DUT 어레이들을 대응하는 제 1 세트의 DUT들에서 패드들과 압착시키는 단계(즉, 제 1 "터치다운"), 테스트를 수행하는 단계, 상기 프로브들을 상기 DUT 들로부터 들어올리는(lifting) 단계, 상기 웨이퍼에 대하여 상기 프로브들을 이동시키는 단계, 또 다른 세트의 DUT 들에서 상기 프로브들을 패드들과 접촉시키는 단계(즉, 제 2 "터치다운") 및 부가적인 DUT들을 테스트하는 단계를 포함한다. 이 프로세스는 웨이퍼 상의 모든 DUT들이 테스트될 때까지 반복된다.
- <7> 상술한 테스팅 프로세스는, 테스팅 동안에 긴밀하게 관련되는 테스트 장치의 비용으로 인하여 매우 시간에 민감하게 된다. 즉, 테스팅이 고속화될 수 있으면, 완성된 반도체 디바이스들의 제조 비용도 또한 감소시킬 수 있다. 따라서, 웨이퍼 당 프로브 어레이 터치다운, DUT 당 복수의 프로브 터치다운 및 터치다운들 사이의 스텝핑(stepping) 거리를 최소화하는 것이 바람직하다. 웨이퍼 상의 총 터치다운 수는, 얼마나 많은 DUT 어레이들이 프로브 헤드 상에 존재하는지에 대한 함수(이는 종종 즉, 테스트 장치가 얼마나 많은 채널을 가지는지에 대한 함수), 상기 웨이퍼 상에 얼마나 많은 DUT들이 존재하는지, 그리고 웨이퍼 DUT들과 DUT 어레이들의 상대적인 구성들의 함수이다. 각각의 테스팅 루틴은 동작을 위한 시간이 소요되기 때문에, 총 터치다운 수를 낮추면 웨이퍼에 대한 테스트 시간을 감소시킬 수 있다. 통상적으로, 터치다운들은 하단(low end)에서 1 또는 2 와 상단에서 약 9 사이에서 변화한다.

발명의 상세한 설명

- <8> 프로브 DUT 어레이가 특정 DUT 와 1 회를 초과하여 접촉되는 경우에, 복수의 DUT 터치다운들이 발생한다. 그러나 이와 달리, 이미 테스트된 DUT들과 프로브 DUT 어레이들이 제 2 및 후속 터치다운 동안에 웨이퍼와 접촉되는 경우에, 이미 테스트된 DUT들과 프로브 DUT 어레이들 사이에 몇몇 오버랩이 존재할 수도 있다. 각 DUT 에 대한 터치다운 수를 가능한 한 적게 바람직하기로는 1 로 제한하는 것이 바람직하다. 이는 프로브들이 패드들과 접촉되는 경우에, 그 패트들이 스크러블링되기 때문이다. 반복된 스크러블링은, DUT 가 적절히 패키지화될 수 없는 지점의 패드들에 손상을 줄 수 있다. 명백하게도, 테스팅 프로세스가 충분히 기능적인 DUT를 손상시키는 것은 바람직하지 않다. 또한, 테스팅 효율은, 터치다운 횟수가 감소할 때 증가한다.
- <9> 최종적으로, 터치다운들 사이의 프로브 어레이와 웨이퍼의 상대적인 측면 이동량인, 스텝핑 거리를 최소화하는 것도 또한 바람직하다. 이와 같이 하면 웨이퍼 상의 모든 DUT들을 완전히 테스트하는데 요구되는 시간을 추가적으로 감소시킬 수 있다. 웨이퍼 당 터치다운, 복수의 터치다운 및 스텝핑 거리는 도면들을 참조하여 더욱 상세히 기술된다.
- <10> 프로브 헤드가 웨이퍼 당 터치다운을 줄이며, DUT 당 복수의 터치다운을 줄이며, 스텝핑 거리를 감소시키는 것이 유리하다.

실시 예

- <56> 이제 도 1 및 도 2 로 돌아가면, 일반적으로 도 1 에서 도면 부호 10 으로 프로브 헤드(12)를 포함하는 프로브 카드가 표시된다. 프로브 카드(10)는 종래 기술의 프로브 헤드 또는 본 발명에 따라 구성되는 프로브 헤드 중 어느 하나를 운반하는데 사용될 수 있다. 프로브 헤드는 프로브 어레이(14)에 형성되는 정사각형들에 의해 개략적으로 표현되는 프로브 DUT 어레이(16)와 같은, 복수의 프로브 DUT 어레이들을 구성하는 프로브 어레이(14)를 포함한다.
- <57> 프로브 DUT 어레이(16)와 같은 프로브 DUT 어레이를 각각은, 도 2 의 프로브들(18, 20)과 같은, 프로브들의 패턴을 포함한다. 도 2 의 프로브들은 프로브 DUT 어레이(16)에서 프로브들의 일부분만을 구성한다. DUT 어레이

(16)와 같은, 각각의 DUT 어레이는 도 2에 도시된 프로브들과 같은 60 내지 80 개의 프로브들 또는 그 보다 많은 프로브들을 포함할 수도 있다. 통상적으로 테스트되는 웨이퍼는, 각각의 DUT에 패드 구성을 포함하여, 서로에 대하여 동일한 DUT들을 포함하기 때문에, 프로브 어레이(14)를 구성하는 프로브 DUT 어레이를 각각도 서로 동일할 수 있다. 프로브들 각각은 프로브(18) 상의 팀(22) 및 프로브(20) 상의 팀(24)과 같은 팀을 포함한다. 이제 곧 설명되는 바와 같이, 웨이퍼 테스트 동안에, 프로브 어레이(14) 내의 프로브들은 웨이퍼와 대향하여 배치되고, 프로브 헤드와 웨이퍼는 웨이퍼의 DUT 들상의 대응하는 패드들과 접촉할 때까지 함께 이동된다. 프로브들은 여기서 참조문헌으로서 포함되는 미국 특허 제 5,974,662 호에 기술된 바와 같이 제조되는 것이 바람직하다.

<58>

프로브 어레이(14)는 공간 변환기(space transformer)(26) 상에 형성된다. 이 공간 변환기는, 테스트 동안에 각각의 DUT에 전력을 인가하는 각각의 프로브 DUT 어레이에서 적정한 프로브들에 접속되는 전력면 및 접지면을 포함하는 복수층의 세라믹 기판을 구비한다. 상기 어레이 내의 프로브들은 공간 변환기에서 상기 복수층 중 다른 층들을 통하여 원형의 인쇄 회로 기판(28) 상의 접촉부들(미도시)에 접속되어 있다. 당해 분야에 공지된 바와 같이, 이러한 접속은 공간 변환기(26)와 회로 기판(28) 사이에 배치되는 개재기(interposer)를 통하여 행해질 수도 있다. 수 천개 만큼이나 많은 접속들이 존재할 수도 있다. 인쇄 회로 기판(28) 상의 접촉부들은, 프로브 DUT 어레이(16)와 같은 각각의 프로브 DUT 어레이를 테스터(미도시) 상의 채널을 구성하는 접촉부들에 접속하는데 사용된다. 각각의 웨이퍼 상의 DUT 구성은 복수의 다른 인자들 예를 들어, 다른 제조자들, 다른 제품들, 다른 테스터들, 다른 웨이퍼 크기 등의 결과에 의해 변할 수 있다. 그 결과, 프로브 헤드들은 이러한 인자들로부터 발생하는 웨이퍼 DUT 패턴에 따라 설계되어야 한다. 웨이퍼 프로버 테스트 설정에 대한 더욱 상세한 설명은, 여기서 참조문헌으로서 포함되는 미국 특허공개 출원 제 2004/0130312 호에서 찾을 수 있다.

<59>

이제 도 3 내지 도 5를 참조하면, 종래 기술의 프로브 어레이 구성(30)이 사선들에 의해 표시된다. 프로브 어레이(30)는, 프로브 어레이(14)가 도 1의 공간 변환기(26) 상에 형성되는 방식과 동일한 방식으로 공간 변환기(도 3에 도시되지 않음)상에 형성된다. 프로브 어레이(30)에 의해 형성된 형상 내에 포함되는 정사각형들의 각각은, 프로브 어레이(30)를 함께 구성하는 프로브 DUT 어레이들 전체에 대하여, 프로브 DUT 어레이(31)와 같은 다른 프로브 DUT 어레이에 대응한다. 프로브 어레이(30)에서는 총 205 개의 프로브 DUT 어레이가 존재한다. 도 4 및 도 5에서 반도체 웨이퍼 상의 DUT 들의 배열은, DUT 패턴(32)의 정사각형들 각각이 상기 웨이퍼 상에 형성되는 다른 DUT에 대응하는 상태로, DUT 패턴(32)을 포함하는 획이 굵은(bold) 라인 내의 정사각형들에 의해 개략적으로 표시된다. DUT 패턴(32)을 포함하는 웨이퍼 주변부의 원 형상은 도면들에 도시되어 있지 않다. 도 4에서 알 수 있는 바와 같이, 많은 프로브 DUT 어레이들은 웨이퍼 상의 대응 개수의 DUT들을 이용하여 등록된다. 그러나, DUT들 중 다수는 대응하는 DUT 어레이를 사용하여 등록되지 않는다. 또한, 프로브 DUT 어레이(34)와 일부 프로브 DUT 어레이(36)와 같은 프로브 DUT 어레이들의 일부는, DUT 패턴(32)을 넘어서 연장되므로 DUT 와 대향되지 않는다. 프로브 어레이(30)에서는 총 205 개의 프로브 DUT 어레이들이 존재하며, 웨이퍼 상의 DUT 패턴(32)에서는 총 290 개의 DUT가 존재한다.

<60>

도 3에 도시된 구성을 가지는 종래 기술의 프로브 헤드를 동작시키기 위하여, 프로브 헤드와 웨이퍼는, DUT 패턴(32) 상의 대응하는 패드들과 대향하는 상태로, DUT 어레이들 상의 프로브들이 맨 먼저 도 4에 도시된 바와 같이 서로에 대하여 위치된다. 웨이퍼와 프로브들은, 프로브들이 DUT 들 상의 패드들과 접촉할 때 까지 서로를 향하여 이동된다. 각각의 DUT에는 적절한 프로브들로부터 전력이 공급되며, 미리 결정된 테스트 프로그램은 DUT 어레이와 대향하는 DUT 패턴(32)들 각각에서 동시에 동작한다. 다양한 입력 신호들이 DUT에 공급되고, DUT 출력들은, DUT 가 설계된 바와 같이 기능하는지를 확인하도록 모니터된다. 그 테스트 프로그램이 동작하고, 어느 DUT들이 완전하게 동작하며 어느 것이 이용될 수 없는지에 대한 결정을 행한 이후에, 프로브 헤드와 웨이퍼는 서로 분리되고, 그 프로브 헤드는 도 5의 위치로 스테핑되며 즉, 상기 웨이퍼에 대하여 측면으로 이동된다. 그 후, 프로브 어레이(30) 및 웨이퍼는, 상기 어레이의 프로브 팀들이 상기 DUT 들 상의 대응하는 패드들에 대한 압착을 행하도록, 다시 이동되어 서로 접촉된다. 전력이 다시 공급되고, 동일한 테스트 절차가 수행되어 상기 어레이 상의 나머지 DUT들을 테스트한다. 도 4와 도 5를 비교함으로써 알 수 있는 바와 같이, 웨이퍼의 중앙 부분에서의 많은 DUT들은 양자의 터치다운 동안에 이들에 대하여 강제되는 프로브들을 가진다. 이 예에 있어서, 단일 터치다운에서 웨이퍼 상의 모든 DUT들과 접촉하기 위하여 큰 프로브 헤드 어레이가 구성되지 않는 이유는, 불충분한 개수의 테스터 채널들, 공간 변환기(26)(도 1에 도시됨)의 제조에 있어서의 크기 제한, 프로브(18, 20)들(도 2에 도시됨)을 가진 공간 변환기(26)를 배치하는 경우에서의 수율 문제들을 포함하기 때문이다. 이러한 특정한 경우에서, 도 4에 도시된 웨이퍼의 하부 3 개의 행(row)은, 현재 이용가능한 공간 변환기(26)가 충분히 크지 않기 때문에 접촉될 수 없다.

- <61> 도 6 의 그래픽 표시는, 프로브 DUT 어레이로부터 단일 접촉 또는 터치다운되는 DUT들의 개수 및 2 회 터치다운되는 DUT의 개수를 양자화한다. DUT 패턴(32)에서 정사각형에 의해 도시되는 각각의 DUT는, 각각 DUT 위에 숫자 1 또는 2 중 어느 하나를 포함한다. 숫자 1 을 가지는 DUT 들은, 도 4 및 도 5 에 도시된 바와 같이 프로브 어레이(30)의 애플리케이션의 결과로서 단지 1 회 터치다운되는 한편 숫자 2 를 운반하는 DUT들은 2 회 터치다운된다.
- <62> 도 6 에서 행(row) 38, 40, 42 에서의 숫자는 각각 0, 1 및 2 회의 터치다운을 가지는 DUT들을 표시한다.
- <63> 먼저, 테스트되지 않은 DUT를 남겨두는 것은 바람직하지 않기 때문에, DUT들 중 어느 것도 0 회의 터치다운을 갖지는 않는다. 예를 들어 좌측으로부터 5번째 열(column)에서 알 수 있는 바와 같이, 이중 터치다운 행에서 숫자 7 이 존재하고 단일 터치다운 행에서 숫자 11 이 존재한다. 숫자 7 은 상기 숫자 7 보다 높은 열에서의 DUT들의 이중 터치다운의 개수를 합산함으로써 유도되었다. 이와 유사하게, 숫자 11 은 동일 열에서의 DUT들로부터 단일 터치다운의 개수를 합산함으로써 유도되었다. 그리고 다른 열들의 숫자 각각은 이와 유사하게 유도된다. 그 결과, 행 42 에서의 전체 터치다운의 합은 107 과 동일하게 되는데 즉, 웨이퍼 상의 107 개의 DUT들이 이중 터치다운된다. 이와 유사하게, 행 40 에서의 숫자들의 합은 183 과 동일하게 되는데 즉, 183 개의 DUT들이 단일 터치다운된다. 107 과 183의 합은, 웨이퍼상의 DUT들의 총 개수인 290 과 동일하다.
- <64> 요약하면, 205 개의 프로브 DUT 어레이들은, 290 개의 DUT들 중 107 개의 DUT가 이중 터치다운되는 상태로 2 회의 웨이퍼 터치다운시에 웨이퍼 상의 모든 DUT들을 테스트한다.
- <65> 이제 도 7 내지 도 10 을 참조하면, 또 다른 종래 기술의 프로브 어레이 구성(11)이 사선들에 의해 표시된다. 도 3 내지 도 5 에서와 같이 동일한 개략적인 표현들이 도 7 내지 도 10 에서 사용된다. 즉, 프로브 어레이(11)는 공간 변환기 상에 형성되고(도 7 내지 도 10에 도시되지 않음), 도 8 및 도 9 에서 프로브 어레이(11)에 의해 형성된 형상 내에 포함되는 정사각형들 각각은, 프로브 DUT 어레이들 모두가 프로브 DUT 어레이(11)를 함께 형성하는 상태로, 다른 프로브 DUT 어레이에 대응한다.
- <66> 이와 유사하게, 도 8 및 도 9 에서 반도체 웨이퍼 상의 DUT들의 배열은, 획이 짙은 선 내의 정사각형들 각각이 상기 웨이퍼 상에 형성되는 다른 DUT 에 대응하는 상태로, 상기 DUT 패턴을 포함하는 획이 짙은 라인 내의 정사각형들에 의해 개략적으로 표시된다. 도 8 및 도 9 모두에서 알 수 있는 바와 같이, 복수의 프로브 DUT 어레이들이 웨이퍼 상의 대응하는 개수의 DUT들에 등록된다. 그러나, 그 DUT들 중 다수가 대응하는 DUT 어레이에 등록되지 않는다. 또한, 프로브 DUT 어레이들의 일부는 프로브 DUT 패턴을 넘어서 연장되므로 DUT와 대향하지 않는다.
- <67> 도 7 에 도시된 구성을 가지는 종래 기술의 프로브 헤드를 동작시키기 위하여, 프로브 헤드와 웨이퍼는, DUT 어레이들 상의 프로브들이 대응하는 DUT 패드들과 대향하는 상태로, 맨 먼저 도 8 에 도시된 바와 같이 서로에 대하여 위치된다. 이 웨이퍼와 프로브들은, 이 프로브들이 패드들과 접촉할 때 까지 서로를 향하여 이동된다. 테스팅이 상술한 바와 같이 진행되어 종료된 경우에, 프로브 헤드 및 웨이퍼는 서로 분리되고, 프로브 헤드는 도 9 의 위치로 스텝핑된다. 그 후, 프로브 어레이(11)와 웨이퍼는 또 다른 테스팅 라운드 동안에 다시 이동되어 서로 접촉된다.
- <68> 도 8 및 도 9 에 도시된 프로브 어레이(11)의 터치다운들은, 숫자 1, 2 가 각각 도 8 및 도 9 의 터치다운들을 표시하는 상태로, 도 10 에서 직사각형 13 에 의해 표현된다. 도 10 은 웨이퍼 상의 모든 DUT 들의 테스트를 완료하는데 요구되는 부가적인 터치다운들 각각에 대한 개략적인 도면이다. 예를 들어, 직사각형 13 에서 DUT 들 모두를 테스트하는, 터치다운 1, 2 이후에, 프로브 헤드는, 직사각형 15 이내에서 도 10 에 개략적으로 예시된, 위치 3 으로 스텝핑된다. 이 프로브 헤드는 테스팅 동안에 DUT들과 다시 접촉한다. 그 후, 프로브 어레이 및 웨이퍼는 서로 분리되고, 프로브 헤드는, 직사각형 15 내에서 DUT들 전체의 테스트를 완료하기 위하여, 도 8 과 도 9 사이의 1행 스텝과 유사하게, 1 행의 DUT들 만큼 스텝 다운된다.
- <69> 프로브 어레이(11)는 숫자 5, 6 를 운반하는 직사각형으로 그리고 그 직사각형 내에서 모든 DUT들의 5 번째와 6 번째 터치다운 및 테스팅 완료 상태로 다시 스텝핑된다. 부가적인 스텝핑 및 테스팅은, DUT 들 전체가 테스트될 때까지 도 10 의 직사각형들에서 예시되는 바와 같이 발생한다. 도 10 에 예시된 바와 같이, 이는 총 14 회의 터치다운을 필요로 한다.
- <70> 도 8 및 도 9 로부터 웨이퍼 상의 DUT 패턴의 다소 확대된 버전은, 각 DUT 가 경험하는 터치다운 수에 따라 도 11에 도시된다. 알 수 있는 바와 같이, 프로브 어레이(11)가 상술된 스텝핑 패턴에 사용되는 경우의 유리한 특징은, 각각의 DUT 가 테스팅 동안에 단일 터치다운만을 경험하게 된다는 점이다. 한편, 웨이퍼 상의 모든 DUT

들을 테스트하기 위하여 총 14 회의 터치다운이 요구된다. 이는 DUT를 전체를 테스트하는 시간을 비교적 길게 만든다.

<71> 이제 도 12 내지 도 15 를 참조하면, 또 다른 종래 기술의 프로브 어레이(17)가 도 7 내지 도 10 에서와 같이 동일한 개략적인 표현을 이용하여 도시된다. 도 7 내지 도 10 은 스kip된 행(row) 접근방식에 대하여 고려될 수도 있는 반면에, 도 12 내지 도 15 는 유사한 접근방식을 포함하지만 스kip된 열들을 이용한다. 예를 들어, 웨이퍼 DUT 들에서의 제 1 터치다운은, 도 14 에 제 2 터치다운이 예시되는 상태로 도 13 에 예시된다. 도 13 또는 도 14 로부터의 스텝은 DUT들의 1 열의 측면 시프트를 포함한다. 스텝 1, 2 는 직사각형 19를 통하여 도 15 에 개략적으로 예시된다. 도 15 에서 알 수 있는 바와 같이, 프로브 어레이를 맨 먼저 터치다운 3 으로, 그 후 1 열 만큼 측면 시프트하여 터치다운 4 로, 이어서 터치다운 5 로, 또 다른 측면 시프트를 행하는 등의 부가적인 단계들은, 웨이퍼 상의 DUT들 모두를 테스팅한다. 도 15 에 예시된 바와 같이, 이러한 접근방식은 총 16 회의 터치다운을 필요로 한다.

<72> 이제 도 16 을 참조하면, 웨이퍼 상의 DUT 패턴의 약간 확대된 버전은 각각의 DUT 에서의 터치다운 수를 예시한다. 스kip된 행(row) 프로브 어레이에서와 같이, 각각의 DUT 는 단일 터치다운만을 경험한다. 그러나, 웨이퍼 상의 전체 494 개의 DUT들을 테스트하기 위해서는 총 16 회의 터치다운이 요구된다. 또한, 이는 전체 DUT들을 테스트하는 시간을 비교적 길게 만든다.

<73> 이제 도 17 내지 도 22 를 참조하면, 또 다른 종래 기술의 프로브 어레이(21) 및 테스팅 방법이 예시되어 있다. 종래 기술의 이전 설명에서와 같이 동일한 개략적인 표현들이 도 17 내지 도 22 에 사용된다. 여기서는 체커보드 접근방식에 대하여 고려될 수 있는 것을 나타낸다. 도 18 내지 도 21 에서 알 수 있는 바와 같이, 프로브 어레이(21)는 도 18 에 도시된 제 1 위치에서 터치다운한다. 그 후, 프로브 어레이(11) 내의 각 DUT 어레이가 제 1 터치다운에서 테스트된 DUT와 인접한 DUT 에 걸쳐 있도록 프로브 어레이(21)는 오른쪽으로 이동한다. 다음으로, 도 19 및 도 20 각각에서 제 2 터치다운으로부터 제 3 터치다운으로 진행하면, 프로브 어레이(21)는 하나의 DUT 및 하나의 DUT 어레이 만큼 스텝 다운된다. 최종적으로, 도 21 에서, 프로브 어레이는 좌측으로 1 열(column) 이동한다.

<74> 도 22 를 참조하여, 직사각형(23)은 도 18 내지 도 21에서의 4 회의 터치다운 모두를 나타낸다. 전체 4 회의 터치다운을 완료하고 각 터치다운 이후의 테스트의 결과, 직사각형(23)내의 DUT 들 전체가 테스트된다.

<75> 다음으로, 프로브 어레이(21)는, 5 번째, 6 번째, 7 번째 및 8 번째 터치다운을 위한 인접한 직사각형으로 이동하며, 이들 터치다운은 18 내지 도 20 에 나타낸 터치다운들과 유사하며, 그 직사각형 내의 모든 DUT 들을 테스트한다. 테스트는 총 16 회의 터치다운을 통하여 도 22 의 2 개의 하부 직사각형 각각으로 지속하며, 이는 웨이퍼 상의 DUT들 전체의 테스트를 종료시킨다. 도 23 에서, 이전의 2 개의 실시형태에서와 같이, DUT들 전체가 테스트되고 단일 터치다운만을 경험한다. 그러나, 또한 많은 수의 터치다운 즉, 16 회의 터치다운이 존재하고, 이는 웨이퍼에 대한 긴 테스트 기간을 생성한다.

<76> 이제 도 24 내지 도 26 을 참조하면, 여기서는 본 발명에 따라 구성되는 프로브 어레이(25)가 도시된다. 프로브 어레이(25)는 웨이퍼를 터치하는 64 DUT 어레이를 포함하며, 이는 스kip된 행(row), 스kip된 열(column) 및 체커보드의 종래 기술의 프로브들을 사용하여 예시된 바와 같이, 동일한 구성에서 동일한 수의 DUT를 가진다. 패턴(27)과 같이, 도 26 에서의 각각 마름모꼴 또는 다이아몬드 형상의 패턴은, 프로브 어레이(25)의 다른 터치다운을 나타낸다. 도 26 에서 알 수 있는 바와 같이, 패턴(27)과 같이 대응하여 수치화된 패턴들에 의해 예시된 총 9 회의 터치다운은 웨이퍼 상의 DUT들 각각을 테스트하는데 요구된다. 도 27 에 예시한 바와 같이, DUT들 각각은 단일 터치다운만을 경험한다. 그러나, 터치다운의 총 개수가 단지 9 이며, 이는 상술된 스kip된 행(row), 스kip된 열(column) 또는 체커보드의 종래 기술의 프로브 어레이들 중 임의의 것이 가진 터치다운 수보다 작다. 도 27 에 도시된 웨이퍼에 대하여, 8 DUT 어레이 × 8 DUT 어레이(총 64 DUT 어레이)를 구비하는 정사각형 어레이(미도시)는, 도 27 에서 웨이퍼 상의 모든 DUT들을 테스트하기 위하여 12 회의 터치다운을 필요로 하며, 4 DUT 어레이 × 16 DUT 어레이(또한 총 64 DUT 어레이)의 직사각형 어레이(미도시)는 테스트를 완료하기 위하여 11 회의 터치다운을 필요로 한다.

<77> 이제 도 28 을 참조하면, 프로브 어레이(44)는 복수의 프로브 DUT 어레이를 포함하며, 또한 본 발명에 따라 구성된다. 이전에 설명한 프로브 어레이들과 같이, 프로브 어레이(44)는 도 1 에 도시된 바와 같이 공간 변환기 상에 형성된다. 프로브 어레이(44)는 웨이퍼 상에 도 4 내지 도 6 에서와 동일한 DUT 패턴을 가지는 DUT들 즉, 동일한 구성에 위치되는 동일한 개수의 DUT들 더 자세히 말하면 DUT 패턴(32)에 적용된다. 그러나, 프로브 어레이(44)의 구성은, 개구부(46)로 인하여 현저하게 다르게 된다.

<78> 종래 기술의 프로브 헤더를 가지는 경우에서와 같이, 웨이퍼 상의 DUT 패턴(32)내의 DUT들은 2 회의 터치다운에서 모두 테스트되며, 첫번째 터치다운은 도 29에 도시되어, 두번째 터치다운은 도 30에 도시되어 있다. 도 29 및 도 30에서 알 수 있는 바와 같이, 2 회의 터치다운에서 2 DUT 어레이들은 DUT 패턴(32) 외부에 있다. DUT 어레이가 경계선 외부에 있는 경우에, DUT 어레이는 DUT와 대향하지 않으므로 사용되지 않는다. 도 4 및 도 5에서 알 수 있는 바와 같이, 제 1 터치다운에서 4 개의 DUT 와 제 2 터치다운에서 3 개의 DUT 가 경계선 외부에 있다.

<79> 또한, 도 31의 개략적인 차트에서 알 수 있는 바와 같이, 종래 기술의 도 6의 일례에서 보다 이중 터치다운에 노출된 훨씬 적은 DUT들이 존재한다. 그리고, 이는 프로브 어레이(30)에서의 205 DUT 어레이들과 대조하여 적은 DUT 어레이들 즉, 프로브 어레이(44)에서의 161 DUT 어레이들을 사용하여 모두 행해진다. 그 결과, 더 적은 테스터 채널들이 이용될수록, 더 적은 DUT 어레이들이 각 터치다운에 이용되며, 더 적은 DUT 들이 이중 터치다운에 노출된다. 이러한 개선은 효율을 증가시키며, 복수의 터치다운들에 기인하는 손상의 가능성을 감소시킨다.

<80> 이제 도 32 내지 도 35를 참조하면, 또 다른 프로브 어레이(48)가 본 발명에 따라서 구성되며, 또한 DUT 패턴(32)에 사용된다. 그러나, 프로브 어레이(44)에 대하여 161 DUT 어레이들을 가지는 것과 대조하여, 프로브 헤드(48)가 133 DUT 어레이만을 가지기 때문에, 3 회의 터치다운이 필요하게 된다. 반도체 웨이퍼상에 DUT 어레이들 및 DUT 들의 각각의 위치들을 나타내는 3 개의 터치다운들이, 도 33, 34, 35에 순차적으로 도시된다. 도 36에서 알 수 있는 바와 같이, 테스트중인 전체 290 개의 DUT들에 대하여 75 개의 DUT가 이중 터치다운을 경험하고 211 개의 DUT가 단일 터치다운을 경험하는 상태로 4 DUT들만 3 중 터치다운을 경험한다. 프로브 어레이(48)가 웨이퍼 당 더 많은 터치다운을 그리고 4 개의 3 중 터치다운을 야기하는 동안에, 이는 여전히 최선의 해결책이 될 수도 있으며, 여기서 테스터 채널들의 수는 161 보다 적은 수로 제한된다.

<81> 이제 도 37 내지 도 40을 참조하면, 프로브 어레이(50)는 본 발명에 따라 구성된다. 이 프로브 어레이는 다른 개수의 DUT들 및 이전에 예시된 DUT 패턴과는 다른 구성을 가지는 웨이퍼에 사용되도록 설계된다. DUT 패턴(52)은 총 169 DUT를 포함하지만 프로브 어레이(50)는 총 85 DUT 어레이를 포함한다. 도 38 내지 도 40에 도시된 3 회의 웨이퍼 터치다운은, DUT 패턴(52)에서 DUT들 각각을 테스트하는데 사용된다. 도 41에서 알 수 있는 바와 같이, 3 회의 터치다운이 사용되지만, DUT들은 3 중 터치다운을 경험하지 않고, 138 개의 DUT 가 단일 터치다운만을 경험하는 상태로 31 개의 DUT 만이 이중 터치다운을 경험한다.

<82> 도 42 내지 도 44에서, 본 발명에 따라 또한 구성되는 또 다른 프로브 어레이(54)는, 도 38 내지 도 41에 예시된 바와 같이 동일한 DUT 패턴(52)을 테스트하는데 사용된다. 그러나, 여기서는 프로브 어레이(54)에서 총 95 개의 DUT 어레이가 존재한다. 부가적인 개수의 DUT 어레이들은, 도 38 내지 도 40에서 예시된 프로브 어레이(50)에 의해 사용되는 3 회의 터치다운과는 반대로, 도 43 및 도 44에 예시된 웨이퍼 상의 2 개의 터치다운만을 사용하여 DUT 패턴(52)에서의 모든 DUT들을 테스트할 수 있다. 도 45에서, DUT 패턴(52)에서의 DUT들 중 6 개의 DUT들만이, 오직 터치다운만을 수신하는 상태로, 나머지 DUT들이 이중 터치다운을 경험할 수 있음을 알 수 있다. 이러한 결과들은 동일한 DUT 구성에 대하여 프로브 어레이(50)에 의해 획득되는 결과에 비하여 우수하지만, 제한된 개수의 테스터 채널들과 같은 제약들이 95 DUT 어레이들을 포함하는 프로브 어레이(54)와 같은 프로브 어레이의 사용을 방지한다면 프로브 어레이(50)는 85 개의 DUT 어레이만을 포함하므로 최선의 해결책이 될 수 있음을 상기한다.

<83> 요약하면, 상술된 프로브 패턴들은 웨이퍼 당 터치다운을 적게 하며, DUT 당 복수의 터치다운을 적게 하며, 요구된 테스터 채널들의 개수를 감소시키며, 터치다운들 사이의 스텝핑 거리를 감소시킴으로써, 비용 및 처리 시간을 감소시키고 테스트되는 반도체 다이들의 품질을 증가시킨다. 본 발명의 일 양태에서, 본 발명의 패턴들은, 개구부들, 오목부(indentation)들, 돌출부(protuberance)들 및 아일랜드(island)들과 같은 하나 이상의 불연속 요소(discontinuity)의 조합이 고려될 수 있다. 예를 들어, 개구부(46) 및 오목부(56)는 도 28에 도시되며, 돌출부(58)는 도 32에 도시되며, 아일랜드(60)는 도 42에 도시된다. 도 28에 도시된 패턴(44)의 상부에서 2 DUT 어레이(62)는, 이들이 단지 대략 타원 형상의 패턴(44)의 상부 아치모양(arcuate)의 부분을 채우므로 돌출부들에 대해서는 고려되지 않음을 주목한다. 다소, 돌출부 및 오목부가 의미하는 것은, 패턴의 주변부의 일반적인 형상으로부터의 국부적인 불연속 또는 일탈(deviation)이다.

<84> 다른 유리한 패턴들(미도시)은, 하나 이상의 아일랜드들이 이들 자신의 개구부들, 오목부들 및/또는 돌출부들을 가지는 상태로, 전체 프로브 헤드 패턴의 메인 또는 간섭성 주변부 없이, 각각이 많은 DUT 어레이들을 가지는 복수의 아일랜드를 포함할 수 있다.

- <85> 본 발명의 또 다른 양태에서, 평행사변형 또는 다른 대칭적인 패턴과 같은 대칭적인 패턴은, 반도체 웨이퍼 상의 DUT들의 수평선 또는 수직선 중 임의의 것과 평행하지 않은 라인들에서 DUT 어레이들을 포함할 수 있다.
- <86> 도시된 패턴들은, 여기서 그 전체가 참고문헌으로서 포함되는 미국 특허 제 5,806,181호에 기술된 바와 같은, 복수의 프로브 헤드들로부터 구성될 수 있음을 이해하는 것이 중요하다. 또한, 이는 텅스텐 바늘, 베클링(buckling) 빔 또는 접촉부들과 같은 "코브라(cobra)", MEMs 구조들, 멤브레인 프로브들 또는 다른 적절한 구조들의 이용을 포함하는, 프로브 카드 또는 웨이퍼 접촉기 구조의 다른 방법들이, 유사한 이점을 가진 유사한 패턴들에서 배열될 수 있는 경우이다. 그 패턴들은 실리콘 웨이퍼들 상의 전자식 다이들을 테스트하는 프로브 헤드들에서 사용하는 것이 제한되지 않지만, "고온 검사(burn-in)" 또는 테스트와 같은 임의의 목적을 위하여 디바이스들과 반복 접촉하는 접촉부들의 어레이를 가지는 임의의 접촉기(contactor)에 적용될 수 있다.
- <87> 본 발명의 바람직한 실시형태에서 본 발명의 원리들을 설명하고 예시하였지만, 본 발명이 본 발명의 원리들을 벗어나지 않고 배열 및 세부항목에 있어서 변경될 수 있음을 명백하게 알 수 있다. 이하의 청구항들의 사상 및 범위 내에 있는 모든 변경사항 및 변동사항을 청구한다.

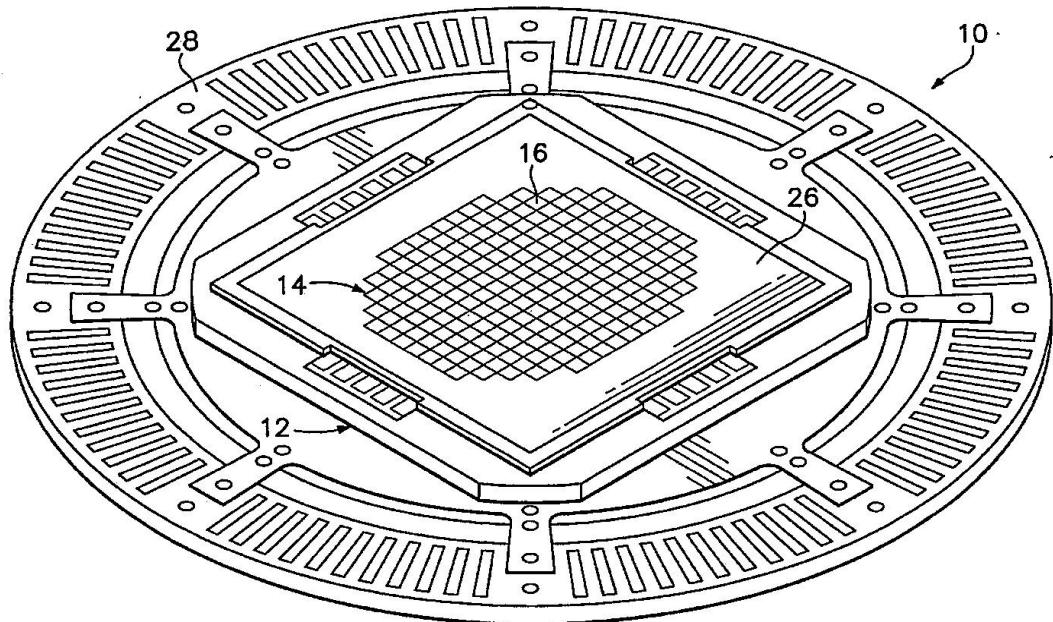
도면의 간단한 설명

- <11> 도 1은 프로브 카드에 설치된 프로브 헤드를 가지는 프로브 카드의 사시도이다.
- <12> 도 2는 도 1의 프로브 헤드 상의 프로브 DUT 어레이의 일부분을 크게 확대한 도면이다.
- <13> 도 3은 프로브 헤드 상의 프로브 DUT 어레이들의 종래 기술의 구성에 대한 개략도이다.
- <14> 도 4는 제 1 터치다운 동안에 각각이 웨이퍼상의 DUT들의 주변부를 나타내는 획이 굵은(bold) 라인 내의 정사각형에 의해 개략적으로 표시되는 복수의 DUT를 웨이퍼상에 가지는 도 3의 프로브 DUT 어레이들을 나타낸다.
- <15> 도 5는 제 2 터치다운 동안의 프로브 DUT 어레이들을 나타내는 도 4와 유사한 도면이다.
- <16> 도 6은 DUT 당 터치다운 수를 나타내는 도 4 및 도 5에 도시된 DUT 구성의 확대된 버전이다.
- <17> 도 7는 프로브 헤드 상의 프로브 DUT 어레이들의 또 다른 종래 기술의 구성에 대한 개략도이다.
- <18> 도 8은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는, 복수의 DUT를 웨이퍼상에 가지는 도 7의 프로브 DUT 어레이들을 나타낸다.
- <19> 도 9은 제 2 터치 동안의 프로브 DUT 어레이들을 나타내는 도 8과 유사한 도면이다.
- <20> 도 10은 웨이퍼 상의 전체 DUT들을 테스트하는데 요구되는 총 터치다운 수를 나타내는 개략도이다.
- <21> 도 11은 DUT 당 터치다운 수를 나타내는 도 8 및 도 9에 도시된 DUT 구성의 확대된 버전이다.
- <22> 도 12는 프로브 헤드 상의 프로브 DUT 어레이들의 또 다른 종래 기술의 구성에 대한 개략도이다.
- <23> 도 13은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는, 복수의 DUT를 웨이퍼상에 가지는 도 12의 프로브 DUT 어레이들을 나타낸다.
- <24> 도 14는 제 2 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 13과 유사한 도면이다.
- <25> 도 15는 웨이퍼 상의 모든 DUT들을 테스트하는데 요구되는 총 터치다운 수를 나타내는 개략도이다.
- <26> 도 16은 DUT 당 터치다운 수를 나타내는 도 13 및 도 14에 도시된 DUT 구성의 확대된 버전이다.
- <27> 도 17은 프로브 헤드 상의 프로브 DUT 어레이들의 또 다른 종래 기술의 구성에 대한 개략도이다.
- <28> 도 18은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT들을 웨이퍼 상에 가지는 도 17의 프로브 DUT 어레이들을 나타낸다.
- <29> 도 19는 제 2 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 18과 유사한 도면이다.
- <30> 도 20은 제 3 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 18 및 도 19와 유사한 도면이다.
- <31> 도 21은 제 4 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 18 내지 도 20과 유사한 도면이다.
- <32> 도 22는 웨이퍼 상에 모든 DUT들을 테스트하는데 요구되는 총 터치다운 수를 나타내는 개략도이다

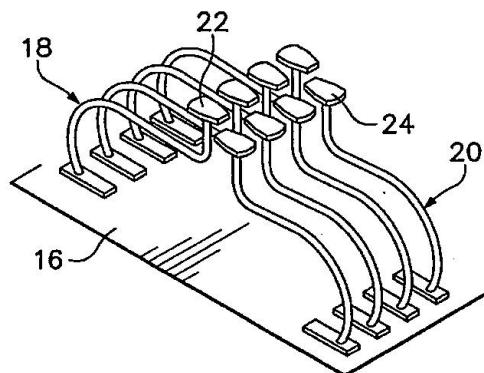
- <33> 도 23 은 DUT 당 터치다운 수를 나타내는 도 18 내지 도 21 에 도시된 DUT 구성의 확대된 버전이다.
- <34> 도 24 는 본 발명에 따라 구성된 프로브 헤드 상의 프로브 DUT 어레이들의 개략도이다.
- <35> 도 25 는 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT 들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT들을 웨이퍼상에 가지는 도 24 의 프로브 DUT 어레이를 나타낸다.
- <36> 도 26 은 웨이퍼 상의 모든 DUT들을 테스트하는데 요구되는 총 터치다운 수를 나타내는 개략도이다
- <37> 도 27 은 DUT 당 터치다운 수를 나타내는 도 25 에 도시된 DUT 구성의 확대된 버전이다.
- <38> 도 28 은 본 발명의 제 2 실시형태에 따라 구성되는 프로브 헤드 상의 프로브 DUT 어레이들의 개략도이다.
- <39> 도 29 는 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT 들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT들을 웨이퍼상에 가지는 도 28 의 프로브 DUT 어레이들을 나타낸다.
- <40> 도 30 은 제 2 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 29 와 유사한 도면이다.
- <41> 도 31 은 DUT 당 터치다운 수를 나타내는 도 29 및 도 30 에 도시된 DUT 구성의 확대된 버전이다.
- <42> 도 32 는 본 발명의 제 3 실시형태에 따라 구성되는 프로브 헤드 상의 프로브 DUT 어레이들에 대한 개략도이다.
- <43> 도 33 은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT 들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT 들을 웨이퍼 상에 가지는 도 32 의 프로브 DUT 어레이들을 나타낸다.
- <44> 도 34 는 제 2 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 33 과 유사한 도면이다.
- <45> 도 35 는 제 3 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 33 및 도 34 와 유사한 도면이다.
- <46> 도 36 은 DUT 당 터치다운 수를 나타내는 도 33 내지 도 35 에 도시된 DUT 구성의 확대된 버전이다.
- <47> 도 37 은 본 발명의 제 4 실시형태에 따라 구성되는 프로브 헤드 상의 프로브 DUT 어레이들에 대한 개략도이다.
- <48> 도 38 은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT 들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT 들을 웨이퍼상에 가지는 도 37 의 프로브 DUT 어레이들을 나타낸다.
- <49> 도 39 는 제 2 터치다운 동안에 프로브 DUT 어레이들을 나타내는 도 38 과 유사한 도면이다.
- <50> 도 40 은 제 3 터치다운 동안에 프로브 DUT 어레이들을 도시하는 도 38 및 도 39 와 유사한 도면이다.
- <51> 도 41 은 DUT 당 터치다운 수를 나타내는 도 38 내지 도 40 에 도시된 DUT 구성의 확대된 버전이다.
- <52> 도 42 는 본 발명의 제 5 실시형태에 따라 구성되는 프로브 헤드 상의 프로브 DUT 어레이들에 대한 개략도이다.
- <53> 도 43 은 제 1 터치다운 동안에, 각각이 웨이퍼 상의 DUT 들의 주변부를 나타내는 획이 굵은 라인 내의 정사각형에 의해 개략적으로 표현되는 복수의 DUT 들을 웨이퍼상에 가지는 도 42 의 프로브 DUT 어레이들을 나타낸다.
- <54> 도 44 는 제 2 터치다운 동안에 프로브 DUT 어레이들을 도시하는 도 43 과 유사한 도면이다.
- <55> 도 45 는 DUT 당 터치다운 수를 나타내는 도 43 및 도 44 에 도시된 DUT 구성들에 대한 확대된 버전이다.

도면

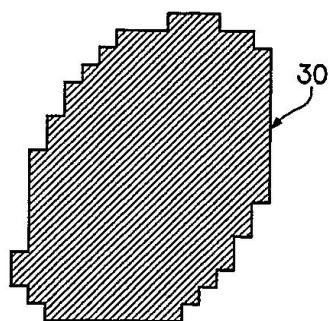
도면1



도면2

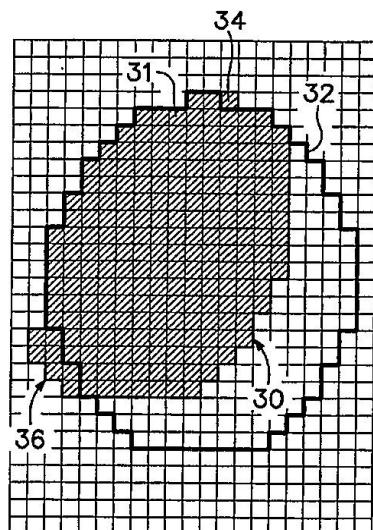


도면3



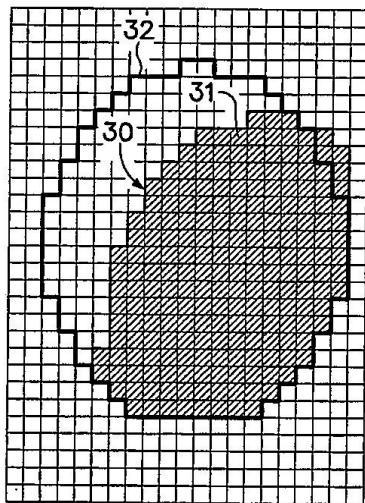
종래 기술

도면4



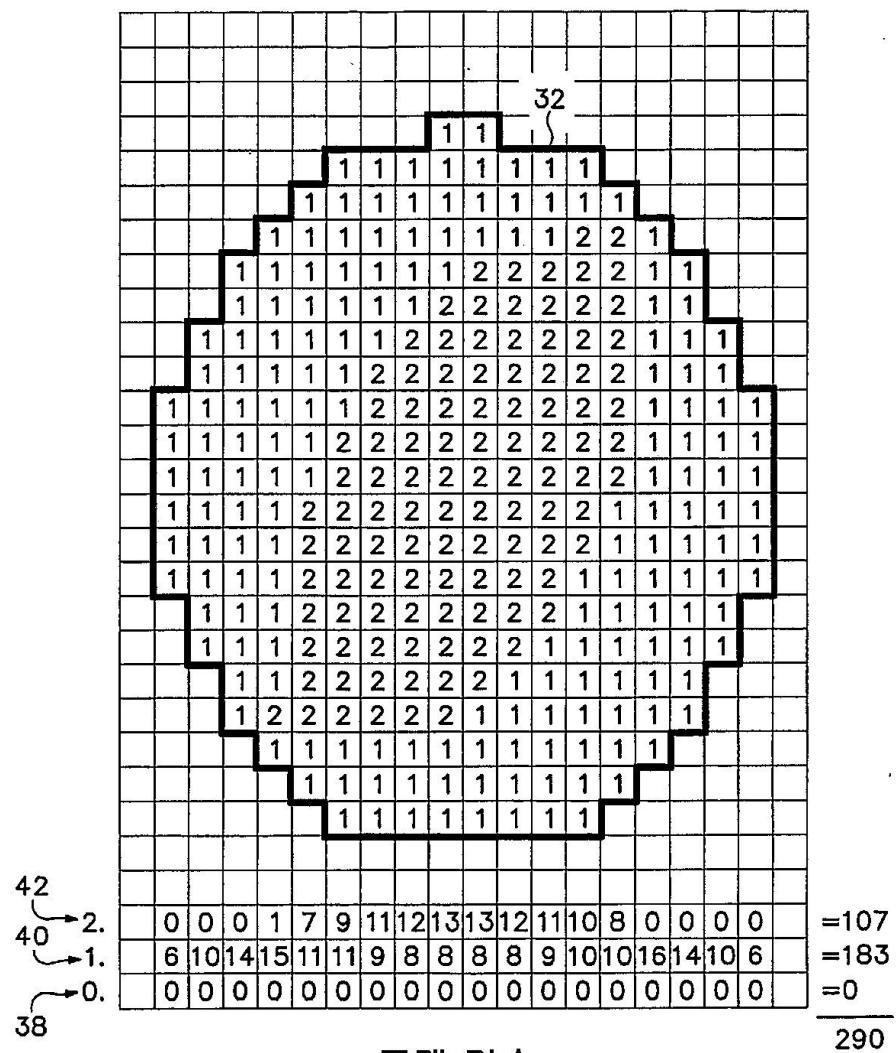
종래 기술

도면5



종래 기술

도면6



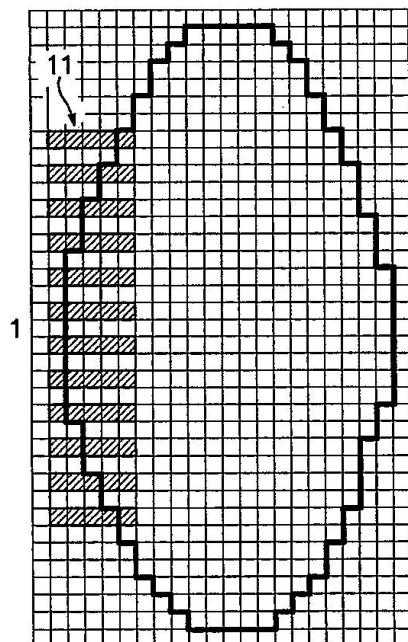
종래 기술

도면7



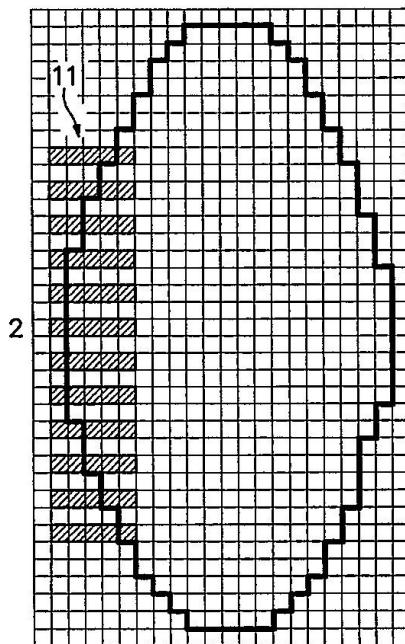
종래 기술

도면8



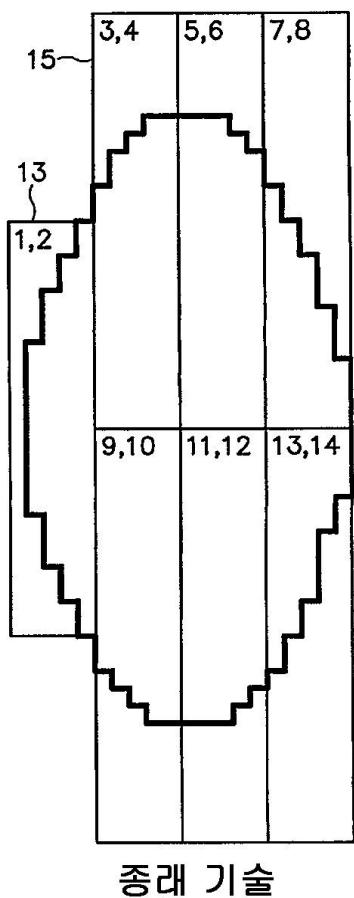
종래 기술

도면9



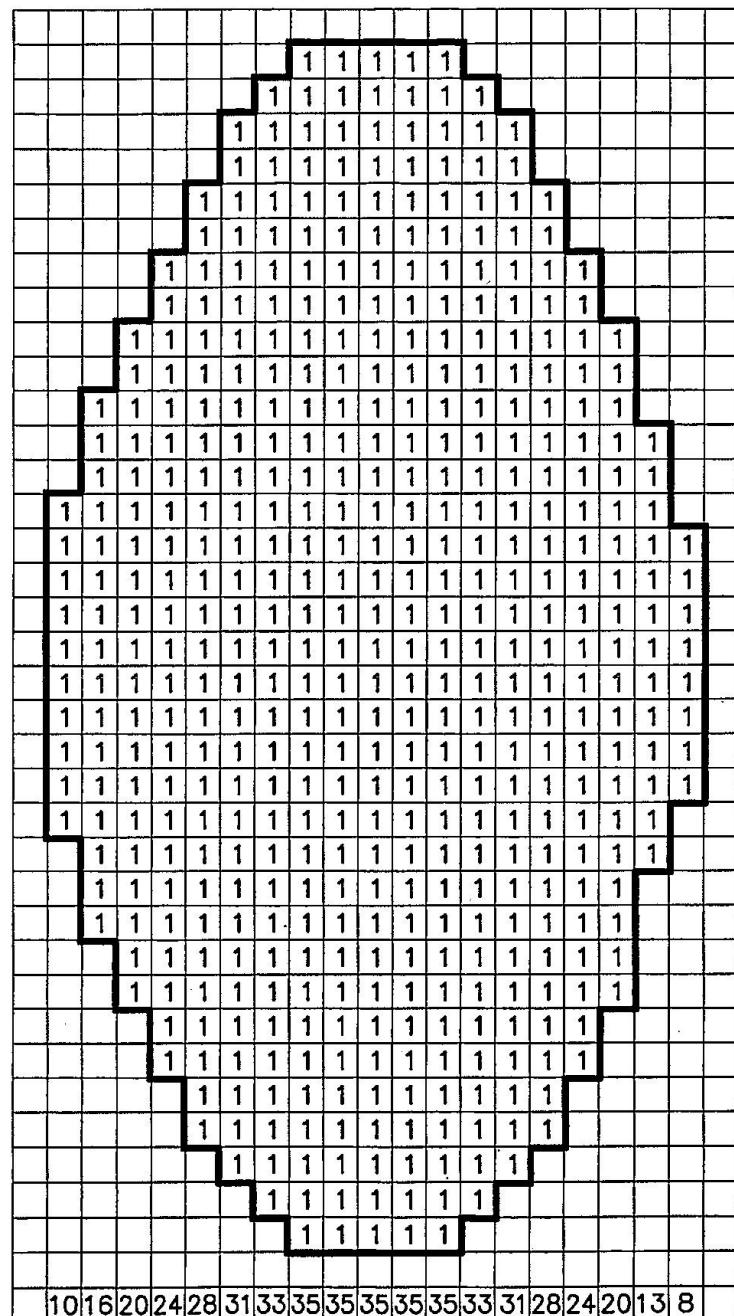
종래 기술

도면10



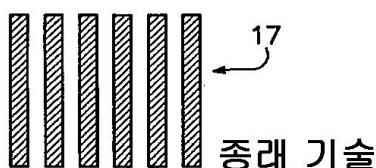
종래 기술

도면11

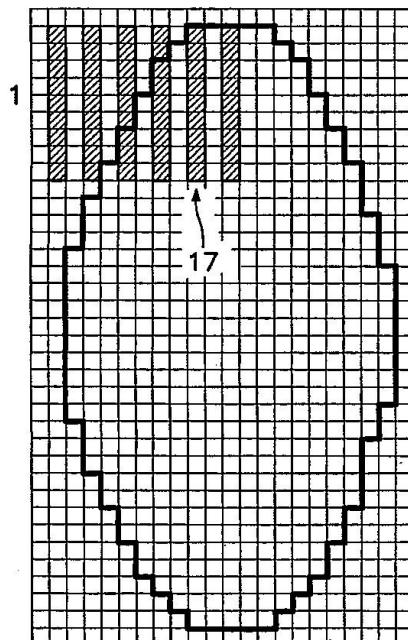


종래 기술

도면12

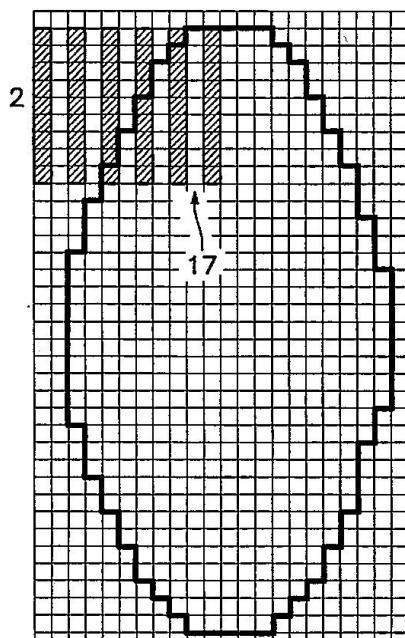


도면13



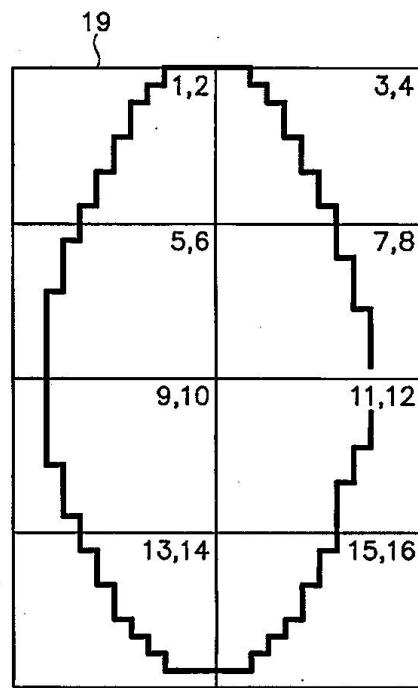
종래 기술

도면14



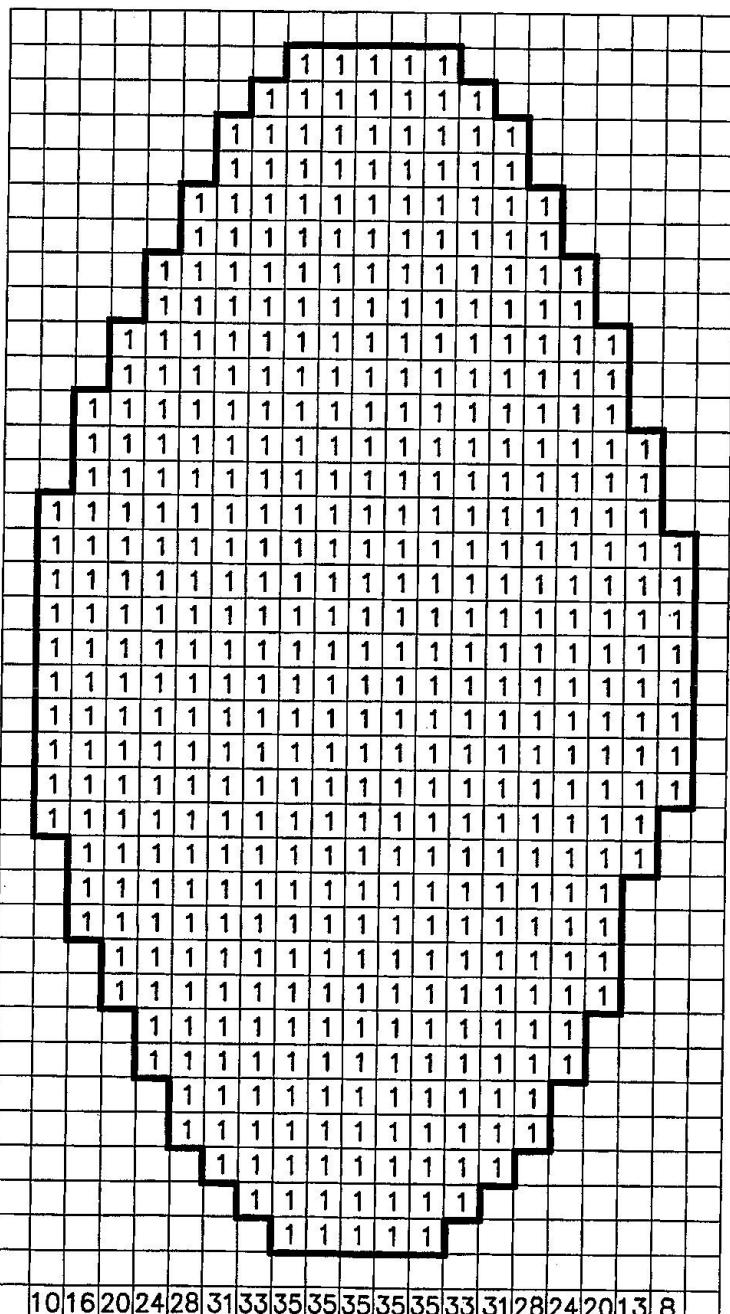
종래 기술

도면15



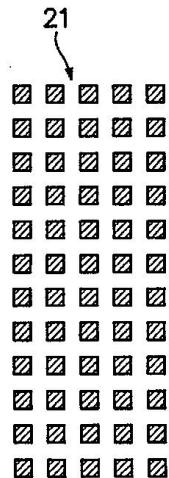
종래 기술

도면16



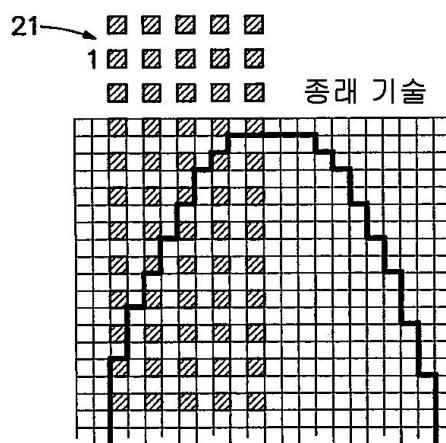
종래 기술

도면17

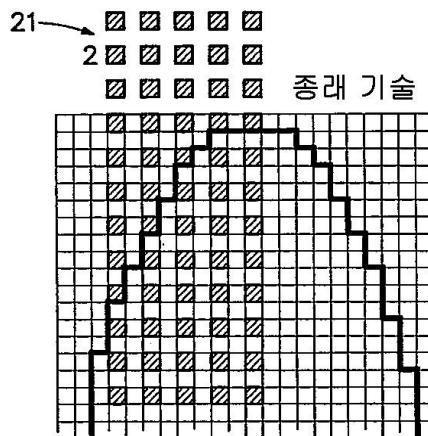


종래 기술

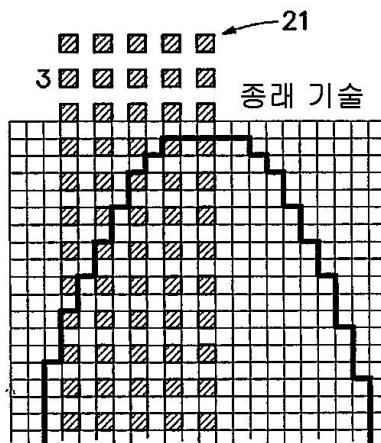
도면18



도면19



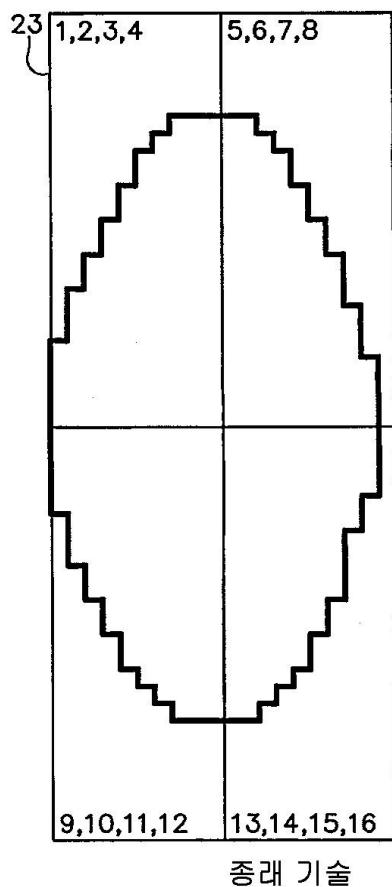
도면20



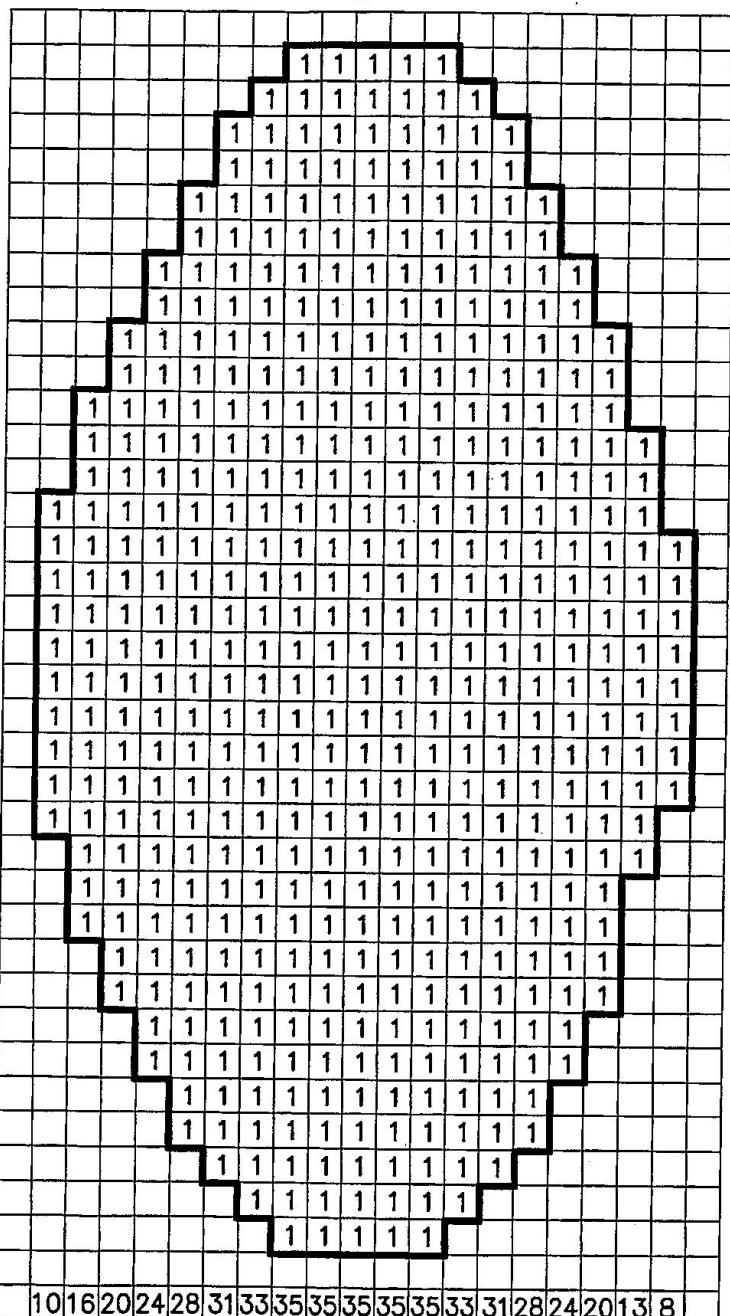
도면21



도면22



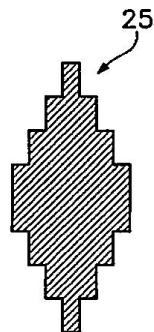
도면23



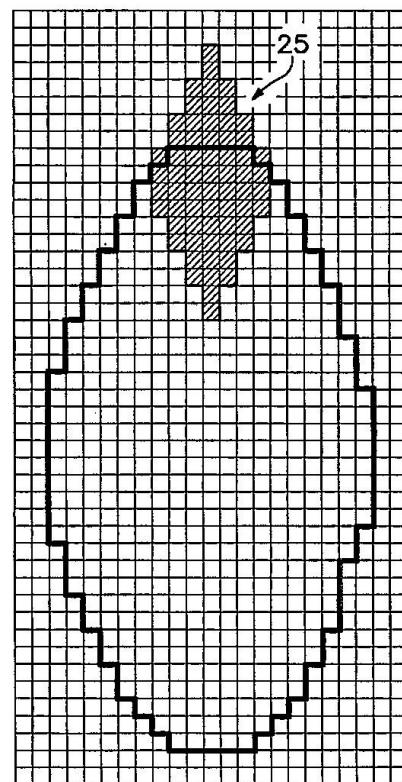
1. 10 16 20 24 28 31 33 35 35 35 35 35 35 33 31 28 24 20 13 8 =494

종래 기술

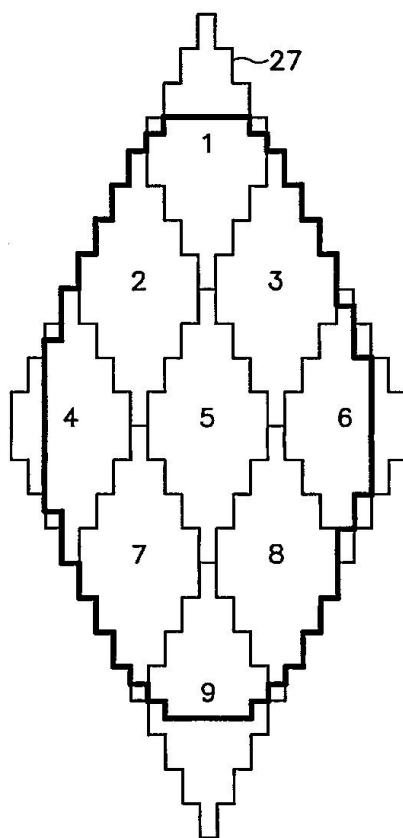
도면24



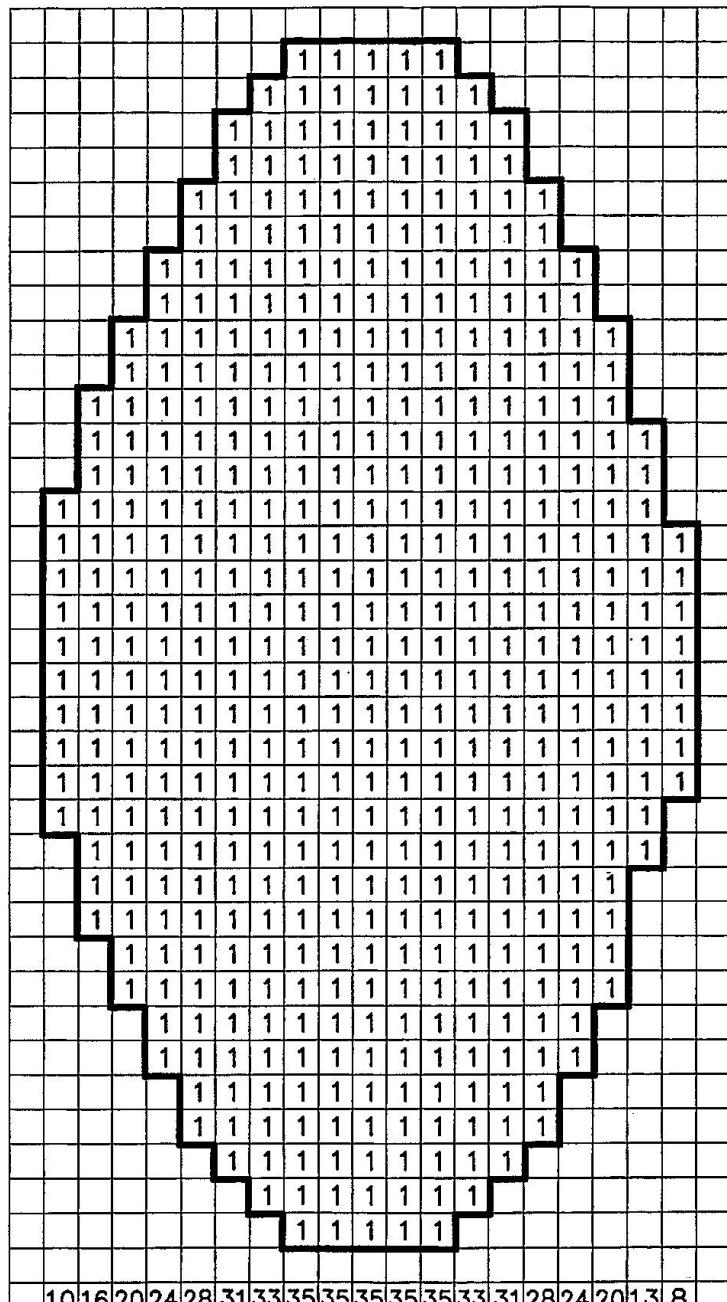
도면25



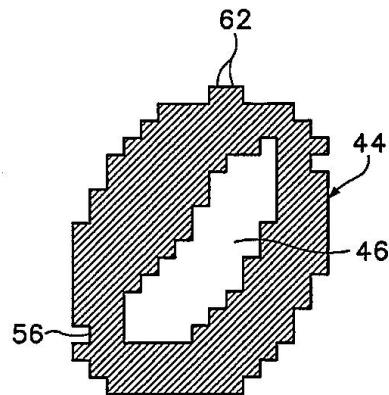
도면26



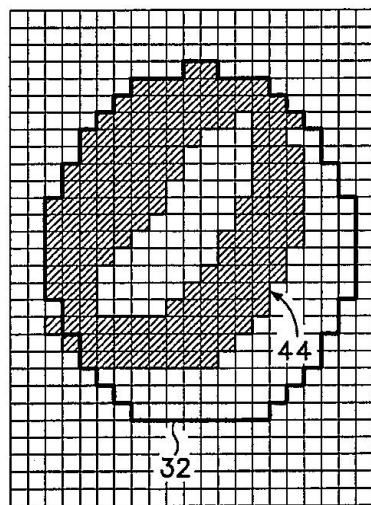
도면27



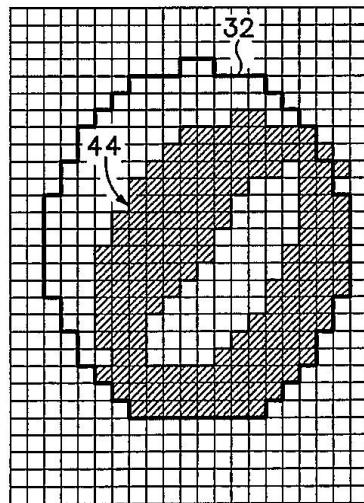
도면28



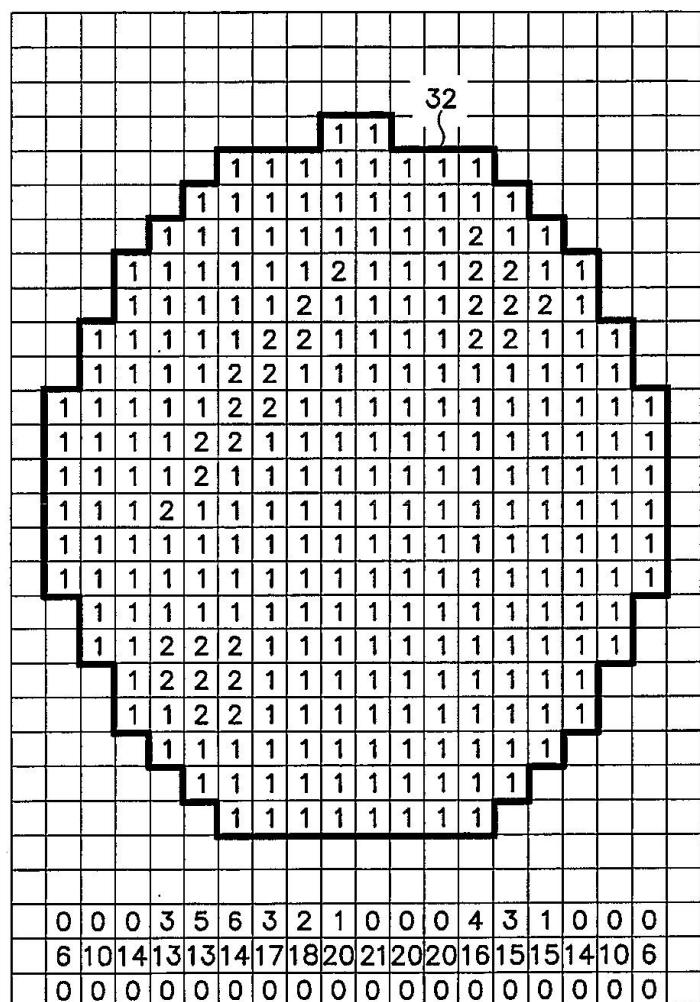
도면29



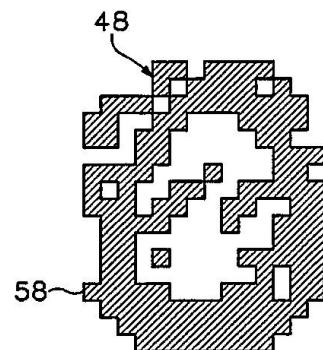
도면30



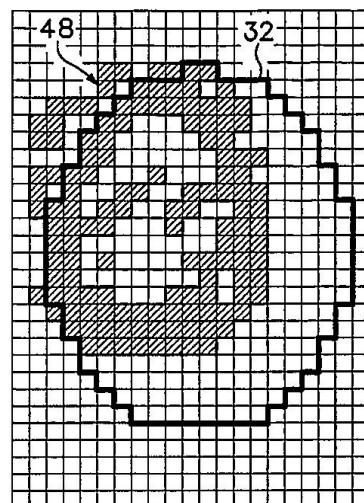
도면31



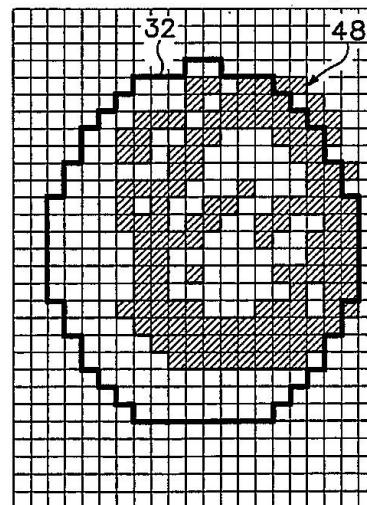
도면32



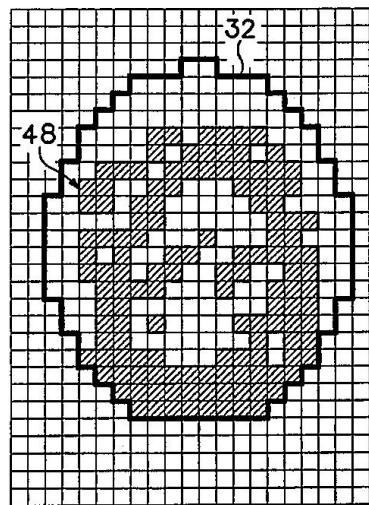
도면33



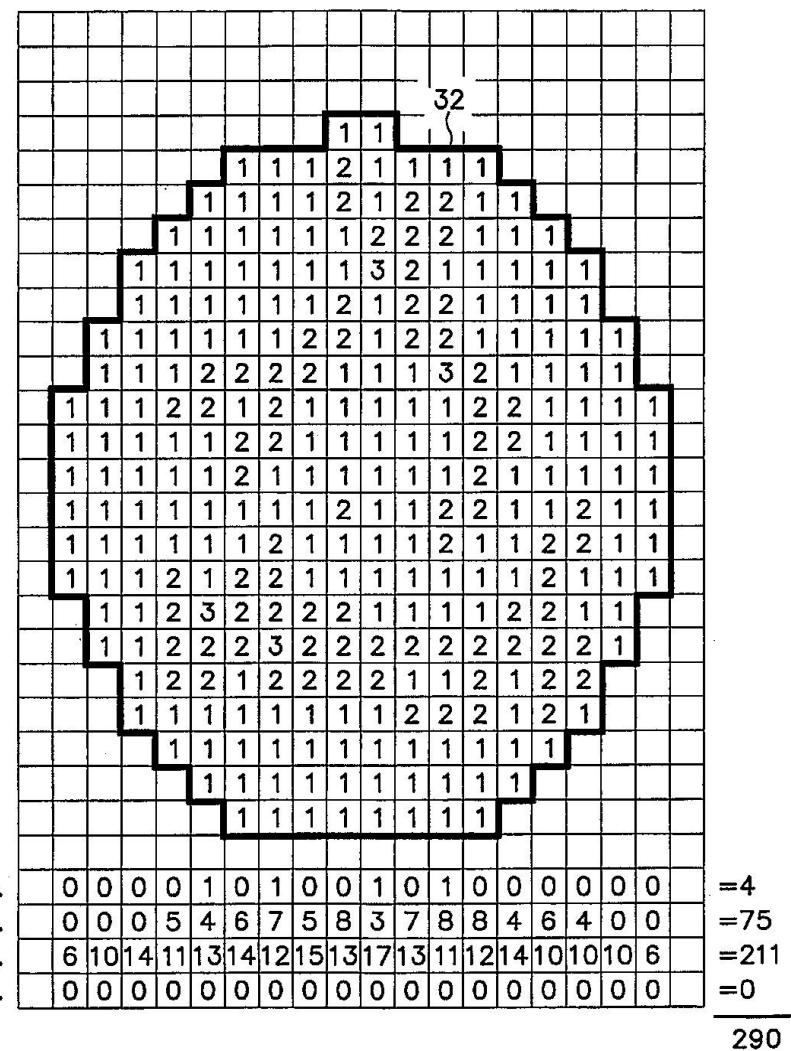
도면34



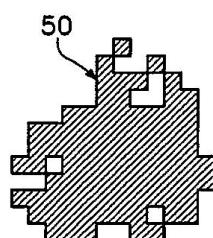
도면35



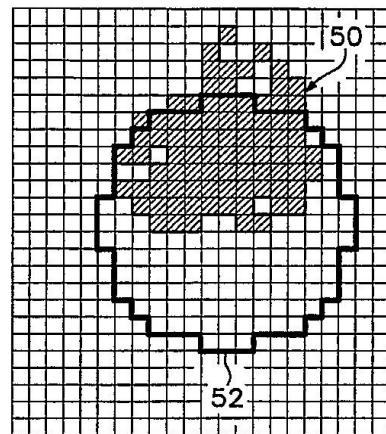
도면36



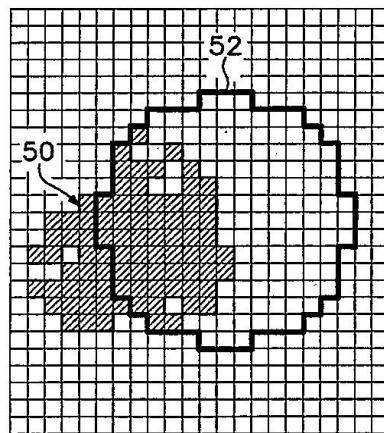
도면37



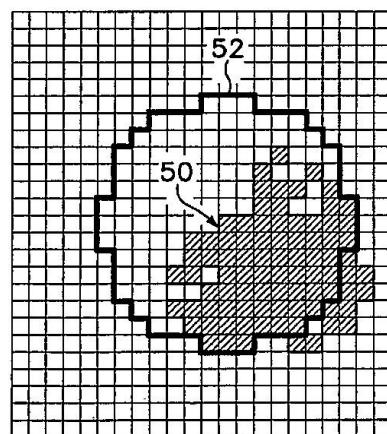
도면38



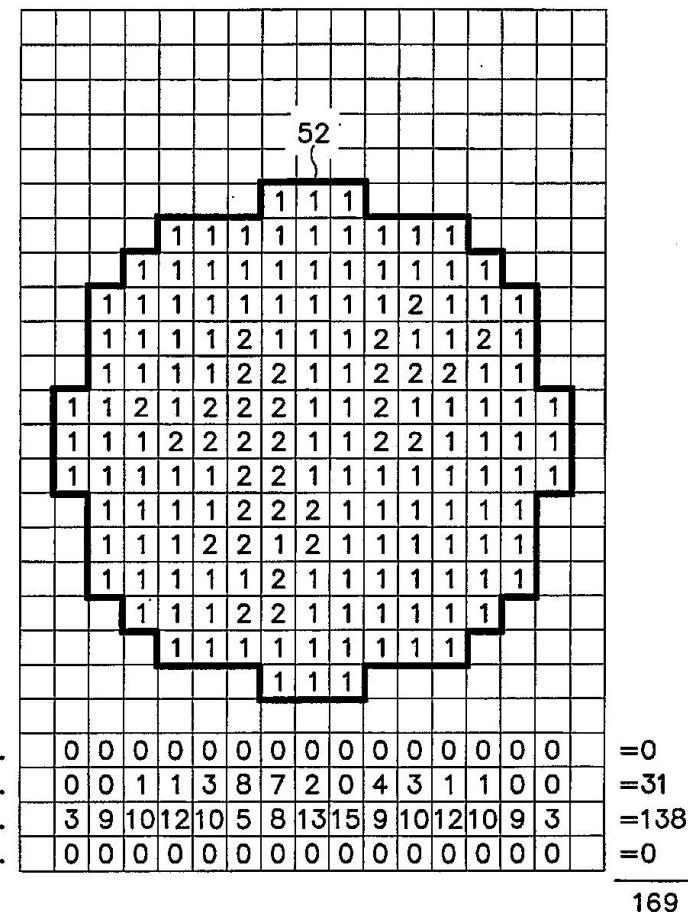
도면39



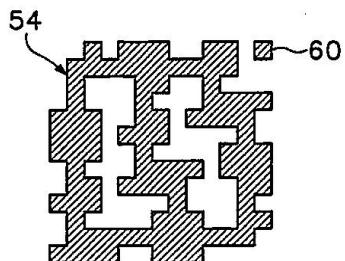
도면40



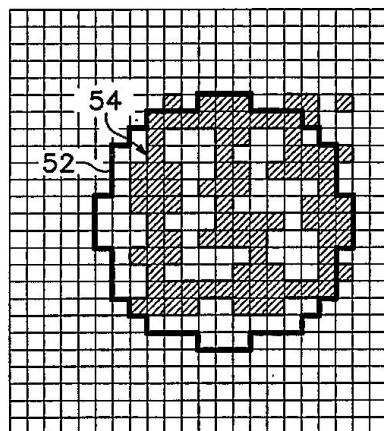
도면41



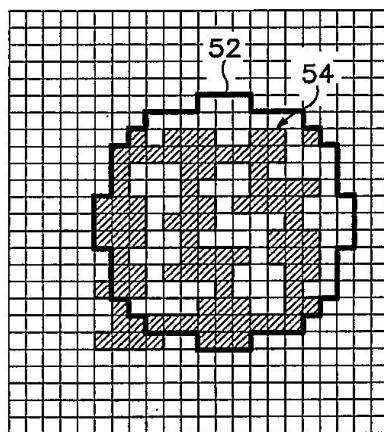
도면42



도면43



도면44



도면45

