

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】令和4年2月18日(2022.2.18)

【国際公開番号】WO2019/164710  
 【公表番号】特表2021-515312(P2021-515312A)  
 【公表日】令和3年6月17日(2021.6.17)  
 【出願番号】特願2020-544520(P2020-544520)  
 【国際特許分類】

G 0 6 F 1 1 / 3 0 ( 2 0 0 6 . 0 1 )  
 G 0 6 F 1 1 / 3 4 ( 2 0 0 6 . 0 1 )  
 G 0 6 F 1 2 / 0 8 0 8 ( 2 0 1 6 . 0 1 )  
 G 0 6 F 1 2 / 0 8 1 1 ( 2 0 1 6 . 0 1 )  
 G 0 6 F 1 2 / 0 8 1 5 ( 2 0 1 6 . 0 1 )  
 G 0 6 F 1 2 / 0 8 9 7 ( 2 0 1 6 . 0 1 )

10

【 F I 】

G 0 6 F 1 1 / 3 0 1 4 0 H  
 G 0 6 F 1 1 / 3 4 1 7 6  
 G 0 6 F 1 1 / 3 4 1 7 1  
 G 0 6 F 1 2 / 0 8 0 8  
 G 0 6 F 1 2 / 0 8 1 1  
 G 0 6 F 1 2 / 0 8 1 5  
 G 0 6 F 1 2 / 0 8 9 7

20

【手続補正書】

【提出日】令和4年2月8日(2022.2.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

30

【補正の内容】

【特許請求の範囲】

【請求項1】

コンピューティングデバイスであって、

複数の処理ユニットと、

複数のNレベルキャッシュと、

前記複数のNレベルキャッシュのうち2つ以上に関連付けられ、前記複数のNレベルキャッシュのバッキングストアとして構成された(N+i)レベルキャッシュと、

制御論理であって、少なくとも、

複数のNレベルキャッシュのうち第1のNレベルキャッシュへの、メモリ位置に格納されたデータを含む流入を検出することと、

40

前記第1のNレベルキャッシュへの前記流入を検出したことに基づいて、前記(N+i)レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に第2の処理ユニットのためにログされているかどうかを判定し、

前記メモリ位置の前記データが以前に前記第2の処理ユニットのためにログされているときに、以前に前記第2の処理ユニットのためにログされたログデータを参照して、前記メモリ位置の前記データを第1の処理ユニットのためにログさせることと、

前記メモリ位置の前記データが以前に前記第2の処理ユニットのためにログされていないときに、前記メモリ位置の前記データを前記第1の処理ユニットのために値によってログさせることと

50

のうちの一方を実行することと  
 を実行するように前記コンピューティングデバイスを構成する制御論理と  
 を備えたコンピューティングデバイス。

【請求項 2】

請求項 1 に記載のコンピューティングデバイスであって、前記 ( N + i ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することは、

前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインに、1 つまたは複数のアカウントビットが設定されているかどうかを判定することと、

前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインが、ログされた処理ユニットに対応するウェイに格納されているかどうかを判定することと、

前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインが、前記キャッシュラインがログされていると判定するために利用可能な関連するキャッシュコヒーレンスプロトコル ( C C P ) 状態データを有するかどうかを判定することと

のうちの 1 つまたは複数を含む、コンピューティングデバイス。

【請求項 3】

請求項 1 に記載のコンピューティングデバイスであって、前記 ( N + i ) レベルキャッシュが ( N + 1 ) レベルキャッシュを含むように、i は 1 である、コンピューティングデバイス。

【請求項 4】

請求項 1 に記載のコンピューティングデバイスであって、前記 ( N + i ) レベルキャッシュが ( N + 2 ) レベルキャッシュを含むように、i は 2 である、コンピューティングデバイス。

【請求項 5】

請求項 1 に記載のコンピューティングデバイスであって、

前記 ( N + i ) レベルキャッシュが ( N + 1 ) レベルキャッシュを含むように、i は 1 であり、

前記コンピューティングデバイスは、前記 ( N + 1 ) レベルキャッシュのバッキングストアとして構成される ( N + 2 ) レベルキャッシュも含み、

前記 ( N + i ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することは、

前記 ( N + 1 ) レベルキャッシュ内のどのキャッシュラインも前記メモリ位置に対応していないと判定することと、

前記 ( N + 2 ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することと

を含む、コンピューティングデバイス。

【請求項 6】

請求項 1 に記載のコンピューティングデバイスであって、以前に前記第 2 の処理ユニットのためにログされたログデータを参照して、前記メモリ位置の前記データを前記第 1 の処理ユニットのためにログさせることは、

前記メモリ位置のアドレスをログすることと、

前記メモリ位置のアドレスおよび順序付けデータをログすることと、

キャッシュウェイへの参照をログすることと、

キャッシュウェイへの参照および順序付けデータをログすることと、

前記第 2 の処理ユニットを前記メモリ位置に対応するキャッシュラインの前の所有者としてログすることと、

前記第 2 の処理ユニットを参照するキャッシュコヒーレンスプロトコル ( C C P ) データをログすることと

のうちの 1 つまたは複数を含む、コンピューティングデバイス。

【請求項 7】

10

20

30

40

50

請求項 1 に記載のコンピューティングデバイスであって、前記メモリ位置の前記データを前記第 1 の処理ユニットのためにログさせることは、プロセッサとメモリリソースとのうちの一方または両方の可用性に基づいて前記ログさせることを遅延させることを含む、コンピューティングデバイス。

【請求項 8】

請求項 7 に記載のコンピューティングデバイスであって、前記ログさせることを遅延させることは、遅延された前記ログさせること用に前記メモリ位置の前記データを保持するためにキャッシュラインを無効にすることを含む、コンピューティングデバイス。

【請求項 9】

請求項 1 に記載のコンピューティングデバイスであって、前記制御論理は、少なくとも、前記メモリ位置に対応する前記 (  $N + i$  ) レベルキャッシュ内の第 2 のキャッシュラインを保持しながら、前記メモリ位置に対応する前記第 1 の  $N$  レベルキャッシュ内の第 1 のキャッシュラインを追い出すことと、

10

前記第 1 の  $N$  レベルキャッシュへの、前記メモリ位置に格納された前記データも含む後続の流入を検出したことに基づいて、前記後続の流入を、前記第 2 のキャッシュラインの存在に基づいて参照によってログさせることと

を実行するように前記コンピューティングデバイスをさらに構成する、コンピューティングデバイス。

【請求項 10】

請求項 1 に記載のコンピューティングデバイスであって、前記制御論理は、少なくとも、前記メモリ位置にも対応する前記 (  $N + i$  ) レベルキャッシュ内の第 2 のキャッシュラインを保持しながら、前記メモリ位置に対応する前記第 1 の  $N$  レベルキャッシュ内の第 1 のキャッシュラインを追い出すことと、

20

前記第 1 の処理ユニットでの追加のコード実行に基づいて、前記第 1 の  $N$  レベルキャッシュへの、前記メモリ位置に格納された前記データも含む後続の流入を検出することと、

前記第 1 の  $N$  レベルキャッシュへの前記後続の流入を検出したことに少なくとも基づいて、かつ、前記第 2 のキャッシュラインの存在に少なくとも基づいて、前記後続の流入をログする必要がないと判定することと

を実行するように前記コンピューティングデバイスをさらに構成する、コンピューティングデバイス。

30

【請求項 11】

1 つまたは複数の上位レベルキャッシュの知識に基づいて前のログデータを参照して下位レベルキャッシュへの流入を記録することに基づいたトレース記録のための方法であって、前記方法は、(  $i$  ) 複数の処理ユニットと、(  $i i$  ) 複数の  $N$  レベルキャッシュと、(  $i i i$  ) 前記複数の  $N$  レベルキャッシュのうちの 2 つ以上に関連付けられ、前記複数の  $N$  レベルキャッシュのバッキングストアとして構成される (  $N + i$  ) レベルキャッシュとを含むコンピューティングデバイスで実装され、前記方法は、

複数の  $N$  レベルキャッシュのうちの第 1 の  $N$  レベルキャッシュへの、メモリ位置に格納されたデータを含む流入を検出するステップと、

前記第 1 の  $N$  レベルキャッシュへの前記流入を検出したことに基づいて、前記 (  $N + i$  ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に第 2 の処理ユニットのためにログされているかどうかを判定し、

40

前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているときに、以前に前記第 2 の処理ユニットのためにログされたログデータを参照して、前記メモリ位置の前記データを第 1 の処理ユニットのためにログさせることと、

前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされていないときに、前記メモリ位置の前記データを前記第 1 の処理ユニットのために値によってログさせることと

のうちの一方を実行するステップと

を含む、方法。

50

## 【請求項 1 2】

請求項 1 1 に記載の方法であって、前記 ( N + i ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することは、

前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインに、1 つまたは複数のアカウントビットが設定されているかどうかを判定することと、前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインが、ログされた処理ユニットに対応するウェイに格納されているかどうかを判定することと、前記メモリ位置に対応する前記 ( N + i ) レベルキャッシュ内のキャッシュラインが、前記キャッシュラインがログされていると判定するために利用可能な関連するキャッシュコヒーレンスプロトコル ( C C P ) 状態データを有するかどうかを判定することと  
10  
のうちの 1 つまたは複数を含む、方法。

## 【請求項 1 3】

請求項 1 1 に記載の方法であって、前記 ( N + i ) レベルキャッシュが ( N + 1 ) レベルキャッシュを含むように、i は 1 である、方法。

## 【請求項 1 4】

請求項 1 1 に記載の方法であって、前記 ( N + i ) レベルキャッシュが ( N + 2 ) レベルキャッシュを含むように、i は 2 である、方法。

## 【請求項 1 5】

請求項 1 1 に記載の方法であって、

前記 ( N + i ) レベルキャッシュが ( N + 1 ) レベルキャッシュを含むように、i は 1 であり、

前記コンピューティングデバイスは、前記 ( N + 1 ) レベルキャッシュのバッキングストアとして構成される ( N + 2 ) レベルキャッシュも含み、

前記 ( N + i ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することは、

前記 ( N + 1 ) レベルキャッシュ内のどのキャッシュラインも前記メモリ位置に対応していないと判定することと、

前記 ( N + 2 ) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているかどうかを判定することと  
20  
30

を含む、方法。

## 【請求項 1 6】

請求項 1 1 に記載の方法であって、以前に前記第 2 の処理ユニットのためにログされたログデータを参照して、前記メモリ位置の前記データを前記第 1 の処理ユニットのためにログさせることは、

前記メモリ位置のアドレスをログすることと、

前記メモリ位置のアドレスおよび順序付けデータをログすることと、

キャッシュウェイへの参照をログすることと、

キャッシュウェイへの参照および順序付けデータをログすることと、

前記第 2 の処理ユニットを前記メモリ位置に対応するキャッシュラインの前の所有者としてログすることと、  
40

前記第 2 の処理ユニットを参照するキャッシュコヒーレンスプロトコル ( C C P ) データをログすることと

のうちの 1 つまたは複数を含む、方法。

## 【請求項 1 7】

請求項 1 1 に記載の方法であって、前記メモリ位置の前記データを前記第 1 の処理ユニットのためにログさせることは、前記ログさせることを遅延させることを含み、前記ログさせることを遅延させることは、遅延された前記ログさせること用に前記メモリ位置の前記データを保持するためにキャッシュラインを無効にすることを含む、方法。

## 【請求項 1 8】

請求項 11 に記載の方法であって、

前記メモリ位置に対応する前記 (N + i) レベルキャッシュ内の第 2 のキャッシュラインを保持しながら、前記メモリ位置に対応する前記第 1 の N レベルキャッシュ内の第 1 のキャッシュラインを追い出すステップと、

前記第 1 の N レベルキャッシュへの、前記メモリ位置に格納された前記データも含む後続の流入を検出したことに基づいて、前記後続の流入を、前記第 2 のキャッシュラインの存在に基づいて参照によってログさせるステップと

をさらに含む方法。

【請求項 19】

請求項 11 に記載の方法であって、

前記メモリ位置にも対応する前記 (N + i) レベルキャッシュ内の第 2 のキャッシュラインを保持しながら、前記メモリ位置に対応する前記第 1 の N レベルキャッシュ内の第 1 のキャッシュラインを追い出すステップと、

前記第 1 の処理ユニットでの追加のコード実行に基づいて、前記第 1 の N レベルキャッシュへの、前記メモリ位置に格納された前記データも含む後続の流入を検出するステップと

、  
前記第 1 の N レベルキャッシュへの前記後続の流入を検出したことに少なくとも基づいて、かつ、前記第 2 のキャッシュラインの存在に少なくとも基づいて、前記後続の流入をログする必要がないと判定するステップと

をさらに含む方法。

【請求項 20】

( i ) 複数の処理ユニットと、( i i ) 複数の N レベルキャッシュと、( i i i ) 前記複数の N レベルキャッシュのうち 2 つ以上に関連付けられ、前記複数の N レベルキャッシュのバッキングストアとして構成される (N + i) レベルキャッシュを含むコンピューティングデバイスに、少なくとも、

複数の N レベルキャッシュのうち第 1 の N レベルキャッシュへの、メモリ位置に格納されたデータを含む流入を検出することと、

前記第 1 の N レベルキャッシュへの前記流入を検出したことに基づいて、前記 (N + i) レベルキャッシュをチェックして、前記メモリ位置の前記データが以前に第 2 の処理ユニットのためにログされているかどうかを判定し、

前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされているときに、以前に前記第 2 の処理ユニットのためにログされたログデータを参照して、前記メモリ位置の前記データを第 1 の処理ユニットのためにログさせることと、

前記メモリ位置の前記データが以前に前記第 2 の処理ユニットのためにログされていないときに、前記メモリ位置の前記データを前記第 1 の処理ユニットのために値によってログさせることと

のうちの一方を実行することと

を実行させるコンピュータプログラム。

10

20

30

40

50