



(12) 发明专利

(10) 授权公告号 CN 102654968 B

(45) 授权公告日 2014. 12. 10

(21) 申请号 201110382100. 1

CN 1716778 A, 2006. 01. 04,

(22) 申请日 2011. 11. 25

CN 101241765 A, 2008. 08. 13,

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

CN 101393775 A, 2009. 03. 25,

CN 101241247 A, 2008. 08. 13,

审查员 王少伟

(72) 发明人 青海刚 祁小敬

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/20 (2006. 01)

(56) 对比文件

WO 2010/146753 A1, 2010. 12. 23,

CN 1577024 A, 2005. 02. 09,

CN 1648972 A, 2005. 08. 03,

JP 特开 2010-49768 A, 2010. 03. 04,

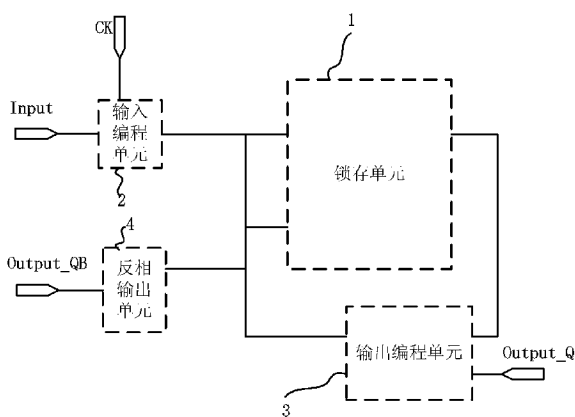
权利要求书2页 说明书7页 附图5页

(54) 发明名称

移位寄存器、栅极驱动器及显示装置

(57) 摘要

本发明涉及显示器件技术领域,提供了一种移位寄存器、栅极驱动器及显示装置。该移位寄存器包括输入编程单元、锁存单元、输出编程单元和反相输出单元;输入编程单元连接锁存单元的输入端,为锁存单元的输入端编程;锁存单元用于锁存输出信号,锁存单元的正相和反相输出端通过输出编程单元连接;输出编程单元与锁存单元的输出端连接,为锁存单元的输出端编程;反相输出单元连接锁存单元的反相输出端,用于生成移位寄存器的反相输出信号。本发明中,只采用一个锁存单元即实现了信号移位输出的功能,电路结构简单、信号布线少,级联形成的GOA电路占用面积少,可进一步减少对显示面板的显示面积的占用,从而实现显示器件的高解析度和窄边框化。



1. 一种移位寄存器,其特征在于,所述移位寄存器包括:

输入编程单元、锁存单元、输出编程单元和反相输出单元;其中,所述输入编程单元连接所述锁存单元的输入端,为所述锁存单元的输入端编程;

所述锁存单元用于锁存输出信号,所述锁存单元的正相和反相输出端通过所述输出编程单元连接;

所述输出编程单元连接所述锁存单元的输出端,为所述锁存单元的输出端编程;

所述反相输出单元连接所述锁存单元的反相输出端,用于生成所述移位寄存器的反相输出信号;

所述锁存单元包括首尾相连的第一反相器和第二反相器;

所述锁存单元中的第一反相器包括:

第十三薄膜晶体管,其栅极作为所述锁存单元的输入端,漏极作为所述锁存单元的正相输出端,源极与数字地电压端连接;

第二反相器包括:

第十薄膜晶体管,其栅极连接所述锁存单元的正相输出端,漏极作为所述锁存单元的反相输出端,源极与数字地电压端连接;

所述锁存单元中的第一反相器还包括:

第十二薄膜晶体管,其栅极与漏极同时连接工作电压端,源极与所述锁存单元的正相输出端连接;

第二反相器还包括:

第九薄膜晶体管,其栅极与漏极同时连接工作电压端,源极与所述锁存单元的输入端和反相输出端连接。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述锁存单元中的第一反相器还包括:

第十一薄膜晶体管,用于控制所述第十二薄膜晶体管的栅极与工作电压端的连接,所述第十一薄膜晶体管的栅极和漏极同时接工作电压端、源极与所述第十二薄膜晶体管的栅极连接;

第二反相器还包括:

第八薄膜晶体管,用于控制所述第九薄膜晶体管的栅极与工作电压端的连接,所述第八薄膜晶体管的栅极和漏极同时接工作电压端、源极与所述第九薄膜晶体管的栅极连接。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述输入编程单元包括第一薄膜晶体管,其栅极连接第一时钟信号端,源极连接第二输入信号端,漏极连接所述锁存单元的输入端。

4. 根据权利要求3所述的移位寄存器,其特征在于,所述输出编程单元包括:第二、三、四薄膜晶体管,其中第二薄膜晶体管的栅极连接第二时钟信号端、源极和漏极分别连接所述锁存单元的正相输出端和第三薄膜晶体管的栅极,第三薄膜晶体管的源极和漏极分别连接第一输出信号端和工作电压端,第四薄膜晶体管的栅极连接所述锁存单元的反相输出端、源极和漏极分别连接数字地电压端和第一输出信号端。

5. 根据权利要求4所述的移位寄存器,其特征在于,所述输出编程单元还包括:第五薄膜晶体管,其栅极连接第一输入信号端、源极和漏极分别连接数字地电压端和第一输出信

号端。

6. 根据权利要求 5 所述的移位寄存器,其特征在于,所述反相输出单元包括:第六薄膜晶体管,其栅极连接第二输入信号端、源极和漏极分别连接所述锁存单元的反相输出端和第二输出信号端。

7. 根据权利要求 6 所述的移位寄存器,其特征在于,所述反相输出单元还包括:第七薄膜晶体管,其栅极连接第一输入信号端、源极和漏极分别连接工作电压端和第二输出信号端。

8. 根据权利要求 1 至 7 任一项所述的移位寄存器,其特征在于,其中的薄膜晶体管为 N 型薄膜晶体管和 / 或 P 型薄膜晶体管。

9. 一种栅极驱动器,其特征在于,所述栅极驱动器包括:

多个级联的如权利要求 1 至 8 任一项所述的移位寄存器。

10. 一种栅极驱动器,其特征在于,所述栅极驱动器包括:

多个级联的如权利要求 6 或 7 所述的移位寄存器;

并且所述栅极驱动器中:

第一级移位寄存器的第一输入信号端连接初始化的起始信号、第二输入信号端连接起始信号的反相信号;

除第一级移位寄存器外,其余各级移位寄存器的第一输入信号端连接上一级移位寄存器的第一输出信号端,第二输入信号端连接上一级移位寄存器的第二输出信号端。

11. 一种显示装置,其特征在于,所述显示装置包括彩膜基板、阵列基板和液晶盒,其中,所述阵列基板中集成有如权利要求 9 或 10 所述的栅极驱动器。

移位寄存器、栅极驱动器及显示装置

技术领域

[0001] 本发明涉及显示器件技术领域,特别涉及一种移位寄存器、栅极驱动器及显示装置。

背景技术

[0002] 在 TFT-LCD(Thin Film Transistor-Liquid Crystal Display,薄膜晶体管液晶显示器)中,每一像素单元在阵列基板上有一薄膜晶体管与之对应,该薄膜晶体管的栅极(Gate)连接至水平方向的扫描线(又称行扫描线),漏极(Drain)连接至垂直方向的数据线,而源级(Source)则连接至像素电极。在显示器进行显示时,如果在水平方向的某一行扫描线上施加足够的正电压,通过薄膜晶体管栅极的控制会使得该行所有的薄膜晶体管打开,此时该行薄膜晶体管对应的像素电极会与垂直方向的数据线连通,从而将数据线上传输的显示信号电压写入像素电极中,进而控制该像素电极对应像素单元区域上的液晶达到不同的透光度,实现对像素单元显示的灰度和/或色彩的控制。

[0003] 目前,TFT-LCD 面板的驱动电路主要是通过通过在面板外沿粘接 IC(Integrated Circuit,集成电路)来完成,其 IC 制作一般使用的是 CMOS 制成的硅芯片。因为粘接的 IC 需要占用一定面积,同时 IC 连接时的线路设计也要占用一定面积,这种方式得到的面板集成度不高、占用面积较大,不利于显示设备实现高解析度和窄边框化。

[0004] 针对这一问题,出现了 GOA(Gate Driver on Array,阵列基板行驱动,又称集成栅极驱动)技术,直接将 TFT-LCD 的栅极驱动电路(Gate driver ICs)集成制作在阵列基板上,由此来代替在面板外沿粘接的、由硅芯片制作的驱动芯片。由于该技术可以将驱动电路直接做在阵列基板上,面板周围无需再粘接 IC 和布线,减少了面板的制作程序,降低了产品成本,同时提高了 TFT-LCD 面板的集成度,使面板能更窄边框化和实现高的解析度。

[0005] 现有技术中,传统的 a-Si(amorphous Silicon,非晶硅)GOA 电路一般利用预充电和升压(boost)电路机制实现,其典型移位寄存器电路(Thomason 电路)如图 1 所示,该电路工作时,利用 STV 信号(起始信号)阶段进行预充电(图中 P 点),从而实现移位输出的高电平方波。该电路中,包括 4 个晶体管 T1-T4,两个电容 C1、C2,在上一级信号作为输入 Input(n-1)、两个时钟信号 CLK1 与 CLK2、下一级的复位信号 Reset(n+1)以及电压 Voff 的控制下形成本行的输出信号 Row(n)。

[0006] 传统的 LTPS(Low Temperature Poly-silicon,低温多晶硅)GOA 电路一般采用反相器组成锁存器,同时利用传输门进行控制,其典型的移位寄存器电路如图 2 所示,该电路包括 2 个锁存器(现有技术中,将两个串行反相器的输出作为寄存器的输入就构成了锁存器,因而该电路中包括 4 个反相器),其中一个锁存器用于编程、另一个锁存器用于锁存输出信号,该 GOA 电路在工作时,在两个时钟信号 clk 和 clk_、复位信号 reset 的控制下,对输入信号 D 使用传输门控制锁存器的编程和信号输出 Q。

[0007] 由图 1 和图 2 的电路结构图可以看出,现有技术中的 GOA 电路结构较为复杂,图 1 所示的电路中需要两个电容,导致电路占用了较大的空间,不利于实现面板窄边化的实现,

同时电路中存在 floating(电位不确定的悬空状态), 使得输出电平中存在很多噪音 ; 图 2 所示的传统的移位寄存电路中, 需要 4 个传输门和两个锁存器, 电路结构复杂, 而且必须使用复杂的 CMOS 工艺才能实现, 工艺成本上需要很大的投入。

发明内容

[0008] (一) 要解决的技术问题

[0009] 针对上述缺点, 本发明为了解决现有技术中 GOA 电路移位寄存器结构复杂的问题, 提供了一种移位寄存器、栅极驱动器及显示装置, 利用单个锁存单元即实现了信号移位输出的功能, 简化了移位寄存器及相关器件的结构。

[0010] (二) 技术方案

[0011] 为了解决上述技术问题, 本发明具体采用如下方案进行 :

[0012] 一方面, 本发明提供一种移位寄存器, 所述移位寄存器包括 : 输入编程单元、锁存单元、输出编程单元和反相输出单元 ; 其中, 所述输入编程单元连接所述锁存单元的输入端, 为所述锁存单元的输入端编程 ; 所述锁存单元用于锁存输出信号, 所述锁存单元的正相和反相输出端通过所述输出编程单元连接 ; 所述输出编程单元连接与所述锁存单元的输出端连接, 为所述锁存单元的输出端编程 ; 所述反相输出单元连接所述锁存单元的反相输出端, 用于生成所述移位寄存器的反相输出信号。

[0013] 优选地, 所述锁存单元包括首尾相连的第一反相器和第二反相器。

[0014] 优选地, 所述锁存单元中的第一反相器包括 :

[0015] 第十三薄膜晶体管, 其栅极作为所述锁存单元的输入端, 漏极作为所述锁存单元的正相输出端, 源极与数字地电压端连接 ;

[0016] 第二反相器包括 :

[0017] 第十薄膜晶体管, 其栅极连接所述锁存单元的正相输出端, 漏极作为所述锁存单元的反相输出端, 源极与数字地电压端连接。

[0018] 优选地, 所述锁存单元中的第一反相器还包括 :

[0019] 第十二薄膜晶体管, 其栅极与漏极同时连接工作电压端, 源极与所述锁存单元的正相输出端连接 ;

[0020] 第二反相器还包括 :

[0021] 第九薄膜晶体管, 其栅极与漏极同时连接工作电压端, 源极与所述锁存单元的输入端和反相输出端连接。

[0022] 优选地, 所述锁存单元中的第一反相器还包括 :

[0023] 第十一薄膜晶体管, 用于控制所述第十二薄膜晶体管的栅极与工作电压端的连接, 所述第十一薄膜晶体管的栅极和漏极同时接工作电压端、源极与所述第十二薄膜晶体管的栅极连接 ;

[0024] 第二反相器还包括 :

[0025] 第八薄膜晶体管, 用于控制所述第九薄膜晶体管的栅极与工作电压端的连接, 所述第八薄膜晶体管的栅极和漏极同时接工作电压端、源极与所述第九薄膜晶体管的栅极连接。

[0026] 优选地, 所述输入编程单元包括第一薄膜晶体管, 其栅极连接第一时钟信号端, 源

极连接第二输入信号端,漏极连接所述锁存单元的输入端。

[0027] 优选地,所述输出编程单元包括:第二、三、四薄膜晶体管,其中第二薄膜晶体管的栅极连接第二时钟信号端、源漏极分别连接所述锁存单元的正相输出端和第三薄膜晶体管的栅极,第三薄膜晶体管的源漏极分别连接第一输出信号端和工作电压端,第四薄膜晶体管的栅极连接所述锁存单元的反相输出端、源漏极分别连接数字地电压端和第一输出信号端。

[0028] 优选地,所述输出编程单元还包括:第五薄膜晶体管,其栅极连接第一输入信号端、源漏极分别连接数字地电压端和第一输出信号端。

[0029] 优选地,所述反相输出单元包括:第六薄膜晶体管,其栅极连接第二输入信号端、源漏极分别连接所述锁存单元的反相输出端和第二输出信号端。

[0030] 优选地,所述反相输出单元还包括:第七薄膜晶体管,其栅极连接第一输入信号端、源漏极分别连接工作电压端和第二输出信号端。

[0031] 优选地,其中的薄膜晶体管为 N 型薄膜晶体管和 / 或 P 型薄膜晶体管。

[0032] 另一方面,本发明同时提供一种栅极驱动器,所述栅极驱动器包括:多个级联的如上所述的移位寄存器。

[0033] 优选地,第一级移位寄存器的第一输入信号端连接初始化的起始信号、第二输入信号端连接起始信号的反相信号;

[0034] 除第一级移位寄存器外,其余各级移位寄存器的第一输入信号端连接上一级移位寄存器的第一输出信号端,第二输入信号端连接上一级移位寄存器的第二输出信号端。

[0035] 再一方面,本发明还同时提供一种显示装置,所述显示装置包括彩膜基板、阵列基板和液晶盒,其中,所述阵列基板中集成有如上所述的栅极驱动器。

[0036] (三) 有益效果

[0037] 本发明的移位寄存器及相关器件中,由于只采用一个锁存单元即实现了信号移位输出的功能,电路结构简单、信号布线少,其级联结构形成的 GOA 电路占用面积少,可进一步减少对显示面板的显示面积的占用,从而实现显示器件的高解析度和窄边框化。

附图说明

[0038] 图 1 为现有技术中 a-Si GOA 电路中移位寄存器的基本电路结构图;

[0039] 图 2 为现有技术中 LTPS GOA 电路中移位寄存器的基本电路结构图;

[0040] 图 3 为本发明中移位寄存器的基本模块结构图;

[0041] 图 4 为本发明的实施例 1 中由 N 型薄膜晶体管构成移位寄存器的基本电路结构图;

[0042] 图 5 为本发明中移位寄存器级联的基本电路结构示意图;

[0043] 图 6 为本发明的移位寄存器工作时的电平时序图;

[0044] 图 7 为本发明的实施例 1 中移位寄存器中的锁存单元的具体电路结构图;

[0045] 图 8 为本发明的实施例 1 中移位寄存器中的锁存单元的另一种具体电路结构图;

[0046] 图 9 为本发明的实施例 2 中由 P 型薄膜晶体管构成移位寄存器中的电路结构图。

具体实施方式

[0047] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0048] 在本发明的移位寄存器中,仅通过一个锁存单元实现了移位寄存器中信号的编程和锁存输出信号。其中,如图 3 所示,在时钟 CK 和输入 Input 的电平信号的控制下,由输入编程单元 2 为锁存单元 1 的输入端编程,输出编程单元 3 为锁存单元 1 的输出端编程,从而对锁存单元 1 进行输出信号 Output_Q 的翻转和维持,实现信号的移位输出。此外,反相输出单元 4 还进一步连接锁存单元 1 的反相输出端,用于生成所述寄存器的反相输出信号 Output_QB 以实现级联控制。

[0049] 实施例 1

[0050] 具体地,本发明的实施例 1 中的移位寄存器的电路结构如图 4 所示,该移位寄存器主要包括锁存单元 1、输入编程单元 2、输出编程单元 3 和反相输出单元 4。图 4 中,锁存单元 1 包括首尾相连的第一反相器和第二反相器,其余单元为薄膜晶体管,由工作电压 VDD 和数字地电压 VSS 提供工作时的电压,接收两个互为反相的时钟信号 CK 和 CKB 的控制,同时接收两个互为反相的输入信号 Input1 和 Input2,输出两个互为反相的输出信号 Output_Q 和 Output_QB。

[0051] 在图 4 所示的实施例 1 中,以薄膜晶体管全部采用 N 型薄膜晶体管的形式做示例性说明。输入编程单元 2 包括第一薄膜晶体管 T1,输出编程单元 3 包括第二至第五薄膜晶体管 T2-T5,反相输出单元 4 包括第六和第七薄膜晶体管 T6、T7。其中,第一薄膜晶体管 T1 的栅极连接第一时钟信号 CK、源漏极分别连接第二输入信号端 Input2 和锁存单元的输入端,受第一时钟信号 CK 的控制为锁存单元的输入端编程;第二薄膜晶体管 T2 的栅极连接第二时钟信号 CKB、源漏极分别连接锁存单元的正相输出端和第三薄膜晶体管 T3 的栅极,第三薄膜晶体管 T3 的源漏极分别连接第一输出信号端 Output_Q 和工作电压 VDD,第四薄膜晶体管 T4 的栅极连接锁存单元的反相输出端、源漏极分别连接数字地电压 VSS 和第一输出信号端 Output_Q,第五薄膜晶体管 T5 的栅极连接第一输入信号端 Input1、源漏极分别连接数字地电压 VSS 和第一输出信号端 Output_Q;第二至第五薄膜晶体管 T2-T5 为锁存单元的输出端编程(T2 受控于 CKB 来控制锁存单元的输出;T3 受控于锁存单元的正相输出,对移位寄存器的 Output_Q 进行电位上拉;T4 受控于锁存单元的反相输出对移位寄存器的 Output_Q 进行电位下拉;T5 受控于 Input1,对移位寄存器的 Output_Q 进行电位下拉;具体工作过程详见下文的时序描述)。

[0052] 此外,第六薄膜晶体管 T6 的栅极连接第二输入信号端 Input2、源漏极分别连接锁存单元的反相输出端和第二输出信号端 Output_QB,在 Input2 的控制下输出 Output_QB;第七薄膜晶体管 T7 的栅极连接第一输入信号端 Input1、源漏极分别连接工作电压 VDD 和第二输出信号端 Output_QB,受 Input1 的控制对移位寄存器的 Output_QB 进行电位上拉。

[0053] 更进一步地,可以由上述移位寄存器 N 级连接构成级联的栅极驱动器。如图 5 所示的级联结构中,对于第 n 级移位寄存器来说,其第一输出信号 Output_Q(n) 为第 n 级移位寄存器(即本级移位寄存器)的输出信号,第二输出信号 Output_QB(n) 为第 n 级移位寄存器的反相输出信号,第二输入信号 Input2 为上级移位寄存器的反相输出信号 Output_

QB(n-1), 第一输入信号 Input1 为上级移位寄存器的输出信号 Output_Q(n-1)。特别地, 对于第一级移位寄存器, 其第一输入信号 Input1 为初始化的行扫描起始信号 STV, 第二输入信号 Input2 为行扫描起始信号的反相信号 STVB。

[0054] 再参见图 6 的工作电平时序图, 本发明的移位寄存器各阶段的工作情况如下 (以下以级联结构中的第 n 级移位寄存器为例进行说明):

[0055] ①阶段: 第一输入信号端 Input1 接收的上级移位寄存器的第一输出信号 Output_Q(n-1) 为低电平, 第二输入信号端 Input2 接收的 Output_QB(n-1) 为高电平。因此 Input1 输入低电平使 T5、T7 关闭, Input2 输入高电平使 T6 开启; 而 CK 为高电平, T1 开启, 锁存单元锁存 Input2 的高电平使正相输出为低电平, 同时锁存单元的反相输出为高电平将 T4 打开, 使得本级移位寄存器的正相输出 Output_Q(n) 拉低为低电平; 同时 CKB 为低电平, 将 T2 关闭, 又由于 T6 开启, 本级移位寄存器的反相输出 Output_QB(n) 为高电平。

[0056] ②阶段: 为 CK 低电平, T1 关闭, CKB 为高电平 T2 开启, 由于锁存单元的保持功能正相输出仍为低电平, 因此 T3 被关闭, 而锁存单元的反相输出为高电平, T4 开启, Output_Q(n) 被下拉为低电平, 同时上级移位寄存器输出 Output_Q(n-1) 为低电平, T5、T7 关闭, Input2 为高电平 T6 开启, 本级移位寄存器的反相输出 Output_QB(n) 为高电平。

[0057] ③阶段: CK 为高电平, CKB 为低电平, T1 打开, T2 关闭, 同时上级移位寄存器输出 Output_Q(n-1) 跳变为高电平, Output_QB(n-1) 跳变为低电平, 因此 T5、T7 开启, T6 关闭, 本级移位寄存器的正相输出 Output_Q(n) 被下拉为低电平, Output_QB(n) 被 T7 上拉为高电平, 而 T1 的开启使得锁存单元被 Input2 翻转, 锁存单元正相输出为高电平, 但 T2 关闭, 使得正相输出与 T3 断开, 而锁存单元反相输出为低电平, 将 T4 关闭。

[0058] ④阶段: CK 为低电平, CKB 为高电平, T1 关闭, T2 打开。由于锁存单元的保持功能, 因此锁存单元的正相输出仍然为高电平, T3 开启。上级移位寄存器输出 Output_Q(n-1) 跳变为低电平, Output_QB(n-1) 跳变为高电平, T5、T7 关闭, T6 开启, 而锁存单元的反相输出为低电平使 T4 关闭。由此, 本级的正相输出 Output_Q(n) 由于 T3 的开启被上拉为高电平, 而 T6 开启, 本级移位寄存器的反相输出 Output_QB(n) 为低电平。

[0059] ⑤阶段: CK 为高电平, CKB 为低电平, T1 打开, T2 关闭。上级移位寄存器输出 Output_Q(n-1) 为低电平, Output_QB(n-1) 为高电平, T5、T7 关闭, T6 开启, 由于 Input2 的输入使得本级锁存单元再次翻转, 锁存单元正相输出为低电平, 锁存单元反相输出为高电平, 因此 T4 被开启, 本级移位寄存器的正相输出 Output_Q(n) 被下拉为低电平, 而 T6 开启, 本级移位寄存器的反相输出 Output_QB(n) 为高电平。

[0060] 采用上述方式, 本发明的移位寄存器实现了对上一级输出信号的移位输出, 采用这种级联结构的移位寄存器构成栅极驱动电路可以依次打开阵列基板各行像素单元上的薄膜晶体管, 从而实现显示器的逐行扫描。此外, 由于本发明的移位寄存器电路结构简单、信号布线少, 由上述移位寄存器的级联结构形成的 GOA 电路占用面积少, 可进一步减少对面板的面积占用, 从而实现面板的高解析度和窄边框化。

[0061] 在本发明的实施例 1 中, 移位寄存器中的锁存单元同样由两个等效的反相器组成, 这两个反相器可以采用传统的 CMOS 工艺得到 (如每个反相器由一个 P 型薄膜晶体管和一个 N 型薄膜晶体管构成), 也可以仅由 NMOS 或 PMOS 工艺得到 (即全部由 N 型薄膜晶体管或全部由 P 型薄膜晶体管构成)。当仅由 NMOS 或 PMOS 工艺得到时, 可以每 3 个薄膜晶体管

构成一个反相器,再将两个反相器电路相连以形成锁存单元。具体地,采用 N 型薄膜晶体管构成的锁存单元的一种电路结构如图 7 所示。本领域的相关技术人员能够理解, N 型薄膜晶体管并非锁存单元电路唯一可以采用的方式,采用 P 型薄膜晶体管时只是薄膜晶体管受栅极受电平控制导通关断情况相反而已,其具体连接结构相对于图 7 的 N 型薄膜晶体管的形式无需任何创造性的劳动即可实现,只是限于篇幅本发明中未对其进行重复说明。

[0062] 在图 7 中,通过第八至第十三薄膜晶体管 T8-T13 来等效形成图 4 中的锁存单元。其中,第十一、第十二、第十三薄膜晶体管 T11-T13 这 3 个薄膜晶体管组成第一反相器,用以形成锁存单元的正相输出信号;第八、第九、第十薄膜晶体管 T8-T10 这 3 个薄膜晶体管组成第二反相器,用以形成锁存单元的反相输出信号。具体地,第十三薄膜晶体管 T13 的栅极连接锁存单元的输入端,源漏极分别连接数字地电压 VSS 和锁存单元的正相输出端;第十薄膜晶体管 T10 的栅极连接锁存单元的正相输出端(即 T13 的漏极),源漏极分别连接数字地电压 VSS 和锁存单元的反相输出端(依照锁存器的通用结构,锁存单元的输入端还与其反相输出端直接相连)。第九薄膜晶体管 T9 的漏极连接工作电压 VDD、栅极通过第八晶体管连接工作电压 VDD(该第八晶体管也可省略,即 T9 栅极直接连接 VDD,如图 8)、源极连接锁存单元的反相输出端;第十二薄膜晶体管 T12 的源漏极分别连接锁存单元的正相输出端和工作电压 VDD,栅极通过第十一晶体管连接工作电压 VDD(同样地,该第十一晶体管也可省略,即 T12 栅极直接连接 VDD,如图 8)。控制 T12 栅极连通的第十一薄膜晶体管 T11 的栅极和漏极同时接工作电压 VDD、源极连接第十二薄膜晶体管 T12 的栅极;控制 T9 栅极连通的第八薄膜晶体管 T8 的栅极和漏极同时连接工作电压 VDD、源极连接第九薄膜晶体管 T9 的栅极。

[0063] 为了减少薄膜晶体管的个数,本发明的第一反相器和第二反相器也可以分别采用两个薄膜晶体管构成。如图 8 所示(图 8 中还进一步省略了输出编程单元的第五薄膜晶体管;同时省略了反相输出单元的第六七薄膜晶体管,直接以 T1 漏极信号为反相输出信号 Output_QB),除输入编程单元的第一薄膜晶体管 T1,输出编程单元的第二至第四薄膜晶体管 T2-T4 之外,由薄膜晶体管 T12' 和 T13' 形成第一反相器 2011,薄膜晶体管 T9' 和 T10' 形成第二反相器 2012,第一反相器中薄膜晶体管 T13' 的栅极作为锁存单元的输入端(图中 P 点),漏极作为锁存单元的正相输出端(图中 Q 点),源极与数字地电压端连接,第二反相器中薄膜晶体管 T10' 的栅极连接锁存单元的正相输出端,漏极作为锁存单元的反相输出端(图中 P 点),源极与数字地电压端连接。另外,第一反相器中,薄膜晶体管 T12' 的栅极和漏极同时接工作电压 VDD、源极连接锁存单元的正相输出端;第二反相器中,薄膜晶体管 T9' 的栅极和漏极同时接工作电压 VDD、源极连接锁存单元的反相输出端。

[0064] 实施例 2

[0065] 在本发明的实施例 2 中,移位寄存器的电路结构如图 9 所示,在该实施例 2 中,移位寄存器中除锁存单元 1 之外的薄膜晶体管 T1-T7 采用 P 型薄膜晶体管构成。相对于图 4 所示的实施例 1,本实施例 2 中锁存单元 1 及输入编程单元 2、输出编程单元 3、反相输出单元 4 的连接结构基本相同,在实施例 2 中只是将两个时钟信号 CK 和 CKB 进行了交换,两个输入信号 Input1 和 Input2 也进行了交换。由实施例 2 的移位寄存器组成栅极驱动器的级联结构与图 5 相同,电路结构不变;图 6 给出的时序图仍适用,只是各阶段的操作细节根据晶体管类型有相应的调整(本领域众所周知, P 型晶体管在栅极电平的控制下导通关闭的

方式与 N 型晶体管存在区别),但实际达到的开关效果和最终信号处理效果相同。

[0066] 除图 4 所示的实施例 1 和图 9 所示的实施例 2 这两种实施方式之外,本领域的技术人员能够理解,采用 N 型薄膜晶体管与 P 型薄膜晶体管结合的方式同样可应用于本发明中,其结构相对于图 4 或图 9 无需任何创造性的劳动即可实现,限于篇幅说明书中未对其进行重复说明。

[0067] 本发明实施例中驱动电路为 LTPS(Low Temperature Poly-silicon,低温多晶硅)或 a-Si(非晶硅)的阵列基板行驱动电路(GOA),也可以为 OLED(Organic Light Emitting Diode,有机发光二极管显示面板)驱动电路。

[0068] 最后,本发明实施例还提供了一种显示装置,其包括有上述驱动电路。所述显示装置可以为:液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0069] 在本发明中,由于只采用一个锁存单元即实现了信号的移位输出的功能,电路结构简单、信号布线少,其级联结构形成的 GOA 电路占用面积少,可进一步减少对显示面板的面积占用,从而实现显示器件的高解析度和窄边框化。此外,本发明的移位寄存器可以采用多种工艺制备,除了兼容现有的 CMOS 工艺(即形成既有 N 型薄膜晶体管也有 P 型薄膜晶体管的结构)外,还可仅采用 NMOS 工艺或 PMOS 工艺制备,形成全部采用 N 型薄膜晶体管或全部采用 P 型薄膜晶体管的电路结构,因而提供了多种灵活的实现方式。相对于现有技术中复杂的 CMOS 工艺,本发明可以全部采用 N 型薄膜晶体管或全部采用 P 型薄膜晶体管实现电路结构,因而只需一次 NMOS 工艺或一次 PMOS 工艺即可实现,可明显降低工艺复杂度和生产成本。

[0070] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的实际保护范围应由权利要求限定。

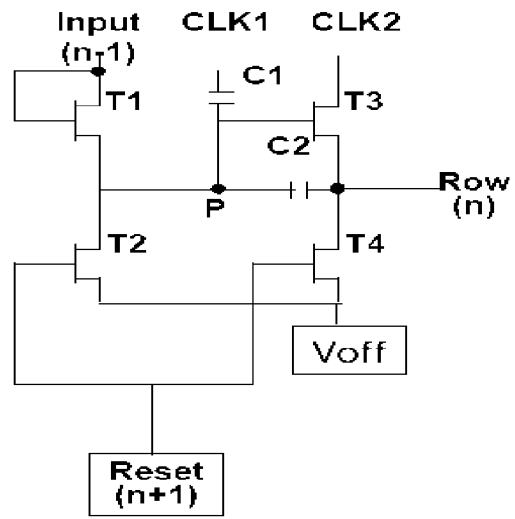


图 1

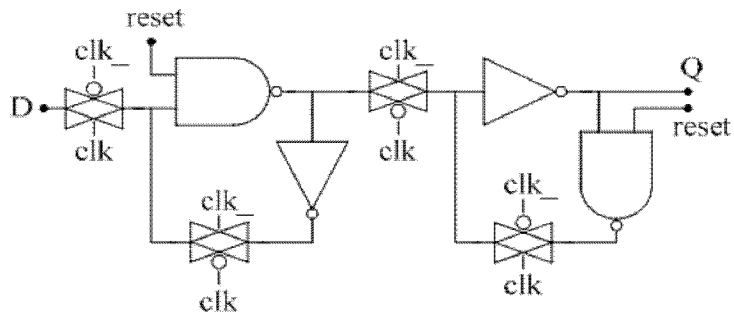


图 2

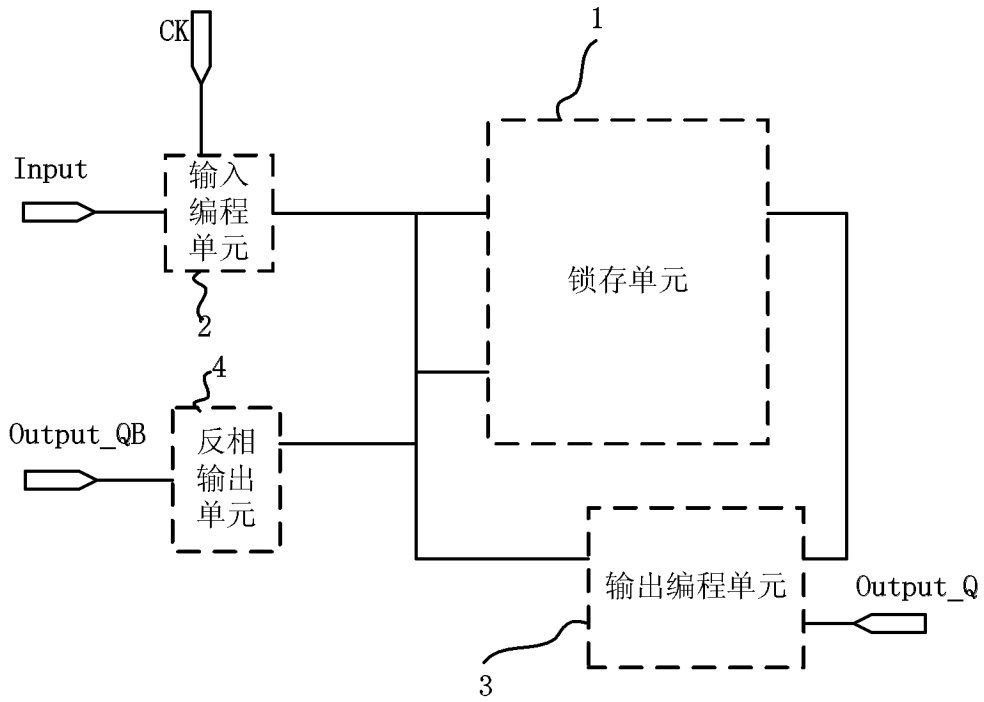


图 3

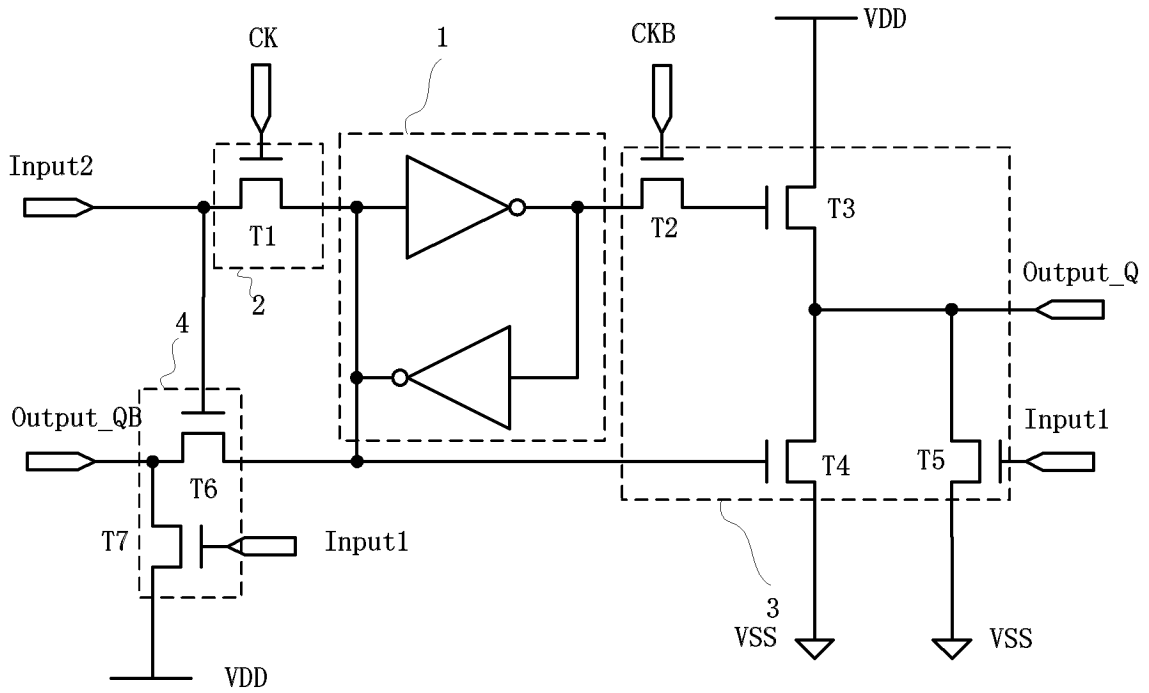


图 4

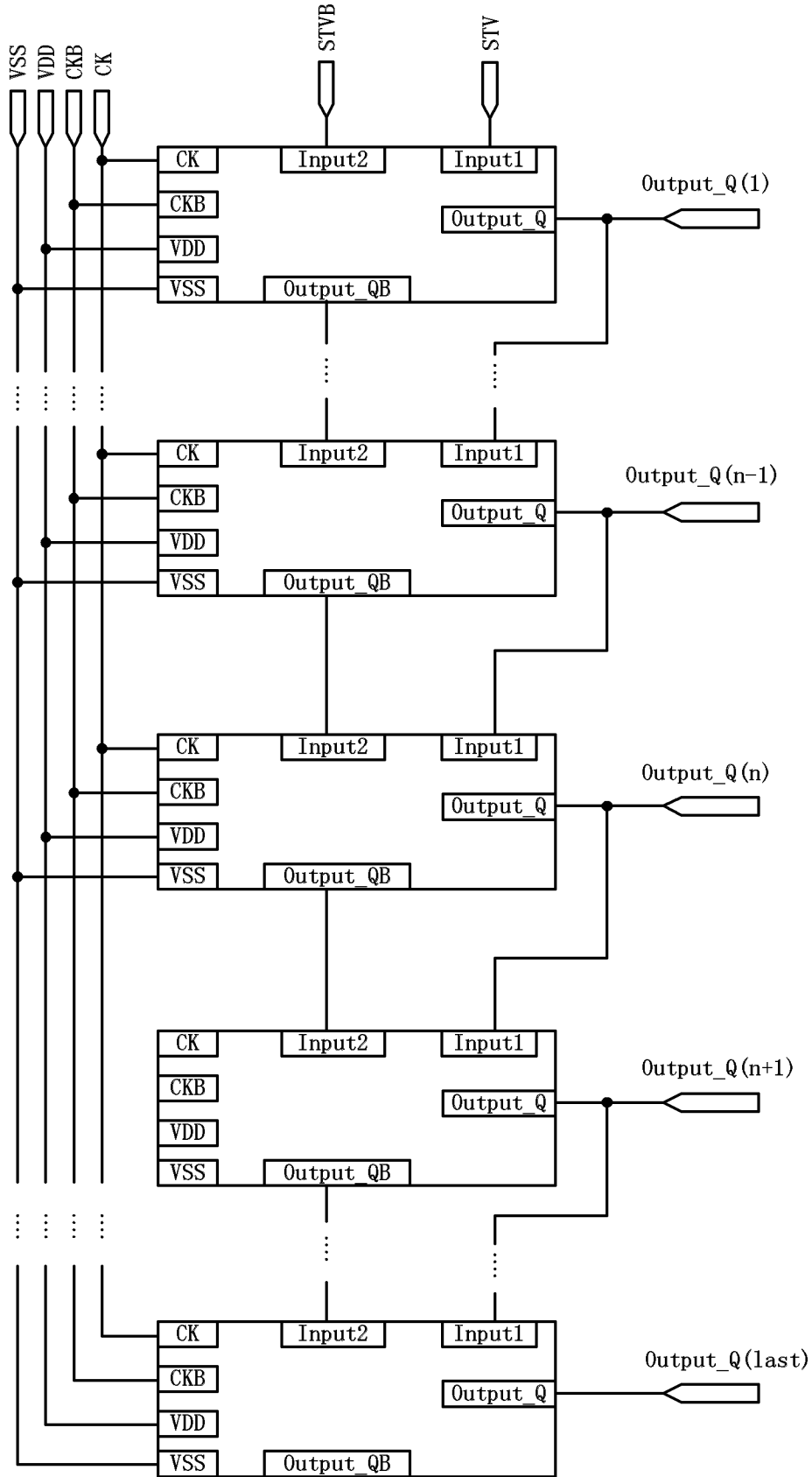


图 5

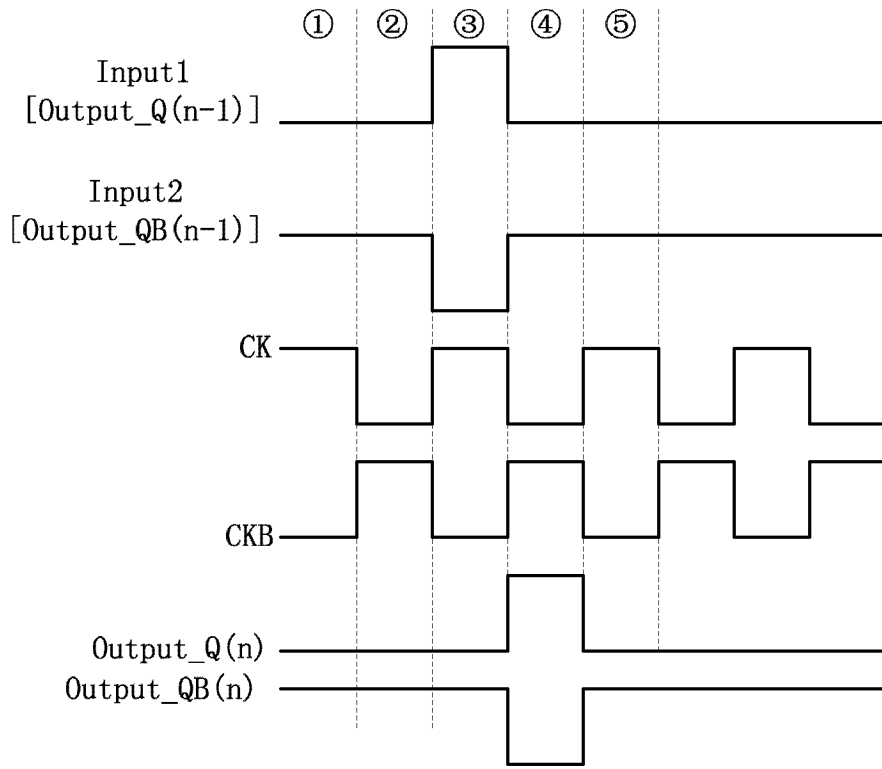


图 6

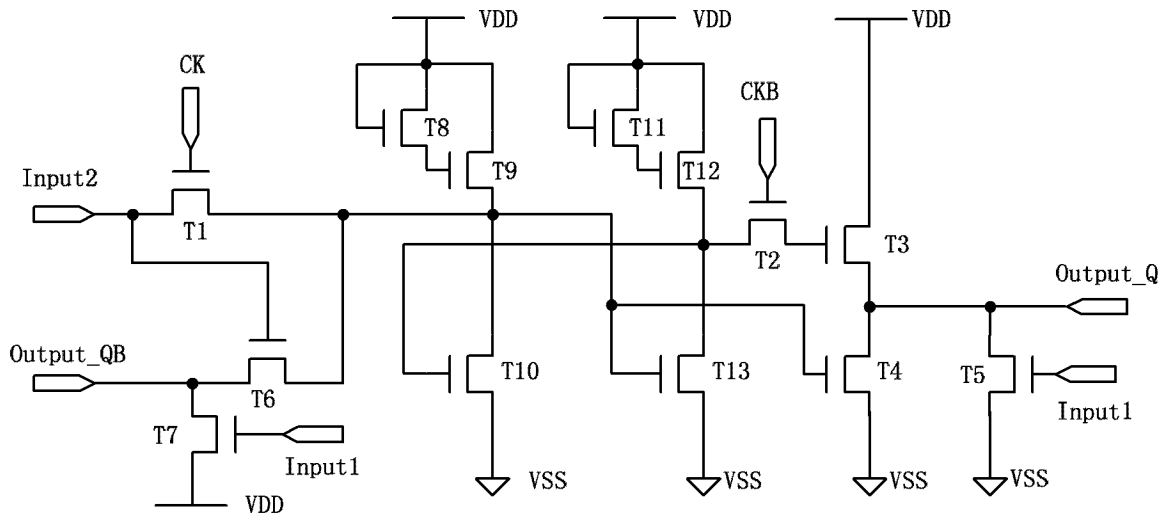


图 7

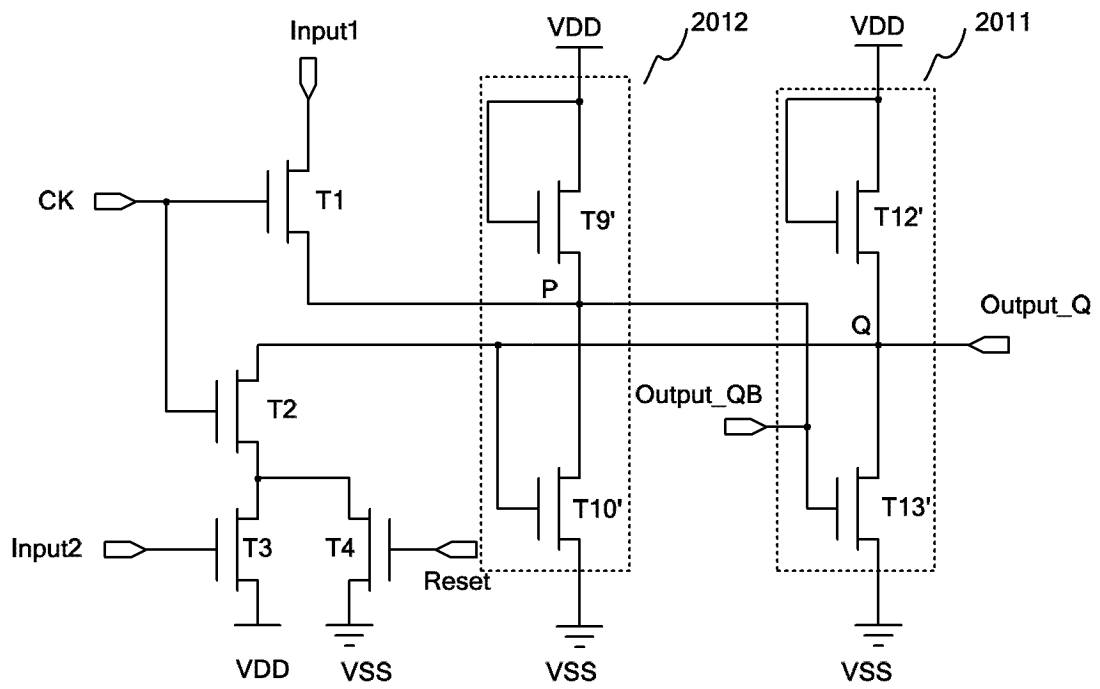


图 8

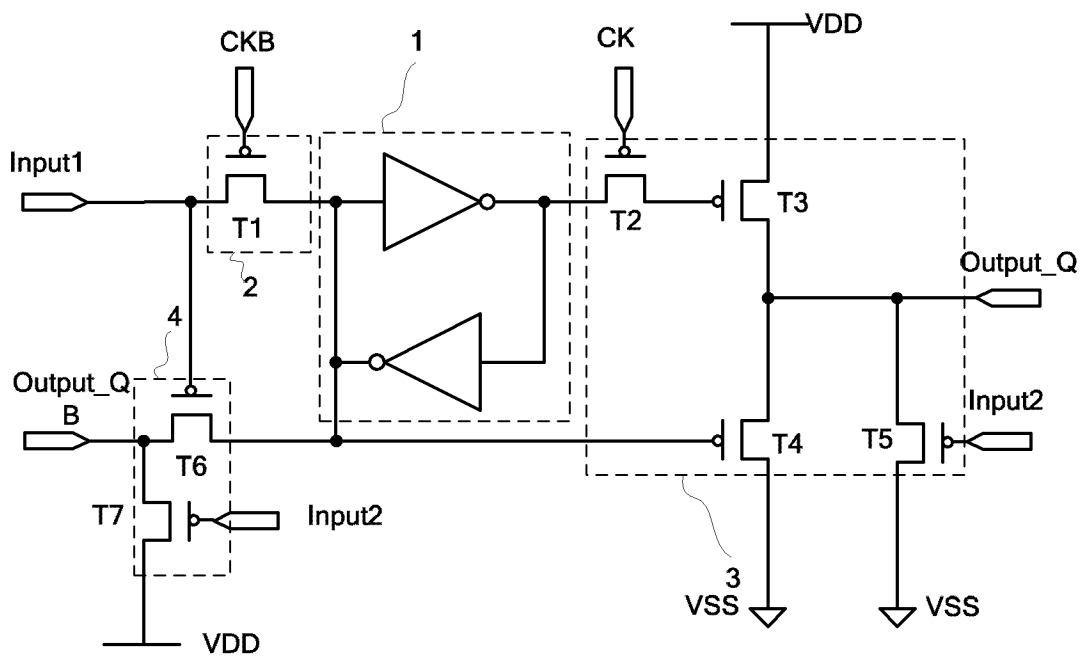


图 9