

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年11月19日(19.11.2020)



(10) 国際公開番号

WO 2020/230850 A1

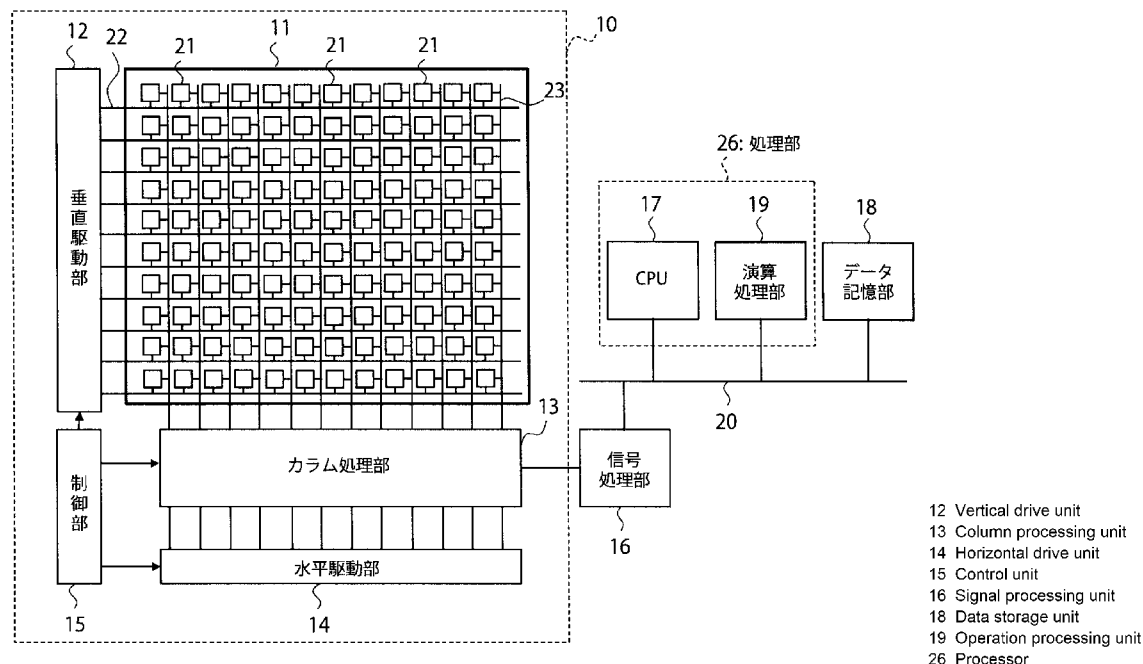
- (51) 国際特許分類:
H04N 5/369 (2011.01) G06N 3/063 (2006.01)
- (21) 国際出願番号: PCT/JP2020/019272
- (22) 国際出願日: 2020年5月14日(14.05.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-092323 2019年5月15日(15.05.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 若林 準人(WAKABAYASHI Hayato); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 池谷 亮志(IKEGAYA Ryoji); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: [Problem] To provide a solid-state imaging device and electronic apparatus with which it is possible to maintain small size of the circuit for performing neural network operations. [Solution] A solid-state imaging device according to one aspect of this disclosure comprises a pixel array and a processing unit. The pixel array has a plurality of first pixels which generate, as a first pixel signal, an electrical signal for logarithmic characteristics with respect to light intensity. The processing unit performs the arithmetic operations of a first neural network on the basis of a plurality of

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

first input data based on the plurality of first pixel signals read out from the pixel array, and a plurality of logarithmic weighting factors which express the strength of the union between a plurality of first nodes, as a logarithm.

(57) 要約: [課題] ニューラルネットワークの演算を行うための回路の規模を抑制した固体撮像装置及び電子機器を提供する。 [解決手段] 本開示の一側面の固体撮像装置は、画素アレイ部と、処理部とを備える。画素アレイ部は、光量に対して対数特性の電気信号を第1画素信号として生成する複数の第1画素を有する。前記処理部は、前記画素アレイ部から読み出された複数の前記第1画素信号に基づく複数の第1入力データと、複数の第1ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第1ニューラルネットワークの演算処理を行う。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 近年、機械学習の一種としてニューラルネットワークを用いたデータ学習法が広く用いられている。ニューラルネットワークは様々な分野で用いられており、カメラ等の撮像装置で撮像された画像データの画像認識の用途にも用いられている。

[0003] ニューラルネットワークを画像認識に用いる場合、入力層のノード（入力ノード）には、画像認識の対象となるデータを与える。入力層の次段の中間層のノード（中間ノード）では、各入力ノードから入力されたデータと、各入力ノードとの結合の強さを表す重み係数とに基づき、演算を行う。すなわち、入力データと重み係数との重み付け合計を計算する。この計算では積和演算が行われるため、演算量が多くなる。また積和演算のために乗算回路を用いると、回路規模が大きくなる問題もある。このことは、当該中間層より後段の各層のノードでも同様である。

先行技術文献

非特許文献

[0004] 非特許文献1：Daisuke Miyashita, Edward H. Lee, and Boris Murmann, “Convolutional neural networks using logarithmic data representation,” CoRR, vol. abs/1603.01025, 2016

非特許文献2：D.Kim, ” An Enhanced Dynamic-Range CMOS Image Sensor Using a Digital Logarithmic Single-Slope ADC” IEEE Transactions on circuit and systems 2012

非特許文献3：Alex Omid-Zohoor” Toward Always-On Mobile Object Detection:Energy Versus Performance Tradeoffs for Embedded HOG Feature Extra

ction” IEEE Transactions on circuit and systems for video technology
2018

発明の概要

発明が解決しようとする課題

[0005] そこで、入力ノードに与えるデータ、及び各ノード間の重み係数を、底を2とする対数に変換（ $\log_2$ 変換）する手法がある（非特許文献1参照）。この手法によれば、各ノードでの演算を対数領域の加算で行うことができるため、各ノードでの乗算演算を不要にできる。すなわち、乗算回路が不要となる。しかしながら、入力ノードに与えるデータを $\log_2$ 変換するための回路が新たに必要になる。これは回路規模の増大又は消費電力の増加につながる。

[0006] 本開示は、ニューラルネットワークの演算を行うための回路の規模を抑制した固体撮像装置及び電子機器を提供する。

課題を解決するための手段

[0007] 本開示の一側面の固体撮像装置は、画素アレイ部と、処理部とを備える。画素アレイ部は、光量に対して対数特性の電気信号を第1画素信号として生成する複数の第1画素を有する。前記処理部は、前記画素アレイ部から読み出された複数の前記第1画素信号に基づく複数の第1入力データと、複数の第1ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第1ニューラルネットワークの演算処理を行う。

[0008] 前記第1画素信号は電圧値を表し、前記電圧値は、所定値を底とする電流値の対数に比例する関係にあり、前記処理部は、前記第1画素信号の値に、前記所定値を真数に含む対数を乗じることにより、前記第1入力データを生成してもよい。

[0009] 前記所定値はネイピア数でもよい。

[0010] 前記所定値を真数に含む前記対数の底は2でもよい。

[0011] 前記固体撮像装置は制御部を備え、前記画素アレイ部は、前記複数の第1画素と異なる種類の複数の第2画素を有し、前記制御部は、前記複数の第1

画素から前記第 1 画素信号を読み出す第 1 読出処理と、前記複数の第 2 画素から複数の第 2 画素信号を読み出す第 2 読出処理とを選択的に実行し、前記処理部は、前記第 1 読出処理が実行された場合に、前記第 1 ニューラルネットワークの前記演算処理を行い、前記処理部は、前記第 2 読出処理が実行された場合に、複数の前記第 2 画素信号に基づく複数の第 2 入力データと、複数の第 2 ノード間の結合の強さを表す重み係数とに基づいて、第 2 ニューラルネットワークの演算処理を行う。

[0012] 前記制御部は、前記第 1 読出処理及び前記第 2 読出処理のいずれかを指示する指示データに従って、前記第 1 読出処理及び前記第 2 読出処理のいずれかを選択してもよい。

[0013] 前記第 2 画素は、光量に対して線形特性の電気信号を前記第 2 画素信号として生成する画素でもよい。

[0014] 前記第 2 画素は、入射されるフォトン数のカウント値を前記第 2 画素信号として生成する画素でもよい。

[0015] 前記第 2 画素は、照射した光の反射光の前記光との位相差を表す電荷量を前記第 2 画素信号として生成する画素でもよい。

[0016] 前記固体撮像装置は制御部を備え、前記第 1 画素は、光電変換部と、前記光電変換部から対数特性の電気信号を前記第 1 画素信号として読み出す第 1 読出部と、前記光電変換部から線形特性の電気信号を第 2 画素信号として読み出す第 2 読出部とを含み、前記制御部は、前記第 1 読出部を用いて前記第 1 画素信号を読み出す第 1 読出処理と、前記第 2 読出部を用いて前記第 2 画素信号を読み出す第 2 読出処理とを選択的に実行し、前記処理部は、前記第 1 読出処理が実行された場合に、前記第 1 ニューラルネットワークの前記演算処理を行い、前記処理部は、前記第 2 読出処理が実行された場合に、複数の前記第 2 画素信号に基づく複数の第 2 入力データと、複数の第 2 ノード間の結合の強さを表す重み係数とに基づいて、第 2 ニューラルネットワークの演算処理を行ってもよい。

[0017] 前記処理部は、前記第 1 ニューラルネットワークの前記演算処理により、

複数の前記第 1 画素信号が表す画像の画像認識を行ってもよい。

[0018] 本開示の一側面の電子機器は、光量に対して対数特性の電気信号を第 1 画素信号として生成する複数の第 1 画素を有する画素アレイ部を含む撮像素子と、前記画素アレイ部から読み出された複数の前記第 1 画素信号に基づく複数の第 1 入力データと、複数の第 1 ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第 1 ニューラルネットワークの演算処理を行う処理回路とを備える。

図面の簡単な説明

[0019] [図1]本開示の第 1 の実施形態に係る固体撮像装置の構成例を示すブロック図。

[図2]対数画素の特性を模式的に表したグラフを示す図。

[図3]対数画素の回路構成の一例を示す図。

[図4]ニューラルネットワークの典型的な構造の例を模式的に示す図。

[図5]ノードにおける演算処理の例を説明するための図。

[図6] $\log_2$ 加算回路の一例のブロック図。

[図7]本開示の第 1 の実施形態に係る固体撮像装置の動作の一例のフローチャート。

[図8]対数画素の回路構成の変形例を示す図。

[図9]対数画素の回路構成の他の変形例を示す図。

[図10]減算器及び量子化器の回路構成の一例を示す図。

[図11]本開示の第 2 の実施形態に係る固体撮像装置の構成例を示すブロック図。

[図12]線形画素の特性を模式的に表したグラフを示す図。

[図13]線形画素の回路構成の一例を示す図。

[図14]本開示の第 2 の実施形態に係る固体撮像装置の動作の一例のフローチャート。

[図15]図 14 に続く動作の一例のフローチャート。

[図16]第 3 の実施形態の固体撮像装置の構成例を示すブロック図。

[図17]ハイブリッド画素の回路構成の一例を示す図。

[図18]ハイブリッド画素の回路構成の変形例を示す図。

[図19]ハイブリッド画素の回路構成の変形例を示す図。

[図20]第3の実施形態に係る固体撮像装置の動作の変形例のフローチャート。

[図21]第3の実施形態に係る固体撮像装置の動作の他の変形例のフローチャート。

[図22]本開示に係る電子機器の構成の一例を示すブロック図。

発明を実施するための形態

[0020] 以下、図面を参照して、本開示の実施形態について説明する。本開示において示される1以上の実施形態において、各実施形態が含む要素を互いに組み合わせることができ、かつ、当該組み合わせられた結果物も本開示が示す実施形態の一部をなす。

[0021] 図1は、本開示の第1の実施形態に係る固体撮像装置の構成例を示すブロック図である。図1の固体撮像装置は、撮像素子10、信号処理部16、CPU (Central Processing Unit) 17、データ記憶部18、演算処理部19及びバス20を備えている。撮像素子10は、複数の画素21を有する画素アレイ部11と、垂直駆動部12と、カラム処理部13と、水平駆動部14と、制御部15とを備えている。CPU 17と演算処理部19とにより処理部26が構成される。

[0022] 図1の固体撮像装置は、例えばCMOS (Complementary Metal Oxide Semiconductor) 型の固体撮像装置であり、様々な電子機器に用いることができる。電子機器の例は、スマートフォン、タブレット又は携帯電話などの撮像機能を有する移動体装置、デジタルスチルカメラやビデオカメラ等の撮像機器、監視カメラ又は車載カメラなどを含む。

[0023] 撮像素子10の構造は、画素アレイ部11と論理回路（垂直駆動部12、カラム処理部13、水平駆動部14及び制御部15）とを同一の支持基板上に配置し、基板の裏面から照射する裏面照射型でもよい。または、撮像素子

10の構造は、画素アレイ部11と論理回路とを別々に製造して、積層する積層型でもよい。この場合、積層された各層は、ビアなどの接続部を介して電氣的に接続される。ビアの他、Cu-Cu接合やバンプにより接続することもできる。また、撮像素子の構造は、画素アレイ部11、垂直駆動部12、カラム処理部13、水平駆動部14、制御部15、信号処理部16、CPU17、データ記憶部18、演算処理部19及びバス20を備える積層型でもよい。

[0024] 画素アレイ部11は、2次元状（行列状）に配置された複数の画素21を含む。複数の画素21が配置された領域は、画素領域に対応する。画素21は、フォトダイオード（PD：Photodiode）を含む光電変換部と、複数の画素トランジスタとを含む。フォトダイオードは、入射光を光電変換により電気信号（信号電荷）に変換する素子である。複数の画素トランジスタは、一例としてMOS（Metal Oxide Semiconductor）トランジスタである。

[0025] 画素21の光電変換部は、光学レンズ（図示せず）を介して光を受光し、入射光の光量に対して対数的に変化する電気信号を画素信号として生成する。生成された電気信号（画素信号）は、画素21の出力電圧を表す電圧信号である。画素21では、フォトダイオードで発生する電圧に対して電流が指数的に流れるため、電圧と電流とが対数関係となって、対数の電圧信号が出力される。このように、入射光の光量に対して対数特性の電圧信号を画素信号として生成する画素21を対数画素と呼ぶ。以下では画素21のことを、対数画素21と呼ぶ場合がある。対数画素21は、第1画素の一例に対応し、対数画素21から読み出される画素信号は、第1画素から読み出される第1画素信号に対応する。対数画素は、光量に対して出力信号が線形に増大する線形特性の画素（線形画素と呼ぶ）に比べてノイズが多いものの、ダイナミックレンジが広いという特性を有している。

[0026] 図2に、対数画素への入射光の光量と、出力電圧との関係を模式的に表したグラフを示す。入射光の光量が増大するに応じて、出力電圧が、対数的に増加している。

[0027] 対数画素の電流を i 、電圧を v とすると、 i と v の関係は、一例として、以下の自然対数の式で近似できる。 A は予め決められた係数である。対数を $\log_a b$ と表したとき、 a を底、 b を真数と呼ぶ。式 (1) の右辺に、定数項が含まれてもよい。ここでは自然対数で近似しているが、ネイピア数 (e) 以外の所定値を底とする対数で近似してもよい。

[数1]

$$v = A * \log_e i \quad \dots (1)$$

[0028] 図 3 は、対数画素 2 1 の回路構成の一例を示す。ここでは例示として、1 つの対数画素 2 1 の構成を示すが、他の対数画素 2 1 も同様の構成を有する。

[0029] 対数画素 2 1 は、光電変換部に対応するフォトダイオード 3 1 と、複数の画素トランジスタを含む。複数の画素トランジスタは、出力トランジスタ 3 2、増幅トランジスタ 3 3、バイアストランジスタ 3 4、増幅トランジスタ 3 5、及び選択トランジスタ 3 6 である。出力トランジスタ 3 2、増幅トランジスタ 3 3、増幅トランジスタ 3 5 及び選択トランジスタ 3 6 は、一例として N 型トランジスタにより構成される。バイアストランジスタ 3 4 は、一例として P 型トランジスタにより構成される。但し、これらの画素トランジスタの導電型が、ここで例示したものと反対であってもよい。この場合、これらの画素トランジスタの制御信号の論理及び電源線の電圧を変更する必要がある。

[0030] 出力トランジスタ 3 2 のドレイン端子は電源電圧に接続され、ソース端子はフォトダイオード 3 1 のカソード端子に接続されている。フォトダイオード 3 1 のアノード端子は基準電圧に接続されている。基準電圧は、例えばグランド電圧である。またフォトダイオード 3 1 のカソード端子は、増幅トランジスタ 3 3 のゲート端子に接続されている。フォトダイオード 3 1 と増幅トランジスタ 3 3 の接続ノード N 1 は、出力トランジスタ 3 2 のソース端子に接続されている。

[0031] バイアストランジスタ 3 4 と増幅トランジスタ 3 3 は、電源電圧と基準電

圧との間において、直列に接続されている。また、バイアストランジスタ 34 と増幅トランジスタ 33 の接続ノード N2 は、出力トランジスタ 32 のゲート端子と、増幅トランジスタ 35 のゲート端子とに接続されている。出力トランジスタ 32 と増幅トランジスタ 33 は、接続ノード N2 及び接続ノード N1 を介して、ループ状に接続されている。

[0032] バイアストランジスタ 34 のゲート端子にはバイアス電圧 V_{bias1} が印加されている。

[0033] 増幅トランジスタ 35 のドレイン端子は電源電圧に接続されており、ソース端子は選択トランジスタ 36 のドレイン端子に接続されている。選択トランジスタ 36 のソース端子は垂直信号線 23 に接続されている。選択トランジスタ 36 のゲート端子は画素駆動線 22 に接続されており、選択トランジスタ 36 は、垂直駆動部 12 が供給する選択信号 SEL により制御される。

[0034] フォトダイオード 31 は、入射光の光量に対して線形に変化する電流 i を出力する。この電流 i に応じた電圧が増幅トランジスタ 33 のゲート端子に印加される。出力トランジスタ 32 及び増幅トランジスタ 33 はそれぞれソースフォロワとしてサブスレッショルド領域で動作する。ループ状に接続された出力トランジスタ 32 及び増幅トランジスタ 33 により、接続ノード N1 の電圧が、増幅トランジスタ 33 を介して、出力トランジスタ 32 のゲート端子にフィードバックされる。これにより、電流 i の対数の電圧信号が接続ノード N2 に生成され、生成された電圧信号がバッファ回路 40 を介して増幅トランジスタ 35 に与えられる。この電圧信号が増幅トランジスタ 35 により増幅される。増幅された電圧信号は、選択トランジスタ 36 を介して、垂直信号線 23 に出力される。このように、入射光の光量に対して対数的に変化する電圧信号が、画素信号として出力される。

[0035] 図 3 に示した対数画素の構成は一例であり、対数画素の構成は図 3 の構成に限定されない。光電流の対数に応じて変化する電圧信号を検出可能である限り、どのような構成でもかまわない。また、図 3 の構成に特定の機能を有する回路を追加してもよい。例えば輝度変化を検出するセンサ回路を、接続

ノードN 2 に、増幅トランジスタ 3 5 と並列に接続してもよい。

[0036] 図 1 の垂直駆動部 1 2 は、画素アレイ部 1 1 の画素駆動線 2 2 を垂直方向に順次選択し、選択された画素駆動線 2 2 に共通に接続されている複数の画素 2 1 を駆動するためのパルス（駆動信号）を供給する。例えば、垂直駆動部 1 2 は、画素アレイ部 1 1 の画素 2 1 を行単位で順次垂直方向に選択し、選択した行の画素駆動線 2 2 に選択信号 S E L や後述するリセット信号 R S T などの駆動信号を供給する。これにより、各画素 2 1 において生成された画素信号が、垂直信号線 2 3 を介して、カラム処理部 1 3 に供給される。垂直駆動部 1 2 は、例えばシフトレジスタなどの回路により構成される。

[0037] カラム処理部 1 3 は、1 行分の画素 2 1 から出力される信号の信号処理を、画素列ごとに行う。カラム処理部 1 3 は、各画素列に対応する単位回路を備える。各画素列に対応する単位回路が、1 行分の画素 2 1 のうち対応する画素から出力される信号を受け取り、信号の信号処理を行う。信号処理の例は、A D（Analog to Digital）変換を含み、さらに A D 変換前のノイズ除去及び信号増幅を含んでもよい。

[0038] 水平駆動部 1 4 は、水平走査パルスを順次出力することによって、カラム処理部 1 3 における単位回路を順番に選択する。これによりカラム処理部 1 3 における単位回路の各々から画素信号が順番に信号処理部 1 6 に出力される。水平駆動部 1 4 は、例えばシフトレジスタなどの回路により構成される。

[0039] 制御部 1 5 は、固体撮像装置の各部の動作を制御する回路である。例えば制御部 1 5 は、垂直同期信号、水平同期信号、及びマスタクロックに基づいて、垂直駆動部 1 2、カラム処理部 1 3、水平駆動部 1 4 等の動作の基準となる種々の信号、例えばクロック信号や制御信号を生成する。制御部 1 5 は、生成した信号を、垂直駆動部 1 2、カラム処理部 1 3、及び水平駆動部 1 4 等に出力する。

[0040] 信号処理部 1 6 は、カラム処理部 1 3 から供給される画素信号に対して種々の信号処理を行う。信号処理は、画素信号をバッファリングするだけの場

合もある。その他、信号処理の例は、黒レベル調整、列ばらつき補正、又は各種デジタル信号処理を含む。信号処理部 16 は、一例として DSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit)、FPGA (Field Programmable Gate Array)、又は CPU などの回路で構成される。信号処理部 16 は、バス 20 に接続されている。

[0041] CPU 17 はバス 20 に接続されており、信号処理部 16、データ記憶部 18 及び演算処理部 19 を制御する。CPU 17 は、信号処理部 16 で処理された画素信号のデータを画素データとして、データ記憶部 18 に書き込む制御を行う。

[0042] データ記憶部 18 は、信号処理部 16 で処理された画素データを内部に記憶する。各画素 21 に対応する画素データがデータ記憶部 18 に格納されることで、1 フレーム分の画像データがデータ記憶部 18 に格納される。画素データは、所定のビット長のデジタル値であり、ビット長は AD 変換の設定分解能に応じて決まる。固体撮像装置で一定の周期で撮像が行われる場合、一定の周期で画像データが取得され、データ記憶部 18 に格納される。

[0043] データ記憶部 18 は、一例として、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、NAND 型フラッシュメモリ又は磁気抵抗メモリなど、任意の揮発性又は不揮発性のメモリデバイスで構成される。あるいは、データ記憶部 18 は、レジスタやデジタル回路など、メモリデバイス以外の記憶媒体で構成されてもよい。データ記憶部 18 はバス 20 に接続されている。

[0044] 演算処理部 19 は、CPU 17 の制御の下、データ記憶部 18 に格納されている 1 フレーム分の画像データを入力として、ニューラルネットワークの演算処理を行うことで、画像データの画像認識を行う。すなわち、演算処理部 19 は、各画素 21 から読み出された画像信号に基づく画像の画像認識を行う。画像認識の例として、画像データ内に所定のオブジェクトが写っているか否かがある。例えば、人の顔が写っているか否かがある。また、画像データ内に写っているオブジェクトの種類を、複数の候補の中から予測するこ

とがある。例えば、オブジェクトが、人間か、人間以外の動物か、物かを予測することがある。候補の数はこの例では3だが、2でも、4以上でもよい。画像認識の例は、画像データに基づいて行うことができる限り、これら以外のものでもよい。演算処理部19は、画像認識の結果を表すデータを、データ記憶部18に格納する。データ記憶部18は、演算処理部19により算出された画像認識の結果を表すデータを記憶する。

[0045] 演算処理部19は、一例としてDSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit)、FPGA (Field Programmable Gate Array)、又はCPUなどの回路により構成される。演算処理部19は、データを格納するための内部バッファを備えていてもよい。内部バッファはレジスタ、メモリ又はデジタル回路など、任意の回路で構成される。メモリは、揮発性メモリでも、不揮発性メモリでもよい。

[0046] 演算処理部19が行う処理の一部をCPU17が実行してもよい。

[0047] データ記憶部18は、演算処理部19がニューラルネットワークの演算処理に用いるニューラルネットワークのパラメータを記憶している。パラメータは、学習済みのニューラルネットワークのノード間の結合（リンク）の強さを表す重み係数を、底を2とする対数に変換した値である。以下、変換した重み係数を、対数重み係数、又は $\log_2$ 重み係数と呼ぶことがある。対数重み係数は、複数のノード間の結合の強さを対数で表したものである。本実施形態ではニューラルネットワークの演算処理において、学習された重み係数の代わりに、対数重み係数を用いる。データ記憶部18は、対数重み係数を記憶する形態として、ニューラルネットワークの各ノード間のリンクを表す識別子と、対数重み係数とを対応づけた情報を記憶している。この情報は、例えばテーブルでもよいし、与えられた識別子に応じて対数重み係数を返す関数でもよい。

[0048] データ記憶部18に記憶されているとして説明したデータの全部又は一部を、演算処理部19の内部バッファに格納してもよい。例えば、上述のパラメータを演算処理部19の内部バッファに格納してもよい。なお、データ記

憶部 18 は、学習された重み係数を記憶していてもよい。

[0049] 図 4 は、ニューラルネットワークの典型的な構造の例を模式的に示す図である。本実施形態ではニューラルネットワークとして各層間で全てのノードが相互結合された全結合型の階層型ニューラルネットワークの例を示すが、畳み込み型ニューラルネットワーク又は相互結合型ニューラルネットワークなど、他の型のニューラルネットワークを用いてもよい。

[0050] 以下では図 4 に基づき、まず、一般的なニューラルネットワークについて説明する。ニューラルネットワークは、入力層 41、中間層（隠れ層）42、及び出力層 43 を備えている。ここでは中間層 42 が 1 つの例を示しているが、中間層が複数存在してもよい。複数の中間層が存在する場合、入力層 41 に近い側から順に、1 段目の中間層、2 段目の中間層、・・・、最終段の中間層と呼ぶ。一般に、中間層の個数が多いほど、識別の精度が向上する。

[0051] 入力層 41 は、複数（ q 個）の入力ユニット $A_1 \sim A_q$ を有する。中間層 42 は、複数（ j 個）の演算ユニット $B_1 \sim B_j$ を有する。出力層 43 は、複数（ n 個）の演算ユニット $C_1 \sim C_n$ を有する。以下、入力ユニット $A_1 \sim A_q$ のことを入力ノード $A_1 \sim A_q$ と呼び、中間層の演算ユニット $B_1 \sim B_j$ のことを中間ノード $B_1 \sim B_j$ と呼び、出力層の演算ユニットのことを出力ノード $C_1 \sim C_n$ と呼ぶ。

[0052] 中間層 42 の各中間ノードは、入力層 41 の複数の入力ノード $A_1 \sim A_q$ の全てとリンクで結合されている。一般的なニューラルネットワークでは、各リンクには、学習された重み係数が設定される。出力層 43 の各出力ノードは、中間層 42 の複数の中間ノード $B_1 \sim B_j$ の全てとリンクで結合されている。各リンクには、学習された重み係数が設定される。

[0053] 一般的なニューラルネットワークの演算処理を説明する。入力ノード $A_1 \sim A_q$ には入力データが与えられる。入力データは、画像データの各画素データであるとする。一例として入力ノードの個数は、画像データの入力の画素数と同数であり、各画素の画素データが入力ノードに与えられる。各入力ノード

ドは、与えられた入力データを、中間ノード $B_1 \sim B_j$ に出力する。各中間ノードは、入力ノード $A_1 \sim A_q$ から入力されたデータに、入力ノード $A_1 \sim A_q$ に対する重み係数を乗算し、乗算結果を総和する。すなわち、入力されたデータと重み係数との積和演算（重み付け合計）を行う。積和演算の結果を活性化関数の入力変数とし、活性化関数を計算する。各中間ノードは、活性化関数の出力値を、出力ノード $C_1 \sim C_n$ に出力する。

[0054] 例えば、中間ノード B_1 と、入力ノード $A_1 \sim A_q$ との間の重み係数を、 $w_1 \sim w_q$ とし、入力ノード $A_1 \sim A_q$ から中間ノード B_1 に入力されるデータを $d_1 \sim d_q$ とする。このとき、中間ノード B_1 における積和演算値（ X_{B1} ）、及び活性化関数の出力値（ Y_{B1} ）は、以下の式で表される。

[数2]

$$X_{B1} = \sum_{k=1}^q w_k d_k \quad \cdots (2-1)$$

$$Y_{B1} = f\left(\sum_{k=1}^q w_k d_k\right) \quad \cdots (2-2)$$

[0055] 関数 f は、活性化関数を表している。 Σ は、重み係数 $w_1 \sim w_q$ と、入力データ $d_1 \sim d_q$ との積和演算（重み付け合計）を表している。ここでは中間ノード B_1 の演算例を示したが、中間ノード $B_2 \sim B_j$ でも同様の演算が行われる。中間ノード $B_1 \sim B_j$ の出力値は、出力ノード $C_1 \sim C_m$ に入力されるデータとなる。

[0056] 活性化関数は、例えば、ReLU関数又はステップ関数など、任意の非線形関数を用いられる。但し、線形関数を用いることも排除されない。

[0057] ReLU関数は、入力変数が0以下であれば0を出力し、0を超えていれば入力変数の値をそのまま出力する関数である。ReLU関数を $\text{ReLU}(x)$ 、入力変数を x とすると、 $\text{ReLU}(x)$ は、以下のように定義される。

[数3]

$$\text{ReLu}(x) = \begin{cases} x & (x > 0) \\ 0 & (x \leq 0) \end{cases} \quad \dots (3)$$

[0058] ステップ関数は、入力変数が0以下であれば0を出力し、0を超えていれば1を出力する関数である。ステップ関数を $\text{Step}(x)$ 、入力変数を x とすると、 $\text{Step}(x)$ は、以下のように定義される。

[数4]

$$\text{Step}(x) = \begin{cases} 1 & (x > 0) \\ 0 & (x \leq 0) \end{cases} \quad \dots (4)$$

[0059] 中間層における各中間ノードの活性化関数は同じであるとするが、中間ノードによって活性化関数が異なってもよい。

[0060] 各出力ノードの演算は、中間ノードの演算と同様である。より詳細には、各出力ノードは、中間ノード $B_1 \sim B_j$ から入力されたデータに、中間ノード $B_1 \sim B_j$ に対する重み係数を乗算し、乗算結果を総和する。すなわち、入力されたデータと重み係数との積和演算（重み付け合計）を行う。積和演算の結果を活性化関数の入力変数とし、活性化関数を計算する。各出力ノードにおける活性化関数の出力値が、各出力ノードの出力となる。

[0061] 出力層の各出力ノードの活性化関数は同じであるとするが、出力ノードによって活性化関数が異なってもよい。また出力層の活性化関数は、中間層の活性化関数と異なっても、同じであってもよい。

[0062] 演算処理部19は、各出力ノードの出力値に基づき、判定処理を行い、判定処理の結果を、画像認識の結果として出力する。

[0063] 一例として、各出力ノードにクラスが割り当てられており、最も大きい出力値を出力した出力ノードのクラスを識別結果とする。例えば2つの出力ノードが存在し、一方の出力ノード（第1出力ノード）に割り当てられた第1クラスが画像に人の顔が写っていることを表すクラスであるとする。そして、他方の出力ノード（第2出力ノード）に割り当てられた第2クラスが画像

に人の顔が写っていないことを表すクラスであるとする。この場合、第1出力ノードの出力値が第2出力ノードの出力値より大きければ、第1クラスを示す信号を出力する。すなわち、ニューラルネットワークに入力として与えられた画像データに人の顔が写っていると判定する。第2出力ノードの出力値が第1出力ノードの出力値より大きければ、第2クラスを示す信号を出力する。すなわち、ニューラルネットワークに入力として与えられた画像データに人の顔は写っていないと判定する。

[0064] 上述の各出力ノードの出力値に基づく判定処理は一例であり、他の判定処理も可能である。例えば各出力ノードの出力値を閾値と比較し、閾値以上の出力値が得られた出力ノードの個数の割合が一定値以上の場合は、第1の識別結果を決定する（例えば画像に人の顔が写っていると判定）。当該割合が一定値未満の場合は、第2の識別結果を決定する（例えば画像に人の顔が写っていないと判定）。あるいは、出力ノードの出力値のうち最も大きな出力値を特定し、特定した出力値が一定値以上の場合、第1の識別結果を決定し、一定値未満の場合は、第2の識別結果を決定してもよい。閾値は予めデータ記憶部18又は演算処理部19の内部バッファに格納しておく。各出力ノードの出力値に基づく判定方法は、ニューラルネットワークの構成や学習方法等に応じて任意に定義することができる。

[0065] 中間層が複数存在する場合は、初段の中間層の各中間ノードが、入力ノード $A_1 \sim A_q$ の全てとリンクで結合され、各リンクには重み係数が設定される。また、隣接する中間層同士間で、後段の中間層の各中間ノードが、前段の中間層の全ての中間ノードとリンクで結合され、各リンクには重み係数が設定される。出力層43の各出力ノードが、最終段の中間層の全ての中間ノードとリンクで結合され、各リンクには重み係数が設定される。2段目以降の中間層の各中間ノードでは、前段の中間層の全ての中間ノードの出力値が、入力されるデータとなる。2段目以降の中間層の各中間ノードの演算は、前述した中間層42と同様である。

[0066] このようなニューラルネットワークの学習は、予め識別結果（正解）が分

かっている複数の画像データを学習データとして用意し、画像データを入力層に入力したら、当該識別結果（正しい識別結果）が得られるよう、ノード間の重み係数を調整することで行う。予め分かっている識別結果は教師信号と呼ばれる。このような重み係数の調整は、バックプロパゲーション法（誤差逆伝播法：Back Propagation Method）などの方法を用いて行えばよい。バックプロパゲーション法は、ニューラルネットワークの出力と教師信号のずれが小さくなるよう、出力層側から順番に、重み係数を調整する方法である。

[0067] 以上は、一般的なニューラルネットワークの説明であるが、以下、図4～図6を用いて、本実施形態に係るニューラルネットワークについて説明する。図4は一般的なニューラルネットワークの説明で用いたものであるが、ニューラルネットワークの構造を普遍的に示したもので、本実施形態に係るニューラルネットワークの説明も図4をベースに行う。本実施形態に係るニューラルネットワークは、一例として第1ニューラルネットワークに対応し、第1ニューラルネットワークにおける各ノードは一例として第1ノードに対応する。

[0068] 本実施形態ではニューラルネットワークの各入力ノードに与えるデータとして、演算処理部19が、画素データをデータ変換し、これを入力データ（第1入力データ）として用いる。より詳細には、各画素21の画素データが示す値（電圧値）に対して、上述の式（1）の関係にある電流値*i*を底2の対数に変換したデータ（ $\log_2 i$ ）を用いる。変換したデータを、対数画素データと呼ぶ。上述の式（1）を、底の変換公式を用いて、式（5-1）のように変換し、さらに式（5-2）のように変換することで、対数画素データ（ $\log_2 i$ ）を導出できる。

[0069] [数5]

$$v = A * \frac{\log_2 i}{\log_2 e} \dots (5-1)$$

$$\log_2 i = v * \frac{\log_2 e}{A} = v * A' \dots (5-2)$$

[0070] A及び $\log_2 e$ のいずれも固定値であるから、 A' も固定値である。よって、画素データの値(v)に A' を乗じることで、 $\log_2 i$ を算出できる。 A' は固定値であるから、この演算は簡単であり、小規模の演算量又は小規模の回路で実現できる。すなわち、画素データを底が2の対数に変換($\log_2$ 変換)するための回路($\log_2$ 変換回路)は不要である。 $\log_2 e$ は、所定値(ここではネイピア数)を真数に含む対数の一例である。

[0071] また、本実施形態に係るニューラルネットワークの演算処理では、各ノード間の重み係数として、学習された重み係数を底2の対数に変換した対数重み係数を用いる。各ノード間とは、入力ノード及び中間ノード間、並びに、中間ノード及び出力ノード間のことである。中間層が複数存在する場合は、異なる中間層間での中間ノード間も含む。このように、本実施形態に係るニューラルネットワークの演算処理は、各入力ノードに与えられる対数画素データと、各ノード間に設定される対数重み係数とに基づき行われる。

[0072] 以下、中間ノードの演算処理の内容を説明する。まず、中間ノードに接続されている各入力ノードから入力される対数画素データと、各入力ノードに対する対数重み係数とをそれぞれ加算する。加算の対象がいずれも対数であるから、加算結果も対数である。 $\log_2 i + \log_2 w = \log_2 (i * w)$ が成立するから、対数画素データ($\log_2 i$)と対数重み係数($\log_2 w$)を加算した値は、電流データ*i*と重み係数*w*との乗算値($i * w$)を、底2の対数に変換した値に等しい。 $i * w$ を直接計算することなく、入力された対数同士を加算するのみで $\log_2 (i * w)$ を算出できる。よって、一般的なニューラルネットワークの演算処理における乗算演算を、加算演算に置き換えることができる。

[0073] 次に、各入力ノードに対する加算結果(対数值)の真数の総和値の $\log_2$ を算出する。複数の対数值の真数を総和した値の $\log_2$ を算出することを、“ $\log_2$ 加算”と呼ぶ。また、 $\log_2$ 加算により算出された値を $\log_2$ 加算値と呼ぶ。

[0074] 例えば、各入力ノードに対する加算結果を $\log_2 (i_1 * w_1)$ 、 $\dots$,

$\log_2(i_{q-1} * w_{q-1})$, $\log_2(i_q * w_q)$ とすると、これらの $\log_2$ 加算値は、 $\log_2(i_1 * w_1 + \dots + i_{q-1} * w_{q-1} + i_q * w_q)$ である。 $\log_2$ 加算は、小規模の演算量又は小規模の回路で実現できる。

[0075] 算出した $\log_2$ 加算値を活性化関数の入力変数として、活性化関数の出力値を計算する。以下、図4の中間ノード B_1 を例に、具体例を説明する。

[0076] 図5は、中間ノード B_1 の演算処理の例を説明するための図である。中間ノード B_1 と、入力ノード $A_1 \sim A_q$ との間に設定された対数重み係数を $\log_2 w_1 \sim \log_2 w_q$ とする。入力ノード $A_1 \sim A_q$ から中間ノード B_1 に入力されるデータを $\log_2 i_1 \sim \log_2 i_q$ とする。このとき、中間ノード B_1 における演算値 (X'_{B1})、活性化関数の出力値 (Y'_{B1}) は、以下の式で表される。図5の例では活性化関数として ReLU 関数を用いている。

[数6]

$$X'_{B1} = \log_2 \left(\sum_{k=1}^q w_i i_k \right) \quad \dots (6-1)$$

$$Y'_{B1} = f \left(\log_2 \left(\sum_{k=1}^q w_i i_k \right) \right) \quad \dots (6-2)$$

[0077] 中間ノード $B_2 \sim B_j$ でも、中間ノード B_1 と同様の演算が行われる。

[0078] 式(6-1)と式(2-1)とを比較して理解できるように、本実施形態に係るニューラルネットワークにおけるノードの演算値 ($\log_2$ 加算値) は、一般的なニューラルネットワークにおけるノードの演算値 (積和演算値) を $\log_2$ に変換した値に相当する。

[0079] 出力ノード $C_1 \sim C_n$ の演算処理も、前段の層から入力されるデータが、各中間ノードの出力値である以外は、中間ノードと同様である。中間ノードの出力値は底2の対数であるから、出力ノードでも、中間ノードと同様に $\log_2$ 加算の演算を行うことができる。

[0080] 例えば、中間ノードにおける活性化関数が ReLU の場合、演算値が0よ

り大きい場合は、当該値がそのまま出力されるため、ReLUの出力値は底2の対数である。演算値が0以下の場合、0が出力されるが、 $0 = \log_2 1$ であるから、この場合も出力値は底2の対数で表される。よって、出力ノードでも、中間ノードと同様の演算を行うことができる。

[0081] 演算処理部19は、出力ノード $C_1 \sim C_n$ の出力値（底が2の対数）に基づき判定処理を行い、判定処理の結果を、画像認識の結果として出力する。判定処理の詳細は、前述した一般的なニューラルネットワークの判定処理と同様である。例えば、各出力ノードにクラスが割り当てられており、最も大きい出力値を出力した出力ノードのクラスを画像認識の結果とする。その他、前述した各出力ノードの出力値を閾値と比較する方法も可能である。閾値と比較する場合、閾値を底2の対数に変換した値（対数閾値）を用いればよい。これにより、対数同士で比較が可能となる。対数閾値は予めデータ記憶部18又は演算処理部19の内部バッファに格納しておく。

[0082] このように本実施形態に係るニューラルネットワークでは、中間ノード及び出力ノードで乗算演算は不要であるため、乗算回路が不要となり、回路規模も低減される。また、演算量が低減されるため、消費電力も低減される。

[0083] ここで $\log_2$ 加算の演算を効率的に行うための回路（ $\log_2$ 加算回路）の構成例について説明する。ここで、 $\log_2(i_1 * w_1)$ と $\log_2(i_2 * w_2)$ との $\log_2$ 加算は、以下の式で近似できる（非特許文献1参照）。

[数7]

$$\begin{aligned} & \log_2(i_1 * w_1 + i_2 * w_2) \\ &= \max(\log_2(i_1 * w_1), \log_2(i_2 * w_2)) + 2^{-|\log_2(i_1 * w_1) - \log_2(i_2 * w_2)|} \dots (7) \end{aligned}$$

[0084] 式(7)の最初の項は、 $\log_2(i_1 * w_1)$ と $\log_2(i_2 * w_2)$ のうちの最大値を意味する。2番目の項は、 $\log_2(i_1 * w_1)$ と $\log_2(i_2 * w_2)$ の差分の絶対値のマイナスだけ2を累乗している。2番目の項は1を、当該差分の絶対値だけ右側（桁の小さい方向）にビットシフトすることにより等しい。つまり、10進数の1をビットで表記したビット列を、 $\lfloor \log_2 ($

$i_1 * w_2) - \log_2(i_1 * w_1) |$ だけ右側にビットシフトする。ビットシフトを右側に行うのは、2のべき乗の指数が負の値であるためである。例えば、1が00001000と表される場合に、上述の差分の絶対値が3であれば、3ビットシフトを行うことにより、00000001となる。なおビット表記の規則は任意に定めればよく、本例は一例に過ぎない。

[0085] このように、最大値の選択と、差分の絶対値の計算と、ビットシフトにより $\log_2$ 加算ができるため、演算が簡単である。なお、 $| \log_2(i_1 * w_2) - \log_2(i_1 * w_1) |$ の値が整数にならない場合は、丸め処理（切り上げ又は切り捨て）、天井関数又は床関数などにより整数に近似すればよい。あるいは、 $\log_2(i_1 * w_2)$ 及び $\log_2(i_1 * w_1)$ をそれぞれ整数に近似してから、 $| \log_2(i_1 * w_2) - \log_2(i_1 * w_1) |$ を計算してもよい。

[0086] 図6は、 $\log_2$ 加算回路の一例のブロック図である。 $\log_2$ 加算回路は演算処理部19に含まれている。ここでは複数の入力ノード $A_1 \sim A_q$ に対してそれぞれ対数画素データと対数重みとの加算により計算された $\log_2(i_n * w_n)$ (n は $1 \sim q$ の整数) を、累積加算する場合の回路構成の例を示している。図6の回路は、セクタ51と、加算器52と、減算器53と、絶対値演算器54と、べき乗演算器55と、フリップフロップ回路56とを備えている。

[0087] セクタ51は第1入力端子と第2入力端子とを有する。第1入力端子には新たに演算対象となる $\log_2(i_n * w_n)$ が入力され、これをデータ P_n と表す。第2入力端子には前回まで累積加算された値 $\log_2(i_1 * w_1 + \dots + i_{n-1} * w_{n-1})$ が入力され、これをデータ S_{n-1} と表す。初回は、第1入力端子に $\log_2(i_2 * w_2)$ ($= P_2$) が入力され、第2入力端子に $\log_2(i_1 * w_1)$ ($= S_1$) が入力される。

[0088] データ P_n とデータ S_{n-1} は減算器53にも入力される。減算器53は、 P_n から S_{n-1} を減算する。減算器53の出力は、セクタ51の制御端子に接続されている。減算器53は、減算結果の符号を示す信号をセクタ51の制

御端子に出力し、減算結果を表す信号を絶対値演算器54に出力する。セレクタ51は、減算結果が正を示す場合はデータ P_n を出力し、負を示す場合は、データ S_{n-1} を出力する。すなわち、データ P_n と S_{n-1} のうち大きい方を出力する。減算器53は、 S_{n-1} から P_n を減算する構成でもよく、この場合、セレクタ51は、減算結果が正を示す場合はデータ S_{n-1} を出力し、負を示す場合は、データ P_n を出力すればよい。

[0089] 絶対値演算器54は、減算器53の出力に接続されており、減算器53の減算結果の絶対値 $|P_n - S_{n-1}|$ を計算する。

[0090] べき乗演算器55は、絶対値演算器54の出力に接続されており、2の $|P_n - S_{n-1}|$ 乗を計算する。この計算は上述したように、1を $|P_n - S_{n-1}|$ だけ、右側にビットシフトすることにより実現できる。

[0091] 加算器52は、セレクタ51の出力とべき乗演算器55の出力に接続されており、セレクタ51で選択された値と、べき乗演算器55でビットシフトされた後の値とを加算する。

[0092] フリップフロップ回路56は、加算器52の出力に接続されており、加算器52の加算結果 $(\log_2(i_1 * w_1 + i_2 * w_2))$ の近似値を内部に記憶する。フリップフロップ回路56は、セレクタ51の第2入力端子に接続されており、この値をデータ S_2 として第2入力端子及び減算器53にフィードバックする。セレクタ51の第1入力端子には次に演算対象となる $\log_2(i_3 * w_3)$ がデータ P_3 として入力される。以降、同様にして処理を繰り返すことで、 $\log_2(i_n * w_n)$ が累積的に $\log_2$ 加算され、最終的に、 $\log_2(i_1 * w_1 + \dots + i_q * w_q)$ の近似値が、クロックCLKで動作するフリップフロップ回路56から出力される。フリップフロップ回路56の出力値は、活性化関数の入力変数となる。

[0093] 図7は、本実施形態に係る固体撮像装置の動作の一例のフローチャートである。本装置を搭載したデバイスで予め定めたイベントが成立したことにより、本処理の実行のトリガーが発生する。予め定めたイベントは、本装置を搭載したデバイスで発生又は検知するイベントであれば何でもよい。例えば

、本装置を搭載したデバイス进行操作するユーザが所定の操作を行ったこと、所定の時刻になったこと、一定値以上の振動を検知したことなどがあるが、これらに限定されない。このトリガーにより、制御部 15 の制御の下、画素アレイ部 11 で 1 フレームの撮像が行われる。すなわち、各画素 21 で光電変換により、入射光の光量に対して対数的に変化する画素信号（電圧信号）が生成され、生成された画素信号を読み出して信号処理部 16 に送る（S101）。これらの画素信号をカラム処理部 13 で AD 変換し（S102）、AD 変換により得られた各画素の画素データの集合を、画像データとしてデータ記憶部 18 に格納する（S103）。

[0094] 演算処理部 19 は、データ記憶部 18 から画像データを読み出し、画像データに含まれる各画素データに対してデータ変換を行う（S104）。データ変換操作は、一例として $\log_2 e / A$ を乗じることである（式（5-1）と式（5-2）参照）。すなわちネイピア数（所定値）を真数に含む対数を、画素データの値に乘じる。これにより、画素データの値を底 2 の対数に変換したデータ（ $\log_2 i$ ）を、対数画素データとして算出する（同 S104）。

[0095] 演算処理部 19 は、データ記憶部 18 から、ニューラルネットワークにおける各ノード間に設定された重み係数の対数である対数重み係数（ $\log_2$ 重み係数）を読み出す（S105）。各ノード間とは、入力ノード及び中間ノード間、並びに、中間ノード及び出力ノード間のことである。中間層が複数存在する場合は、異なる中間層間での中間ノード間も含む。対数重み係数は、データ記憶部 18 でなく、演算処理部 19 の内部バッファに予め記憶させておいてもよい。以下の説明では、中間層が 1 つのニューラルネットワーク（図 4 参照）を想定するが、複数の場合も可能である。この場合、2 段目以降の中間層では、入力されるデータが入力ノードからではなく、前段の中間層の中間ノードからに変更されるのみで、処理の内容は初段の中間層と同様である。

[0096] 演算処理部 19 は、各画素 21 の対数画素データを入力データとしてニュー

ーラルネットワークの各入力ノードに割り当てる（S 1 0 6）。どの入力ノードにどの画素 2 1 が対応付けられるかは学習時に予め定めておく。画素 2 1 と入力ノードとを 1 対 1 で対応づけることは一例に過ぎず、他の手法で、各入力ノードに割り当てる入力データを生成してもよい。

[0097] 例えば、所定個数の画素 2 1 により画素グループを構成し、各画素グループを各入力ノードに対応づける。画素グループで対数画素データの代表値を決定し、代表値を入力データとして入力ノードに割り当てる。代表値は、平均値、最大値又は最小値など任意の統計値でよい。また、今回読み出した対数画素データと、前回読み出した対数画素データとの差分の画素データを入力データとして入力ノードに割り当てることも可能である。

[0098] 演算処理部 1 9 は、各入力ノードに割り当てた入力データと、各中間ノード及び各入力ノード間に設定された対数重み係数とに基づき、各中間ノードの演算を行う（S 1 0 7）。すなわち、各入力ノードに対して対数重み係数と入力データとを加算し、加算結果を全て $\log_2$ 加算する。演算処理部 1 9 は、 $\log_2$ 加算値を入力変数として、活性化関数を計算する（同 S 1 0 7）。活性化関数の出力値を、各中間ノードの出力値とする。各中間ノードの出力値は、次段の出力層に入力されるデータとなる。

[0099] 次に、各中間ノードの出力値と、各中間ノード及び各出力ノード間に設定された対数重み係数とに基づき、各出力ノードの演算を行う（S 1 0 8）。すなわち、各中間ノードに対して、対数重み係数と入力されるデータとを加算し、加算結果を全て $\log_2$ 加算する。演算処理部 1 9 は、 $\log_2$ 加算値を入力変数として、活性化関数を計算する（同 S 1 0 8）。活性化関数の出力値が、出力ノードの出力値となる。

[0100] 演算処理部 1 9 は、各出力ノードの出力値に基づき、判定処理を行う（S 1 0 9）。一例として、最も大きい出力値を算出した出力ノードを特定し、特定した出力ノードに割り当てられているクラスを画像認識の結果として取得する。判定認識は、前述したように、閾値を用いた処理など、その他にも様々なアルゴリズムが可能である。どのようなアルゴリズムを用いてもかま

わない。演算処理部 19 は、画像認識の結果を示すデータをデータ記憶部 18 に格納する。

[0101] CPU 17 は、画像認識の結果を示すデータをデータ記憶部 18 から読み出して、外部に出力する (S 110)。例えば、本装置が搭載されたデバイスで実行されているアプリケーションプログラムに出力する。この場合、アプリケーションプログラムは、当該データが示す結果に応じた処理を行う。また、画像認識の結果を示すデータを、本装置が搭載されたデバイスが備える表示装置の画面に表示してもよい。

[0102] 上述のステップの順序は一例であり、一部のステップの順序が入れ替わってもよい。例えばステップ S 104 とステップ S 105 の順序が逆でもよい。

[0103] 以上、本実施形態によれば、対数画素から読み出した画素信号（電圧信号）のデータをデータ変換することにより、底 2 の対数の入力データを生成する。よって、底 2 の対数への変換を行う回路（ $\log_2$ 変換回路）は必要がないため、回路規模を低減できるとともに、消費電力を低減できる。

[0104] 本実施形態では対数画素から読み出した画素信号のデータを用いるため、対数画素がもつ高ダイナミックレンジの特性を生かした画像認識が可能となる。関連技術では線形画素から読み出した画素信号のデータを $\log_2$ 変換回路で底 2 の対数に変換するが、この場合、変換後のデータのダイナミックレンジは線形画素のダイナミックレンジに律速される。このため、高ダイナミックレンジの効果は得られない。これに対して、本実施形態では対数画素からの読み出しを行うため、高ダイナミックレンジの効果を得ることができる。

[0105] また本実施形態によれば、画素データを変換した対数画素データ（底 2 の対数）と、対数重み係数（底 2 の対数）とを用いるため、各ノードでの演算を加算で行うことができる。よって、各ノードでの乗算（重み係数と入力データとの乗算）が不要となる。よって、演算量が低減し、消費電力を低減できる。また、乗算回路が不要となるため、回路規模を低減できる。

[0106] (変形例 1)

第 1 の実施形態では、底 2 の対数を用いたが、対数の底は必ずしも 2 である必要はない。底が 2 でない場合も、各ノードで対数領域での加算演算を行うことで、演算量を低減することが期待できる。

[0107] (変形例 2)

第 1 の実施形態で示した対数画素の構成 (図 3) は一例であり、様々な変形が可能である。図 8 を用いて、対数画素の変形例を説明する。

[0108] 図 8 は、対数画素の変形例を示す回路図である。図 3 の対数画素に画素トランジスタとして、リセットトランジスタ 37、バッファトランジスタ 38 及びバイアストランジスタ 39 が追加されている。バッファトランジスタ 38 及びバイアストランジスタ 39 はバッファ回路 40 を構成する。リセットトランジスタ 37 は、一例として N 型トランジスタにより構成される。バッファトランジスタ 38 及びバイアストランジスタ 39 は、一例として P 型トランジスタにより構成される。

[0109] 接続ノード N2 は、出力トランジスタ 32 のゲート端子と、バッファトランジスタ 38 のゲート端子とに接続されている。接続ノード N2 に生成される電圧信号は、バッファ回路 40 を介して増幅トランジスタ 35 に与えられる。この電圧信号が増幅トランジスタ 35 により増幅される。

[0110] 電源電圧と基準電圧との間に、バイアストランジスタ 39 とバッファトランジスタ 38 が直列に接続されている。バイアストランジスタ 39 のゲート端子にはバイアス電圧 V_{bias2} が印加されている。バイアストランジスタ 39 とバッファトランジスタ 38 の接続ノード、すなわちバッファ回路 40 の出力端子は、リセットトランジスタ 37 のソース端子と、増幅トランジスタ 35 のゲート端子とに接続されている。リセットトランジスタ 37 のドレイン端子は電源電圧に接続されている。リセットトランジスタ 37 のゲート端子は画素駆動線 22 に接続されている。

[0111] リセットトランジスタ 37 は、垂直駆動部 12 が供給するリセット信号 RST により制御される。リセットトランジスタ 37 をオン状態にして、画素

信号を含まない信号を検出し、検出した信号を画素信号から除去（減算）するCDS（Correlated Double Sampling）処理を、信号処理部16又はコラム処理部13で行う。これにより、画素トランジスタ等のばらつきにより生じる固定パターンノイズを除去する。なお画素信号の読み出しは、画素信号を含まない信号を読み出す前又は後に行えばよい。CDS処理により得られた信号を、対数画素から読み出した画素信号として用いることができる。なお、バッファ回路40は、リセット時に対数画素の電位（ノードN2の電位）が影響を受けることを低減するよう機能する。これにより対数画素の電位を、常時光量に依存した出力にすることができる。なお、図8の回路構成を用いつつも、CDS処理を行わないことも可能である。

[0112] 本変形例によれば、CDS処理を行うことにより、画素信号に含まれる固定パターンノイズを除去することができる。

[0113] （変形例3）

図9は、対数画素の他の変形例を示す回路図である。図8の回路構成に対してイベント検出部80が追加されている。イベント検出部80が追加された画素回路をDVS（Dynamic Vision Sensor）回路と呼ぶ場合もある。なおバッファ回路40の構成を、ここでは記号により模式的に示している。イベント検出部80は、フォトダイオード31からの光電流の変化量が所定の閾値を超えたか否かにより、イベントの有無を検出する。イベントの例として、変化量が上限の閾値を超えたオンイベント、変化量が下限の閾値を下回るイベント、又はこれらの両方がある。オンイベント又はオフイベントの検出は、一例として、コントラストの変化を検出（例えば物体を検出）することに相当する。イベント検出部80は、イベントの検出有無に応じて検出信号又は非検出信号を制御部15に出力する。

[0114] イベント検出部80は、減算器81と量子化器82とを含む。バッファ回路40の出力端子に減算器81が接続されている。減算器81の出力端子に量子化器82が接続されている。なお、イベント検出部80を図3の回路構成に追加することも可能である。

- [0115] 減算器 8 1 は、垂直駆動部 1 2 からの駆動信号に従ってバッファ回路 4 0 からの電圧信号のレベルを低下させる。この減算器 8 1 は、低下後の電圧信号を量子化器 8 2 に供給する。
- [0116] 量子化器 8 2 は、減算器 8 1 からの電圧信号をデジタル信号に量子化する。量子化器 8 2 は、量子化後の信号を閾値電圧 V_{th} と比較し、比較結果を示す信号（検出信号又は非検出信号）を生成する。一例として、閾値電圧 V_{th} が上限の閾値であれば、量子化後の信号が上限の閾値より大きい場合は、検出信号を生成する。量子化後の信号が上限の閾値以下であれば、非検出信号を生成する。量子化器 8 2 は、生成した検出信号又は非検出信号を、制御部 1 5 に出力する。閾値電圧 V_{th} が下限の閾値の場合も同様にして、検出信号又は非検出信号を生成することができる。
- [0117] 制御部 1 5 は、検出信号が入力された場合は、対数画素 2 1 からの画素信号の読み出しを行うことを決定し、対数画素 2 1 から画素信号の読み出しを行うよう垂直駆動部 1 2 を制御する。一方、制御部 1 5 は、非検出信号が入力された場合は、対数画素 2 1 からの画素信号の読み出しを行わないことを決定する。なお、量子化器 8 2 はイベントが検出されなかった場合に、制御部 1 5 への非検出信号の出力を省略する構成も可能である。
- [0118] 図 1 0 は、減算器 8 1 および量子化器 8 2 の一構成例を示す回路図である。減算器 8 1 は、コンデンサ 8 3 と、コンデンサ 8 4 と、インバータ 8 5 と、スイッチ 8 6 とを備える。量子化器 8 2 は、コンパレータ 8 7 を備える。
- [0119] コンデンサ 8 3 の一端は、バッファ回路 4 0 の出力端子に接続され、他端は、インバータ 8 5 の入力端子に接続される。コンデンサ 8 4 は、インバータ 8 5 に並列に接続される。スイッチ 8 6 は、コンデンサ 8 4 の両端を接続する。スイッチ 8 6 は、垂直駆動部 1 2 からの駆動信号に従って開閉する。
- [0120] インバータ 8 5 は、コンデンサ 8 3 を介して入力された電圧信号を反転する。インバータ 8 5 は、反転した信号をコンパレータ 8 7 の非反転入力端子（+）に出力する。
- [0121] スwitch 8 6 がオンされると、コンデンサ 8 3 のバッファ回路 4 0 側に電

圧信号 V_{init} が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、コンデンサ 83 の容量を C_1 とすると、コンデンサ 83 に蓄積されている電荷 Q_{init} は、次の式により表される。一方、コンデンサ 84 の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C_1 \times V_{init} \quad \dots (8-1)$$

[0122] 次に、スイッチ 86 がオフされて、コンデンサ 83 のバッファ回路 40 側の電圧が変化して V_{after} になる。このときコンデンサ 83 に蓄積される電荷 Q_{after} は、次の式により表される。

$$Q_{after} = C_1 \times V_{after} \quad \dots (8-2)$$

[0123] 一方、コンデンサ 84 に蓄積される電荷 Q_2 は、出力電圧を V_{out} とすると、次の式により表される。

$$Q_2 = -C_2 \times V_{out} \quad \dots (8-3)$$

[0124] コンデンサ 83 およびコンデンサ 84 の総電荷量は変化しないため、次の式が成立する。

$$Q_{init} = Q_{after} + Q_2 \quad \dots (8-4)$$

[0125] 式 (8-4) に、式 (8-1) ~ 式 (8-3) を代入して変形すると、次の式が得られる。

$$V_{out} = - (C_1 / C_2) \times (V_{after} - V_{init}) \quad \dots (8-5)$$

[0126] 式 (8-5) は、電圧信号の減算動作を表し、減算結果の利得は C_1 / C_2 となる。通常、利得を最大化することが望まれるため、 C_1 を大きく、 C_2 を小さく設計することが好ましい。一方、 C_2 が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 C_2 の容量削減は、ノイズを許容することができる範囲に制限される。

[0127] コンパレータ 87 は、減算器 81 からの電圧信号と、反転入力端子 (−) に印加された閾値電圧 V_{th} とを比較する。コンパレータ 87 は、比較結果に応じて検出信号又は非検出信号を出力する。

[0128] 本変形例によれば、イベント検出部 80 によりイベントを検出したときに画素信号の読み出しを行うため、高速な画素データの生成が可能となる。

[0129] (第 2 の実施形態)

本実施形態では、画素アレイ部 11 に配置する画素として、対数画素と線形画素との 2 種類を用いる。そして、外部から与えられる指示データに従って、画素信号を読み出す画素を、対数画素及び線形画素間で選択する。対数画素から画素信号を読み出す場合は、その後の処理は第 1 の実施形態と同様である。線形画素から画素信号を読み出す場合は、その後の処理は、一般的なニューラルネットワークの演算処理と同様である。すなわち、各ノード（中間ノード及び出力ノード）で、各画素の画素データと、重み係数とに基づき積和演算を行い、積和演算の結果を入力変数として活性化関数を計算する。以下、本実施形態について詳細に説明する。

[0130] 図 11 は、本開示の第 2 の実施形態に係る固体撮像装置の構成例を示すブロック図である。図 1 の固体撮像装置に対して、入出力端子 24 とモード指示部 25 が追加されている。図 1 と同一名称の要素には同一の符号を付して、拡張又は変更された処理を除き、詳細な説明は適宜省略する。

[0131] 画素アレイ部 11 は、対数画素 21A と線形画素 21B との 2 種類の画素を含む。線形画素 21B は、対数画素 21A と異なる種類の画素である第 2 画素の一例に対応する。また、線形画素 21B から読み出される画素信号は、第 2 画素から読み出される第 2 画素信号に対応する。

[0132] 対数画素 21A と線形画素 21B は、横及び縦のそれぞれの方向に交互に配置（千鳥格子状に配置）されている。但し、配置の方法はこれに限定されず、どのような方法でもよい。例えば、縦 2 つ及び横 2 つの画素からなる正形状の画素ブロックごとに、画素ブロック内の 3 つの画素が対数画素であり、残りの 1 つが線形画素であってもよい。また列ごとに画素の種類を同じとして、行方向（横方向）に交互に異なる種類の画素列が配置されてもよい。

[0133] 第 1 の実施形態の説明で記載したように、線形画素は、入射光に対して線

形に変化する電気信号を画素信号として生成する。すなわち、線形画素は、光量に対して線形に増大する出力信号を生成する。線形画素は、対数画素に比べて、ダイナミックレンジが狭いものの、低ノイズ特性を有している。

[0134] 図12に、線形画素への入射光の光量と、出力電圧との関係を模式的に表したグラフを示す。入射光の光量が増大するに応じて、出力電圧が、線形に増加（例えば比例）している。

[0135] 図13は、線形画素21Bの回路構成の一例を示す。ここでは例示として、1つの線形画素21Bの構成を示すが、他の線形画素21Bも同様の構成を有する。

[0136] 線形画素21Bは、光電変換部に対応するフォトダイオード61と、複数の画素トランジスタを含む。複数の画素トランジスタは、転送トランジスタ62、増幅トランジスタ63、選択トランジスタ64、及びリセットトランジスタ65である。これらの画素トランジスタは、MOS（Metal Oxide Semiconductor）トランジスタであり、一例としてN型トランジスタで構成されている。但し、これらのトランジスタがP型トランジスタで構成されてもよい。この場合、これらの画素トランジスタの制御信号の論理及び電源線の電圧を変更する必要がある。

[0137] フォトダイオード61は、入射光を光電変換によりその光量に比例した電気信号（信号電荷）に変換して蓄積する素子である。フォトダイオード61のアノード端子が基準電圧に接続されており、カソード端子が転送トランジスタ62のソース端子に接続されている。

[0138] 転送トランジスタ62は、フォトダイオード61のカソード端子とFDノード66との間に接続されている。転送トランジスタ62のゲート端子は、垂直駆動部12に接続されている。転送トランジスタ62は、垂直駆動部12からの転送信号TRGによって制御される。転送トランジスタ62がオン状態になると、フォトダイオード61に蓄積されている信号電荷がFDノード66に転送される。

[0139] FDノード66は、転送トランジスタ62のドレイン端子と増幅トランジ

スタ 63 のゲート端子との間に接続された浮遊拡散領域である。これにより、FD ノード 66 は、フォトダイオード 61 から転送される信号電荷を蓄積することができる。また、FD ノード 66 は、リセットトランジスタ 65 のソース端子にも接続されている。

[0140] 増幅トランジスタ 63 は、電源電圧と選択トランジスタ 64 との間に接続されている。増幅トランジスタ 63 のゲート端子は、FD ノード 66 に接続されている。増幅トランジスタ 63 は、FD ノード 66 に蓄積された信号電荷に応じた導通状態となる。

[0141] 選択トランジスタ 64 は、増幅トランジスタ 63 と垂直信号線 23 との間に接続されている。選択トランジスタ 64 のゲート端子は、垂直駆動部 12 に接続されている。選択トランジスタ 64 は、垂直駆動部 12 からの選択信号 SEL によって制御される。選択トランジスタ 64 は、線形画素 21B を垂直信号線 23 に接続しあるいは切断する。選択トランジスタ 64 がオン状態になると、増幅トランジスタ 63 に電流を流すことが可能となり、増幅トランジスタ 63 の導通状態に応じた電流が、電源電圧から流れる。垂直信号線 23 は、増幅トランジスタ 63 のゲート電圧の信号レベルに応じた電圧にされる。

[0142] リセットトランジスタ 65 は、電源電圧と FD ノード 66 との間に接続されている。リセットトランジスタ 65 のゲート端子は、垂直駆動部 12 に接続されている。リセットトランジスタ 65 は、垂直駆動部 12 からのリセット信号 RST によって制御される。リセットトランジスタ 65 がオン状態になると、FD ノード 66 に蓄積されていた信号電荷は電源電圧に排出される。これにより、線形画素 21B の FD ノード 66 がリセット状態となる。

[0143] このように線形画素では、入射光の光量に比例する電圧信号が、画素信号として出力される。図 13 に示した線形画素の構成は一例であり、線形画素の構成は図 13 の構成に限定されない。光量（電荷）に比例する電圧信号を検出可能である限り、どのような構成でもかまわない。

[0144] 入出力端子 24 は、外部の装置との信号の送受信を行うための端子である

。入出力端子 24 は、例えばシリアル通信などの任意の通信方式により、外部の装置と信号を送受信する。外部の装置は、一例として、固体撮像装置を搭載したデバイスの内部設定をデバイスの外部から行う装置でもよいし、ユーザが各種設定を行うための操作手段（例えばボタンなど）でもよい。

[0145] モード指示部 25 は、入出力端子 24 を介して、画素の読み出し処理のモードを指示したモードデータを受信する。画素読み出しモードには、対数読出モードと、線形読出モードがある。対数読出モードは、対数画素からの読み出しを行う第 1 読出処理を行う。線形読出モードは、線形画素からの読み出しを行う第 2 読出処理を行う。モードデータはこれらのいずれかのモードを指示している。モード指示部 25 は、一例としてレジスタなどの記憶素子により構成される。モード指示部 25 へのモードデータの提供を CPU 17 が行う構成も可能である。

[0146] 制御部 15 は、モード指示部 25 からモードデータを読み出し、モードデータが対数読出モードを示す場合は、画素アレイ部 11 における各対数画素 21 A から画素信号の読み出しを行うよう各部を制御する。制御部 15 は、モードデータが線形読出モードを示す場合は、画素アレイ部 11 における各線形画素 21 B から画素信号の読み出しを行うよう各部を制御する。すなわち、制御部 15 は、各対数画素 21 A から画素信号を読み出す処理と、各線形画素 21 B から画素信号を読み出す処理とを選択的に実行する。

[0147] カラム処理部 13 は、第 1 の実施形態と同様、1 行分の画素 21 から出力される信号の信号処理を、画素列ごとに行う。信号処理の例は、AD 変換を含み、さらに AD 変換前の信号のノイズ除去及び信号増幅の少なくとも一方を含んでもよい。

[0148] データ記憶部 18 は、演算処理部 19 がニューラルネットワークの演算処理で用いるニューラルネットワークのパラメータを、対数読出モード及び線形読出モードのそれぞれ用に記憶している。対数読出モード及び線形読出モードのニューラルネットワークはそれぞれ異なり、学習もそれぞれ別に行われる。

- [0149] データ記憶部 18 は、対数読出モード用のニューラルネットワークのパラメータとして、第 1 の実施形態と同様に、各ノード間の結合の強さを表す重み係数を、底を 2 とする対数に変換した値（対数重み係数）を記憶している。対数重み係数をデータ記憶部 18 ではなく、演算処理部 19 の内部バッファに記憶してもよい。対数読出モード用のニューラルネットワークは、一例として第 1 ニューラルネットワークに対応し、第 1 ニューラルネットワークにおける各ノードは一例として第 1 ノードに対応する。
- [0150] データ記憶部 18 は、線形読出モード用のニューラルネットワークのパラメータとして、各ノード間の結合の強さを表す重み係数を記憶している。重み係数をデータ記憶部 18 ではなく、演算処理部 19 の内部バッファに記憶してもよい。線形読出モード用のニューラルネットワークは、一例として第 2 ニューラルネットワークに対応し、第 2 ニューラルネットワークにおける各ノードは一例として第 1 ノードに対応する。
- [0151] CPU 17 は、モード指示部 25 からモードデータを読み出し、モードデータが対数読出モードを示す場合は、第 1 の実施形態と同様に、演算処理部 19 の制御を行う。すなわち、演算処理部 19 は、各画素の画素データを対数画素データに変換し（式（5-2）参照）、対数画素データと、各ノード間の対数重み係数とを用いて、ニューラルネットワークの演算処理を行う。各中間ノード及び各出力ノードでは、第 1 の実施形態の説明で記載したように、前段の層から入力されるデータと対数重み係数とを加算し、これらの加算結果を $\log_2$ 加算する（式（6-1）参照）。 $\log_2$ 加算の結果を活性化関数の入力変数として、活性化関数の出力値を計算する（式（6-2）参照）。
- [0152] CPU 17 は、モードデータが線形読出モードを示す場合は、第 1 の実施形態の説明で記載した一般的なニューラルネットワークと同様の演算を行うように、演算処理部 19 を制御する。すなわち、演算処理部 19 は、各画素の画素データをニューラルネットワークの入力データ（第 2 入力データ）とし、当該入力データと、各ノード間の重み係数とを用いて、ニューラルネッ

トワークの演算処理を行う。各中間ノード及び出力ノードでは、前段の層から入力されるデータと重み係数とを乗算し（式（2-1）参照）、これらの乗算結果を加算する。すなわち、当該入力されるデータと重み係数との積和演算を行う。積和演算の結果を活性化関数の入力変数として、活性化関数の出力値を計算する（式（2-2）参照）。

[0153] このように演算処理部19は、対数読出モード用のニューラルネットワークの演算処理を行う回路と、線形読出モード用のニューラルネットワークの演算処理を行う回路との両方を備えている。

[0154] ここでは両モードのニューラルネットワークが別々に学習されたものであったが、これに限定されるものではない。例えば、両モードで行う画像認識の内容が同じ場合には、共通に学習されたニューラルネットワークを用いてもよい。但し、この場合も、対数読出モードでは、対数画素データと対数重み係数を用い、線形読出モードでは、画素データと重み係数とを用いる。各中間ノード及び各出力ノードでの演算も、上述のように各モードで異なる。

[0155] 図14は、本実施形態に係る固体撮像装置の動作の一例のフローチャートである。制御部15がモード指示部25からモードデータを読み出す（S201）。モードデータが対数読出モード及び線形読出モードのいずれを指示しているかを確認する（S202）。対数読出モードが指示されている場合は、制御部15は画素アレイ部11の各対数画素21Aから画素信号を読み出すように各部を制御する（S203）。この後の処理は、図7のステップS102～S110と同様である（S204）。

[0156] 線形読出モードが指示されている場合は、制御部15は画素アレイ部11の各線形画素21Bから画素信号を読み出すように各部を制御する（S205）。この後の処理は図15に示される。

[0157] 図15は、図14のステップS205に続く動作の一例のフローチャートである。図7のフローチャートと同様のステップの処理については適宜説明を省略する。

[0158] 各線形画素21Bから読み出された画素信号をカラム処理部13でAD変

換し（S206）、AD変換により得られた各画素の画素データの集合を、画像データとしてデータ記憶部18に格納する（S207）。

[0159] 演算処理部19は、データ記憶部18から画像データを読み出し（S208）、データ記憶部18から、線形読出モード用のニューラルネットワークにおける各ノード間の重み係数を読み出す（S209）。

[0160] 演算処理部19は、各画素21の画素データを入力データとしてニューラルネットワークの各入力ノードに割り当てる（S210）。どの入力ノードにどの画素21が対応付けられるかは学習時に予め定めておく。画素21と入力ノードとを1対1で対応づけることは一例に過ぎず、他の手法で、各入力ノードに割り当てる入力データを生成してもよい。

[0161] 演算処理部19は、各入力ノードに割り当てた入力データと、各中間ノード及び各入力ノード間の重み係数とに基づき、各中間ノードの演算を行う（S211）。すなわち、各入力ノードに対する重み係数と入力データとを乗算し、乗算結果の総和を計算する。つまり、重み係数と入力データとの積和演算を行う。演算処理部19は、積和演算の結果を入力変数として、活性化関数を計算する（同S211）。活性化関数の出力値を、各中間ノードの出力値とする。各中間ノードの出力値は、次段の出力層に入力されるデータとなる。

[0162] 各中間ノードの出力値と、各中間ノード及び各出力ノード間の重み係数とに基づき、各出力ノードの演算を行う（S212）。すなわち、各中間ノードに対する重み係数と入力されるデータとを乗算し、乗算結果の総和を計算する。つまり、重み係数と入力されるデータとの積和演算を行う。演算処理部19は、積和演算の結果を入力変数として、活性化関数を計算する（同S212）。活性化関数の出力値を、各出力ノードの出力値とする。

[0163] 演算処理部19は、各出力ノードの出力値に基づき、判定処理を行う（S213）。一例として、最も大きい出力値を算出した出力ノードを特定し、特定した出力ノードに割り当てられているクラスを画像認識の結果として取得する。演算処理部19は、画像認識の結果を示すデータをデータ記憶部1

8に格納する。

[0164] CPU 17は、画像認識の結果を示すデータをデータ記憶部18から読み出して、外部の装置に出力する(S214)。外部の装置は、一例として、本装置が搭載されたデバイスで実行されているアプリケーションプログラムを実行するプロセッサ等の装置である。外部の装置では、画像認識の結果に応じて、読出モードを切り替えることを決定してもよい。例えば対数読出モードから線形読出モードに切り替える。外部の装置は、切り替え先のモードを指定したモードデータを、入出力端子24又はCPU17を介してモード指示部25に書き込む。以下、モードの切り替えについて詳細に説明する。

[0165] 上述したように、対数画素は、線形画素に比べてノイズが多いものの、ダイナミックレンジが広いという特性を有しており、線形画素は、対数画素に比べて、ダイナミックレンジが狭いものの、低ノイズ特性を有している。このような特性の違いを利用して、対数読出モードと線形読出モードを切り替えることで、目的に応じた画像認識を行うことができる。例えば、センシングを低消費電力で行う目的で対数読出モードを利用し、センシングで検出されたオブジェクトを高精度に識別するために線形読出モードを利用する。

[0166] 具体例として、人の顔が写っているか否かの検出を対数読出モードを用いて行い、人の顔が写っていることが検出されたら、線形読出モードに切り替え、当該人の識別(例えば事前に登録された複数の人のいずれかに該当するかなど)を行う。別の例として、自動車のナンバープレートが写っているか否かの検出を対数読出モードで行い、ナンバープレートが写っていることが検出されたら、線形読出モードに切り替え、ナンバープレートの番号を識別する。

[0167] (変形例1)

対数読出モードか線形読出モードかに応じて、AD変換の設定分解能(ビット数)を変更してもよい。一例として、線形読出モードのビット数を、対数読出モードのビット数より大きくしてもよい。具体例として、線形画素のビット数が10～12ビット、対数読出モードのビット数が8ビットである

。ビット数を少なくすることで、演算量が低減するため、対数読出モードでの消費電力をより一層低減できる。これらの数値の例は一例であり、それぞどのような値のビット数でもよい。両モードでA/D変換のビット数が同じでもよい。

[0168] (変形例2)

第2の実施形態では2種類の画素として対数画素と線形画素を用いる例を示したが、線形画素の代わりに、他の種類の画素を用いてもよい。

[0169] 例えば、入射されるフォトン数をカウントし、画素信号として出力するフォトカウント型画素（デジタル画素）を用いてもよい。フォトカウント型画素では、単一のフォトンの入射を検出できるSPAD（Single Photon Avalanche Diode）を用いる。フォトンが入射されたSPADから出力されるパルス数をカウントすることで画素信号を生成する。

[0170] また、他の画素例として、被写体との距離を測定する測距画素を用いてもよい。測距画素の具体例として、ITOF（Indirect Time Of Flight）技術を用いた画素がある。この画素では、フォトダイオードを用いて変調したパルス光が反射してくるときの位相差を電荷量として検出し、これを画素信号とする。

[0171] ここに例示した画素は、対数画素（第1画素）と異なる種類の画素である第2画素の一例に対応する。これらの画素を用いた場合、読み出した画素信号の処理は、線形画素の場合と同様である。すなわち、ここに例示した画素を用いる場合、第2の実施形態の説明において線形読出モード用として記載した箇所を、当該画素の読出モード用として読み替えればよい。例えば線形読出モード用のニューラルネットワークは、当該画素の読出モード用のニューラルネットワークと読み替えればよい。

[0172] (第3の実施形態)

上述した第2の実施形態では対数画素と線形画素が別々の画素として独立に存在したが、第3の実施形態では対数画素と線形画素との両方の機能を有する画素（以下、ハイブリッド画素と呼ぶ）を用いる。

[0173] 図16は、第3の実施形態に係る固体撮像装置の構成例を示すブロック図である。図11の画素アレイ部11における対数画素21A及び線形画素21Bが、ハイブリッド画素21Cに置換されている。ハイブリッド画素21Cは、対数画素21Aと異なる種類の画素である第2画素の一例に対応する。

[0174] 図17は、ハイブリッド画素21Cの回路構成の一例を示す。ハイブリッド画素21Cの構成は、基本的には図3に示した対数画素の構成と、図13に示した線形画素の構成とを1つ画素内に組み込んだものである。図17において、図3及び図13と同一の要素には同一の符号を付してある。但し、図3のSELはSEL1に変更され、図13のSEL、TRGはSEL2、TRG2に変更されている。以下、図3及び図13の構成との差分を中心に説明する。

[0175] ハイブリッド画素21Cは、フォトダイオード71と、対数画素読出部（第1読出部）75と、線形画素読出部（第2読出部）76とを備えている。対数画素読出部75は、図3の対数画素の構成（フォトダイオード71を除く）に対応し、線形画素読出部76は、図13の線形画素の構成（フォトダイオード71を除く）に対応する。但し、対数画素読出部75は転送トランジスタ72を新たに含む。転送トランジスタ72はフォトダイオード71と接続ノードN1との間に配置されている。

[0176] ハイブリッド画素21Cにおいて、フォトダイオード71は、対数画素読出部75と線形画素読出部76とに共通に接続されている。フォトダイオード71は、対数読出モードと線形読出モードとの両方で共通に用いられる。本実施形態の対数読出モードでは対数画素読出部75を用いて読み出しを行い（第1読出処理）、線形読出モードでは線形画素読出部76を用いて読み出しを行う（第2読出処理）。フォトダイオード71のカソード端子は、転送トランジスタ62のソース端子と、転送トランジスタ72のソース端子とに接続されている。転送トランジスタ72のドレイン端子は接続ノードN1に接続されている。転送トランジスタ72のゲート端子は、垂直駆動部12

に接続されている。転送トランジスタ 72 は、垂直駆動部 12 からの転送信号 TRG1 によって制御される。対数読出モードを実行する場合は、転送トランジスタ 72 はオン状態にされる。

[0177] 制御部 15 は、対数読出モードを実行する場合は、転送トランジスタ 72 をオン状態にし続け、転送トランジスタ 62 をオフ状態にし続ける。この状態で、対数画素読出部 75 を用いて画素信号の読み出しを行う。この動作は、第 1 の実施形態の説明で記載した対数画素の読み出しと同様である。

[0178] 一方、制御部 15 は、線形読出モードを実行する場合は、転送トランジスタ 72 をオフにし続ける。この状態で、線形画素読出部 76 を用いて画素信号の読み出しを行う。この動作は、第 2 の実施形態の説明で記載した線形画素の読み出しと同様である。

[0179] 以上、本実施形態によれば、ハイブリッド画素を用いたことにより画素領域を有効に活用できるため、同じ面積内により多くの画素を配置することができる。

[0180] (変形例 1)

図 17 に示したハイブリッド画素 21C の構成は一例であり、様々な変形が可能である。

例えば、図 17 の対数画素読出部 75 に、図 8 のバッファ回路 40 とリセットトランジスタ 37 を追加することも可能である。

[0181] 図 18 に、図 17 の対数画素読出部 75 に、バッファ回路 40 とリセットトランジスタ 37 を追加した回路構成の例を示す。バッファ回路 40 とリセットトランジスタ 37 の構成及び動作は図 8 を用いて行った説明と同様である。また、バッファ回路 40 とリセットトランジスタ 37 を用いて行う CDS 処理も、図 8 を用いて行った説明と同様である。

[0182] (変形例 2)

図 17 の対数画素読出部 75 に、図 9 のイベント検出部 80 を追加することも可能である。

[0183] 図 19 に、図 18 の対数画素読出部 75 にイベント検出部 80 を追加した

回路構成の例を示す。イベント検出部 80 の構成及び動作は図 9 及び図 10 を用いて行った説明と同様である。イベント検出部 80 を図 17 の対数画素読出部 75 に追加することも可能である。

[0184] (変形例 3)

図 20 は、図 16 の固体撮像装置の動作例を示すフローチャートである。ここではハイブリッド画素 21C の構成として、図 19 のイベント検出部 80 を備えた回路構成を用いる場合を想定する。

[0185] 制御部 15 は、各ハイブリッド画素 21C のイベント検出部 80 を制御してイベントの検出有無を判定する (S301)。イベントの検出は、一例として、コントラストの変化を検出 (例えば物体を検出) することに相当する。各ハイブリッド画素 21C から検出信号を受信した場合は、各ハイブリッド画素 21C においてイベントの検出有りを判定し、非検出信号を受信した場合あるいは検出信号を受信しない場合は、各ハイブリッド画素 21C においてイベントの検出無しを判定する。

[0186] 全てのハイブリッド画素 21C でイベントの検出無しと判定された場合 (NO)、一定時間後に本ステップを再度繰り返す。イベントの検出有りと判定と判定されたハイブリッド画素 21C が存在する場合 (YES)、モード指示部 25 からモードデータを読み出し (S302)。モードデータの値を確認する (S303)。

[0187] モードデータの値が対数読出モードを示す場合は、イベントの検出有りと判定と判定されたハイブリッド画素 21C について、対数読出モードの処理を実行する (S304)。この処理は図 14 のステップ S203、S204 と同様である。この際、リセットトランジスタ 37 を用いて CDS 処理を行ってもよいし、CDS 処理を行わずに、画素信号の読み出しを行う構成も可能である。また、ニューラルネットワークの各入力ノードに画素データを割り当てる際、イベントが検出されなかったハイブリッド画素については、前回と同じ画素データ (対数画素読出部 75 から読み出した画素信号のデータ) を用いればよい。

[0188] 一方、モードデータの値が線形読出モードを示す場合は、イベントの検出有りと判定と判定されたハイブリッド画素21Cについて、線形読出モードの処理を実行する(S305)。この処理は図14のステップS205及び図15のS206～S214と同様である。なお、線形画素読出部76からの読み出しにおいても、対数画素読出部75と同様にCDS処理を行うことも可能である(このことは第2の実施形態でも同様である)。また、ニューラルネットワークの各入力ノードに画素データを割り当てる際、イベントが検出されなかったハイブリッド画素については、前回と同じ画素データ(線形画素読出部76から読み出した画素信号のデータ)を用いればよい。なお、データ記憶部18又は演算処理部19の内部バッファには、線形読出モード及び対数読出モード別に、画素データを保存するものとする。本フローチャートの処理を一定時間毎に繰り返してもよい。

[0189] 図21は、図16の固体撮像装置の動作の他の変形例を示すフローチャートである。図20のフローチャートのステップS304の後に、ステップS306、S307が追加されている。ステップS306では、ステップS304の対数読出モードによる画像認識の結果がモード切替条件を満たしたかを判断する。モード切替条件は、一例として所定のオブジェクトを検出することであるが、これに限られず、何でもよい。モード切替条件を満たしていない場合(NO)、本フローチャートの処理を終了する。モード切替条件を満たしている場合は、モード指示部25のモードデータの値を線形読出モードを示すように変更する。モードデータの値を変更する主体は、CPU17でもよいし、外部の装置でもよいし、それ以外の装置でもよい。これにより次回以降は、線形読出しモードの処理(S305)が実行される。これにより、モード切替条件が満たされるまでは対数読出モードで低消費電力の画像認識を行い、モード切替条件が満たされた後は、線形読出モードに切り替えて高精度の画像認識を行うといったことが可能になる。

[0190] 図20及び図21のフローチャートと同様の処理は、第2の実施形態に係る固体撮像装置(図11参照)でも実施可能である。例えば、予め対数画素

2 1 Aと線形画素2 1 Bとの対応づけを行っておき、対応付けの情報を、制御部1 5の内部バッファ、又は制御部1 5がアクセス可能な記憶部に格納しておく。制御部1 5は、各対数画素2 1 Aのイベント検出部8 0を用いてイベント検出の判定を行う。イベントが検出された場合、モードデータの値を確認する。モードデータの値が対数読出モードを示すならば、対数画素2 1 Aから読み出しを行う。モードデータの値が線形読出モードを示すならば、対数画素2 1 Aに対応付けられた線形画素2 1 Bから読み出しを行う。それ以外の動作は本変形例3の説明と同様である。

[0191] (電子機器の構成)

第1～第3の固体撮像装置は、例えばスマートフォン、タブレット又は携帯電話などの撮像機能を有する移動体装置、デジタルスチルカメラやビデオカメラ等の撮像機器、監視カメラ又は車載カメラなど、様々な電子機器に用いることができる。

[0192] 図2 2は、本技術に係る電子機器の構成の一例を示すブロック図である。図2 2の電子機器1 0 0は、レンズ群1 0 1等を含む光学系、撮像素子1 0 2、DSP 1 0 3、CPU 1 0 4、表示部1 0 5、DSP 1 0 6、操作部1 0 7、電源部1 0 8及びメモリ1 1 0等を有する。CPU 1 0 4及びDSP 1 0 6により処理回路1 1 1が構成される。DSP 1 0 3、CPU 1 0 4、表示部1 0 5、DSP 1 0 6、操作部1 0 7、電源部1 0 8及びメモリ1 1 0がバス1 0 9を介して相互に接続されている。撮像素子1 0 2は一例として第1～第3の実施形態に係る撮像素子1 0に対応し、DSP 1 0 3は信号処理部1 6に対応し、DSP 1 0 6は演算処理部1 9に対応し、メモリ1 1 0はデータ記憶部1 8に対応する。また、処理回路1 1 1は、一例として第1～第3の実施形態に係る処理部2 6に対応する。

[0193] レンズ群1 0 1は、被写体からの入射光を取り込んで撮像素子1 0 2の撮像面上に結像する。撮像素子1 0 2は、レンズ群1 0 1によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0194] 表示部 105 は、液晶表示装置、有機 EL (electro luminescence) 表示装置等のパネル型表示装置である。撮像素子 102 で撮像された動画又は静止画を表示する。また表示部 105 は、第 1～第 3 の実施形態に係る固体撮像装置による画像認識の結果を表示する。

[0195] 操作部 107 は、ユーザによる操作の下に、電子機器 100 が持つ様々な機能について操作指令を発する。電源部 108 は、DSP 103、メモリ 110、表示部 105、DSP 106、及び操作部 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。操作部 107 又は CPU 104 等から撮像素子 102 の入出力端子 24 を介してモード指示部 25 にモードデータを提供するように構成されてもよい。

[0196] なお、上述の実施形態は本開示を具現化するための一例を示したものであり、その他の様々な形態で本開示を実施することが可能である。例えば、本開示の要旨を逸脱しない範囲で、種々の変形、置換、省略又はこれらの組み合わせが可能である。そのような変形、置換、省略等を行った形態も、本開示の範囲に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

[0197] また、本明細書に記載された本開示の効果は例示に過ぎず、その他の効果があってもよい。

[0198] なお、本開示は以下のような構成を取ることもできる。

[1] 光量に対して対数特性の電気信号を第 1 画素信号として生成する複数の第 1 画素を有する画素アレイ部と、

前記画素アレイ部から読み出された複数の前記第 1 画素信号に基づく複数の第 1 入力データと、複数の第 1 ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第 1 ニューラルネットワークの演算処理を行う処理部と、

を備えた固体撮像装置。

[2] 前記第 1 画素信号は電圧値を表し、前記電圧値は、所定値を底とする電流値の対数に比例する関係にあり、

前記処理部は、前記第 1 画素信号の値に、前記所定値を真数に含む対数を乗じることにより、前記第 1 入力データを生成する

[1] に記載の固体撮像装置。

[3] 前記所定値はネイピア数である

[2] に記載の固体撮像装置。

[4] 前記所定値を真数に含む前記対数の底は 2 である

[2] 又は [3] に記載の固体撮像装置。

[5] 制御部を備え、

前記画素アレイ部は、前記複数の第 1 画素と異なる種類の複数の第 2 画素を有し、

前記制御部は、前記複数の第 1 画素から前記第 1 画素信号を読み出す第 1 読出処理と、前記複数の第 2 画素から複数の第 2 画素信号を読み出す第 2 読出処理とを選択的に実行し、

前記処理部は、前記第 1 読出処理が実行された場合に、前記第 1 ニューラルネットワークの前記演算処理を行い、

前記処理部は、前記第 2 読出処理が実行された場合に、複数の前記第 2 画素信号に基づく複数の第 2 入力データと、複数の第 2 ノード間の結合の強さを表す重み係数とに基づいて、第 2 ニューラルネットワークの演算処理を行う

[1] ～ [4] のいずれか一項に記載の固体撮像装置。

[6] 前記制御部は、前記第 1 読出処理及び前記第 2 読出処理のいずれかを指示する指示データに従って、前記第 1 読出処理及び前記第 2 読出処理のいずれかを選択する

[5] に記載の固体撮像装置。

[7] 前記第 2 画素は、光量に対して線形特性の電気信号を前記第 2 画素信号として生成する画素である

[5] に記載の固体撮像装置。

[8] 前記第 2 画素は、入射されるフォトン数のカウント値を前記第 2 画

素信号として生成する画素である

[5] に記載の固体撮像装置。

[9] 前記第 2 画素は、照射した光の反射光の前記光との位相差を表す電荷量を前記第 2 画素信号として生成する画素である

[5] に記載の固体撮像装置。

[1 0] 前記第 1 画素は、光電変換部と、前記光電変換部から対数特性の電気信号を前記画素信号として読み出す第 1 読出部と、前記光電変換部から線形特性の電気信号を第 2 画素信号として読み出す第 2 読出部とを含み、

前記制御部は、前記第 1 読出部を用いて前記第 1 画素信号を読み出す第 1 読出処理と、前記第 2 読出部を用いて前記第 2 画素信号を読み出す第 2 読出処理とを選択的に実行し、前記処理部は、前記第 1 読出処理が実行された場合に、前記第 1 ニューラルネットワークの前記演算処理を行い、

前記処理部は、前記第 2 読出処理が実行された場合に、複数の前記第 2 画素信号に基づく複数の第 2 入力データと、複数の第 2 ノード間の結合の強さを表す重み係数とに基づいて、第 2 ニューラルネットワークの演算処理を行う

[1] ～ [9] のいずれか一項に記載の固体撮像装置。

[1 1] 前記第 1 ニューラルネットワークの前記演算処理により、複数の前記第 1 画素信号が表す画像の画像認識を行う

[1] ～ [1 0] のいずれか一項に記載の固体撮像装置。

[1 2]

光量に対して対数特性の電気信号を第 1 画素信号として生成する複数の第 1 画素を有する画素アレイ部を含む撮像素子と、

前記画素アレイ部から読み出された複数の前記第 1 画素信号に基づく複数の第 1 入力データと、複数の第 1 ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第 1 ニューラルネットワークの演算処理を行う処理回路と、

を備えた電子機器。

符号の説明

[0199] 10 : 撮像素子、11 : 画素アレイ部、12 : 垂直駆動部、13 : カラム処理部、14 : 水平駆動部、15 : 制御部、16 : 信号処理部、17 : CPU、18 : データ記憶部、19 : 演算処理部、21 : 対数画素、21A : 対数画素、21B : 線形画素、21C : ハイブリッド画素、22 : 画素駆動線、23 : 垂直信号線、24 : 入出力端子、25 : モード指示部、26 : 処理部、31、61、71 : フォトダイオード、32、33、34、35、36、37、38、39、62、63、64、65、72 : MOSトランジスタ、N1、N2 : 接続ノード、N3 : リセットノード、40 : バッファ回路、66 : FDノード、41 : 入力層、42 : 中間層、43 : 出力層、51 : セレクタ、52 : 加算器、53 : 減算器、54 : 絶対値演算器、55 : べき乗演算器、56 : フリップフロップ回路、80 : イベント検出部、81 : 減算器、82 : 量子化器、83、84 : コンデンサ、85 : インバータ、86 : スイッチ、87 : コンパレータ、100 : 電子機器、101 : レンズ群、102 : 撮像素子、103、106 : DSP、104 : CPU、105 : 表示部、107 : 操作部、108 : 電源部、109 : バス、110 : メモリ、A1 ~ Aq : 入力ノード（入力ユニット）、B1 ~ Bj : 中間ノード（演算ユニット）、C1 ~ Cn : 出力ノード（演算ユニット）

請求の範囲

- [請求項1] 光量に対して対数特性の電気信号を第1画素信号として生成する複数の第1画素を有する画素アレイ部と、
- 前記画素アレイ部から読み出された複数の前記第1画素信号に基づく複数の第1入力データと、複数の第1ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第1ニューラルネットワークの演算処理を行う処理部と、
- を備えた固体撮像装置。
- [請求項2] 前記第1画素信号は電圧値を表し、前記電圧値は、所定値を底とする電流値の対数に比例する関係にあり、
- 前記処理部は、前記第1画素信号の値に、前記所定値を真数に含む対数を乗じることにより、前記第1入力データを生成する
- 請求項1に記載の固体撮像装置。
- [請求項3] 前記所定値はネイピア数である
- 請求項2に記載の固体撮像装置。
- [請求項4] 前記所定値を真数に含む前記対数の底は2である
- 請求項2に記載の固体撮像装置。
- [請求項5] 制御部を備え、
- 前記画素アレイ部は、前記複数の第1画素と異なる種類の複数の第2画素を有し、
- 前記制御部は、前記複数の第1画素から前記第1画素信号を読み出す第1読出処理と、前記複数の第2画素から複数の第2画素信号を読み出す第2読出処理とを選択的に実行し、
- 前記処理部は、前記第1読出処理が実行された場合に、前記第1ニューラルネットワークの前記演算処理を行い、
- 前記処理部は、前記第2読出処理が実行された場合に、複数の前記第2画素信号に基づく複数の第2入力データと、複数の第2ノード間の結合の強さを表す重み係数とに基づいて、第2ニューラルネットワ

ークの演算処理を行う

請求項 1 に記載の固体撮像装置。

[請求項6] 前記制御部は、前記第 1 読出処理及び前記第 2 読出処理のいずれかを指示する指示データに従って、前記第 1 読出処理及び前記第 2 読出処理のいずれかを選択する

請求項 5 に記載の固体撮像装置。

[請求項7] 前記第 2 画素は、光量に対して線形特性の電気信号を前記第 2 画素信号として生成する画素である

請求項 5 に記載の固体撮像装置。

[請求項8] 前記第 2 画素は、入射されるフォトン数のカウント値を前記第 2 画素信号として生成する画素である

請求項 5 に記載の固体撮像装置。

[請求項9] 前記第 2 画素は、照射した光の反射光の前記光との位相差を表す電荷量を前記第 2 画素信号として生成する画素である

請求項 5 に記載の固体撮像装置。

[請求項10] 制御部を備え、

前記第 1 画素は、光電変換部と、前記光電変換部から対数特性の電気信号を前記第 1 画素信号として読み出す第 1 読出部と、前記光電変換部から線形特性の電気信号を第 2 画素信号として読み出す第 2 読出部とを含み、

前記制御部は、前記第 1 読出部を用いて前記第 1 画素信号を読み出す第 1 読出処理と、前記第 2 読出部を用いて前記第 2 画素信号を読み出す第 2 読出処理とを選択的に実行し、前記処理部は、前記第 1 読出処理が実行された場合に、前記第 1 ニューラルネットワークの前記演算処理を行い、

前記処理部は、前記第 2 読出処理が実行された場合に、複数の前記第 2 画素信号に基づく複数の第 2 入力データと、複数の第 2 ノード間の結合の強さを表す重み係数とに基づいて、第 2 ニューラルネットワ

ークの演算処理を行う

請求項 1 に記載の固体撮像装置。

[請求項11] 前記処理部は、前記第 1 ニューラルネットワークの前記演算処理により、複数の前記第 1 画素信号が表す画像の画像認識を行う

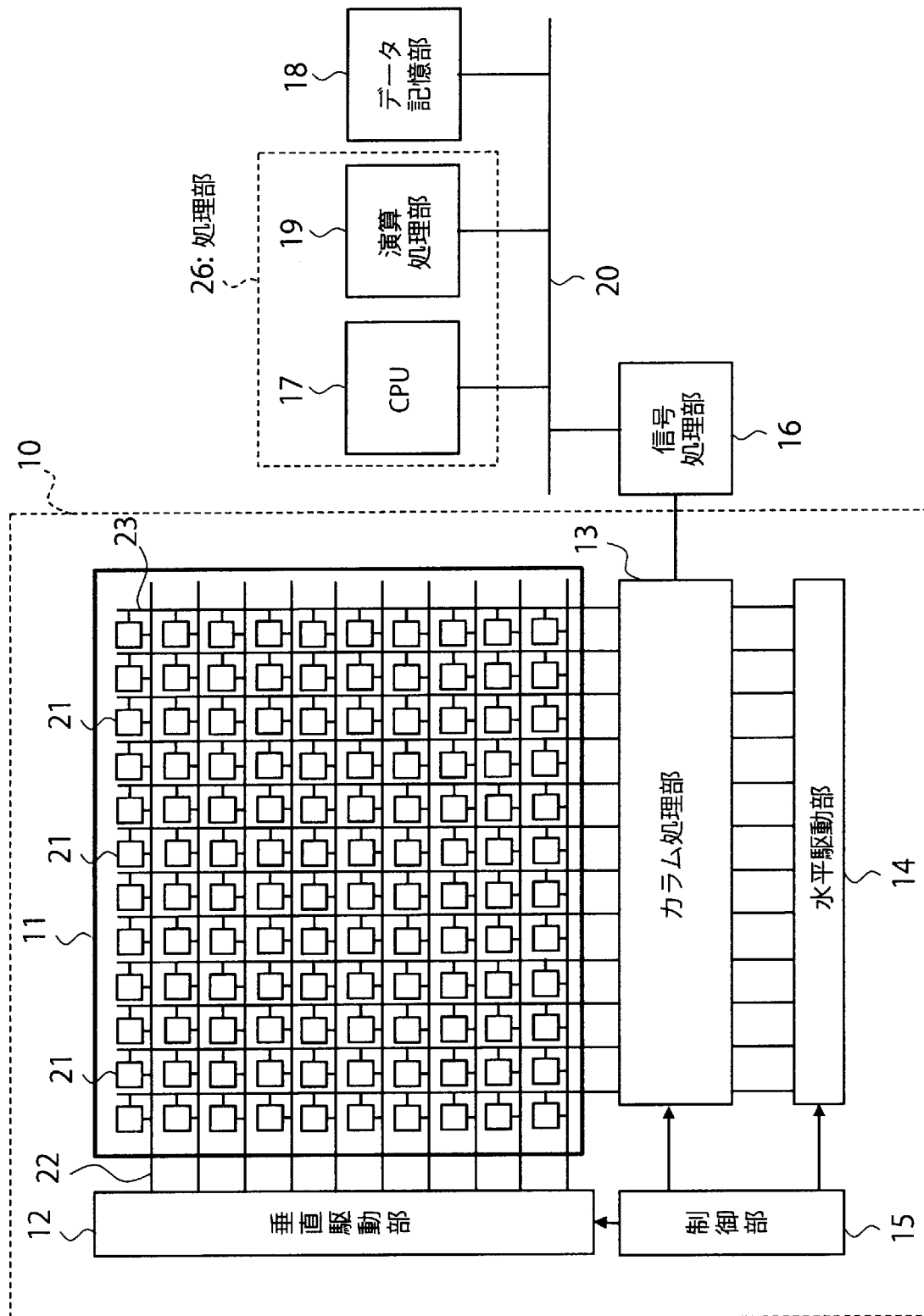
請求項 1 に記載の固体撮像装置。

[請求項12] 光量に対して対数特性の電気信号を第 1 画素信号として生成する複数の第 1 画素を有する画素アレイ部を含む撮像素子と、

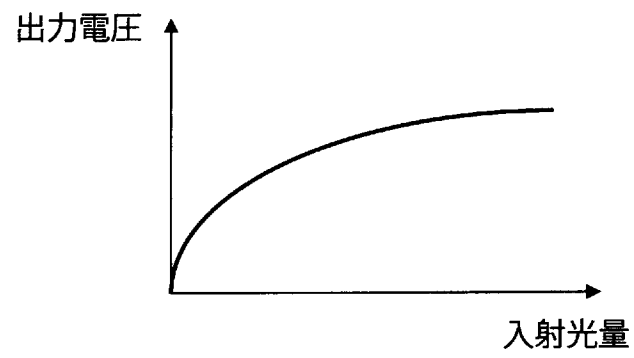
前記画素アレイ部から読み出された複数の前記第 1 画素信号に基づく複数の第 1 入力データと、複数の第 1 ノード間の結合の強さを対数で表した複数の対数重み係数とに基づいて、第 1 ニューラルネットワークの演算処理を行う処理回路と、

を備えた電子機器。

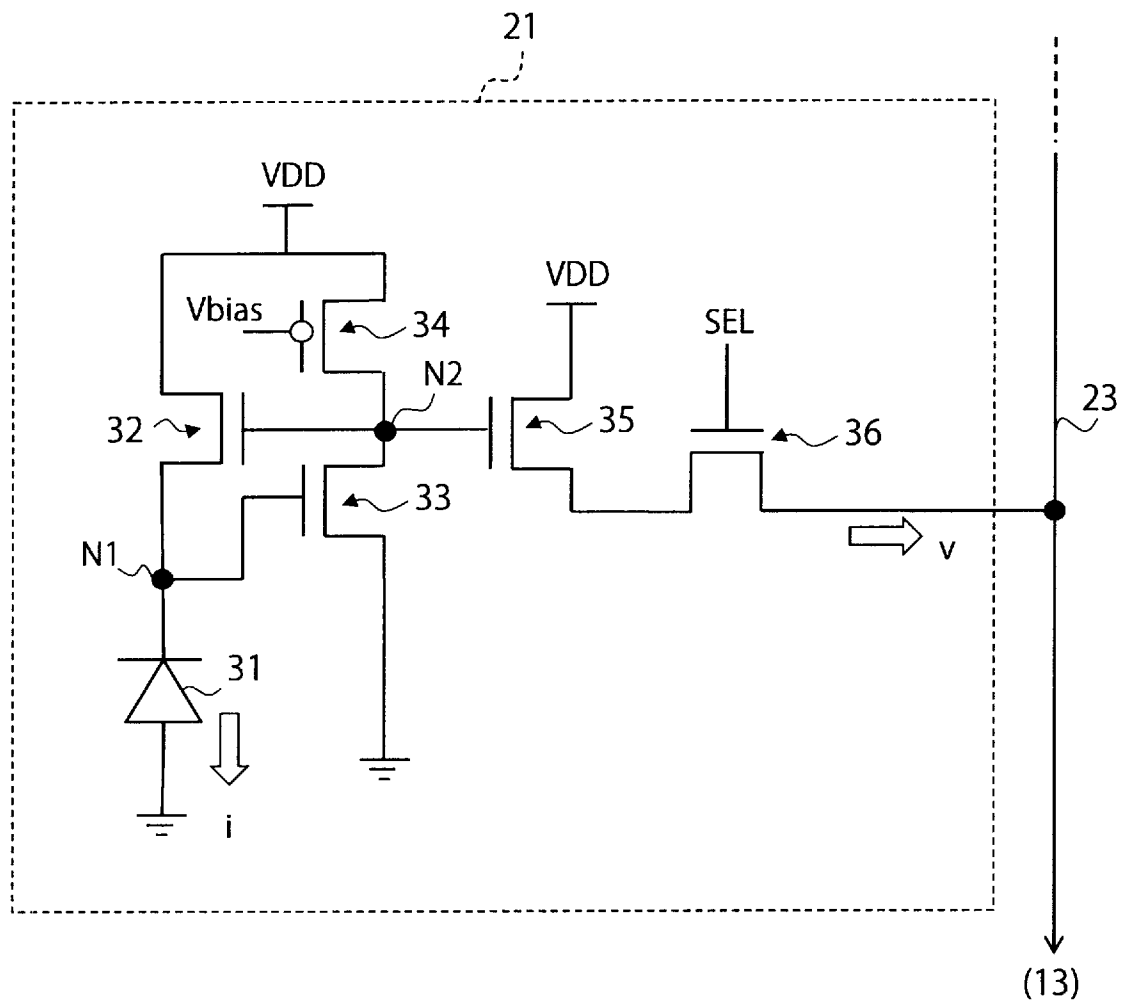
[図1]



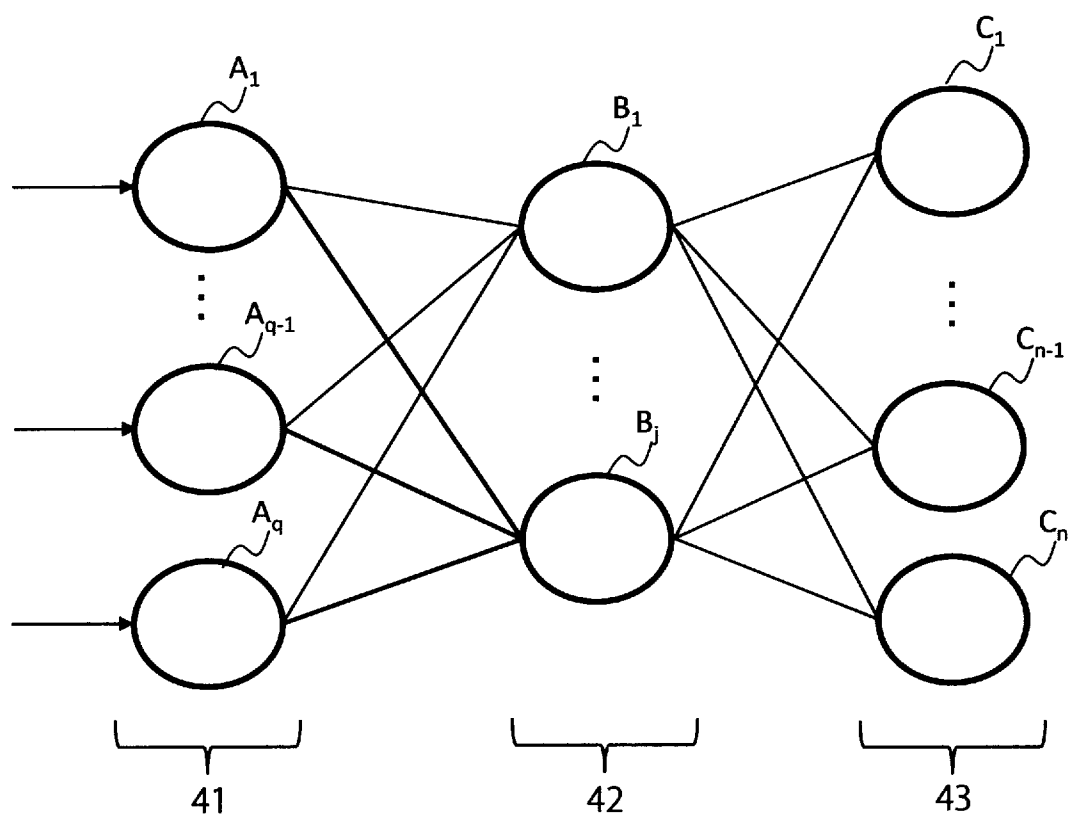
[図2]



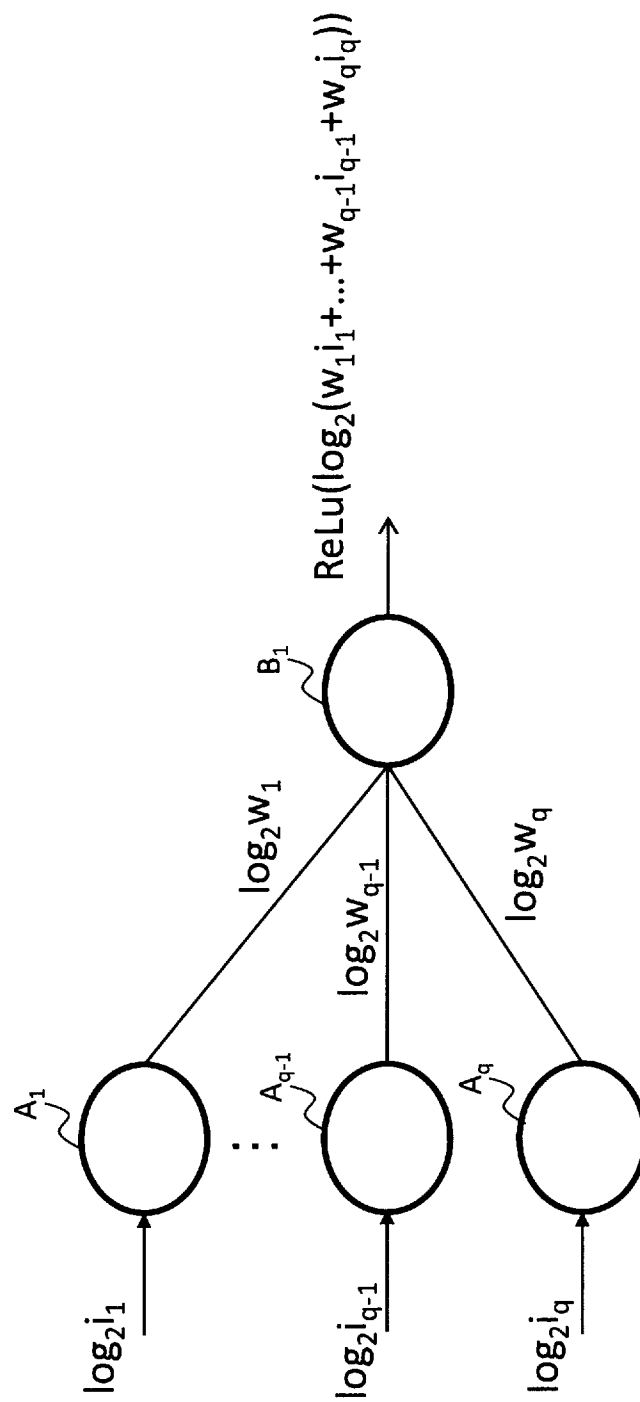
[図3]



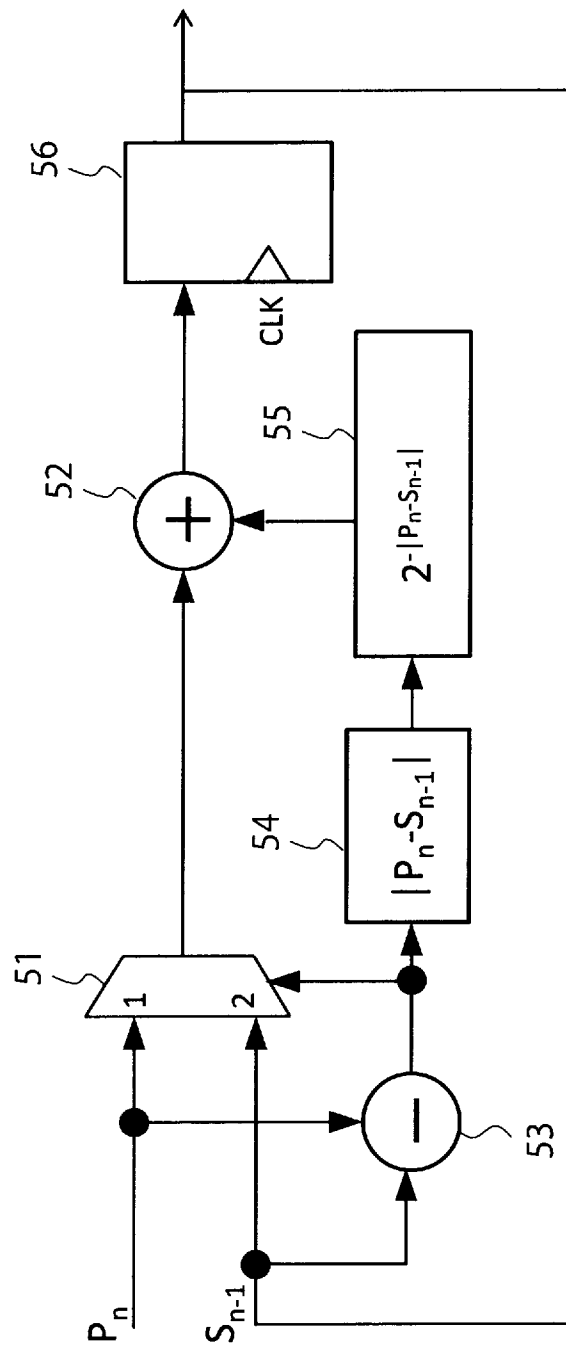
[図4]



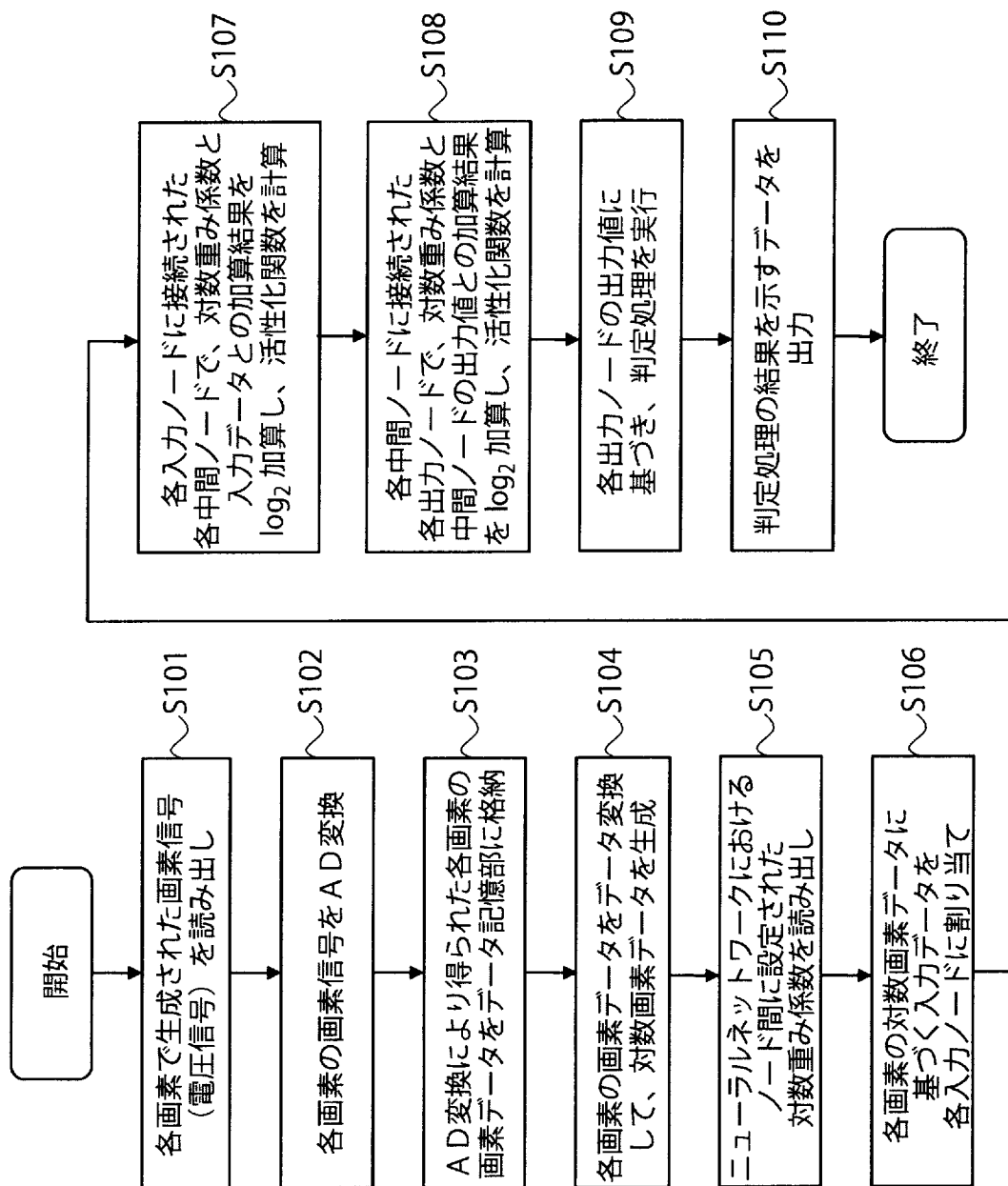
[図5]



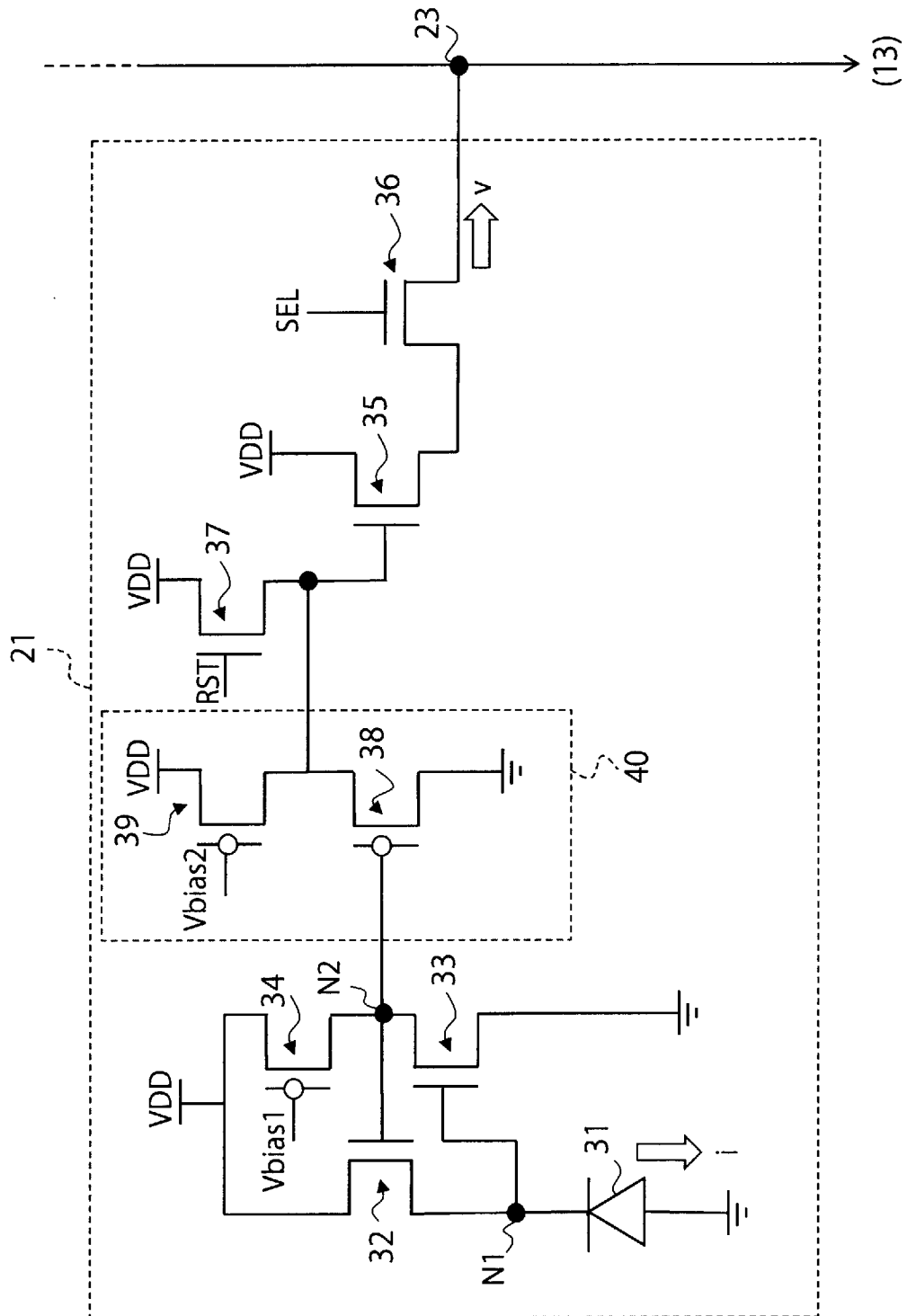
[図6]



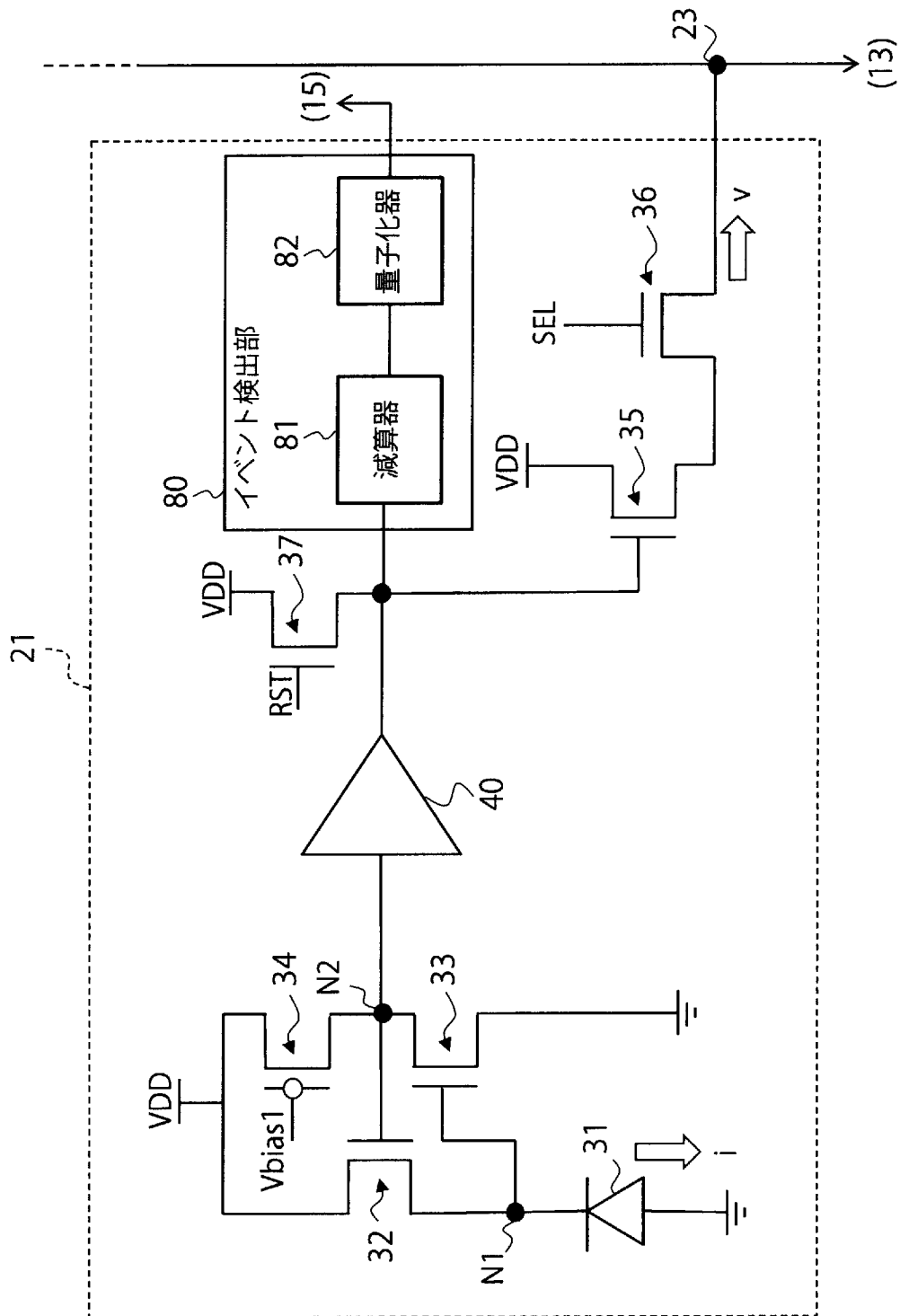
[図7]



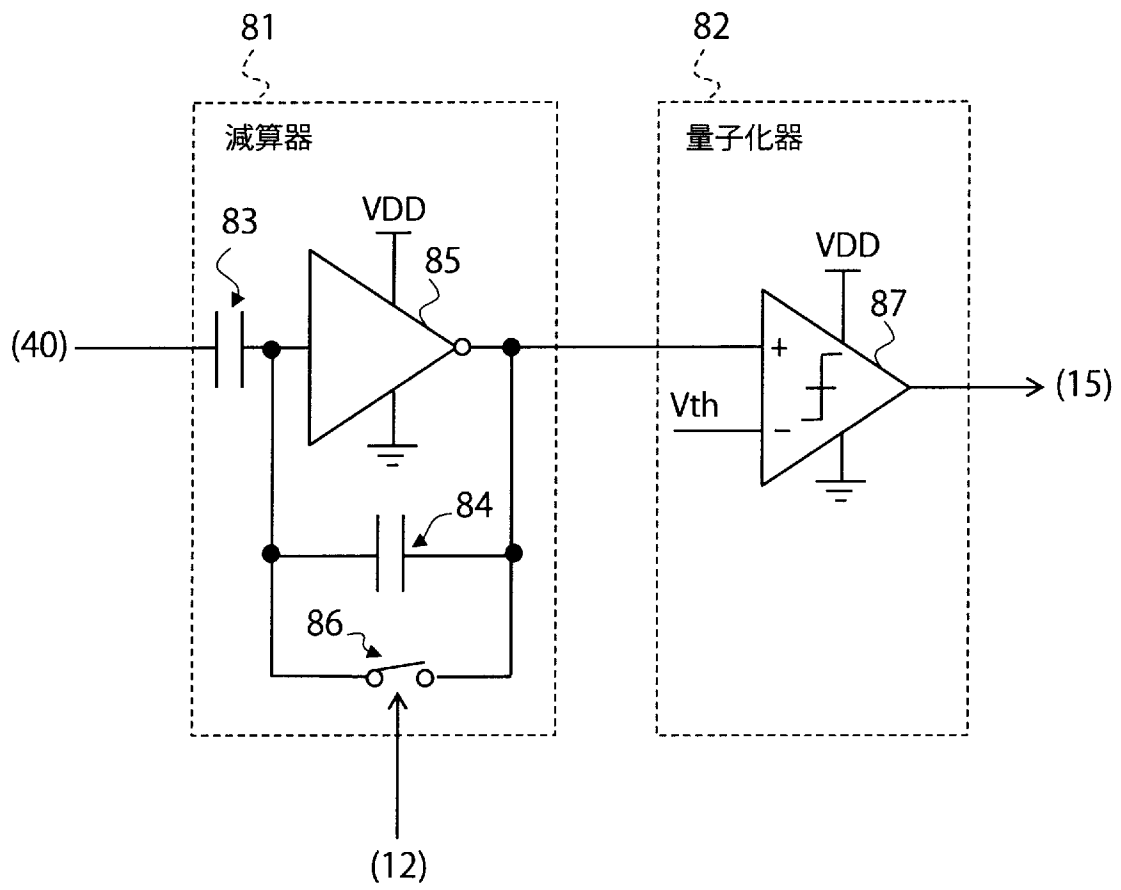
[図8]



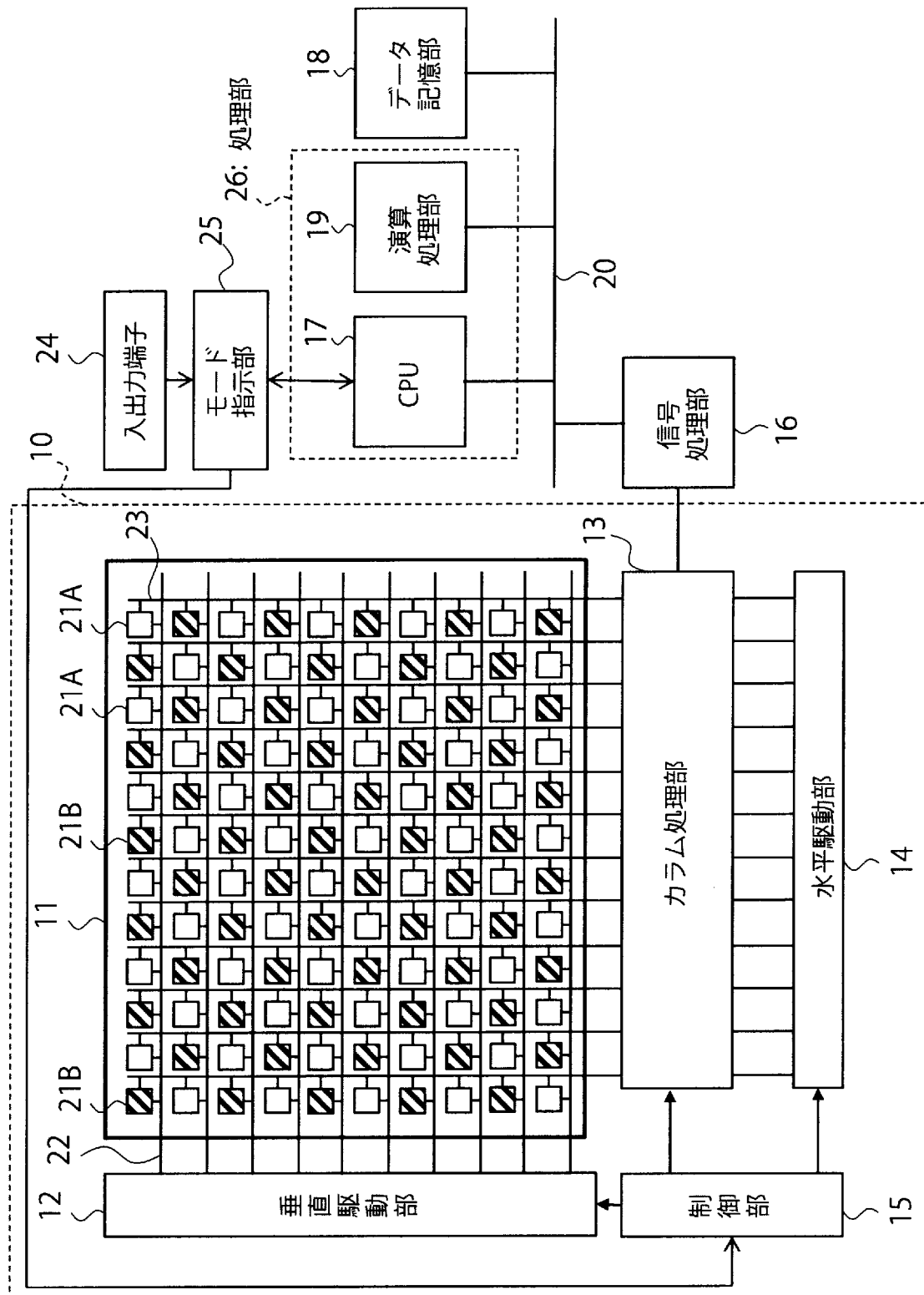
[図9]



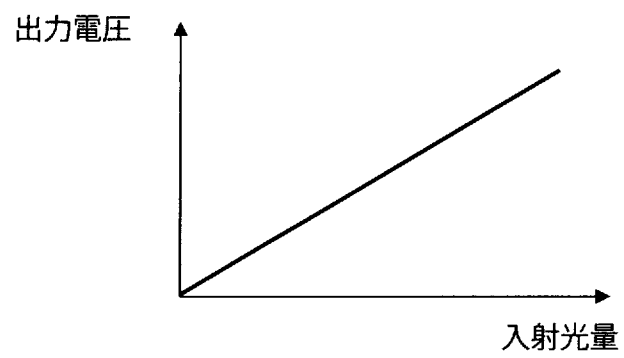
[図10]



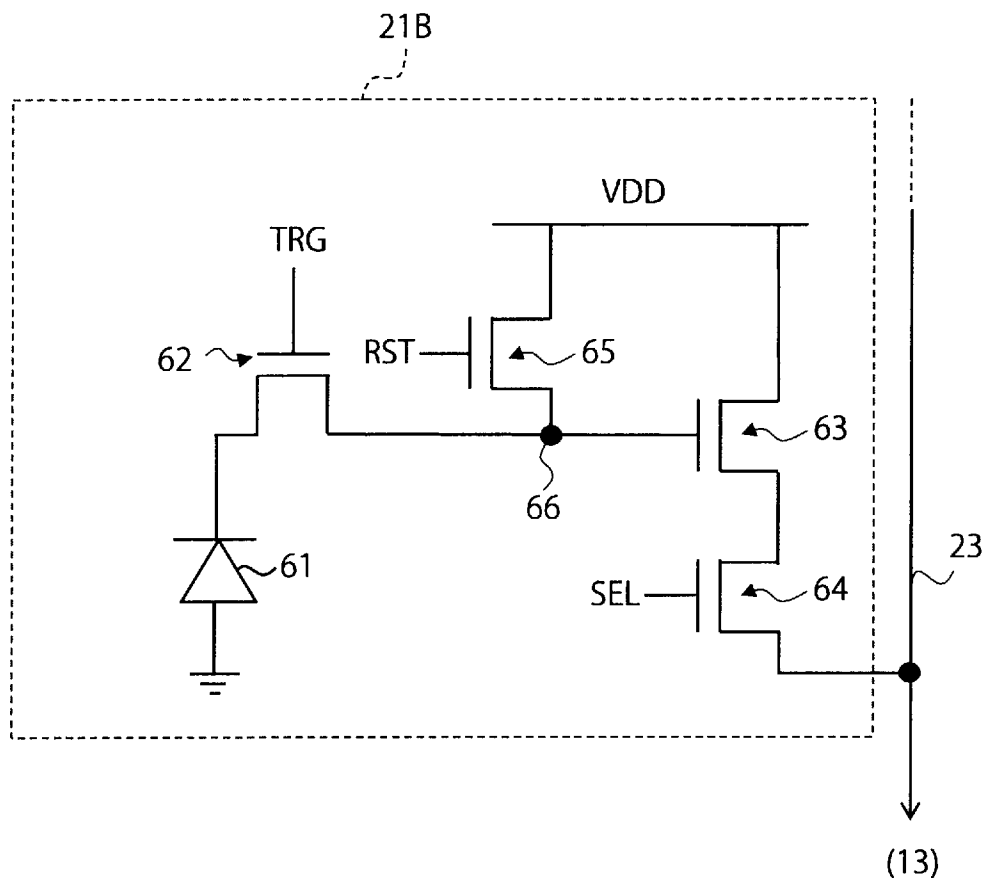
[図11]



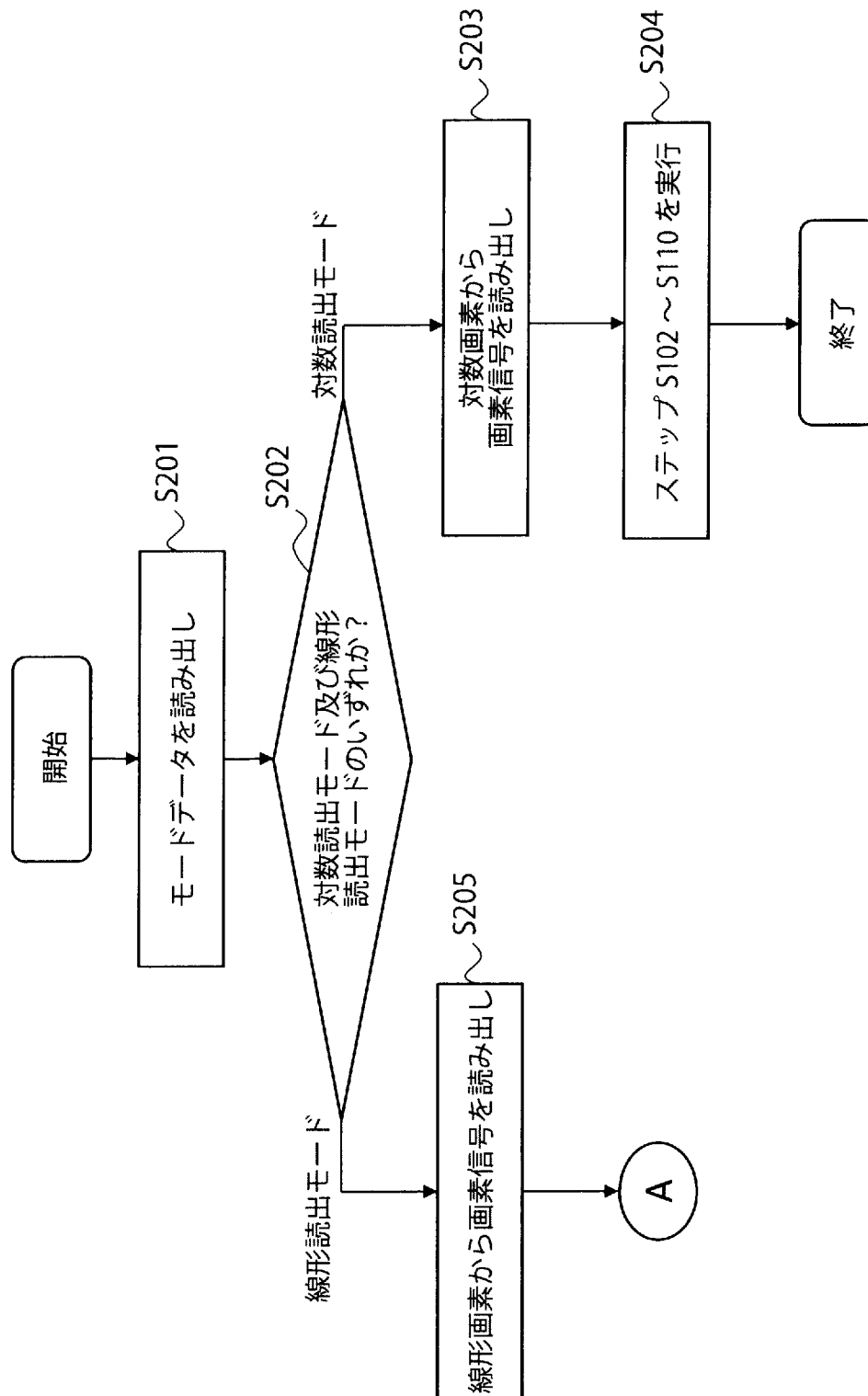
[図12]



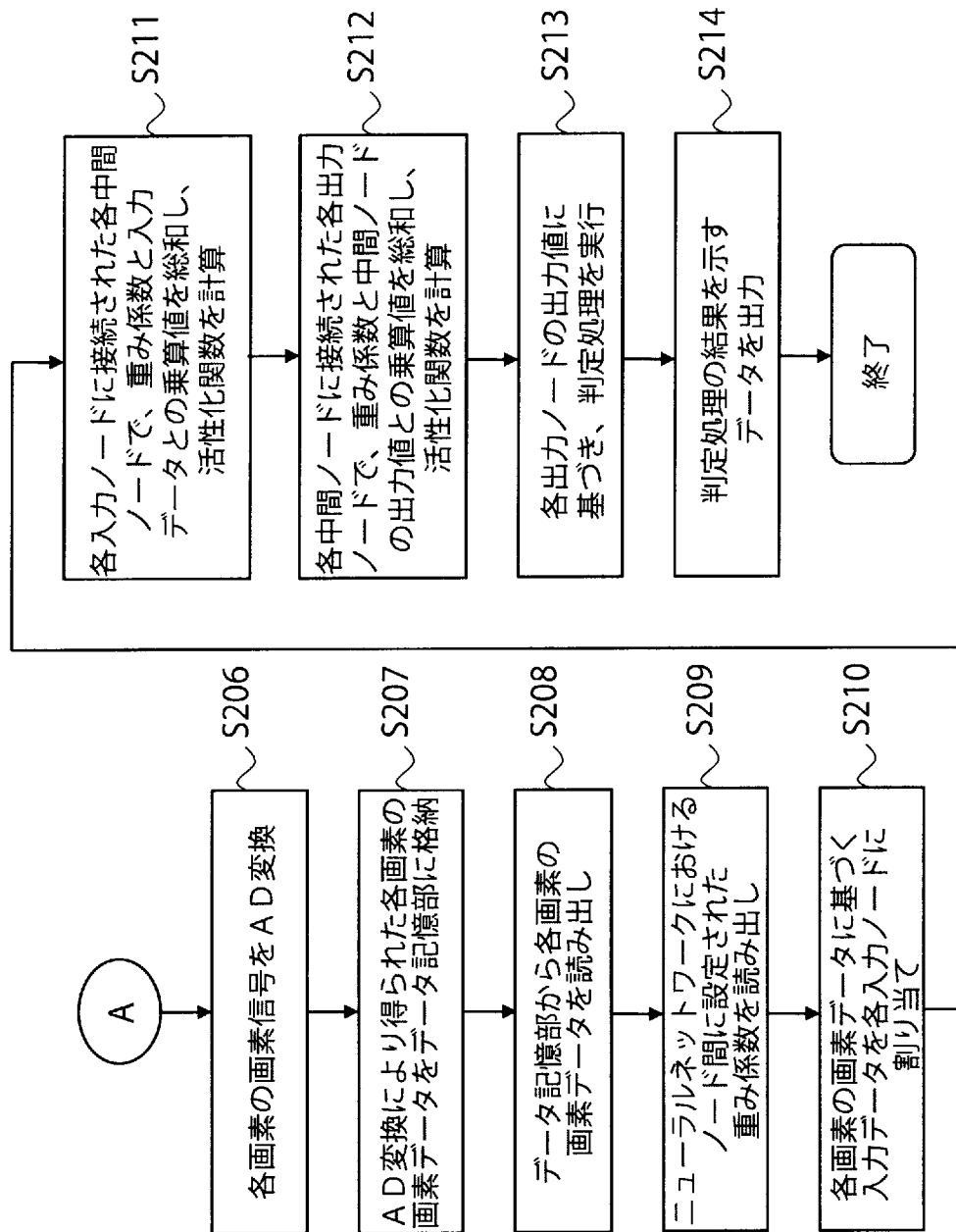
[図13]



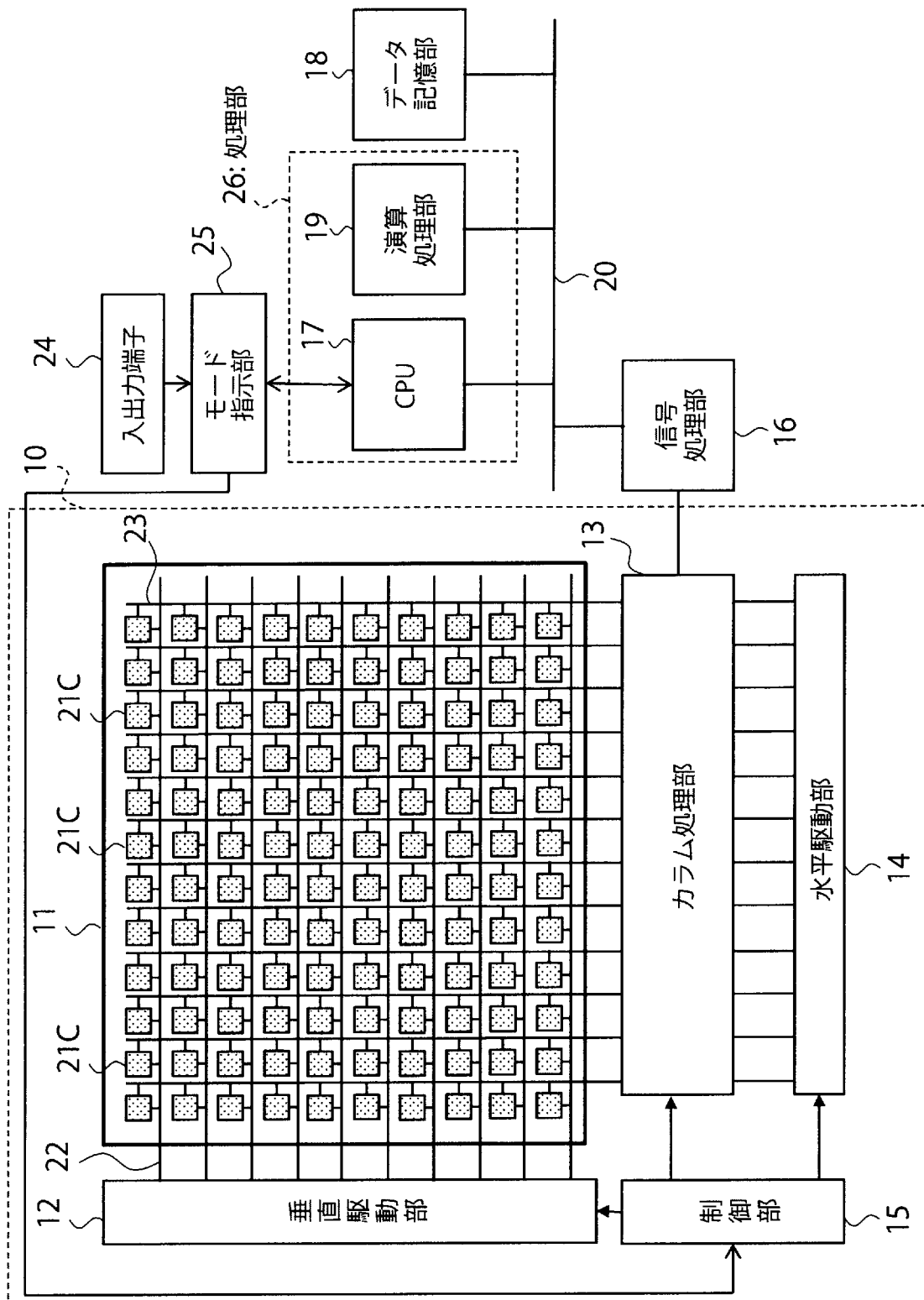
[図14]



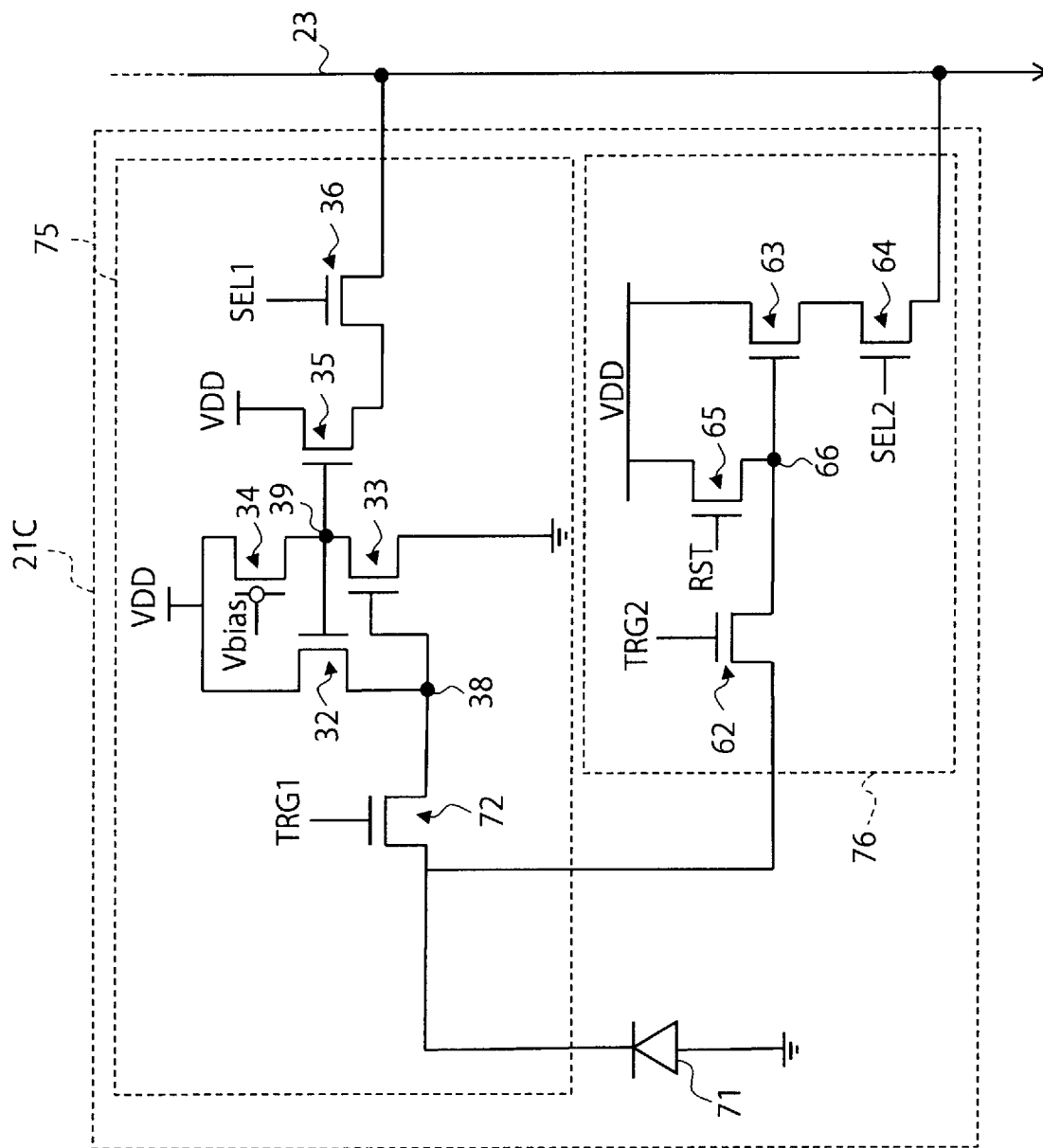
[図15]



[図16]



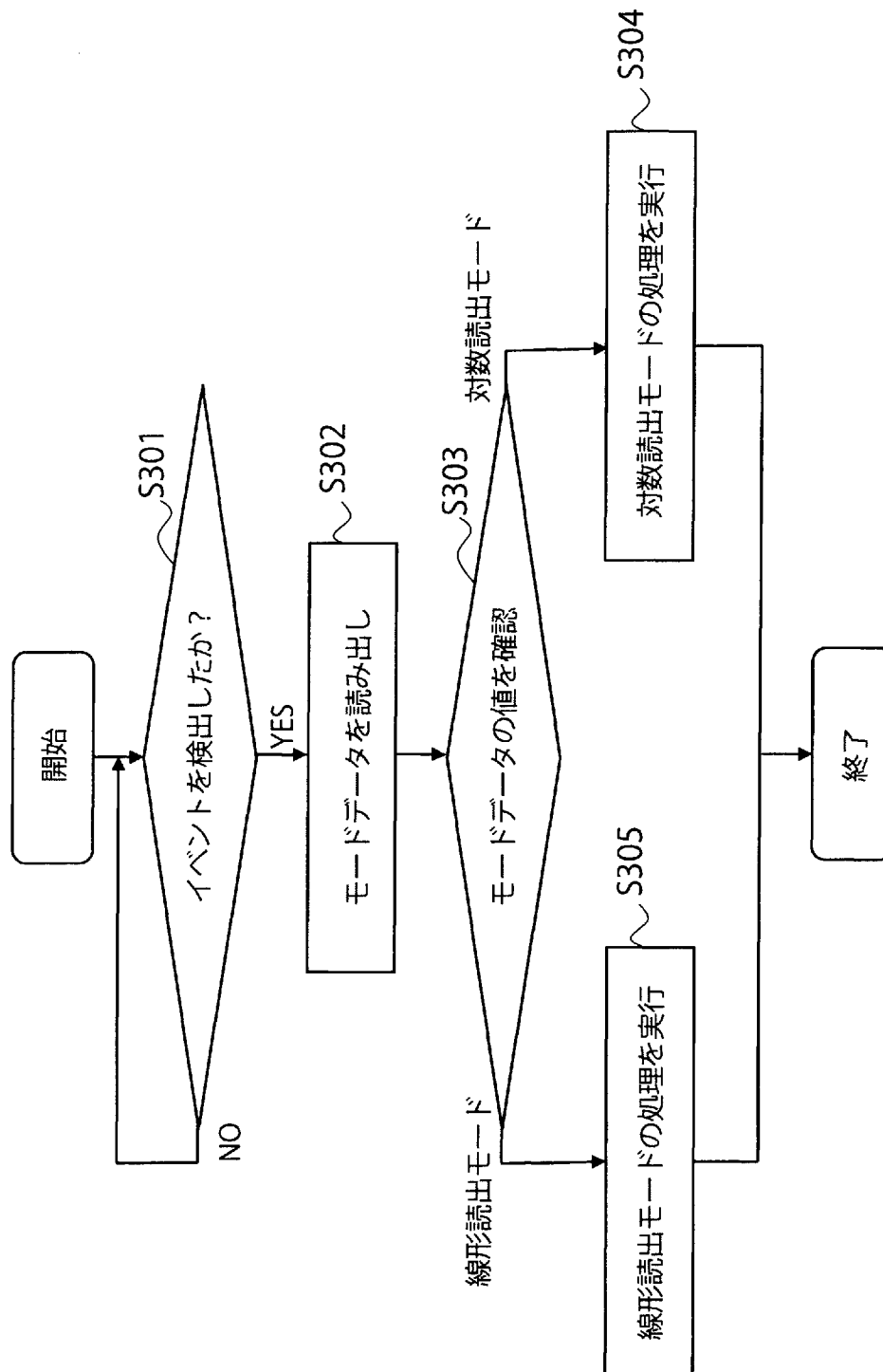
[図17]



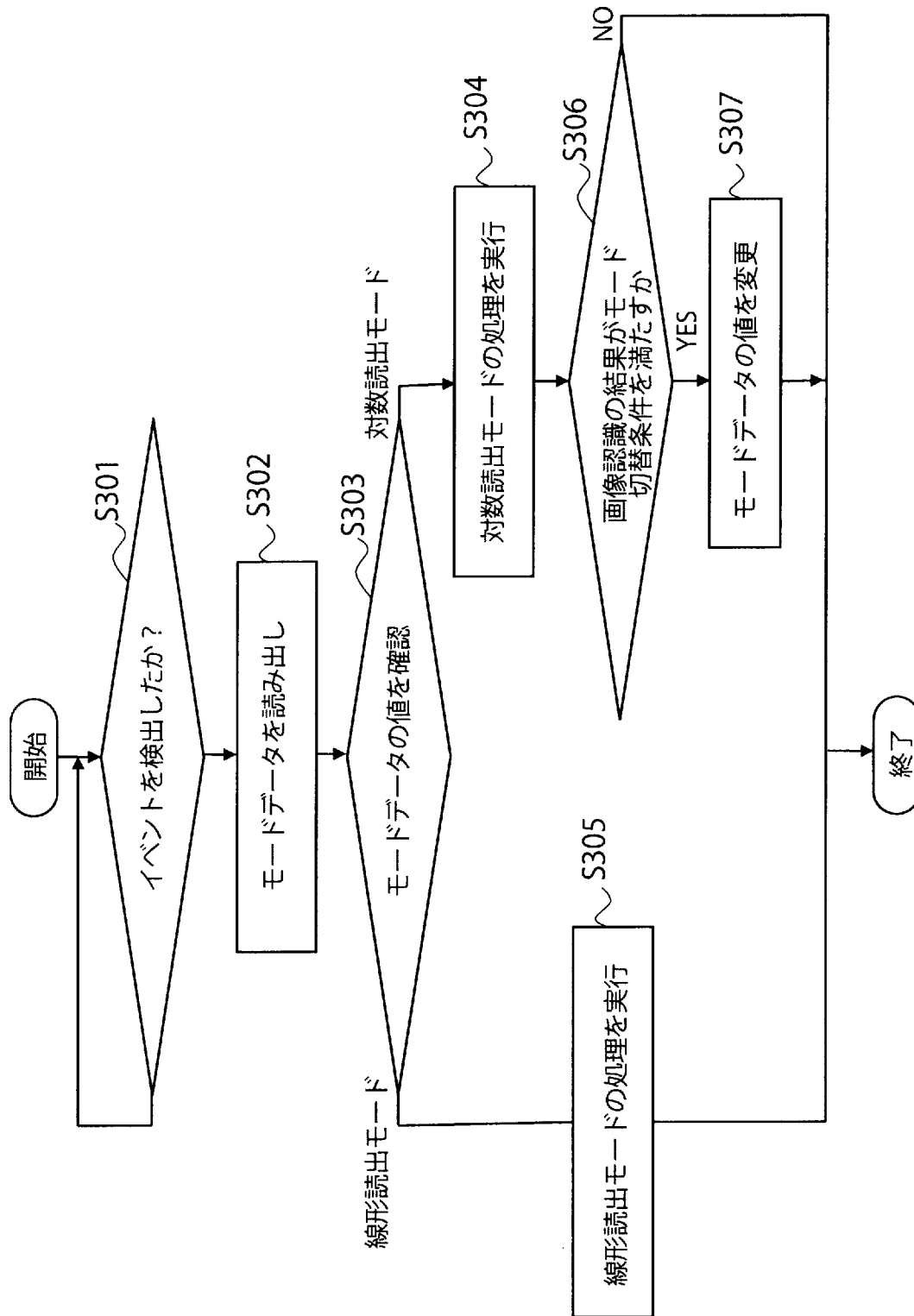
[illegible]

[illegible]

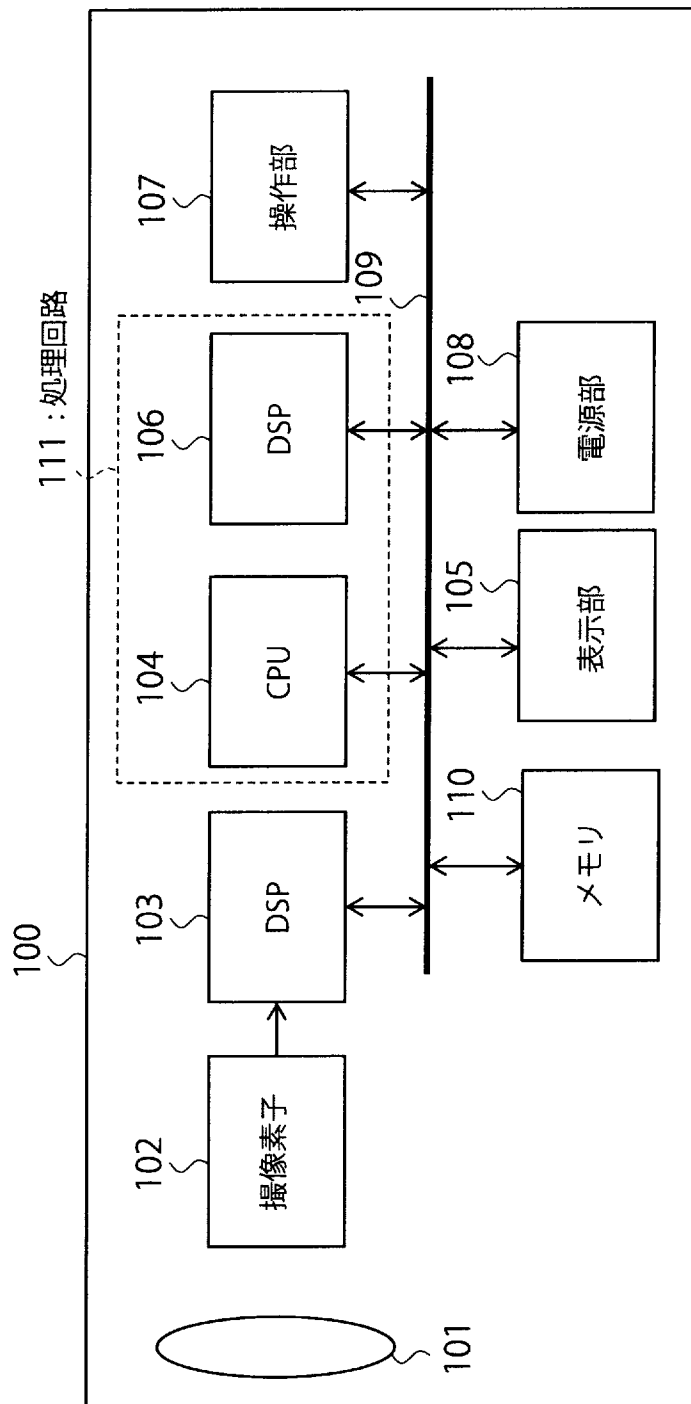
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/019272

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04N5/369 (2011.01) i, G06N3/063 (2006.01) i
FI: H04N5/369, G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04N5/369, G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-293851 A (MITSUBISHI ELECTRIC CORP.) 04 November 1998, paragraphs [0002]-[0005], [0040]- [0052], [0068], [0069], fig. 1, 49, paragraphs [0002]-[0005], [0040]-[0052], [0068], [0069], fig. 1, 49	1-4, 11, 12 5-10
Y	MIYASHITA, Daisuke et al., Convolutional Neural Networks using Logarithmic Data Representation, [online], 2016, [retrieved on 02 June 2020, Internet: <URL: https://arxiv.org/pdf/1603.01025.pdf >, fig. 1	1-4, 11, 12
A	JP 7-210534 A (MOTOROLA INC.) 11 August 1995, fig. 3	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02.06.2020

Date of mailing of the international search report
16.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/019272

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-501708 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 18 January 2018, paragraph [0040]	5-7
A	JP 2017-108457 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 15 June 2017, fig. 10	8
A	JP 2017-107132 A (NIKON CORP.) 15 June 2017, paragraph [0082]	9
A	JP 2015-35172 A (NIPPON HOSO KYOKAI) 19 February 2015, paragraphs [0034]-[0036]	1-12
A	JP 2000-502224 A (UNITED KINGDOM) 22 February 2000, fig. 2, 15	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/019272

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 10-293851 A	04.11.1998	(Family: none)	
JP 7-210534 A	11.08.1995	US 5778153 A fig. 3	
JP 2018-501708 A	18.01.2018	US 2017/0359537 A1 paragraph [0077]	
JP 2017-108457 A	15.06.2017	(Family: none)	
JP 2017-107132 A	15.06.2017	(Family: none)	
JP 2015-35172 A	19.02.2015	(Family: none)	
JP 2000-502224 A	22.02.2000	US 6683645 B1 fig. 2, 15	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i; G06N 3/063(2006.01)i FI: H04N5/369; G06N3/063		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/369; G06N3/063		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-293851 A（三菱電機株式会社）04.11.1998（1998-11-04） 段落[0002]-[0005], [0040]-[0052], [0068]-[0069], 図1, 49	1-4, 11, 12
A	段落[0002]-[0005], [0040]-[0052], [0068]-[0069], 図1, 49	5-10
Y	MIYASHITA, Daisuke ほか2名, Convolutional Neural Networks using Logarithmic Data Representation, [オンライン], 2016, [検索日 2020.06.02]、インターネット <URL: https://arxiv.org/pdf/1603.01025.pdf> 図1	1-4, 11, 12
A	JP 7-210534 A（モトローラ・インコーポレイテッド）11.08.1995（1995-08-11） 図3	1-12
A	JP 2018-501708 A（ソニーセミコンダクタソリューションズ株式会社）18.01.2018（2018-01-18） 段落[0040]	5-7
A	JP 2017-108457 A（ソニーセミコンダクタソリューションズ株式会社）15.06.2017（2017-06-15） 図10	8
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.06.2020		国際調査報告の発送日 16.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-107132 A (株式会社ニコン) 15.06.2017 (2017 - 06 - 15) 段落[0082]	9
A	JP 2015-35172 A (日本放送協会) 19.02.2015 (2015 - 02 - 19) 段落[0034]-[0036]	1-12
A	JP 2000-502224 A (イギリス国) 22.02.2000 (2000 - 02 - 22) 図2, 15	1-12

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/019272

引用文献			公表日	パテントファミリー文献	公表日
JP	10-293851	A	04.11.1998	(ファミリーなし)	
JP	7-210534	A	11.08.1995	US 5778153 A	
				図 3	
JP	2018-501708	A	18.01.2018	US 2017/0359537 A1	
				段落[0077]	
JP	2017-108457	A	15.06.2017	(ファミリーなし)	
JP	2017-107132	A	15.06.2017	(ファミリーなし)	
JP	2015-35172	A	19.02.2015	(ファミリーなし)	
JP	2000-502224	A	22.02.2000	US 6683645 B1	
				図2, 15	