

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



(10) 国際公開番号

WO 2022/158389 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

〒5400011 大阪府大阪市中央区農人橋 1
丁目4番34号 Osaka (JP).

(21) 国際出願番号: PCT/JP2022/001132

(22) 国際出願日: 2022年1月14日(14.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-006166 2021年1月19日(19.01.2021) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目10番1号 Kyoto (JP).

(72) 発明者: 細谷 達也 (HOSOTANI Tatsuya);
〒6178555 京都府長岡京市東神足 1 丁目10番
1号 株式会社村田製作所内 Kyoto (JP).

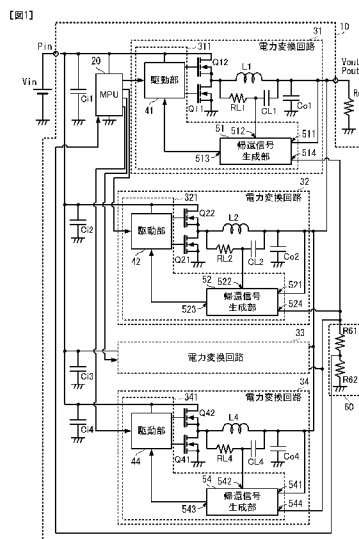
(74) 代理人: 弁理士法人 楓国際特許事務所
(KAEDE PATENT ATTORNEYS' OFFICE);

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: POWER SUPPLY SYSTEM DEVICE

(54) 発明の名称: 電源システム装置



31, 32, 33, 34 Power conversion circuit
41, 42, 44 Driving unit
51, 52, 54 Feedback signal generation unit

(57) Abstract: A power supply system device (10) is provided with a plurality of power conversion circuits (31-34) and an MPU (20). The MPU (20) outputs an oscillation control signal to the plurality of power conversion circuits (31-34). The plurality of power conversion circuits (31-34) has a pulse width modulation control circuit formed by an analogue electronic circuit, and the power conversion circuit (31), for example, drives switching elements (Q11, Q12) on the basis of a feedback signal that has detected output voltage (Vout) of a common output terminal (Pout). An integrated system control unit having the MPU (20) and the plurality of power conversion circuits (31-34) is provided with a plurality of individual voltage feedback control loops for individually controlling the plurality of power conversion circuits (31-34) using the feedback signal, and controls the plurality of power conversion circuits (31-34) to simultaneously execute driving control using the individual voltage feedback control loops to supply electric power to a load.

[続葉有]

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：電源システム装置（10）は、複数の電力変換回路（31-34）、および、MPU（20）を備える。MPU（20）は、複数の電力変換回路（31-34）に対して、発振制御信号を出力する。複数の電力変換回路（31-34）は、アナログ電子回路によってパルス幅変調制御回路が形成されたものであり、例えば、電力変換回路（31）は、共通出力端子（Pout）の出力電圧（Vout）を検出した帰還信号に基づいてスイッチング素子（Q11、Q12）を駆動する。MPU（20）と複数の電力変換回路（31-34）とを有する統合システム制御部は、帰還信号を用いて複数の電力変換回路（31-34）を個別に制御する複数の個別電圧帰還制御ループを備え、複数の電力変換回路（31-34）で、同時に、個別電圧帰還制御ループを用いた駆動制御を実行し、負荷に電力を供給する。

明 細 書

発明の名称：電源システム装置

技術分野

[0001] 本発明は、複数の電力変換回路を備えた電源システム装置に関する。

背景技術

[0002] 特許文献 1 には、システム電源システム装置が記載されている。特許文献 1 のシステム電源システム装置は、複数の電力変換回路と共通制御部とを備える。複数の電力変換回路は、インダクタ、スイッチング回路、および、個別アナログ制御部をそれぞれに備える。

[0003] 個別アナログ制御部は、電力変換回路の出力状態を検出して帰還信号を生成する帰還信号生成部と、帰還信号に応じてスイッチング回路の駆動制御を行う駆動部を備える。

[0004] 共通制御部は、プログラマブルな演算処理を実行できるデジタル電子回路によって構成されている。共通制御部は、出力電圧に応じた発振制御信号を、個別アナログ制御部の駆動部に出力する。

[0005] 個別アナログ制御部の駆動部は、発振制御信号に基づいて、スイッチング回路のスイッチング素子を駆動制御する。

先行技術文献

特許文献

[0006] 特許文献1：国際公開 2020/183820号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献 1 に示す構成では、負荷（出力電圧）の急速な変動への高速な応答、出力の安定化が難しかった。

[0008] したがって、本発明の目的は、負荷（出力電圧）の急速な変動に対する高速な応答、且つ、安定的な電力供給を実現可能な電源システム装置を提供することにある。

課題を解決するための手段

- [0009] この発明の電源システム装置は、電力変換回路、共通入力端子、共通出力端子、および、共通制御部を備える。複数の電力変換回路は、インダクタとスイッチング回路と個別アナログ制御部とをそれぞれに備える。共通入力端子は、複数の電力変換回路の入力部が並列に接続され、入力電源に接続されている。共通出力端子は、複数の電力変換回路の出力部が並列接続され、負荷に接続されている。共通制御部は、複数の電力変換回路に対して、発振制御信号を出力する。
- [0010] 個別アナログ制御部は、アナログ電子回路によってパルス幅変調制御回路が形成されたものであり、電圧帰還信号生成部、および、駆動部を備える。電圧帰還信号生成部は、共通出力端子の出力電圧を検出して帰還信号を生成する。駆動部は、帰還信号に基づいて、スイッチング回路のスイッチング素子を駆動する。
- [0011] 統合システム制御部は、共通制御部と複数の個別アナログ制御部とを有する。そして、統合システム制御部は、帰還信号を用いて、複数の電力変換回路が連動してパルス幅変調制御回路を個別に制御する複数の個別電圧帰還制御ループを備える。統合システム制御部は、入力電源電圧に対して電圧を変換する電圧変換動作において、複数の電力変換回路で、同時に、個別電圧帰還制御ループを用いた駆動制御を実行し、負荷に電力を供給する。
- [0012] この構成では、アナログ回路からなる個別電圧帰還制御ループによって、負荷（出力電圧）の変動がフィードバックされて、個別電圧帰還制御ループを構成する駆動部とスイッチング素子とによって、負荷（出力電圧）の変動を補償するようにパルス幅変調制御が行われる。これにより、高速な応答が可能になる。さらに、電力変換回路を含む個別電圧帰還ループは、複数あり、これらは、同時に駆動制御を行っている。これにより、上述の負荷変動への高速な応答を可能にしながら、マルチフェーズ制御が実現され、出力が安定化する。

発明の効果

[0013] この発明によれば、複数の電力変換回路で、同時に、出力電圧の変動を検出し、検出した際に、最も高速に応答できる電圧帰還制御ループを用いた駆動制御を実行し、負荷の急速な変動に対して、高速な応答、且つ、安定的な電力供給を実現できる。

図面の簡単な説明

[0014] [図1]図1は、第1の実施形態に係る電源システム装置の一例を示す回路ブロック図である。

[図2]図2(A)、図2(B)、図2(C)、図2(D)は、電力変換回路が2個のときのマルチフェーズ制御時の各種波形の一例を示す図である。

[図3]図3は、電力変換回路の具体的な回路構成の一例を示す回路ブロック図である。

[図4]図4は、駆動部の回路構成の一例を示す等価回路図である。

[図5]図5は、第1の実施形態に係る帰還信号生成部の一例を示す等価回路図である。

[図6]図6(A)、図6(B)は、比較構成でのインダクタ電流およびインダクタ電流の検出信号の波形図であり、図6(C)、図6(D)は、本願構成でのインダクタ電流およびインダクタ電流の検出信号の波形図である。

[図7]図7は、第2の実施形態に係る電源システム装置の帰還信号生成部の回路ブロック図である。

発明を実施するための形態

[0015] [第1の実施形態]

本発明の第1の実施形態に係る電源システム装置について、図を参照して説明する。図1は、第1の実施形態に係る電源システム装置の一例を示す回路ブロック図である。

[0016] (電源システム装置10の全体の概略構成)

図1に示すように、電源システム装置10は、MPU20、電力変換回路31、電力変換回路32、電力変換回路33、電力変換回路34、および、分圧回路60を備える。本実施形態では、電力変換回路の個数は、4個であ

るが、２個以上であれば、本実施形態の構成を適用できる。電源システム装置とは、例えば、単に１個の電力変換回路を備えた電源装置とは異なり、複数の電力変換回路を備え、負荷の状態に応じて複数の電力変換回路の運転数、運転状態を適正に制御する電源装置を意味する。

[0017] 電源システム装置１０は、共通入力端子 P_{in} 、および、共通出力端子 P_{out} を備える。共通入力端子 P_{in} は、外部の直流電圧源（入力電源）に接続されている。電源システム装置１０は、共通入力端子 P_{in} から直流の入力電圧 V_{in} の供給を受けている。共通出力端子 P_{out} は、負荷 R_o に接続されている。共通出力端子 P_{out} の電圧が、電源システム装置１０の出力電圧 V_{out} となる。

[0018] （MPU２０の制御およびマルチフェーズ制御の概略）

MPU２０は、共通入力端子 P_{in} に接続しており、共通入力端子 P_{in} を通じて電源供給されている。この電源供給ラインは、入力コンデンサ C_{i1} を通してグランド基準電位に接続されている。

[0019] MPU２０は、デジタル電子回路からなり、プログラマブルなMicro Processing Unitである。MPU２０は、プログラマブルな演算処理を実行可能なデバイスである。MPU２０は、プログラマブルな演算処理によって、複数の電力変換回路３１－３４の駆動部４１－４４への制御信号（発振制御信号）を生成する。MPU２０が、本発明の「共通制御部」に対応する。

[0020] MPU２０は、電力変換回路３１、電力変換回路３２、電力変換回路３３、および、電力変換回路３４に接続されている。MPU２０は、電力変換回路３１、電力変換回路３２、電力変換回路３３、および、電力変換回路３４のそれぞれに対して、制御信号を出力する。

[0021] 例えば、MPU２０は、複数の電力変換回路の内、運転する電力変換回路（動作を有効にする電力変換回路）に、その電力変換回路に応じた制御信号を出力し、運転しない電力変換回路（動作を無効にする電力変換回路）には制御信号を出力しない。この際、MPU２０は、出力電圧 V_{out} に基づく

共通バス信号（詳細は後述する。）を抵抗 R_{61} と抵抗 R_{62} との直列回路からなる分圧回路60によって分圧した電圧を用いて、運転する電力変換回路の個数を決定する。

[0022] 運転する電力変換回路に出力する制御信号は、各電力変換回路のスイッチング周波数からなる発振信号を含んでいる。各制御信号の発振信号は位相差を有し、この位相差は、運転する電力変換回路の個数によって設定されている。

[0023] これにより、MPU20は、電源システム装置10をマルチフェーズコンバータとして動作させる。

[0024] 図2（A）、図2（B）、図2（C）、図2（D）は、電力変換回路が2個のときのマルチフェーズ制御時の各種波形の一例を示す図である。図2（A）、図2（B）は、各電力変換回路の入力電流を示し、図2（C）は、各電力変換回路のインダクタ電流を示し、図2（D）は、出力電圧を示す。なお、図2（A）、図2（B）、図2（C）、図2（D）は、本実施形態のように電力変換回路が2個の場合で、2個の電力変換回路を運転する場合の一例を示す。以下の説明では、2個の電力変換回路として、電力変換回路31と電力変換回路32とを用いる場合を示す。

[0025] MPU20は、電力変換回路31、電力変換回路32に対して、スイッチング周期 T_{sw} に応じて、位相をずらせた制御信号を出力する。これにより、電力変換回路31、電力変換回路32には、図2（A）、図2（B）に示すような、入力電流が生じる。電力変換回路31は、この入力電流に応じて、図2（C）の実線に示すようなインダクタ電流 I_{L1} を生じ、このインダクタ電流 I_{L1} に応じた個別出力電圧 V_{out1} を出力する。また、電力変換回路32は、この入力電流に応じて、図2（C）の破線に示すようなインダクタ電流 I_{L2} を生じ、このインダクタ電流 I_{L2} に応じた個別出力電圧 V_{out2} を出力する。

[0026] 共通出力端子 P_{out} に出力されている出力電圧 V_{out} は、電力変換回路31の個別出力電圧 V_{out1} と電力変換回路32の個別出力電圧 V_{out2}

t_2 とを合成した電圧になる。したがって、出力電圧 V_{out} は、図2(D)に示すような波形となる。

[0027] 電力変換回路31と電力変換回路32とがマルチフェーズ制御されていることによって、電力変換回路31の個別出力電圧 V_{out1} の電圧変動と電力変換回路32の個別出力電圧 V_{out2} の電圧変動とが相殺され、リップル電圧は小さくなる。すなわち、電力変換回路31または電力変換回路32を単独で用いるよりも、リップル電圧は小さくなる。

[0028] これにより、電源システム装置10は、出力電圧 V_{out} を安定化できる。

[0029] (電力変換回路31-34の構成)

電力変換回路31-34は、共通入力端子 P_{in} に接続されており、共通入力端子 P_{in} を通じて電源供給されている。電力変換回路31の電源供給ラインは、入力コンデンサ C_{i1} を通してグランド基準電位に接続されている。電力変換回路32の電源供給ラインは、入力コンデンサ C_{i2} を通してグランド基準電位に接続されている。電力変換回路33の電源供給ラインは、入力コンデンサ C_{i3} を通してグランド基準電位に接続されている。電力変換回路34の電源供給ラインは、入力コンデンサ C_{i4} を通してグランド基準電位に接続されている。

[0030] 電力変換回路31の出力端、電力変換回路32の出力端、電力変換回路33の出力端、および、電力変換回路34の出力端は、共通出力端子 P_{out} に接続されている。

[0031] 複数の電力変換回路31-34は、入力電圧 V_{in} を出力電圧 V_{out} に変換する電圧変換動作を、同時に、それぞれに個別に実行する。電力変換回路31-34は、同じ回路構成を有する。

[0032] 図1に示すように、電力変換回路31は、駆動部41、スイッチング素子 Q_{11} 、スイッチング素子 Q_{12} 、インダクタ L_1 、出力コンデンサ C_{o1} 、抵抗 R_{L1} 、コンデンサ C_{L1} 、および、帰還信号生成部51を備える。帰還信号生成部51は、端子511、端子512、端子513、および、端

子514を備える。端子511、端子512、端子513、および、端子514は、物理的な端子構造を有していてもよいが、機能的には、他の回路素子等への接続部である。スイッチング素子Q11およびスイッチング素子Q12からなる回路は、本発明の「スイッチング回路」に対応する。

[0033] 電力変換回路32は、駆動部42、スイッチング素子Q21、スイッチング素子Q22、インダクタL2、出力コンデンサC_o2、抵抗RL2、コンデンサCL2、および、帰還信号生成部52を備える。帰還信号生成部52は、端子521、端子522、端子523、および、端子524を備える。端子521、端子522、端子523、および、端子524は、物理的な端子構造を有していてもよいが、機能的には、他の回路素子等への接続部である。スイッチング素子Q21およびスイッチング素子Q22からなる回路は、本発明の「スイッチング回路」に対応する。

[0034] 電力変換回路34は、駆動部44、スイッチング素子Q41、スイッチング素子Q42、インダクタL4、出力コンデンサC_o4、抵抗RL4、コンデンサCL4、および、帰還信号生成部54を備える。帰還信号生成部54は、端子541、端子542、端子543、および、端子544を備える。端子541、端子542、端子543、および、端子544は、物理的な端子構造を有していてもよいが、機能的には、他の回路素子等への接続部である。スイッチング素子Q41およびスイッチング素子Q42からなる回路は、本発明の「スイッチング回路」に対応する。

[0035] なお、図示を省略しているが、電力変換回路33は、電力変換回路31、32、34と同様に、駆動部43、スイッチング素子Q31、スイッチング素子Q32、インダクタL3、出力コンデンサC_o3、抵抗RL3、コンデンサCL3、および、帰還信号生成部53を備える。帰還信号生成部53は、端子531、端子532、端子533、および、端子534を備える。端子531、端子532、端子533、および、端子534は、物理的な端子構造を有していてもよいが、機能的には、他の回路素子等への接続部である。スイッチング素子Q31およびスイッチング素子Q32からなる回路は、

本発明の「スイッチング回路」に対応する。

[0036] 複数の電力変換回路 31－34 は同じ回路構成であるので、以下では、電力変換回路 31 のみについて、回路構成を具体的に説明する。図 3 は、電力変換回路の具体的な回路構成の一例を示す回路ブロック図である。

[0037] 駆動部 41 は、共通入力端子 P_{in} に接続しており、共通入力端子 P_{in} を通じて電源供給されている。駆動部 41 は、アナログ回路によって形成されている。また、駆動部 41、および、帰還信号生成部 51 によって、個別アナログ制御部が形成される。個別アナログ制御部とスイッチング回路とは、例えば、一体化して集積された FET 内蔵 PWM 制御 IC によって形成される。

[0038] 駆動部 41 には、MPU20 から制御信号が入力されている。駆動部 41 には、電圧帰還信号と電流帰還信号とが合成された帰還信号が、帰還信号生成部 51 から入力されている。すなわち、図 3 の二点鎖線に示すような個別電圧帰還制御ループ v_{FB} を介して個別電圧帰還信号が駆動部 41 にフィードバックされ、図 3 の点線に示すような個別電流帰還制御ループ i_{FB} を介して個別電流帰還信号が駆動部 41 にフィードバックされる。なお、これら個別電圧帰還制御ループ v_{FB} および個別電流帰還制御ループ i_{FB} に関する説明は、後述の帰還信号生成部 51 の箇所において行う。

[0039] 駆動部 41 は、制御信号と帰還信号とから、スイッチング素子 Q_{11} およびスイッチング素子 Q_{12} に対して、PWM（パルス幅変調）制御を用いたスイッチング制御信号を生成する。

[0040] 具体的には、駆動部 41 は、例えば、図 4 に示す回路構成を有する。図 4 は、駆動部の回路構成の一例を示す等価回路図である。図 4 に示すように、駆動部 41 は、エラーアンプ U_{411} 、PWM コンパレータ U_{412} 、および、反転器 OP_{413} を備える。

[0041] エラーアンプ U_{411} の反転入力端子には、帰還信号が入力されている。エラーアンプ U_{411} の非反転入力端子には、リファレンス電圧 V_{ref} が印加されている。リファレンス電圧 V_{ref} は、負荷を安定動作させる出力

電圧 V_{out} に基づいて設定されている。

- [0042] エラーアンプ U_{411} の出力端子は、PWMコンパレータ U_{412} の非反転入力端子に接続されている。PWMコンパレータ U_{412} の反転入力端子には、PWM制御用の周波数信号（所定周波数の電圧信号）が入力されている。
- [0043] PWMコンパレータ U_{412} の出力端子は、スイッチング素子 Q_{12} に接続されているとともに、反転器 OP_{413} を通して、スイッチング素子 Q_{11} に接続されている。
- [0044] この構成によって、駆動部 41 は、帰還信号の電圧に基づいて PWM 制御信号を生成し、スイッチング素子 Q_{11} とスイッチング素子 Q_{12} とに出力する。そして、駆動部 41 は、アナログ電子回路によって構成されているので、帰還信号の電圧に応じた PWM 制御信号を高速で出力できる。なお、この帰還信号を用いることによる出力電圧 V_{out} やインダクタ電流 i_{L1} への具体的な作用効果は、帰還信号生成部 51 の説明の後に、まとめて説明する。
- [0045] スwitchング素子 Q_{12} のゲートは、駆動部 41 に接続されており、ドレインは、共通入力端子 P_{in} に接続されており、ソースは、スイッチング素子 Q_{11} のドレインに接続されている。スイッチング素子 Q_{11} のゲートは、駆動部 41 に接続されており、ソースは、グランド基準電位に接続されている。
- [0046] スwitchング素子 Q_{12} のゲートには、駆動部 41 から、スイッチング素子 Q_{12} 用の PWM 制御信号が入力されている。スイッチング素子 Q_{11} のゲートには、駆動部 41 から、スイッチング素子 Q_{11} 用のスイッチング制御信号が入力されている。
- [0047] インダクタ L_1 の一方端は、スイッチング素子 Q_{12} のソースとスイッチング素子 Q_{11} のドレインとの接続点に接続されている。
- [0048] インダクタ L_1 の他方端は、共通出力端子 P_{out} に接続されている。インダクタ L_1 の他方端は、出力コンデンサ C_{o1} を通してグランド基準電位

に接続されている。

[0049] 抵抗 R_{L1} とコンデンサ C_{L1} との直列回路は、インダクタ $L1$ に並列接続されている。この回路が、本発明の「インダクタ電流検出回路」に対応する。抵抗 R_{L1} が、本発明の「検出用抵抗」に対応し、コンデンサ C_{L1} が、本発明の「検出用コンデンサ」に対応する。抵抗 R_{L1} とコンデンサ C_{L1} との接続点は、帰還信号生成部51の端子512に接続されている。すなわち、インダクタ $L1$ に対するインダクタ電流検出回路は、コンデンサ C_{L1} の両端電圧を、インダクタ $L1$ のインダクタ電流 i_{L1} の検出信号として、帰還信号生成部52に出力できる。

[0050] この際、インダクタ電流検出回路は、インダクタ $L1$ のインダクタンス、インダクタ $L1$ の等価直列抵抗 R_{s1} の抵抗値、抵抗 R_{L1} の抵抗値、および、コンデンサ C_{L1} のキャパシタンスを特定の関係にすることで、インダクタ $L1$ に流れるインダクタ電流 i_{L1} を、無損失で検出できる。

[0051] 具体的には、 $R_{s1} / L1 = 1 / (C_{L1} \cdot R_{L1})$ の関係をを用いる。すなわち、インダクタ $L1$ のインダクタンス、インダクタ $L1$ の等価直列抵抗 R_{s1} の抵抗値に対して、コンデンサ C_{L1} のキャパシタンス、および、抵抗 R_{L1} の抵抗値（コンデンサ C_{L1} と抵抗 R_{L1} からなるCR回路の時定数（CR時定数））を、上式を満たすように設定する。これにより、時間的に変化するインダクタ電流 $i_{L1}(t)$ を無損失で検出できる。

[0052] （帰還信号生成部51の構成）

図1、図3に示すように、帰還信号生成部51は、端子511、端子512、端子513、端子514を備える。端子511は、共通出力端子 P_{out} 、言い換えれば、電力変換回路31の出力端、および、電力変換回路32の出力端の並列接続部に接続されている。端子512は、抵抗 R_{L1} とコンデンサ C_{L1} との接続点に接続されている。端子513は、駆動部41に接続されている。

[0053] 端子514は、他の電力変換回路32の帰還信号生成部52の端子524と並列に接続されている。すなわち、電力変換回路31の帰還信号生成部5

1の端子514、および、電力変換回路32の帰還信号生成部52の端子524は、共通ノードに接続されている。共通ノードは、上述のように、分圧回路60と通じてMPU20に接続されている。

[0054] 帰還信号生成部51は、アナログ回路によって構成されており、出力電圧 V_{out} 、インダクタL1のインダクタ電流 i_{L1} 、共通ノードの電圧（共通バス信号の電圧）に基づいて、駆動部41への帰還信号を生成する。

[0055] 図5は、第1の実施形態に係る帰還信号生成部の一例を示す等価回路図である。

[0056] 帰還信号生成部51は、個別電流信号生成部551、共通信号生成部552、個別帰還信号生成部553、および、電圧調整回路554を備える。

[0057] 個別電流信号生成部551は、増幅器U51、抵抗R51、抵抗R52、抵抗R53、および、抵抗R54を備える。

[0058] 増幅器U51の反転入力端子は、抵抗R51を通じて、端子511に接続されている。増幅器U51の非反転入力端子は、抵抗R52を通じて、端子512に接続されている。抵抗R51の抵抗値と抵抗R52の抵抗値とは同じである。抵抗R53は、非反転入力端子とグランド基準電位との間に接続されている。増幅器U51の出力端子は、抵抗R54を通じて、増幅器U51の反転入力端子に接続されている。抵抗R53の抵抗値と抵抗R54の抵抗値とは同じである。増幅器U51には、駆動電源VDDが供給されている。この回路構成によって、個別電流信号生成部551は、差動増幅回路を実現する。

[0059] 端子511は、共通出力端子Poutに接続されており、端子512は、コンデンサCL1と抵抗RL1との接続点に接続されている。これにより、増幅器U51の非反転入力端子と反転入力端子との間には、インダクタ電流 i_{L1} に対応した電位差が生じる。そして、増幅器U51の出力端子、すなわち、個別電流信号生成部551の出力端子からは、インダクタ電流 i_{L1} に基づく信号が所定の増幅率で増幅されて、個別電流信号として出力されている。

- [0060] 共通信号生成部552は、増幅器U52、および、ダイオードD52を備える。増幅器U52の非反転入力端子は、増幅器U51の出力端子に接続されている。増幅器U52の出力端子は、ダイオードD52を通じて、増幅器U52の反転入力端子に接続されている。この際、ダイオードD52のアノードは、出力端子に接続され、ダイオードD52のカソードは、反転入力端子に接続されている。反転入力端子は、端子514、すなわち、共通ノードに接続されている。増幅器U52には、駆動電源VDDが供給されている。
- [0061] この回路構成によって、共通信号生成部552は、複数の電力変換回路31、32に対する、個別電流信号の最大値保持回路を実現する。この個別電流信号の最大値からなる信号が、本発明の「共通バス信号」に対応する。
- [0062] 個別帰還信号生成部553は、増幅器U53、増幅器U54、トランジスタTr55、抵抗R55、抵抗R56、抵抗R57、抵抗R58、抵抗R551、および、抵抗R552を備える。
- [0063] 増幅器U53の反転入力端子は、抵抗R55を通じて、増幅器U51の出力端子に接続されている。増幅器U53の非反転入力端子は、抵抗R56を通じて、ダイオードD52のカソード、および、端子504に接続されている。抵抗R55の抵抗値と抵抗R56の抵抗値とは同じである。抵抗R57は、増幅器U53の非反転入力端子とグランド基準電位との間に接続されている。増幅器U53の出力端子は、抵抗R58を通じて、増幅器U53の反転入力端子に接続されている。抵抗R57の抵抗値と抵抗R58の抵抗値とは同じである。増幅器U53には、駆動電源VDDが供給されている。
- [0064] 増幅器U54の非反転入力端子は、増幅器U53の出力端子に接続されている。増幅器U54の出力端子は、NPN型のトランジスタTr55のベースに接続されている。トランジスタTr55のコレクタは、抵抗R551を通じて、端子511に接続されている。トランジスタTr55のエミッタは、抵抗R552を通じてグランド基準電位に接続されている。また、トランジスタTr55のエミッタは、増幅器U54の反転入力端子に接続されている。

- [0065] 増幅器U53の反転入力端子には、個別電流信号が入力され、非反転入力端子には、共通バス信号が入力されている。これにより、増幅器U51の非反転入力端子と反転入力端子との間には、共通バス信号と個別電流信号との電位差が生じる。そして、増幅器U53の出力端子からは、共通バス信号と個別電流信号との電位差に基づく信号が所定の増幅率で増幅されて、増幅器U54に出力されている。
- [0066] 増幅器U54、トランジスタTr55、および、抵抗R552からなる回路によって、電圧－電流変換回路が実現されている。具体的には、この回路では、増幅器U54の非反転入力端子に差分信号（差分電圧）が印加されていると、トランジスタTr55のコレクターエミッタ間には、差分信号（差分電流Iadj）が流れる。この差分電流が、個別電流帰還信号に相当する。
- [0067] 差分電流Iadjが流れることによって、抵抗R551と抵抗R11との接続点（トランジスタTr55のコレクタ）の電圧は、 $V_{out} - (R_{r551} \times I_{adj})$ となる。Rr551は、抵抗R551の抵抗値である。
- [0068] ここで、出力電圧Voutは、個別電圧帰還信号と同じである。したがって、個別帰還信号生成部553は、個別電流帰還信号と個別電圧帰還信号とを合成した帰還信号を生成でき、出力できる。
- [0069] 電圧調整回路554は、いわゆる分圧回路であり、抵抗R11と抵抗R12との直列回路を備える。抵抗R11は、個別帰還信号生成部553のトランジスタTr55のコレクタと抵抗R551との接続点に接続されている。抵抗R12は、グランド基準電位に接続されている。抵抗R11と抵抗R12との接続点は、端子513に接続されている。端子513が、帰還信号生成部51における帰還信号の出力端子である。
- [0070] これにより、電圧調整回路554は、個別帰還信号生成部553から出力された帰還信号の電圧を、駆動部41が対応可能な電圧に変換して、端子513に出力する。
- [0071] 端子513に出力された帰還信号は、駆動部41にフィードバックされる

。これにより、上述の駆動部41の説明に示すような個別電圧帰還制御ループ vFB （図3の二点鎖線）および個別電流帰還制御ループ iFB （図3の点線）が実現される。

[0072] 駆動部41は、この帰還信号を用いて、上述のようなPWM制御を実行する。

[0073] これにより、負荷の急激な変動が生じて、負荷の変動に応じて出力電圧 V_{out} を高速で応答させる。すなわち、負荷の変動に応じて出力電圧 V_{out} が変動すると、これが帰還信号に含まれる個別電圧帰還信号に反映される。駆動部41は、この個別電圧帰還信号の変化を用いて、出力電圧 V_{out} を安定させるように、PWM制御を実行する。

[0074] したがって、駆動部43と帰還信号生成部53からなる個別アナログ制御部、駆動部42と帰還信号生成部52からなる個別アナログ制御部、駆動部41と帰還信号生成部51からなる個別アナログ制御部（これらは図示を省略している）、および、駆動部44と帰還信号生成部54からなる個別アナログ制御部、は、それぞれが、出力電圧 V_{out} の急激な変動に対して、高速に応答し、出力電圧 V_{out} を安定化させることができる。さらに、各個別アナログ制御部は、アナログ電子回路によって構成されているので、より高速な応答、出力電圧 V_{out} の安定化を実現できる。

[0075] これにより、複数の電力変換回路31－34で、同時に、出力電圧の変動を検出し、検出した際に、最も高速に応答できる電圧帰還制御ループを用いた駆動制御を実行し、負荷の急速な変動に対して、高速な応答、且つ、安定的な電力供給を実現できる。

[0076] なお、この個別電圧帰還信号の制御は、その時点で出力電圧 V_{out} に対する寄与が大きな電力変換回路による制御が実質的に作用する。すなわち、電力変換回路31が出力電圧 V_{out} を実質的に出力している期間では、電力変換回路31によってこの出力電圧 V_{out} を安定させるPWM制御が実質的に作用する。また、電力変換回路32が出力電圧 V_{out} を実質的に出力している期間では、電力変換回路32によって、この出力電圧 V_{out} を

安定させるPWM制御が実質的に作用する。同様に、電力変換回路33、34のいずれかが出力電圧 V_{out} を実質的に出力している期間では、電力変換回路33、34における出力電圧 V_{out} を実質的に出力している電力変換回路によって、この出力電圧 V_{out} を安定させるPWM制御が実質的に作用する。

[0077] したがって、本願のような個別電流帰還信号を用いたフィードバック制御を行わなければ、特定の電力変換回路の電力損失が大きくなってしまい、電源システム装置10としての電力効率を向上することができない。

[0078] しかしながら、本願のような個別電流帰還信号を用いたフィードバック制御を行うことで、並列接続される複数の電力変換回路（本実施形態では、電力変換回路31と電力変換回路32）のインダクタ電流を平均化できる。これにより、複数の電力変換回路の電力損失を平均化できる。この結果、電源システム装置10は、電力効率を向上し、電力損失によって発生する発熱を分散し、信頼性を向上できる。

[0079] 図6（A）、図6（B）は、比較構成でのインダクタ電流およびインダクタ電流の検出信号の波形図であり、図6（C）、図6（D）は、本願構成でのインダクタ電流およびインダクタ電流の検出信号の波形図である。図6（A）、図6（B）、図6（C）、図6（D）では、電力変換回路31の負荷が電力変換回路32の負荷よりも大きくなった場合を示している。なお、比較構成は、本願構成における個別電流帰還制御ループ i_{FB} を有さない構成である。

[0080] 図6（A）、図6（B）、図6（C）、図6（D）に示すように、本願構成を用いることによって、複数の電力変換回路の負荷が異なっても、複数の電力変換回路のインダクタ電流を平均化できる。

[0081] そして、この際、個別アナログ制御部がアナログ電子回路によって構成されているので、電源システム装置10は、この電力損失の平均化の制御を高速に実現できる。

[0082] すなわち、電源システム装置10は、出力電圧 V_{out} の急激な変動に対

して、高速に応答し、出力電圧 V_{out} を安定化させることができる。

[0083] また、上述の構成では、インダクタ電流の検出信号は、所定の CR 時定数によって出力される。すなわち、負荷変動による個別電流帰還信号の変化は、個別電圧帰還信号の変化よりも、所定の位相遅れをもって検出される。これにより、電源システム装置 10 は、まず、出力電圧 V_{out} を高速に安定化させた後、電力損失の平均化を高速に実現できる。したがって、電源システム装置 10 は、安定した電力制御を実現できる。

[0084] さらに、電源システム装置 10 は、上述のように、個別アナログ制御部と、MPU 20 からなる共通制御部とによって構成される統合システム制御部によって、上述の負荷変動に対する制御とともに、マルチフェーズ制御を行っている。したがって、電源システム装置 10 は、負荷の緩やかな変動にも最適な電力効率を実現しながら、負荷の急激な変動が生じて、これに高速に応答し、電力効率を向上できる。

[0085] [第2の実施形態]

本発明の第2の実施形態に係る電源システム装置について、図を参照して説明する。図7は、第2の実施形態に電源システム装置の帰還信号生成部の回路ブロック図である。

[0086] 図7に示すように、第2の実施形態に係る電源システム装置の帰還信号生成部 51R は、第1の実施形態に係る電源システム装置 10 の帰還信号生成部 51 に対して、共通信号生成部 53R を用いる点で異なる。帰還信号生成部 51R の他の構成は、帰還信号生成部 51 と同様であり、同様の箇所の説明は省略する。なお、この場合、図示は省略するが、並列接続される帰還信号生成部 52R も、帰還信号生成部 51R と同様の構成を備える。

[0087] 共通信号生成部 53R は、抵抗 $R60$ を備える。抵抗 $R60$ は、増幅器 $U52$ の出力端子と反転入力端子との間に接続されている。この構成によって、増幅器 $U52$ と抵抗 $R60$ とを備える平均値算出回路が実現される。

[0088] 共通信号生成部 53R は、この平均値信号を共通バス信号とする。このように、共通バス信号に平均値信号を用いても、上述の最大値信号と同様の処

理を実現することが可能である。

符号の説明

[0089] 10 : 電源システム装置

20 : MPU

31、32、33、34 : 電力変換回路

41、42、44 : 駆動部

51、51R、52、52R、54 : 帰還信号生成部

53R : 共通信号生成部

60 : 分圧回路

504、511、512、513、514、521、522、523、52

4、541、542、543、544 : 端子

551 : 個別電流信号生成部

552 : 共通信号生成部

553 : 個別帰還信号生成部

554 : 電圧調整回路

Ci1、Ci2、Ci3、Ci4 : 入力コンデンサ

CL1、CL2、CL4 : コンデンサ

Co1、Co2、Co4 : 出力コンデンサ

D52 : ダイオード

iFB : 個別電流帰還制御ループ

vFB : 個別電圧帰還制御ループ

iL1、iL2 : インダクタ電流

L1、L2、L4 : インダクタ

OP413 : 反転器

Pin : 共通入力端子

Pout : 共通出力端子

Q11、Q12、Q21、Q22、Q41、Q42 : スイッチング素子

R11、R12、R51、R52、R53、R54、R55、R551、R

552、R56、R57、R58、R60、R61、R62 : 抵抗

RL1、RL2、RL4 : 抵抗

Ro : 負荷

Rs1 : 等価直列抵抗

Tr55 : トランジスタ

Tsw : スイッチング周期

U411 : エラーアンプ

U412 : PWMコンパレータ

U51、U52、U53、U54 : 増幅器

VDD : 駆動電源

Vin : 入力電圧

Vout1、Vout2 : 個別出力電圧

Vref : リファレンス電圧

請求の範囲

[請求項1]

インダクタとスイッチング回路と個別アナログ制御部とをそれぞれに備える複数の電力変換回路と、

前記複数の電力変換回路の入力部が並列に接続され、入力電源に接続されている共通入力端子と、

前記複数の電力変換回路の出力部が並列接続され、負荷に接続されている共通出力端子と、

前記複数の電力変換回路に対して、発振制御信号を出力する共通制御部と、

を備え、

前記個別アナログ制御部は、

アナログ電子回路によってパルス幅変調制御回路が形成され、

前記共通出力端子の出力電圧を検出して帰還信号を生成する電圧帰還信号生成部と、

前記帰還信号に基づいて、前記スイッチング回路のスイッチング素子を駆動する駆動部と、

を備え、

前記共通制御部と前記複数の個別アナログ制御部とを有する統合システム制御部は、

前記帰還信号を用いて、前記複数の電力変換回路が連動して前記パルス幅変調制御回路を個別に制御する複数の個別電圧帰還制御ループを備え、

入力電源電圧に対して電圧を変換する電圧変換動作において、前記複数の電力変換回路で、同時に、前記個別電圧帰還制御ループを用いた駆動制御を実行し、前記負荷に電力を供給する、

電源システム装置。

[請求項2]

前記電圧帰還信号生成部は、

前記複数の電力変換回路を並列に接続されている共通ノードと、

前記複数の電力変換回路のインダクタの電流に基づく個別電流信号を生成する個別電流信号生成部と、

前記複数の電力変換回路に対する前記個別電流信号から前記共通ノードに流れる共通バス信号を生成する共通信号生成部と、

を備え、

前記個別電流信号と前記共通バス信号の差から個別電流帰還信号を生成し、前記帰還信号として出力する、

請求項 1 に記載の電源システム装置。

[請求項3] 前記インダクタの電流を検出するインダクタ電流検出回路を備え、前記インダクタ電流検出回路は、

前記インダクタに並列接続されている検出用コンデンサと検出用抵抗の直列回路を備え、

前記検出用コンデンサと前記検出用抵抗は、前記インダクタが有するスイッチング周波数における特定のインダクタンスと特定の交流抵抗に対して所定の関係を有する C R 時定数を有し、

前記検出用コンデンサの両端電圧を、前記個別電流信号を生成するための前記インダクタの電流の検出信号とする、

請求項 2 に記載の電源システム装置。

[請求項4] 前記個別電流信号は、前記共通出力端子の出力電圧に対して、所定の位相遅れを有する、

請求項 3 に記載の電源システム装置。

[請求項5] 前記電圧帰還信号生成部は、

前記共通出力端子の出力電圧に前記個別電流帰還信号を合成した信号を、前記帰還信号として出力する、

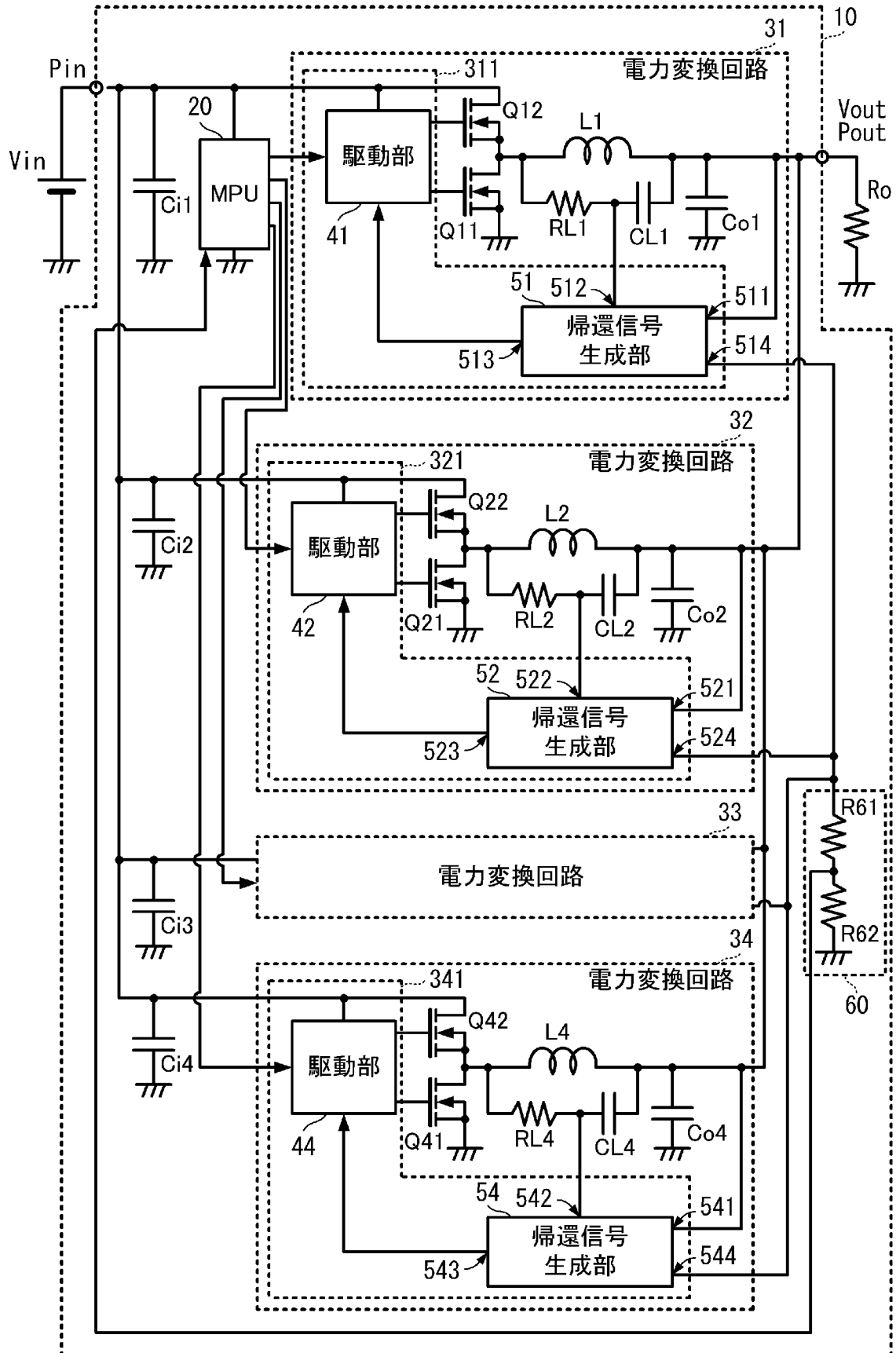
請求項 4 に記載の電源システム装置。

[請求項6] 前記共通信号生成部は、前記複数の電力変換回路の前記個別電流信号の最大値を用いて、前記共通バス信号を生成する、

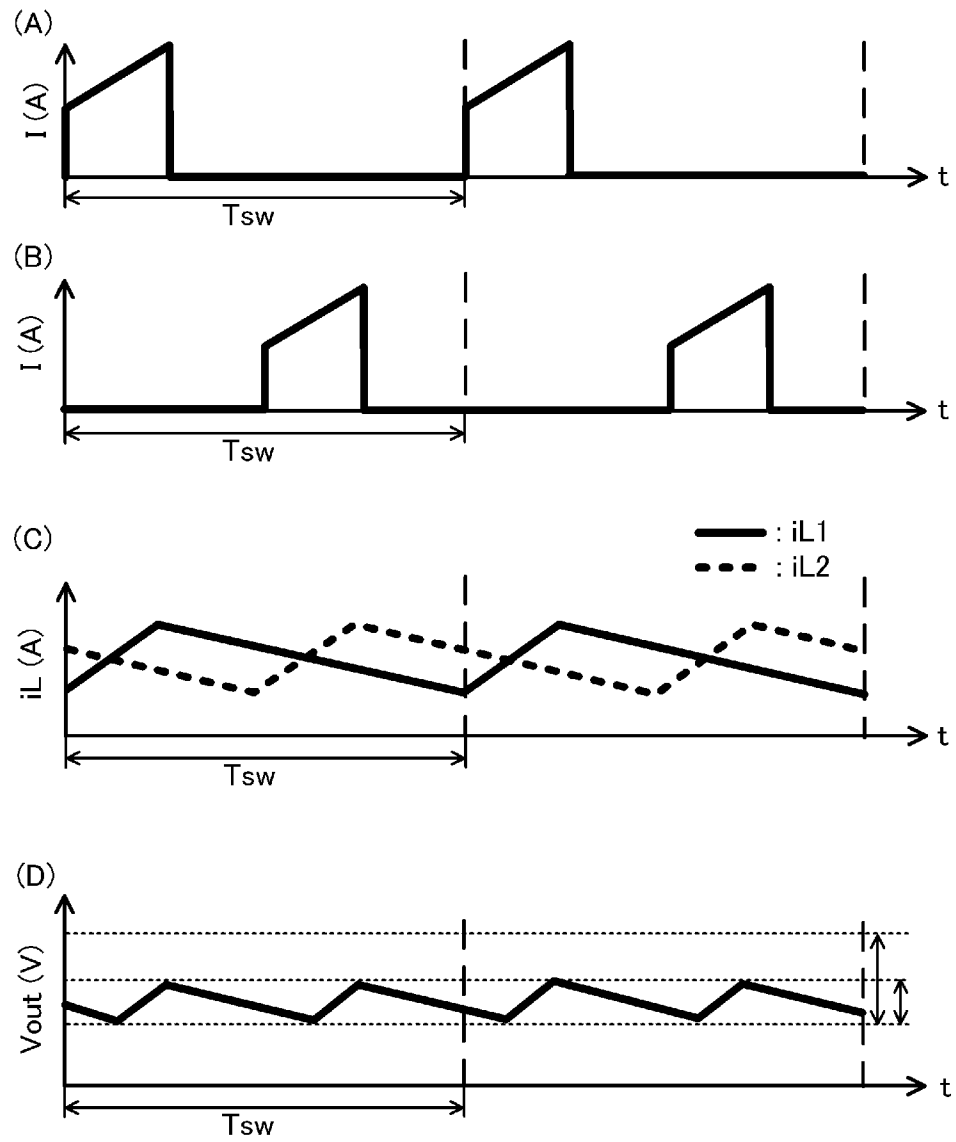
請求項 2 乃至請求項 5 のいずれかに記載の電源システム装置。

- [請求項7] 前記共通信号生成部は、前記複数の電力変換回路の前記個別電流信号の平均値を用いて、前記共通バス信号を生成する、
請求項2乃至請求項5のいずれかに記載の電源システム装置。
- [請求項8] 前記共通制御部は、前記複数の電力変換回路に対して、互いにスイッチング周波数の位相をずらせた前記発振制御信号を出力する、
請求項1乃至請求項7のいずれかに記載の電源システム装置。
- [請求項9] 前記スイッチング回路と前記個別アナログ制御部とは、一体化して集積されたFET内蔵PWM制御ICで構成されている、
請求項1乃至請求項8のいずれかに記載の電源システム装置。
- [請求項10] 前記共通制御部は、プログラマブルなマイクロプロセッサで構成されている、
請求項1乃至請求項9のいずれかに記載の電源システム装置。

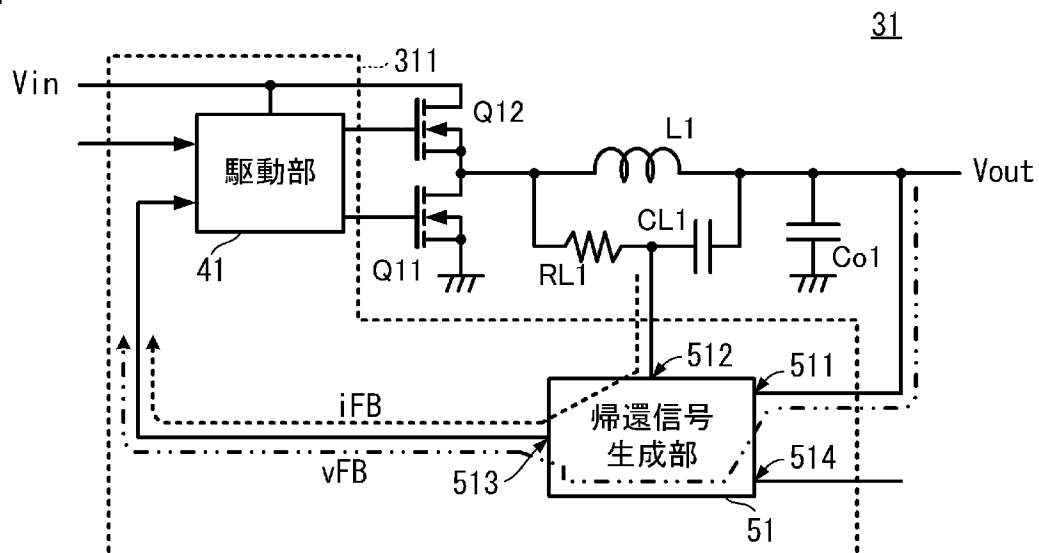
[図1]



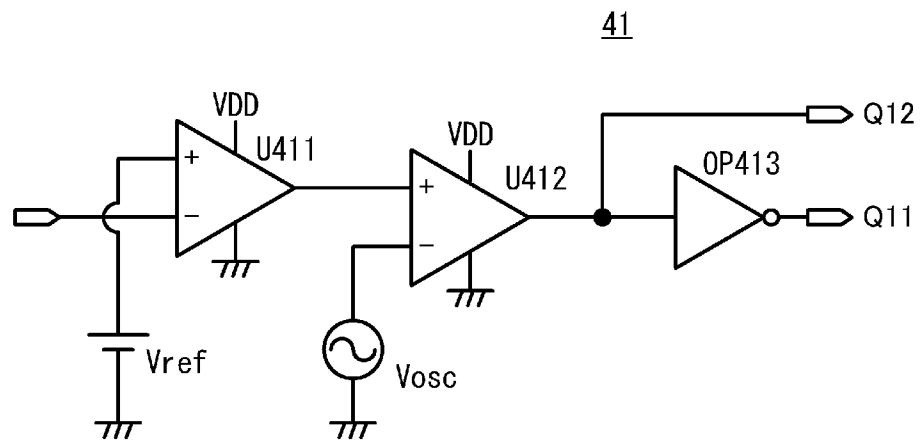
[図2]



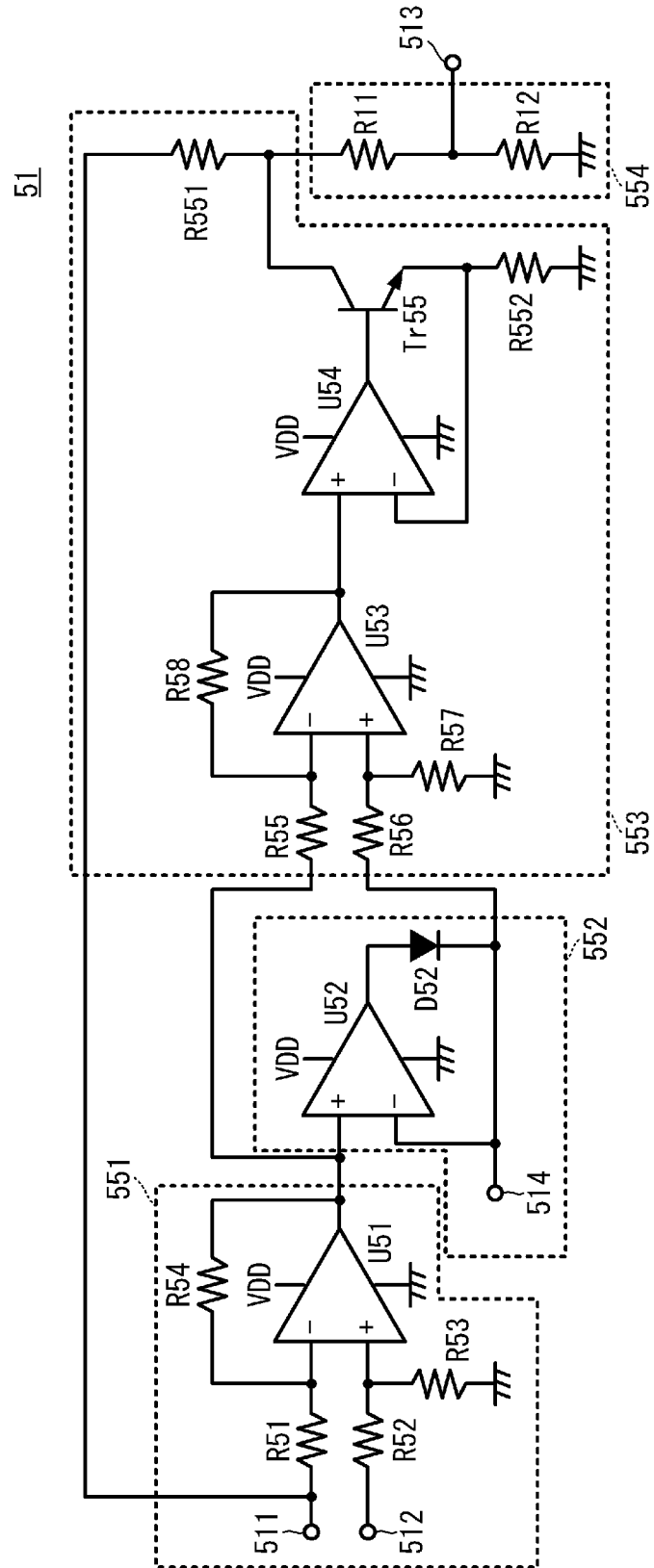
[図3]



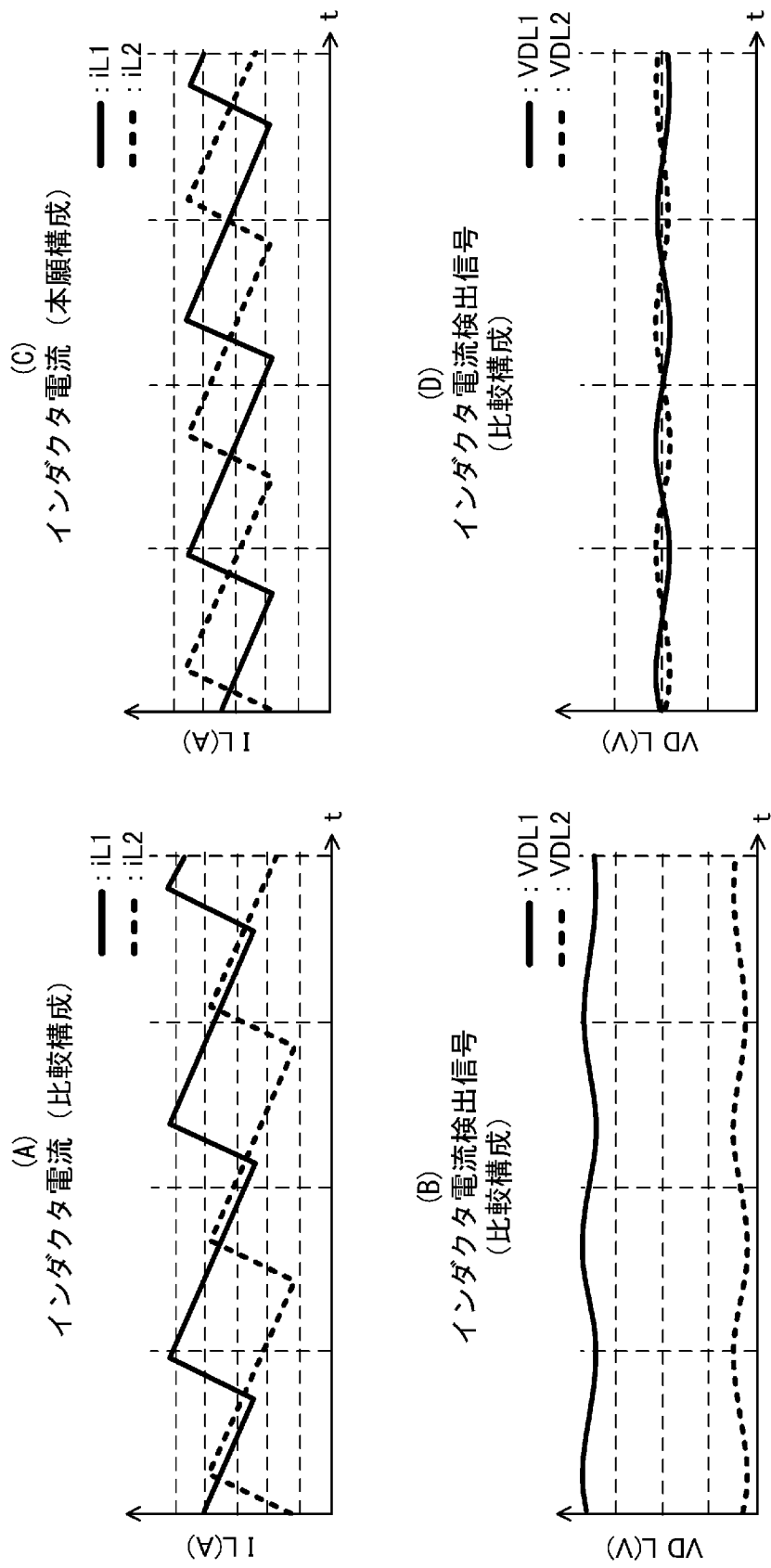
[図4]



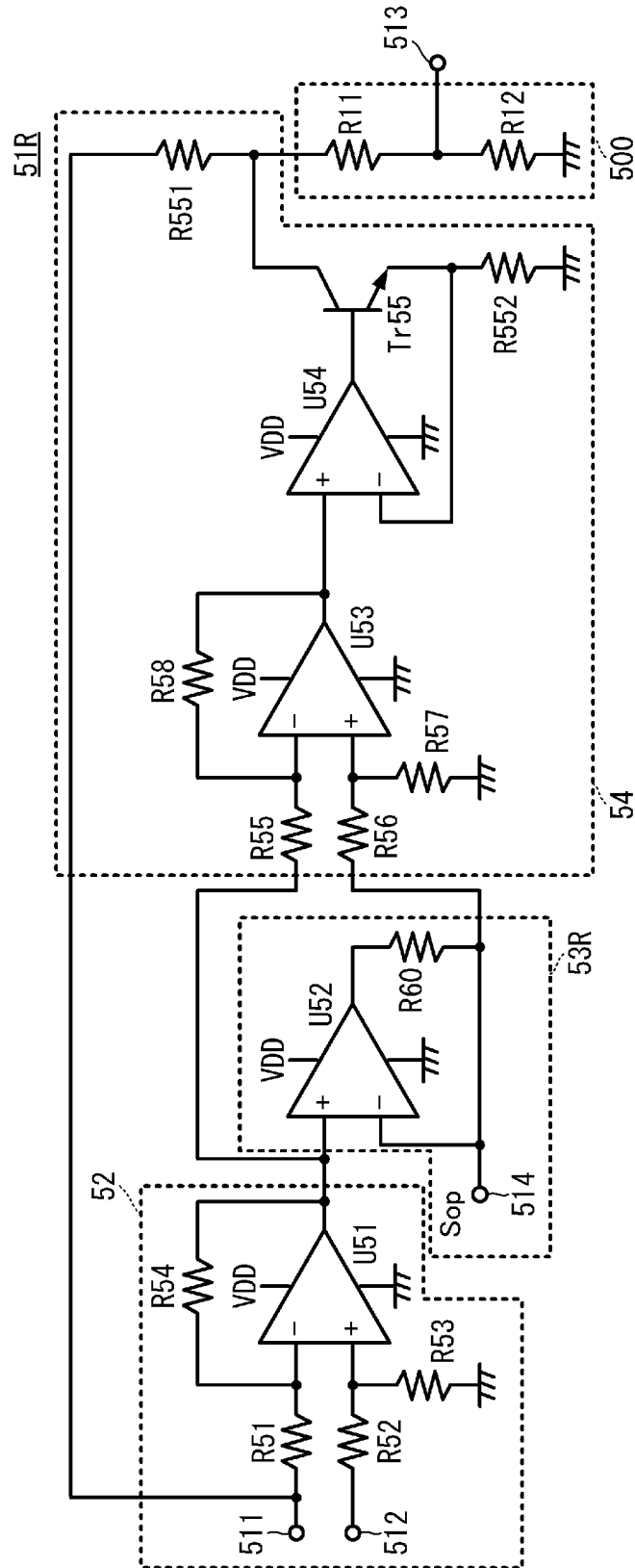
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/001132

A. CLASSIFICATION OF SUBJECT MATTER**H02M 3/155**(2006.01)i

FI: H02M3/155 W; H02M3/155 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-90423 A (RICOH CO LTD) 10 May 2012 (2012-05-10) entire text, all drawings	1-10
A	JP 2006-50891 A (TOSHIBA TEC CORP) 16 February 2006 (2006-02-16) entire text, all drawings	1-10
A	WO 2015/050094 A1 (MURATA MANUFACTURING CO) 09 April 2015 (2015-04-09) entire text, all drawings	1-10
A	JP 2012-151937 A (COSEL CO LTD) 09 August 2012 (2012-08-09) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/001132

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-90423	A	10 May 2012	(Family: none)	
JP	2006-50891	A	16 February 2006	(Family: none)	
WO	2015/050094	A1	09 April 2015	US 2016/0190803 A1	
				entire text, all drawings	
				CN 105580259 A	
JP	2012-151937	A	09 August 2012	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 W; H02M3/155 P		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H02M3/155		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-90423 A（株式会社リコー） 10.05.2012（2012-05-10） 全文, 全図	1-10
A	JP 2006-50891 A（東芝テック株式会社） 16.02.2006（2006-02-16） 全文, 全図	1-10
A	WO 2015/050094 A1（株式会社村田製作所） 09.04.2015（2015-04-09） 全文, 全図	1-10
A	JP 2012-151937 A（コーセル株式会社） 09.08.2012（2012-08-09） 全文, 全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 25.02.2022		国際調査報告の発送日 08.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 遠藤 尊志 5G 3052 電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/001132

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-90423	A	10.05.2012	(ファミリーなし)	
JP	2006-50891	A	16.02.2006	(ファミリーなし)	
WO	2015/050094	A1	09.04.2015	US 2016/0190803 A1	
				全文, 全図	
				CN 105580259 A	
JP	2012-151937	A	09.08.2012	(ファミリーなし)	