

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6184761号
(P6184761)

(45) 発行日 平成29年8月23日 (2017. 8. 23)

(24) 登録日 平成29年8月4日 (2017. 8. 4)

(51) Int. Cl.

F I

HO 4 N 5/367 (2011. 01)

HO 4 N 5/367

HO 4 N 5/32 (2006. 01)

HO 4 N 5/32

HO 4 N 5/374 (2011. 01)

HO 4 N 5/374

HO 1 L 27/144 (2006. 01)

HO 1 L 27/144

K

HO 1 L 27/146 (2006. 01)

HO 1 L 27/146

C

請求項の数 8 (全 20 頁)

(21) 出願番号 特願2013-122909 (P2013-122909)
 (22) 出願日 平成25年6月11日 (2013. 6. 11)
 (65) 公開番号 特開2014-241489 (P2014-241489A)
 (43) 公開日 平成26年12月25日 (2014. 12. 25)
 審査請求日 平成28年6月1日 (2016. 6. 1)

(73) 特許権者 000236436
 浜松ホトニクス株式会社
 静岡県浜松市東区市野町 1 1 2 6 番地の 1
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100124291
 弁理士 石田 悟
 (74) 代理人 100174399
 弁理士 寺澤 正太郎
 (72) 発明者 藤田 一樹
 静岡県浜松市東区市野町 1 1 2 6 番地の 1
 浜松ホトニクス株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

フォトダイオード、及び該フォトダイオードに一方の電流端子が接続された薄膜トランジスタを含む画素が複数行及び複数列にわたり二次元配列されて成る受光部、各行毎に配設されて対応する行の前記画素に含まれる前記薄膜トランジスタの制御端子に接続された複数の行選択用配線、及び、各列毎に配設されて対応する列の前記画素に含まれる前記薄膜トランジスタの他方の電流端子に接続された複数の読出用配線を有し、第 1 の基板上に形成されたセンサパネル部と、

前記複数の読出用配線を経て入力される電荷の量に応じた電圧値を各々出力する複数の積分回路を有し、前記第 1 の基板とは別の第 2 の基板上に設けられた読出回路部と、

前記第 1 の基板上に設けられ、前記第 1 の基板上の前記複数の読出用配線それぞれと前記第 2 の基板上の前記複数の積分回路それぞれとを相互に接続するための複数のパネル側接続点と、

前記複数のパネル側接続点と前記複数の積分回路との間の複数のノードそれぞれと定電位線との間に接続された複数の整流回路と、

前記複数のノードと前記複数の読出用配線との間にそれぞれ接続された、抵抗成分を有する複数の回路構成物と

を備えることを特徴とする、固体撮像装置。

【請求項 2】

前記複数の整流回路および前記定電位線が前記第 2 の基板上に設けられていることを特

10

20

徴とする、請求項 1 に記載の固体撮像装置。

【請求項 3】

前記薄膜トランジスタが、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含むことを特徴とする、請求項 1 または 2 に記載の固体撮像装置。

【請求項 4】

前記複数の回路構成物が前記第 2 の基板上に設けられていることを特徴とする、請求項 1 ～ 3 のいずれか一項に記載の固体撮像装置。

【請求項 5】

前記複数の回路構成物がトランジスタであることを特徴とする、請求項 1 ～ 4 のいずれか一項に記載の固体撮像装置。

10

【請求項 6】

前記複数の回路構成物がアモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含むことを特徴とする、請求項 1 ～ 5 のいずれか一項に記載の固体撮像装置。

【請求項 7】

前記薄膜トランジスタの前記制御端子のオフ電圧が負であることを特徴とする、請求項 1 ～ 6 のいずれか一項に記載の固体撮像装置。

【請求項 8】

前記複数のノードと前記複数の積分回路との間それぞれに複数のスイッチ回路が接続されていることを特徴とする、請求項 1 ～ 7 のいずれか一項に記載の固体撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関するものである。

【背景技術】

【0002】

特許文献 1 には、マトリクス状に配置された複数の光電変換素子を備える光電変換装置及びその製造方法に関する技術が記載されている。この光電変換装置及びその製造方法では、マトリクス信号配線に生じた断線等の欠陥による他信号線へのクロストークを防ぐ為、光電変換信号出力の一部が不適切であった場合に、その信号に対応しているマトリクス信号配線をレーザ等を用いて切断している。

30

【0003】

特許文献 2 には、固体撮像装置に関する技術が記載されている。この固体撮像装置では、CCD イメージセンサや CMOS イメージセンサにおいて画素内部の信号線ショートなどにより発生した不良箇所を電氣的に切り離すことによって、リーク電流を解消している。この切り離しのために、画素ブロック部と読み出し回路部との間に切り離し回路部が設けられている。

【0004】

特許文献 3 には、固体撮像装置に関する技術が記載されている。この固体撮像装置では、静電破壊を防ぐため、各画素において、走査線及びデータ線と静電保護用定電位線との間に保護ダイオードが設けられている。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】 特開 2000-046645 号公報

【特許文献 2】 特開 2009-089078 号公報

【特許文献 3】 特開 2009-302092 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0006】

固体撮像装置は、複数の画素が複数行及び複数列にわたって二次元状に配置された受光部を有する。各画素には、入射した光を電子に変換するためのフォトダイオードが配置される。各画素のフォトダイオードは、各列毎に配設された読出用配線にトランジスタを介して接続されており、フォトダイオード内に蓄積された電荷は、トランジスタがオン状態となることによって読出用配線へ流出する。電荷は、読出用配線を通して積分回路に達し、積分回路において電圧信号に変換される。各画素のトランジスタの制御端子には、各行毎に配設された行選択用配線が接続されている。そして、各行毎にトランジスタのオン電圧が行選択用配線から制御端子に印加されることにより、各画素からの電荷の読み出しが各行毎に行われる。このように、各画素に増幅回路を有さず、各列の読出し用配線毎に積分回路が設けられた撮像素子は、パッシブピクセルセンサ（PPS）と称される。なお、各画素毎に増幅回路を有する撮像素子は、アクティブピクセルセンサ（APS）と称される。

10

【0007】

上記の構成を備える固体撮像装置における異常の一態様として、行選択用配線と読出用配線との短絡（ショート）がある。行選択用配線と読出用配線とが短絡してしまった場合、読出用配線の電位が行選択用配線の電位（すなわちトランジスタの制御端子の電位）に近づいてしまう。これにより、積分回路からの出力電圧値が異常な値となる。出力電圧値の異常が例えば一列のみであれば、隣接する列の画素値を用いて当該列の画素値を補間することも可能である。しかし、このような積分回路の出力異常値が過度に大きい場合には、隣接する他の積分回路の動作にも影響し、他の積分回路からの出力電圧値まで異常な値となってしまうことがある。このように複数列の出力電圧値が異常な値となってしまうと、これらの列の画素値を補間することが難しくなる。

20

【0008】

本発明は、このような問題点に鑑みてなされたものであり、或る列において行選択用配線と読出用配線との短絡が発生した場合であっても、他の列の積分回路からの出力電圧値の異常を防ぐことができる固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上述した課題を解決するために、本発明による固体撮像装置は、フォトダイオード、及び該フォトダイオードに一方の電流端子が接続された薄膜トランジスタを含む画素が複数行及び複数列にわたり二次元配列されて成る受光部、各行毎に配設されて対応する行の画素に含まれる薄膜トランジスタの制御端子に接続された複数の行選択用配線、及び、各列毎に配設されて対応する列の画素に含まれる薄膜トランジスタの他方の電流端子に接続された複数の読出用配線を有し、第1の基板上に形成されたセンサパネル部と、複数の読出用配線を経て入力される電荷の量に応じた電圧値を各々出力する複数の積分回路を有し、第1の基板とは別の第2の基板上に設けられた読出回路部と、第1の基板上に設けられ、第1の基板上の複数の読出用配線それぞれと第2の基板上の複数の積分回路それぞれとを相互に接続するための複数のパネル側接続点と、複数のパネル側接続点と複数の積分回路との間の複数のノードそれぞれと定電位線との間に接続された複数の整流回路と、複数のノードと複数の読出用配線との間にそれぞれ接続された、抵抗成分を有する複数の回路構成物とを備えることを特徴とする。

30

40

【0010】

この固体撮像装置では、読出用配線と積分回路とを相互に接続するためのパネル側接続点がセンサパネル部に設けられており、このパネル側接続点と積分回路との間のノードと定電位線との間に、整流回路が接続されている。更に、そのノードと読出用配線との間には、抵抗成分を有する回路構成物が接続されている。この固体撮像装置の或る列において行選択用配線と読出用配線とが短絡した場合、読出用配線の電位が変化し、定電位線と読出用配線との間に接続された整流回路が導通状態となる。このとき、行選択用配線と定電位線との間を流れる電流は抵抗成分を有する回路構成物を通過するので、回路構成物に対

50

して積分回路側に位置する配線の電位すなわち積分回路への入力電位は、定電位線の電位（正確には、整流回路による電圧降下分を差し引いた電位）に保たれる。従って、当該列の積分回路の出力異常値が過度に大きくなることを抑制し、他の積分回路の動作への影響を低減して、他の積分回路からの出力電圧値の異常を防ぐことができる。

【0011】

また、固体撮像装置は、複数の整流回路および定電位線が第2の基板上に設けられていることを特徴としてもよい。これにより、例えば整流回路を積分回路と同じ半導体基板上に集積して、固体撮像装置の製造工程を削減することができる。

【0012】

また、固体撮像装置は、薄膜トランジスタが、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含むことを特徴としてもよい。このような薄膜トランジスタでは制御端子のオフ電圧が負であることが多い。上記の固体撮像装置によれば、そのような場合であっても、定電位線の電位を正の適切な値とすることにより上記効果を好適に奏することができる。

10

【0013】

また、固体撮像装置は、抵抗成分を有する複数の回路構成物が、第2の基板上に設けられていることを特徴としてもよい。これにより、例えば回路構成物を積分回路と同じ半導体基板上に集積して、固体撮像装置の製造工程を削減することができる。

【0014】

また、固体撮像装置は、抵抗成分を有する複数の回路構成物がトランジスタであることを特徴としてもよい。これにより、第1の基板上の薄膜トランジスタや第2の基板上の積分回路といった半導体回路を作製する際の半導体プロセスと同様のプロセスを用いて回路構成物を容易に作製することができる。

20

【0015】

また、固体撮像装置は、抵抗成分を有する複数の回路構成物がアモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含むことを特徴としてもよい。アモルファスシリコンや多結晶シリコンは単結晶の半導体よりも抵抗値が高いので、これらを回路構成物の材料として用いることにより、回路構成物を容易に作製することができる。特に、第1の基板上の薄膜トランジスタがアモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含む場合には、このような回路構成物を第1の基板上に容易に作製することができる。

30

【0016】

また、固体撮像装置は、薄膜トランジスタの制御端子のオフ電圧が負であることを特徴としてもよい。上記の固体撮像装置によれば、そのような場合であっても、定電位線の電位を正の適切な値とすることにより上記効果を好適に奏することができる。

【0017】

また、固体撮像装置は、複数のノードと複数の積分回路との間それぞれに複数のスイッチ回路が接続されていることを特徴としてもよい。これにより、行選択用配線と読出用配線との短絡による読出用配線の電位の変動と、積分回路の入力電位とを完全に切り離すことができる。なお、上記の固体撮像装置では、制御端子のオフ電圧が負である場合であっても、短絡時における上記ノードと積分回路との間の電位を定電位線によって正電位に保つことができるので、スイッチ回路を好適に動作させることができる。

40

【発明の効果】

【0018】

本発明による固体撮像装置によれば、或る列において行選択用配線と読出用配線との短絡が発生した場合であっても、他の列の積分回路からの出力電圧値の異常を防ぐことができる。

【図面の簡単な説明】

【0019】

【図1】一実施形態に係る固体撮像装置の構成を示す平面図である。

50

【図 2】固体撮像装置の一部を拡大した平面図である。

【図 3】図 2 の I - I 線に沿った断面を示す側断面図である。

【図 4】センサパネル部及び読出回路部の内部構成を示す図である。

【図 5】回路構成物の例を示す図である。

【図 6】第 n 列に含まれる画素 $P_{m, n}$ 、積分回路、及び保持回路の詳細な回路構成例を示す図である。

【図 7】各信号のタイミングチャートである。

【図 8】図 7 に示された動作のうち 1 行分の動作を示すタイミングチャートである。

【図 9】比較例としての、整流回路及び回路構成物を備えない場合のタイミングチャートである。

10

【図 10】短絡が生じた場合のタイミングチャートである。

【図 11】第 1 変形例に係る固体撮像装置の構成を示す図である。

【図 12】第 2 変形例として、整流回路の構成を示す回路図である。

【図 13】第 3 変形例として、センサパネル部と読出回路部との電気的な接続構造の例を示す図である。

【発明を実施するための形態】

【0020】

以下、添付図面を参照しながら本発明による固体撮像装置の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

20

【0021】

本実施形態に係る固体撮像装置は、例えば医療用 X 線撮像システムに用いられ、特に歯科医療におけるパノラマ撮影、セファロ撮影、CT 撮影といった撮像モードによって、被検者の顎部の X 線像を撮像するシステムに用いられる。このため、本実施形態の固体撮像装置は、大面積のガラス基板上にアモルファスシリコンが堆積されて成る薄膜トランジスタや、アモルファスシリコンが堆積されて成るフォトダイオードを備えており、単結晶シリコンウェハから作製される従来の固体撮像装置と比較して、格段に広い受光面積を有する。図 1～図 3 は、本実施形態における固体撮像装置 1 A の構成を示す図である。図 1 は固体撮像装置 1 A を示す平面図であり、図 2 は固体撮像装置 1 A の一部を拡大した平面図である。さらに、図 3 は、図 2 の I - I 線に沿った断面を示す側断面図である。なお、図 1～図 3 には、理解を容易にするため X Y Z 直交座標系を併せて示している。

30

【0022】

図 1 に示されるように、固体撮像装置 1 A は、センサパネル部 10 と、読出回路部 40 とを備えている。センサパネル部 10 は、ガラス基板 12（第 1 の基板）の主面上に作製されており、受光部 20 及び垂直シフトレジスタ部 30 を有する。垂直シフトレジスタ部 30 は、受光部 20 の側辺に沿って配置されている。また、読出回路部 40 は、ガラス基板 12 とは別に設けられた基板 41（第 2 の基板）上に設けられており、複数のボンディングワイヤ 51 を介して受光部 20 と電気的に接続されている。読出回路部 40 は、例えば CMOS 型 IC チップによって好適に構成される。読出回路部 40 は、受光部 20 の複数列それぞれに対応して設けられた複数の積分回路を含んでおり、これら複数の積分回路は、対応する列の画素から出力される電荷の量に応じた電圧値をそれぞれ生成する。読出回路部 40 は、各積分回路から出力された電圧値を保持し、その保持した電圧値を逐次的に出力する。

40

【0023】

なお、本実施形態では一枚のガラス基板 12 上に受光部 20 及び垂直シフトレジスタ部 30 が設けられているが、受光部 20 及び垂直シフトレジスタ部 30 は、それぞれ別個のガラス基板上に設けられてもよい。また、読出回路部 40 は図 1 に示されるように複数設けられても良く、或いは一つのみ設けられても良い。

【0024】

受光部 20 は、複数の画素が複数行及び複数列にわたって二次元配列されることによ

50

り構成されている。図2に示される画素 $P_{m,n}$ は、第 m 行第 n 列に位置する画素である。ここで、 m は1以上 M 以下の整数であり、 n は1以上 N 以下の整数である。 M 、 N は2以上の整数である。なお、図2において、列方向は Y 軸方向と一致し、行方向は X 軸方向と一致する。受光部20に含まれる複数の画素 $P_{1,1} \sim P_{M,N}$ それぞれは、薄膜トランジスタ21及びフォトダイオード22を備えている。薄膜トランジスタ21の一方の電流端子は、フォトダイオード22と電氣的に接続されている。

【0025】

また、図2に示されるように、本実施形態のセンサパネル部10は、各行毎に配設された複数の行選択用配線 $Q_1 \sim Q_M$ と、各列毎に配設された複数の読出用配線 $R_1 \sim R_N$ とを更に有する。第 m 行の行選択用配線 Q_m は、対応する行の画素 $P_{m,n}$ に含まれる薄膜トランジスタ21の制御端子と電氣的に接続されている。第 n 行の読出用配線 R_n は、対応する列の画素 $P_{m,n}$ に含まれる薄膜トランジスタ21の他方の電流端子と電氣的に接続されている。複数の行選択用配線 $Q_1 \sim Q_M$ 、及び複数の読出用配線 $R_1 \sim R_N$ は、金属からなる。

10

【0026】

図3に示されるように、ガラス基板12の主面上の全面には、アモルファスシリコン膜14が設けられている。薄膜トランジスタ21、フォトダイオード22、および第 n 列読出用配線 R_n は、このアモルファスシリコン膜14の表面に形成されている。薄膜トランジスタ21、フォトダイオード22、及び第 n 列読出用配線 R_n は絶縁層16によって覆われており、絶縁層16の上にはシンチレータ18がガラス基板12の全面を覆うように設けられている。シンチレータ18は、入射した X 線に応じてシンチレーション光を発生して X 線像を光像へと変換し、この光像をフォトダイオード22へ出力する。

20

【0027】

フォトダイオード22は、入射光強度に応じた量の電荷を発生し、その発生した電荷を接合容量部に蓄積する。フォトダイオード22は、 n 型半導体層22a、 i 型半導体層22b、及び p 型半導体層22cを有するPIN型フォトダイオードである。 n 型半導体層22aは、 n 型アモルファスシリコンからなる半導体層である。 i 型半導体層22bは、 i 型（アンドープ）アモルファスシリコンからなる半導体層であり n 型半導体層22a上に設けられている。このように、 i 型半導体層22bがアモルファスシリコンによって形成されることにより、 i 型半導体層22bを厚くすることができ、フォトダイオード22の光電変換効率を高めて固体撮像装置1Aの感度を向上させることができる。 p 型半導体層22cは、 p 型アモルファスシリコンからなる半導体層であり i 型半導体層22b上に設けられている。

30

【0028】

薄膜トランジスタ21は、好適には電界効果トランジスタ（FET）によって構成されるが、バイポーラトランジスタによって構成されてもよい。薄膜トランジスタ21がFETである場合、本実施形態の説明において制御端子はゲートを、電流端子はソースまたはドレインをそれぞれ意味する。また、薄膜トランジスタ21がバイポーラトランジスタである場合、制御端子はベースを、電流端子はコレクタまたはエミッタを意味する。

【0029】

薄膜トランジスタ21は、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方から成る領域を含む。例えば、図3に示される薄膜トランジスタ21は、それぞれアモルファスシリコンからなるチャネル領域21a、ソース領域21b、及びドレイン領域21cを有する。ソース領域21bは、チャネル領域21aの一方の側面に沿って形成されている。ドレイン領域21cは、チャネル領域21aの他方の側面に沿って形成されている。また、チャネル領域21a上にはゲート電極21eが設けられており、ゲート電極21eとチャネル領域21aとの間にはゲート絶縁膜21dが介在している。

40

【0030】

薄膜トランジスタ21のチャネル領域21a、ソース領域21b、及びドレイン領域21cにはアモルファスシリコンが用いられているが、低温多結晶シリコン（Low Temperat

50

ure Polycrystalline Silicon; LTPS) が用いられると尚よい。低温多結晶シリコンは100～600℃といった比較的低温のプロセス温度下において堆積される多結晶シリコンである。このような低温下においては、例えば無アルカリガラスといったガラス基板12を支持基板として利用可能であることから、上記各領域21a、21b及び21cの構成材料を低温多結晶シリコンとすることによって、単結晶シリコンウェハと較べて広い面積を有するガラス基板12を支持基板として用い、そのガラス基板12上に大面積の受光部20を作製することが可能となる。

【0031】

一実施例では、ガラス基板12の材料として、例えば0.3mm～1.2mmといった厚さを有する板状の(サブストレート用の)無アルカリガラスが用いられる。無アルカリガラスは、アルカリ分を殆ど含まず、膨張率が低く且つ耐熱性が高く、安定した特性を有している。また、低温多結晶シリコンにおける電子移動度は $10 \sim 600 \text{ cm}^2/\text{Vs}$ であり、アモルファスシリコンにおける電子移動度($0.3 \sim 1.0 \text{ cm}^2/\text{Vs}$)より大きいので、薄膜トランジスタ21の領域21a、21b及び21cを低温多結晶シリコンによって形成することにより、薄膜トランジスタ21のオン抵抗を低減することが可能となる。

10

【0032】

続いて、センサパネル部10及び読出回路部40の回路構成について詳細に説明する。図4は、センサパネル部10及び読出回路部40の内部構成を示す図である。前述したように、受光部20は、 $M \times N$ 個の画素 $P_{1,1} \sim P_{M,N}$ がM行N列に2次元配列されて成る。第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ に接続された第m行選択用配線 Q_m は、垂直シフトレジスタ部30に接続されている。

20

【0033】

読出回路部40は、各列毎に設けられた複数個(本実施形態ではN個)の積分回路42と、複数個(本実施形態ではN個)の保持回路44とを有している。積分回路42及び保持回路44は、各列毎に互いに直列に接続されている。N個の積分回路42は、互いに共通の構成を有している。また、N個の保持回路44は、互いに共通の構成を有している。

【0034】

N個の積分回路42それぞれは、読出用配線 $R_1 \sim R_N$ それぞれに接続された入力端を有しており、読出用配線 $R_1 \sim R_N$ から入力された電荷を蓄積し、その蓄積電荷量に応じた電圧値を出力端からN個の保持回路44それぞれへ出力する。N個の積分回路42それぞれは、N個の積分回路42に対して共通に設けられたリセット用配線46に接続されている。N個の保持回路44それぞれは、積分回路42の出力端に接続された入力端を有し、この入力端に入力される電圧値を保持し、その保持した電圧値を出力端から電圧出力用配線48へ出力する。N個の保持回路44それぞれは、N個の保持回路44に対して共通に設けられた保持用配線45に接続されている。また、N個の保持回路44それぞれは、第1列選択用配線 $U_1 \sim$ 第N列選択用配線 U_n それぞれを介して水平シフトレジスタ部61に接続されている。

30

【0035】

垂直シフトレジスタ部30は、第m行選択制御信号 VS_m を、第m行選択用配線 Q_m を介して第m行のN個の画素 $P_{m,1} \sim P_{m,N}$ それぞれに提供する。垂直シフトレジスタ部30において、行選択制御信号 $VS_1 \sim VS_M$ は順次に有意値(すなわち、薄膜トランジスタ21の制御端子のオン電圧。一例では+10V～+15V)とされる。また、水平シフトレジスタ部61は、列選択制御信号 $HS_1 \sim HS_n$ を、列選択用配線 $U_1 \sim U_n$ を介してN個の保持回路44それぞれに提供する。列選択制御信号 $HS_1 \sim HS_n$ は順次に有意値とされる。また、N個の積分回路42それぞれには、リセット用配線46を介してリセット制御信号REが提供される。N個の保持回路44それぞれには、保持用配線45を介して保持制御信号Hdが提供される。

40

【0036】

前述したように、センサパネル部10はガラス基板12上に形成されており、読出回路

50

部40は基板41上に設けられている。これらの相互接続のため、ガラス基板12上には複数（本実施形態ではN個）のパネル側接続点13が設けられており、基板41上には複数（本実施形態ではN個）の読出部側接続点43が設けられている。N個のパネル側接続点13それぞれは、N本の読出用配線 $R_1 \sim R_N$ それぞれ的一端と電氣的に接続されている。N個の読出部側接続点43それぞれは、N個の積分回路42それぞれの入力端と電氣的に接続されている。パネル側接続点13及び読出部側接続点43は、例えばボンディングパッドにより構成される。パネル側接続点13と読出部側接続点43とは、ボンディングワイヤ51によって互いに電氣的に接続されている。

【0037】

また、基板41上には定電位線71が設けられている。定電位線71の電位は、一定電位VCに維持されている。この一定電位VCは、例えば積分回路42を構成するアンプ（後述）の入力端の電位と等しい値か、該電位に近い値に設定されるとよい。

【0038】

N個のパネル側接続点13それぞれとN個の積分回路42それぞれとの間には、N個のノード $N_1 \sim N_N$ それぞれが存在する。そして、これらのノード $N_1 \sim N_N$ と定電位線71との間には、N個の整流回路72それぞれが接続されている。N個の整流回路72は、基板41上に設けられており、例えば横型のpn接合ダイオードや縦型のpn接合ダイオードによって構成され得る。行選択用配線 $Q_1 \sim Q_M$ の非選択時の電位（すなわち、薄膜トランジスタ21の制御端子のオフ電圧）が一定電位VCよりも低い場合、このダイオードのカソードは当該列のノード N_n と電氣的に接続され、アノードは定電位線71と電氣的に接続される。また、行選択用配線 $Q_1 \sim Q_M$ の非選択時の電位が一定電位VCよりも高い場合、このダイオードのカソードは定電位線71と電氣的に接続され、アノードは当該列のノード N_n と電氣的に接続される。

【0039】

薄膜トランジスタ21がアモルファスシリコン若しくは多結晶シリコンから成る領域を含む場合、薄膜トランジスタ21の制御端子のオフ電圧は負（例えば $-5V \sim -10V$ ）となることが多い。アモルファスシリコンや多結晶シリコンは単結晶シリコンと比較して結晶性が低く、また不純物も多く含まれるので、制御端子に比較的大きな電圧を印加する必要があるからである。一方、積分回路42を構成するアンプの入力端の電位は、典型的には $1.0V$ といった正電位である。従って、この場合、整流回路72を構成するダイオードのカソードはノード N_n と電氣的に接続され、アノードは定電位線71と電氣的に接続される。

【0040】

ノード $N_1 \sim N_N$ と読出用配線 $R_1 \sim R_N$ との間には、抵抗成分を有する複数（本実施形態ではN個）の回路構成物73がそれぞれ接続されている。回路構成物73の一端は、読出部側接続点43、ボンディングワイヤ51、及びパネル側接続点13を介して読出用配線 $R_1 \sim R_N$ と電氣的に接続されている。また、回路構成物73の他端は、ノード $N_1 \sim N_N$ を介して積分回路42の入力端と電氣的に接続されている。本実施形態では、N個の回路構成物73は基板41上に設けられている。回路構成物73の抵抗値は、例えば $1k\Omega$ である。

【0041】

図5は、回路構成物73の例を示す図である。図5(a)は、回路構成物73が、抵抗成分を有する領域73aを含む場合を示している。このような領域73aは、例えば、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域、n型ドーパントやp型ドーパントが高濃度で拡散された領域、或いはウェル抵抗領域によって好適に実現される。図5(b)は、回路構成物73としてのトランジスタ73bを示している。トランジスタ73bの制御端子に一定のバイアス電圧が印加されることにより、トランジスタ73bは或る程度の抵抗成分（オン抵抗）を有する回路構成物73として機能することができる。すなわち、トランジスタの抵抗値は、制御端子にオン電圧が印加されているときには極めて小さく、制御端子にオフ電圧が印加されているときには極めて大きい。従

10

20

30

40

50

って、オン電圧とオフ電圧との間の電圧を制御端子に印加することにより、トランジスタ 73b の抵抗値を適切な値に調整することができる。また、トランジスタを抵抗成分として用いることにより、比較的小面積で大きな抵抗値を実現することが可能である。

【0042】

図6は、第 n 列に含まれる画素 $P_{m, n}$ 、積分回路42、及び保持回路44の詳細な回路構成例を示す図である。ここでは、 $M \times N$ 個の画素 $P_{1, 1} \sim P_{M, N}$ を代表して第 m 行第 n 列の画素 $P_{m, n}$ の回路図を示している。

【0043】

図6に示されるように、画素 $P_{m, n}$ のフォトダイオード22のアノード端子は接地され、カソード端子は、薄膜トランジスタ21を介して読出用配線 R_n に接続されている。画素 $P_{m, n}$ の薄膜トランジスタ21には、垂直シフトレジスタ部30から第 m 行選択用配線 Q_m を介して第 m 行選択制御信号 VS_m が提供される。第 m 行選択制御信号 VS_m は、第 m 行の N 個の画素 $P_{m, 1} \sim P_{m, n}$ それぞれに含まれる薄膜トランジスタ21の開閉動作を指示する。例えば、第 m 行選択制御信号 VS_m が非有意値（薄膜トランジスタ21の制御端子のオフ電圧）であるときに、薄膜トランジスタ21が非導通状態となる。このとき、フォトダイオード22において発生した電荷は、読出用配線 R_n へ出力されることなくフォトダイオード22の接合容量部に蓄積される。一方、第 m 行選択制御信号 VS_m が有意値（薄膜トランジスタ21の制御端子のオン電圧）であるときに、薄膜トランジスタ21が接続状態となる。このとき、フォトダイオード22の接合容量部に蓄積されていた電荷が、薄膜トランジスタ21を経て読出用配線 R_n へ出力される。この電荷は、読出用配線 R_n 、ボンディングワイヤ51、回路構成物73、及びノード N_n を通して積分回路42へ送られる。

【0044】

積分回路42は、アンプ42a、容量素子42b、及び放電用スイッチ42cを含む、いわゆる電荷積分型の構成を備えている。容量素子42b及び放電用スイッチ42cは、互いに並列に接続され、且つアンプ42aの入力端子と出力端子との間に接続されている。アンプ42aの入力端子は読出用配線 R_n に接続されている。放電用スイッチ42cには、リセット用配線46を介してリセット制御信号 RE が提供される。

【0045】

リセット制御信号 RE は、 N 個の積分回路42それぞれの放電用スイッチ42cの開閉動作を指示する。例えば、リセット制御信号 RE が非有意値（例えばハイレベル）であるときに、放電用スイッチ42cが閉じて、容量素子42bが放電され、積分回路42の出力電圧値が初期化される。また、リセット制御信号 RE が有意値（例えばローレベル）であるときに、放電用スイッチ42cが開いて、積分回路42に入力された電荷が容量素子42bに蓄積され、その蓄積電荷量に応じた電圧値が積分回路42から出力される。

【0046】

保持回路44は、入力用スイッチ44a、出力用スイッチ44b及び容量素子44cを含む。容量素子44cの一端は接地されている。容量素子44cの他端は、入力用スイッチ44aを介して積分回路42の出力端に接続され、且つ、出力用スイッチ44bを介して電圧出力用配線48と接続されている。入力用スイッチ44aには、保持用配線45を介して保持制御信号 Hd が与えられる。保持制御信号 Hd は、 N 個の保持回路44それぞれの入力用スイッチ44aの開閉動作を指示する。保持回路44の出力用スイッチ44bには、第 n 列選択用配線 U_n を介して第 n 列選択制御信号 HS_n が与えられる。選択制御信号 HS_n は、保持回路44の出力用スイッチ44bの開閉動作を指示する。

【0047】

例えば、保持制御信号 Hd がハイレベルからローレベルに転じると、入力用スイッチ44aが閉状態から開状態に転じて、そのときに保持回路44に入力されている電圧値が容量素子44cに保持される。また、第 n 列選択制御信号 HS_n がローレベルからハイレベルに転じると、出力用スイッチ44bが閉じて、容量素子44cに保持されている電圧値が電圧出力用配線48へ出力される。

【0048】

図7は、各信号のタイミングチャートである。図7には、上から順に、(a)リセット制御信号RE、(b)第1行選択制御信号VS₁、(c)第2行選択制御信号VS₂、(d)第3行選択制御信号VS₃、(e)第4行選択制御信号VS₄、(f)第5行選択制御信号VS₅、(g)第M行選択制御信号VS_M、(h)保持制御信号Hd、及び(i)第1列選択制御信号HS₁～第N列選択制御信号HS_Nがそれぞれ示されている。

【0049】

まず、時刻 t_{10} から時刻 t_{11} までの期間、リセット制御信号REがハイレベルとされる。これにより、N個の積分回路42それぞれにおいて、放電用スイッチ42cが閉状態となり、容量素子42bが放電される。

10

【0050】

時刻 t_{11} より後の時刻 t_{12} から時刻 t_{13} までの期間、垂直シフトレジスタ部30が第1行選択制御信号VS₁をハイレベルとする。これにより、第1行の画素P_{1,1}～P_{1,N}において薄膜トランジスタ21が接続状態となり、画素P_{1,1}～P_{1,N}それぞれのフォトダイオード22に蓄積された電荷が読出用配線R₁～R_Nを通過して積分回路42に出力され、容量素子42bに蓄積される。積分回路42からは、容量素子42bに蓄積された電荷量に応じた大きさの電圧値が出力される。なお、時刻 t_{13} ののち、第1行の画素P_{1,1}～P_{1,N}それぞれの薄膜トランジスタ21は非接続状態とされる。

【0051】

そして、時刻 t_{13} より後の時刻 t_{14} から時刻 t_{15} までの期間、保持制御信号Hdがハイレベルとされ、これにより、N個の保持回路44のそれぞれにおいて入力用スイッチ44aが接続状態となり、積分回路42から出力された電圧値が容量素子44cによって保持される。

20

【0052】

続いて、時刻 t_{15} より後の時刻 t_{16} から時刻 t_{17} までの期間、水平シフトレジスタ部61が第1列選択制御信号HS₁～第N列選択制御信号HS_Nを順次ハイレベルとする。これにより、N個の保持回路44の出力用スイッチ44bが順次閉状態となり、容量素子44cに保持されていた電圧値が逐次に電圧出力用配線48へ出力される。また、この間、リセット制御信号REがハイレベルとされ、積分回路42の容量素子42bが放電される。

30

【0053】

続いて、時刻 t_{17} より後の時刻 t_{18} から時刻 t_{19} までの期間、垂直シフトレジスタ部30が第2行選択制御信号VS₂をハイレベルとする。これにより、第2行の画素P_{2,1}～P_{2,N}においてトランジスタ21が接続状態となり、画素P_{2,1}～P_{2,N}それぞれのフォトダイオード22に蓄積された電荷が読出用配線R₁～R_Nを通過して積分回路42に出力され、容量素子42bに蓄積される。以降、第1行と同様の動作によって、容量素子42bに蓄積された電荷量に応じた大きさの電圧値がN個の保持回路44から逐次に電圧出力用配線48へ出力される。そして、第3行ないし第M行の画素に蓄積された電荷についても、第1行と同様の動作によって電圧値に変換され、逐次に電圧出力用配線48へ出力される。こうして、受光部20からの一つの撮像フレーム分の画像データの読み出しが完了する。

40

【0054】

図8は、図7に示された動作のうち1行分の動作を示すタイミングチャートである。図8には、上から順に、(a)リセット制御信号RE、(b)第m行選択制御信号VS_m、(c)保持制御信号Hd、及び(d)積分回路42からの出力電圧V_{out}がそれぞれ示されている。上述したように、第m行選択制御信号VS_mがハイレベルになると、画素P_{m,1}～P_{m,N}それぞれのフォトダイオード22に蓄積された電荷が読出用配線R₁～R_Nを通過して積分回路42に出力され、容量素子42bに蓄積される。そして、積分回路42からは、容量素子42bに蓄積された電荷量に応じた大きさの電圧値V_{out}が出力される。

50

【0055】

ここで、図6に示された行選択用配線 Q_m と読出用配線 R_n とが交差する部分（図中の部分A1）において、短絡故障が発生した場合を考える。図9は、本実施形態の比較例として、整流回路72及び回路構成物73を備えない場合のタイミングチャートを示している。行選択用配線 Q_m と読出用配線 R_n とが互いに短絡すると、読出用配線 R_n の電位が行選択用配線 Q_m の電位（すなわち薄膜トランジスタ21の制御端子の電位）に引っ張られてしまう。薄膜トランジスタ21の制御端子の電位は、オン時で例えば+10V程度、オフ時で例えば-5V程度であるが、オン状態である時間は短く（例えば1フレームのうち数マイクロ秒）、オフ状態である時間が長い。従って、読出用配線 R_n の電位は、主に薄膜トランジスタ21の制御端子のオフ電圧に引っ張られることとなる。そして、整流回路72及び回路構成物73を備えない場合には、このような電位による過剰な電荷が積分回路42のアンプ42aに常に流入する。これにより、電荷積分型のアンプ42aから出力される電圧値 V_{out} は、図9（d）に示されるように、最大出力値まで振り切れて過飽和状態となってしまう。

10

【0056】

このような出力電圧値 V_{out} の異常が例えば一列のみであれば、隣接する列の画素値を用いて当該列の画素値を補間することも可能である。しかし、このような積分回路42の出力異常値が過度に大きい場合には、隣接する他の積分回路42の動作にも影響し、他の積分回路42からの出力電圧値まで異常な値となってしまうことがある。本発明者の知見によれば、このような異常は当該列の両側それぞれ10列程度まで拡がる。このように連続する複数列の出力電圧値が異常な値となってしまうと、これらの列の画素値を補間することが難しくなる。

20

【0057】

このような課題に対し、本実施形態の固体撮像装置1Aでは、パネル側接続点13と積分回路42との間のノード N_n と定電位線71との間に、整流回路72が接続されている。更に、そのノード N_n と読出用配線 R_n との間には、抵抗成分を有する回路構成物73が接続されている。第 n 列において行選択用配線 Q_m と読出用配線 R_n とが短絡した場合、上述したように読出用配線 R_n の電位が行選択用配線 Q_m の電位（薄膜トランジスタ21の制御端子の電位）に引っ張られるが、これにより整流回路72に順方向の電圧が加えられて整流回路72が導通状態となる。このとき、定電位線71から行選択用配線 Q_m に向けて流れる電流は、抵抗成分を有する回路構成物73を通過する。これにより、該電流の大きさが制限されるとともに、回路構成物73に対して積分回路42側に位置する配線の電位、すなわちアンプ42aの入力端の電位は、定電位線71の電位（正確には、整流回路72による電圧降下分を差し引いた電位）に保たれる。なお、回路構成物73が設けられずに整流回路72のみ設けられている場合には、整流回路72の前段で電流を制限することができず、電位の調整することができない。整流回路72がダイオードである場合、この電圧降下は約0.7Vであるから、定電位線71の電位を1.0Vとした場合、アンプ42aの入力端の電位は約0.3Vとなる。従って、図10に示されるように、アンプ42aから出力される電圧値 V_{out} を安定した低い値とすることができる。

30

【0058】

このように、本実施形態の固体撮像装置1Aによれば、行選択用配線 Q_m と読出用配線 R_n との短絡が生じた列において、積分回路42の出力異常値が過度に大きくなることを抑制することができる。従って、他の積分回路42の動作への影響を低減して、他の積分回路42からの出力電圧値の異常を防ぐことができる。

40

【0059】

なお、例えば特許文献1に記載されているように、行選択用配線と読出用配線との短絡が生じた場合にその読出用配線と積分回路との間の配線をレーザ等を用いて切断することも考えられる。しかしながら、短絡が生じた読出用配線を見付け出して切断するのに工数を要する上に、短絡が生じた読出用配線を正確に選択して切断することは容易ではない。また、保護膜（パシベーション膜）を開口して配線のカット部分を露出させることとなる

50

ので、シンチレータや周囲環境により配線が腐食するおそれがあり、また、レーザによるダメージによって信頼性が低下する懸念がある。更には、切断のための相応の設備が必要となることから、当該装置の使用中に短絡が生じた場合には直ちに対応できないという問題がある。

【0060】

本実施形態の固体撮像装置1Aによれば、行選択用配線 Q_m と読出用配線 R_n との短絡が発生したときに整流回路72が自動的に導通状態となり、当該列の積分回路42への入力電位が自動的に所定値に保たれる。従って、特許文献1に記載されているような、短絡が生じた読出用配線を選択する作業が不要であり、正常な列の読出用配線を誤って切断するようなことは生じない。また、配線の腐食やダメージ等を懸念する必要もない。更に、

10

【0061】

また、特許文献2に記載されているように読出用配線と積分回路との間に切り離し回路を設けたとしても、例えば行選択用配線のオフ電圧が切り離し回路（スイッチ）の動作電圧範囲外（例えば負電圧）であるような場合には、論理回路により構成された切り離し回路は機能しないため、センサパネル部と読出回路部とを電氣的に切り離すことができない。特に、本実施形態のように薄膜トランジスタ21にアモルファスシリコン若しくは多結晶シリコンが用いられている場合には、アモルファスシリコンや多結晶シリコンの結晶性が低いことから制御端子のオン電圧とオフ電圧との電圧幅が大きくなることが多い。従って、薄膜トランジスタ21の制御端子のオフ電圧が、切り離し回路（スイッチ）の動作電圧範囲外となることが多い。本実施形態の固体撮像装置1Aによれば、特許文献2に記載された方式とは異なり、行選択用配線 Q_m の電位が負であっても、定電位線71の電位を正の適切な値とすることにより上記効果を好適に奏することができる。

20

【0062】

また、本実施形態では、整流回路72はパネル側接続点13と積分回路42との間のノード $N_1 \sim N_N$ と定電位線71との間に接続され、ガラス基板12上には設けられない。ガラス基板12上に複数の整流回路72が設けられた場合、ガラス基板12上の回路構成が複雑となり、センサパネル部10を含むガラス基板12上の回路構造物の不良率が高くなってしまふ。特に、薄膜トランジスタが採用されたセンサパネル部は大面積となること

30

【0063】

また、本実施形態のように、複数の整流回路72および定電位線71は基板41上に設けられていることが好ましい。これにより、例えば整流回路72と積分回路42とを一つの半導体基板（例えばシリコン単結晶基板）上に集積して、固体撮像装置1Aの製造工程を削減することができる。また、本実施形態のように、ガラス基板12の主面上にアモルファスシリコン膜14が設けられている場合には、ガラス基板12上ではなく、積分回路42が形成された半導体基板（例えばシリコン単結晶基板）上に整流回路72を形成する

40

【0064】

また、本実施形態のように、薄膜トランジスタ21は、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含んでもよい。このような薄膜トランジスタ21では制御端子のオフ電圧が負であることが多い。固体撮像装置1Aによれば、そのような場合であっても、定電位線71の電位を正の適切な値とすることにより上記効果

50

を好適に奏することができる。

【0065】

また、本実施形態のように、回路構成物73は基板41上に設けられることが好ましい。これにより、例えば回路構成物73と積分回路42とを一つの半導体基板上に集積して、固体撮像装置1Aの製造工程を削減することができる。

【0066】

また、図5(a)に示されたように、回路構成物73は、アモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域73aを含んでもよい。アモルファスシリコンや多結晶シリコンは単結晶の半導体よりも抵抗値が高いので、これらを回路構成物73の材料として用いることにより、回路構成物73を容易に作製することができる。特に、本実施形態のようにガラス基板12上にアモルファスシリコン及び多結晶シリコンのうち少なくとも一方からなる領域を含む場合には、このような回路構成物73をガラス基板12上に容易に作製することができる。

10

【0067】

また、図5(b)に示されたように、回路構成物73はトランジスタ73bによって構成されてもよい。これにより、ガラス基板12上の薄膜トランジスタ21や基板41上の積分回路42といった半導体回路を作製する際の半導体プロセスと同様のプロセスを用いて、回路構成物73を容易に作製することができる。

【0068】

また、本実施形態のように、薄膜トランジスタ21の制御端子のオフ電圧は負電圧であってもよい。本実施形態の固体撮像装置1Aによれば、そのような場合であっても、定電位線71の電位を正の適切な値とすることにより上記効果を好適に奏することができる。

20

【0069】

また、本実施形態においては、薄膜トランジスタ21のチャネル領域21a、ソース領域21b、及びドレイン領域21cが、アモルファスシリコンからなる。近年、例えば医療用途（歯科のX線撮影など）に用いられる2次元フラットパネルイメージセンサといった固体撮像素子には、より広い受光面が求められている。しかし、従前の固体撮像素子のように単結晶シリコンウェハ上に受光部を作製したのでは、最大のものでも直径12インチという単結晶シリコンウェハの大きさに起因して、固体撮像素子の受光面の広さが制限されてしまう。これに対し、例えばガラス基板といった絶縁基板上にアモルファスシリコンを成膜し、このアモルファスシリコンの表面にフォトダイオードや他のトランジスタ等の電子部品を形成することにより、単結晶シリコンウェハを用いて形成される従来の固体撮像素子と比較して受光面を格段に広くすることが可能となる。なお、本実施形態において、薄膜トランジスタ21のチャネル領域21a、ソース領域21b、及びドレイン領域21cは、多結晶シリコンからなってもよく、アモルファスシリコン及び多結晶シリコンの双方からなってもよい。

30

【0070】

（第1の変形例）

図11は、上記実施形態の第1変形例に係る固体撮像装置1Bの構成を示す図である。本変形例の固体撮像装置1Bにおいて上記実施形態の固体撮像装置1Aと相違する点は、ノード $N_1 \sim N_N$ と N 個の積分回路42との間それぞれに、 N 個のスイッチ回路74が接続されている点である。 N 個のスイッチ回路74は、例えばFETによって好適に構成される。一実施例では、スイッチ回路74はnMOS型FETである。本変形例では、或る列において行選択用配線 Q_m と読出用配線 R_n との短絡故障が発生した場合、その列のスイッチ回路74を非導通状態とする。これにより、行選択用配線 Q_m と読出用配線 R_n との短絡による読出用配線 R_n の電位の変動と、アンプ42aの入力端の電位とを完全に切り離すことができる。

40

【0071】

なお、この固体撮像装置1Bでは、上記実施形態と同様、薄膜トランジスタ21の制御端子のオフ電圧が負電圧であっても、短絡時におけるノード $N_1 \sim N_N$ と積分回路42と

50

の間の電位を定電位線 7 1 によって正電位に保つことができる。従って、例えばスイッチ回路 7 4 の動作電圧範囲が正電圧（例えば 0 V ～ 5 V）であっても、スイッチ回路 7 4 を好適に動作させることができる。また、スイッチ回路 7 4 が F E T である場合には、非導通状態としなくても、F E T のオン抵抗によりアンプ 4 2 a の入力端から流れる電流を十分に制限し得る場合もある。

【0072】

（第 2 の変形例）

図 1 2 は、上記実施形態の第 2 変形例として、整流回路 7 5 の構成を示す回路図である。本変形例の整流回路 7 5 は、トランジスタ 7 5 a によって構成されている。図 1 2 に示されるように、トランジスタ 7 5 a の制御端子と一方の電流端子とが相互に短絡（いわゆるダイオード接続）されることによって、ダイオードと同じ機能が実現される。このような整流回路 7 5 は、上記実施形態の整流回路 7 2 と置き換えられることができる。

10

【0073】

（第 3 の変形例）

図 1 3 は、上記実施形態の第 3 変形例として、センサパネル部 1 0 と読出回路部 4 0 との電気的な接続構造の例を示す図である。図 1 3 (a) に示される例では、センサパネル部 1 0 及び読出回路部 4 0 がベース基板 8 0 上に並んで載置されている。そして、センサパネル部 1 0 に接続されたパネル側接続点 1 3 と、読出回路部 4 0 に接続された読出部側接続点 4 3 とが、ボンディングワイヤ 5 1 を介して互いに接続されている。また、基板 4 1 上の別の接続点 4 7 が、ボンディングワイヤ 5 2 を介してベース基板 8 0 上の配線に接続されている。なお、接続点 4 7 は、例えば図 4 に示された電圧出力用配線 4 8 に接続されている。

20

【0074】

また、図 1 3 (b) に示される例では、センサパネル部 1 0 がベース基板 8 0 の主面 8 0 a 上に載置されており、読出回路部 4 0 がベース基板 8 0 の裏面 8 0 b 上に配置されている。そして、センサパネル部 1 0 のパネル側接続点 1 3 と、読出回路部 4 0 の読出部側接続点 4 3 とは、可撓性のフレキシブル基板 8 1 を介して互いに電気的に接続されている。

【0075】

本変形例のように、センサパネル部 1 0 と読出回路部 4 0 との電気的な接続構造としては、上記実施形態に限らず様々な構造が適用され得る。

30

【0076】

本発明による固体撮像装置は、上述した実施形態及び各変形例に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態及び各変形例ではガラス基板上にアモルファスシリコンや多結晶シリコンが成膜されて成る固体撮像装置に本発明を適用した例を示したが、本発明は、このような構成に限られず、例えば単結晶シリコン基板上に作製される固体撮像素子に対しても適用可能である。

【0077】

また、上記実施形態および各変形例では、抵抗成分を有する回路構成物 7 3 が他の回路部品とは別に設けられているが、本発明における回路構成物は、ノード $N_1 \sim N_N$ と読出用配線 $R_1 \sim R_N$ との間に接続された既存の回路要素によって構成されてもよい。例えば、図 1 3 (a) に示された構成では、ボンディングワイヤ 5 1 がその長さに比例する抵抗成分を有する。また、例えば図 1 3 (b) に示された構成では、フレキシブル基板 8 1 の配線がその長さに比例する抵抗成分を有する。或いは、バンプ接続や A C F（異方性導電フィルム）といった他の接続構造がセンサパネル部 1 0 と読出回路部 4 0 との間に設けられている場合には、そのような構造も抵抗成分を有する。従って、これらの接続構造もまた、本発明における回路構成物として作用することが可能である。そして、これらのような既存の回路要素が本発明における回路構成物として作用し得る場合には、別途回路構成物 7 3 を設ける必要がない。

40

【0078】

50

また、上記実施形態および各変形例において、ノード $N_1 \sim N_N$ と読出用配線 $R_1 \sim R_N$ との間に接続されたワイヤボンディング等の配線抵抗によって本発明の回路構成物が構成される場合、該配線抵抗は、数百 Ω 以上の抵抗値を有することが好ましい。通常のワイヤボンディングでは配線抵抗は数 Ω であるが、このように大きな配線抵抗（例えば通常の配線の百倍以上）を本発明の回路構成物に適用することにより、上記実施形態および各変形例の作用効果を好適に奏することができる。また、第1の変形例のようにスイッチ回路74が設けられる場合、回路構成物の抵抗値は、該回路構成物とスイッチ回路74との間の電圧値がスイッチ回路74の動作電圧範囲に収まる程度（例えば0～5V）になる値であればよい。また、本発明の回路構成物の抵抗値は、該回路構成物とアンプ42aとの間の電圧値が、薄膜トランジスタの制御端子のオフ電圧よりもアンプ42aの入力電圧に近くなるような値であることが好適である。例えば上記実施形態では、薄膜トランジスタの制御端子のオフ電圧が-5Vであるのに対し、回路構成物とアンプ42aとの間の電圧値は0.3V程度となっている。また、本発明の回路構成物の抵抗値は、薄膜トランジスタの制御端子のオフ電圧が負電圧である場合には、回路構成物とアンプ42aとの間の電圧値が0V以上となるような値であることが好ましい。

10

【0079】

また、上記実施形態及び各変形例では整流回路72及び回路構成物73が基板41（第2の基板）上に設けられているが、回路構成物は第1の基板上に設けられてもよい。或いは、整流回路及び回路構成物のうち少なくとも一方が、第1及び第2の基板との間に電気的に接続された第3の基板上に設けられてもよい。

20

【0080】

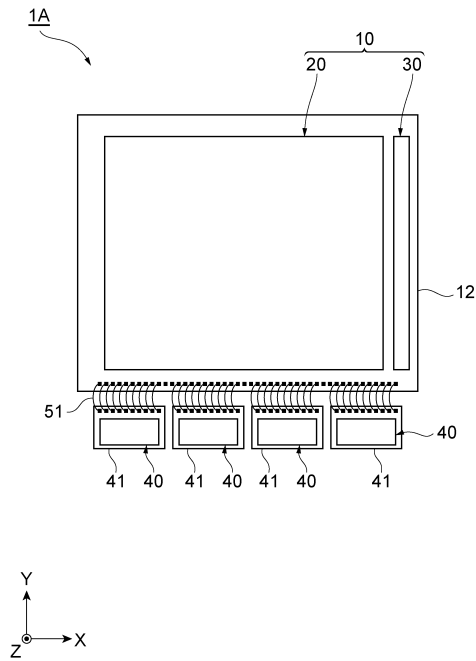
また、上記実施形態及び各変形例では薄膜トランジスタの制御端子のオフ電圧が負電圧である場合を例示したが、オフ電圧は正電圧であってもよい。その場合、整流回路の向きが逆となる。すなわち、パネル側接続点と積分回路との間のノードから定電位線へ電流が流れるように、整流回路のアノードが該ノードに接続され、整流回路のカソードが定電位線に接続される。

【符号の説明】**【0081】**

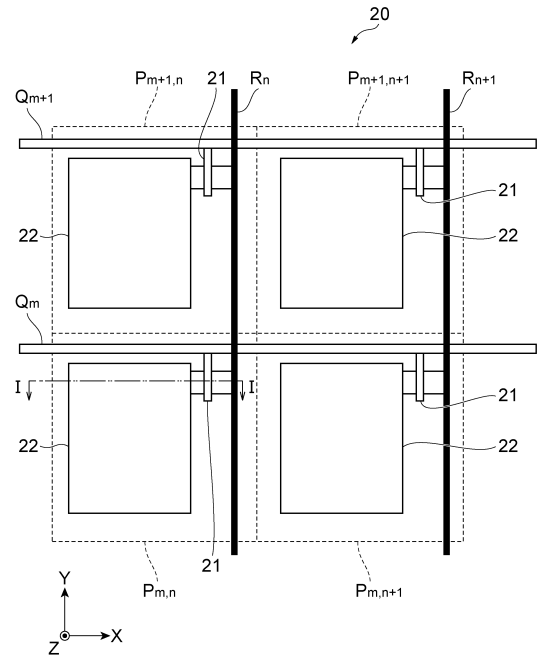
1A, 1B…固体撮像装置、10…センサパネル部、12…ガラス基板、13…パネル側接続点、14…アモルファスシリコン膜、16…絶縁層、18…シンチレータ、20…受光部、21…薄膜トランジスタ、22…フォトダイオード、30…垂直シフトレジスタ部、40…読出回路部、41…基板、42…積分回路、43…読出部側接続点、44…保持回路、51, 52…ボンディングワイヤ、61…水平シフトレジスタ部、71…定電位線、72…整流回路、73…回路構成物、74…スイッチ回路、80…ベース基板、81…フレキシブル基板、 $N_1 \sim N_N$ …ノード、 $P_{1,1} \sim P_{M,N}$ …画素、 $Q_1 \sim Q_M$ …行選択用配線、 $R_1 \sim R_N$ …読出用配線。

30

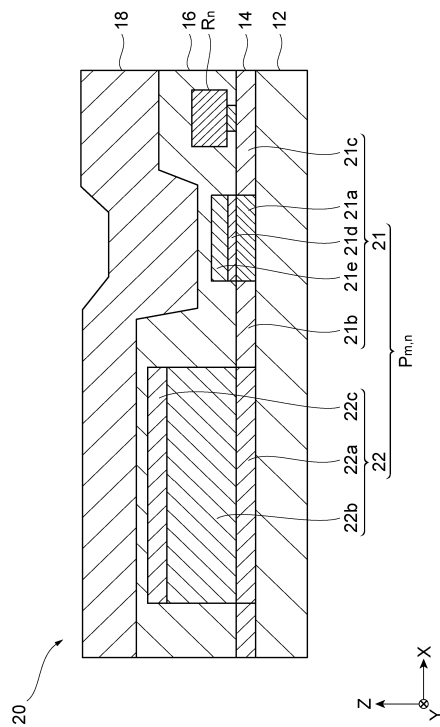
【図 1】



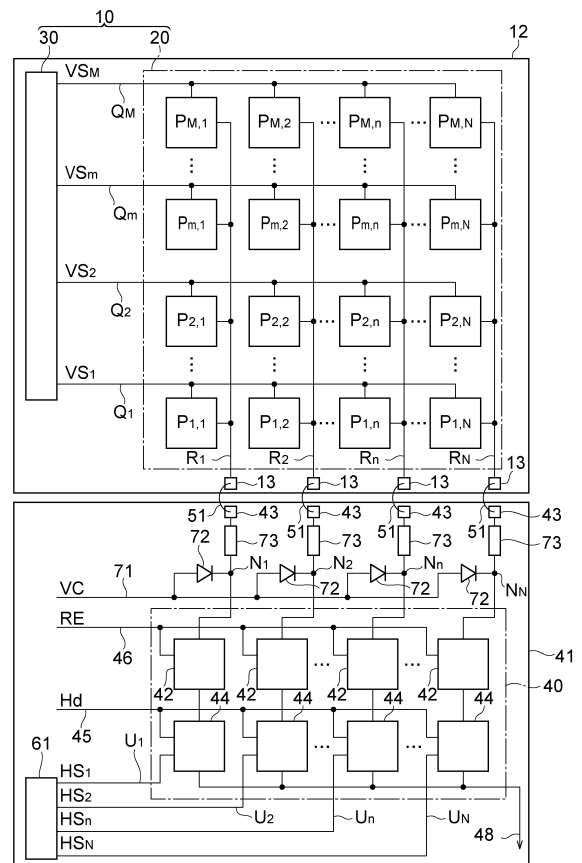
【図 2】



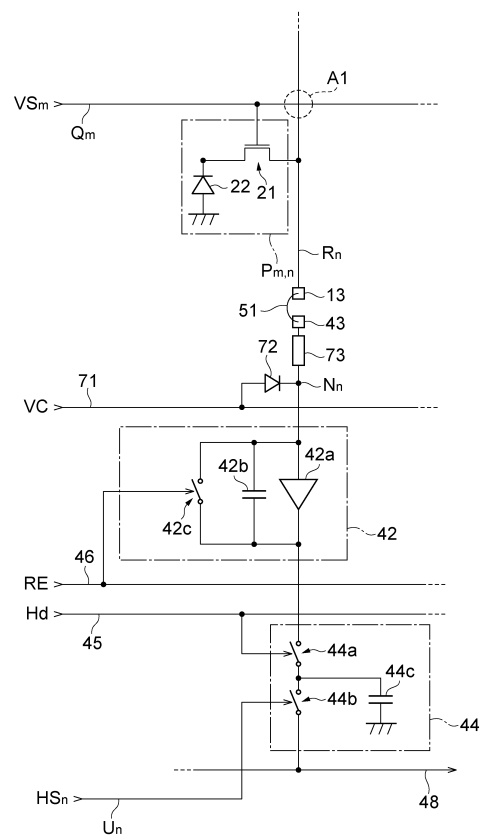
【図 3】



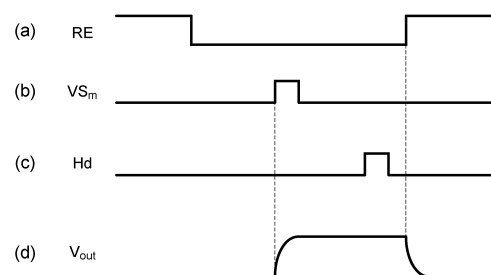
【図 4】



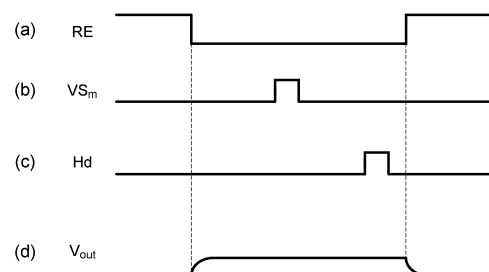
【图 6】



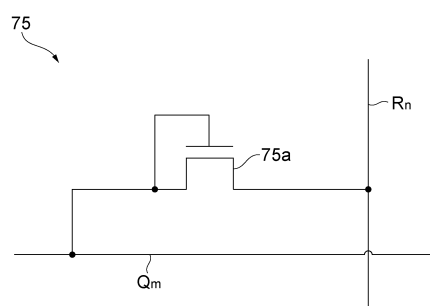
【図 8】



【図 10】

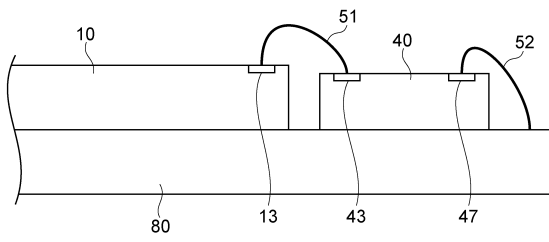


【図 1 2】

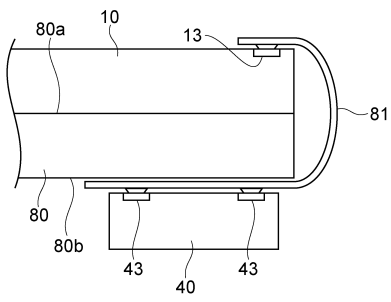


【図 13】

(a)



(b)



フロントページの続き

(72)発明者 久嶋 竜次

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

(72)発明者 森 治通

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

審査官 鈴木 明

(56)参考文献 特開 2 0 0 1 - 1 5 3 9 5 7 (J P , A)

特開 2 0 0 1 - 1 5 5 9 0 5 (J P , A)

特開 2 0 0 9 - 8 9 0 7 8 (J P , A)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N 5 / 3 0 - 5 / 3 7 8

H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8