

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294773
(P2005-294773A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/66	HO 1 L 21/66	4M106
HO 1 L 21/02	HO 1 L 21/02	
HO 1 L 21/336	HO 1 L 29/78 653A	
HO 1 L 29/78	HO 1 L 29/78 655Z	
	HO 1 L 29/78 656C	

審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2004-111703 (P2004-111703)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年4月6日(2004. 4. 6)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	竹内 茂 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	藤田 昌洋 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		Fターム(参考)	4M106 AA01 BA01 BA14

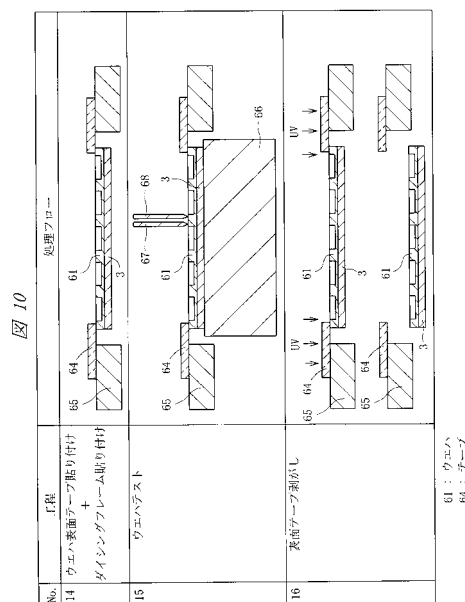
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造技術において、ウェハの表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプロープ測定を容易に実現することができる測定技術を提供する。

【解決手段】 IGBT、パワーMOSFETなどのパワー半導体素子の製造において、ウェハ61にパワー半導体素子を形成し、ウェハ61の表面に開口部を有するテープ64を貼り付け、パワー半導体素子の電気的特性を、テープ64の開口部を介したウェハ61の表面の電極と、ウェハ61の裏面の電極とに電気的に接続して測定し、ウェハ61の表面に貼り付けたテープ64を剥離し、ウェハ61の裏面にダイシングテープを貼り付けて個々のパワー半導体素子のチップに切断し、パッケージ構造の半導体装置を組み立てる。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

以下の工程を含む半導体装置の製造方法：

(a) ウェハに集積回路を形成する工程；

(b) 前記ウェハの表面に開口部を有する測定用保持部材を貼り付け、前記集積回路の電気的特性を測定する工程；

(c) 前記ウェハの表面に貼り付けた測定用保持部材を剥離し、前記ウェハの裏面に切断用保持部材を貼り付けて個々の集積回路チップに切断する工程；

(d) 前記集積回路チップを収納して半導体装置を組み立てる工程。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記集積回路は、前記ウェハの表面および裏面に電極を有し、

前記工程 (b) は、前記集積回路の電気的特性を、前記測定用保持部材の開口部を介した前記ウェハの表面の電極と、前記ウェハの裏面の電極とに電氣的に接続して測定する。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、

前記ウェハは、厚さが 120 μm 以下である。

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、

前記ウェハは、厚さが 100 μm 以下である。

【請求項 5】

請求項 1 記載の半導体装置の製造方法において、

前記ウェハは、厚さが 70 μm 以下である。

【請求項 6】

請求項 1 記載の半導体装置の製造方法において、

前記ウェハは、厚さが 60 μm 以下である。

【請求項 7】

請求項 1 記載の半導体装置の製造方法において、

前記集積回路は、発熱が多い回路である。

【請求項 8】

請求項 1 記載の半導体装置の製造方法において、

前記測定用保持部材は、前記ウェハの外形寸法より小さい寸法の開口部を有し、前記開口部の部分が剥離可能な構造からなり、

前記工程 (b) は、前記ウェハの表面に前記測定用保持部材を貼り付けた後、前記開口部を剥離して前記集積回路の電気的特性を測定する。

【請求項 9】

請求項 1 記載の半導体装置の製造方法において、

前記測定用保持部材は、前記ウェハの外形寸法より小さい寸法の開口部を有する第 1 の保持部材と、前記第 1 の保持部材に粘着された第 2 の保持部材との二重構造からなり、

前記工程 (b) は、前記ウェハの表面に前記測定用保持部材を貼り付けた後、前記第 2 の保持部材を剥離して前記集積回路の電気的特性を測定する。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置の製造技術に関し、特に、ウェハの表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプロープ測定に適用して有効な技術に関する。

【背景技術】**【0002】**

たとえば、半導体装置の製造技術において、パワー半導体素子のプロープ測定技術に関

10

20

30

40

50

しては、日本特開平 5 - 3 3 3 0 9 8 号公報（特許文献 1）、日本特開平 8 - 1 5 3 7 6 3 号公報（特許文献 2）、日本特開平 7 - 2 4 5 4 0 1 号公報（特許文献 3）、日本特開平 8 - 3 3 0 3 7 2 号公報（特許文献 4）に記載される技術などが挙げられる。

【 0 0 0 3 】

特許文献 1 には、パワー半導体素子をウェハ状態でプロービングを可能にするため、ウェハの平坦度が多少変化してもウェハ載置側で導電接触状態を良好に保持する手段（圧縮バネ）を設けた測定装置が記載されている。

【 0 0 0 4 】

特許文献 2、特許文献 3 には、表面および裏面に電極を有するパワー半導体素子をウェハ状態で検査する方法が記載されている。

10

【 0 0 0 5 】

特許文献 4 には、ウェハの裏面をダイシング用シートに固定し、この状態で表面の電極にプローブ端子のプロービングを行う検査方法が記載されている。

【特許文献 1】特開平 5 - 3 3 3 0 9 8 号公報

【特許文献 2】特開平 8 - 1 5 3 7 6 3 号公報

【特許文献 3】特開平 7 - 2 4 5 4 0 1 号公報

【特許文献 4】特開平 8 - 3 3 0 3 7 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

20

ところで、半導体装置の製造技術において、パワー半導体素子のプローブ測定技術に関しては、本発明者が検討した結果、以下のようなことが明らかとなった。

【 0 0 0 7 】

たとえば、近年、IGBT (Insulated Gate Bipolar Transistor)、縦型パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などのパワー半導体素子では、特性向上、小型パッケージ対応のために薄ウェハ化が進められている。このような薄ウェハ化のパワー半導体素子では、ウェハの厚さが薄いために、ハンドリング方法でプロービングすることは難しい状況となっている。

【 0 0 0 8 】

30

また、薄ウェハ化の半導体素子では、ウェハの裏面にダイシングテープを貼り付けた状態で検査を行う方法も考えられるが、パワー半導体素子は表面のみならず裏面にも電極があるために、ウェハの裏面にダイシングテープを貼り付けた状態でのプローブ測定が不可能となっている。

【 0 0 0 9 】

そこで、ウェハの表面および裏面に電極を有するパワー半導体素子において、このパワー半導体素子の薄ウェハ化対応のプローブ測定に適用可能な方法が必要となり、それを実現するための技術が望まれている。

【 0 0 1 0 】

本発明の目的は、半導体装置の製造技術において、ウェハの表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプローブ測定を容易に実現することができる測定技術を提供することにある。

40

【 0 0 1 1 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 2 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 3 】

50

本発明は、半導体装置の製造方法に適用され、ウェハに集積回路を形成する工程、ウェハの表面に開口部を有する測定用保持部材を貼り付け、集積回路の電気的特性を測定する工程、ウェハの表面に貼り付けた測定用保持部材を剥離し、ウェハの裏面に切断用保持部材を貼り付けて個々の集積回路チップに切断する工程、集積回路チップを収納して半導体装置を組み立てる工程を含むものである。

【0014】

具体的に、集積回路はウェハの表面および裏面に電極を有し、この集積回路の電気的特性を、測定用保持部材の開口部を介したウェハの表面の電極と、ウェハの裏面の電極とに電気的に接続して測定するものである。ウェハは厚さが120 μ m以下、100 μ m以下、70 μ m以下、または60 μ m以下とするものである。集積回路は発熱が多い回路に適用するものである。

10

【0015】

また、測定用保持部材は、ウェハの外形寸法より小さい寸法の開口部を有し、開口部の部分が剥離可能な構造からなり、ウェハの表面に測定用保持部材を貼り付けた後、開口部を剥離して集積回路の電気的特性を測定するようしたり、またはウェハの外形寸法より小さい寸法の開口部を有する第1の保持部材と、第1の保持部材に粘着された第2の保持部材との二重構造からなり、ウェハの表面に測定用保持部材を貼り付けた後、第2の保持部材を剥離して集積回路の電気的特性を測定するようしたものである。

【発明の効果】

【0016】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【0017】

ウェハの表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプロープ測定を容易に実現することが可能となる。

【発明を実施するための最良の形態】

【0018】

以下の実施の形態では、特に必要なとき以外は同一または同様な部品の説明を原則として繰り返さない。

【0019】

さらに、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

30

【0020】

また、以下の実施の形態において、要素の数など(個数、数値、量、範囲などを含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0021】

さらに、以下の実施の形態において、その構成要素(要素ステップなどを含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことはいうまでもない。

40

【0022】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0023】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には原則として同一の符号を付し、そ

50

の繰り返しの説明は省略する。

【0024】

(実施の形態1)

まず、図1～図5に基づいて、本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置の一例を説明する。それぞれ、図1はIGBTの上面を示す図、図2はIGBTの下面を示す図、図3はIGBTの縦構造(トレンチ型)を示す図、図4はIGBTの縦構造(プレーナ型)を示す図、図5はパワーMOSFETの縦構造(トレンチ型)を示す図、図6はIGBT、パワーMOSFETをパッケージングした半導体装置の構造を示す図、図7はモールド前の半導体装置の配置を示す図、である。

【0025】

本実施の形態に係る半導体装置の製造方法により製造される半導体装置は、たとえば図1～図4に示すようなIGBT、図5に示すようなパワーMOSFETに適用され、各構造を以下において説明する。

【0026】

IGBTは、図1に示すように、チップの上面にゲート電極(G)1、エミッタ電極(E)2が設けられ、図2に示すように、チップの下面にコレクタ電極(C)3が設けられている。このIGBTの構造には、トレンチ型、プレーナ型などがある。

【0027】

トレンチ型のIGBTの縦構造は、図3に示すように、ベース(p)11およびエピタキシャル層(n⁻)12の積層構造からなるウェハの表面上に、絶縁膜13、ゲート配線層14、絶縁膜15、エミッタ電極2および図示しないゲート電極1が順に積層され、図1に示すようにエミッタ電極2とゲート電極1が上面に露出されている。このベース(p)11およびエピタキシャル層(n⁻)12の積層構造の部分には、トレンチ技術により深さ方向にゲート16が埋め込まれ、このゲート16の周囲はゲート酸化膜17で覆われている。さらに、ウェハの表面層のゲート16間にはウェル領域(n⁺)18が形成されている。一方、ベース(p)11およびエピタキシャル層(n⁻)12の積層構造からなるウェハの裏面には、n⁺層19、p⁺層20、コレクタ電極3が順に積層され、図2に示すようにコレクタ電極3が下面に露出されている。

【0028】

プレーナ型のIGBTの縦構造は、図4に示すように、エピタキシャル層(n⁻)31からなるウェハの表面上に、ゲート酸化膜32、ゲート33、配線層34、エミッタ電極2および図示しないゲート電極1が順に積層され、図1に示すようにエミッタ電極2とゲート電極1が上面に露出されている。このウェハの表面層には、ウェル領域(p)35と、このウェル領域(p)35内にウェル領域(n⁺)36が形成されている。一方、エピタキシャル層(n⁻)31からなるウェハの裏面には、n⁺層37、p⁺層38、コレクタ電極3が順に積層され、図2に示すようにコレクタ電極3が下面に露出されている。

【0029】

パワーMOSFETは、IGBTと同様(図1,図2)に、チップの上面にゲート電極(G)1a、ソース電極(S)(エミッタ電極に代えて)2aが設けられ、チップの下面にドレイン電極(D)(コレクタ電極に代えて)3aが設けられている。このパワーMOSFETの構造にも、トレンチ型、プレーナ型などがあり、たとえばトレンチ型のパワーMOSFETの縦構造は、図5に示すように、IGBTに比べて、ウェハの裏面にp⁺層がなく、n⁺層にドレイン電極が積層されている。すなわち、パワーMOSFETには、ベース(p)41、エピタキシャル層(n⁻)42、絶縁膜43、ゲート配線層44、絶縁膜45、ゲート46、ゲート酸化膜47、ウェル領域(n⁺)48、n⁺層49が設けられている。なお、プレーナ型のパワーMOSFETの縦構造においても、ウェハの裏面にp⁺層がない以外は同様である。

【0030】

このような構造のIGBT、パワーMOSFETのチップをパッケージングした半導体装置は、たとえば図6に示すような構造で、図7に示すような配置で製造され、マルチ

10

20

30

40

50

ップICとして製品化される。

【0031】

このマルチチップICの例では、IGBT、パワーMOSFETなどの2つのパワー半導体素子のチップ51, 52と、1つの制御用のチップ53が同じリードフレーム54上の実装され、パワー半導体素子のチップ51, 52上の電極と制御用のチップ53上の電極とリードフレーム54上のパッドとがワイヤ55により接続され、レジン56によりモールドされている。このモールドされたマルチチップICは、リードフレーム54の外部端子となる部分が裏面に露出され、またパワー半導体素子のチップ51, 52および制御用のチップ53が実装されたリードフレーム54の裏面部分も放熱効果を高めるために露出されている。

10

【0032】

次に、図8～図12に基づいて、本発明の実施の形態1に係る半導体装置の製造方法の一例を説明する。それぞれ、図8～図11はデバイス形成から選別までの各工程および処理フローを示す図、図12はウェハテスト工程を具体的に示す図、である。

【0033】

本実施の形態に係る半導体装置の製造方法は、たとえば図3に示したトレンチ型のIGBTのパワー半導体素子の製造方法に適用され、以下の手順により製造される。なお、図4に示したプレーナ型のIGBTについても同様であり、また図5に示したパワーMOSFETのパワー半導体素子の製造においても、ウェハの裏面にp⁺層を形成しない以外はIGBTと同様である。

20

【0034】

(1) デバイス形成・配線・パッシベーション工程

この工程では、ウェハ61に、集積回路であるIGBTのパワー半導体素子を形成する各種のウェハ処理を行い、さらに共通端子などを電気的に接続する配線を形成した後、電気的な露出部分を除いて表面にパッシベーション膜を形成する。この工程の終了後は、図3に示した、ゲート電極1、エミッタ電極2、ベース11、エピタキシャル層12、絶縁膜13、ゲート配線層14、絶縁膜15、ゲート16、ゲート酸化膜17、ウェル領域18が形成される。

【0035】

(2) 補強材(テープ/剛体)貼り付け工程

この工程では、ウェハ61の表面に、このウェハ61の反りを防止するための高剛性テープ62を貼り付ける。

30

【0036】

(3) 裏面研削(BG)保護テープor補強材貼り付け工程

この工程では、ウェハ61に貼り付けた高剛性テープ62の表面に、さらに次の裏面研削工程における研削粉を除くための熱発泡テープ63を貼り付ける。

【0037】

(4) 裏面研削工程

この工程では、ウェハ61の裏面を所定の厚さになるまで研削する。たとえば一例として、ウェハ61の厚さは、120μm以下、100μm以下、70μm以下、60μm以下など、特性向上、小型パッケージ対応のために所定の厚さで研削される。

40

【0038】

(5) テープor補強材剥がし工程

この工程では、ウェハ61上の高剛性テープ62の表面に貼り付けた熱発泡テープ63を剥がす。

【0039】

(6) スピンエッチ工程

この工程では、ウェハ61の裏面の凹凸を化学研磨剤などを使用してスピンエッチングし、ウェハ61の裏面を平坦化する。

【0040】

50

(7)裏面インプラ(1), (2)工程

この工程では、ウェハ61の裏面からリン(P⁺)、ボロン(B⁺)のイオン打ち込みを行い、N⁺層19、P⁺層20を形成する。

【0041】

(8)補強材(テープ/剛体)剥がし工程

この工程では、ウェハ61の表面に貼り付けた高剛性テープ62を剥がす。

【0042】

(9)表面洗浄工程

この工程では、ウェハ61の表面を洗浄する。

【0043】

(10)インプラアニール工程

この工程では、ウェハ61の裏面に形成したN⁺層19、P⁺層20を熱処理する。

【0044】

(11)成膜前処理工程

この工程では、次の裏面メタル成膜工程においてメタル膜を成膜するための前処理を行う。

【0045】

(12)裏面メタル成膜工程

この工程では、ウェハ61の裏面に、コレクタ電極3となるメタル膜を成膜する。たとえば一例として、メタル膜は、ニッケル(Ni)/チタン(Ti)/ニッケル(Ni)/金(Au)などの材料からなる。

【0046】

(13)アロイ工程

この工程では、ウェハ61の裏面に成膜したメタル膜を熱処理してコレクタ電極3を形成する。

【0047】

(14)ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程

この工程では、ウェハ61の表面に、開口部を有する測定用保持部材であるテープ64を貼り付け、さらにテープ64にダイシングフレーム65を貼り付ける。たとえば一例として、テープ64には、ポリ塩化ビニルなどの材料からなるUV照射剥離シートまたは加熱剥離シートなどがある。この工程の詳細は、後述する図13、図14のような処理フローとなる。

【0048】

(15)ウェハテスト工程

この工程では、ウェハ61の裏面を裏面用測定端子を持つプロービングステージ66に搭載し、裏面のコレクタ電極3を電氣的に接続し、テープ64の開口部を介して表面のゲート電極1、エミッタ電極2に表面用測定端子67、68を電氣的に接続させて、IGBTのパワー半導体素子の電氣的特性を測定する。たとえば一例として、電氣的特性の測定には、耐圧、リーク電流、Gm、オン抵抗などの測定がある。

【0049】

具体的には、図12に示すように、ウェハ61の表面に開口部を有するテープ64が貼り付けられ、このテープ64の裏面に開口部を有するダイシングフレーム65が貼り付けられ、そしてウェハ61の裏面がプロービングステージ66に搭載された状態において、電氣的特性の測定が行われる。この電氣的特性の測定時には、ウェハ61の表面は外周部の無効エリアのみがテープ64に貼り付けられ、この表面に形成されているゲート電極1およびエミッタ電極2が露出された状態となっており、またコレクタ電極3が形成されているウェハ61の裏面は全面が露出されてプロービングステージ66に搭載された状態となっている。

【0050】

この測定に使用される測定装置は、フォーシング用の定電流源76、ゲート信号用の定

10

20

30

40

50

電圧源 77 および電圧計 78 を備えており、定電流源 76 にはコレクタ電極 3 と接触させるためのプロービングステージ（フォーシング：F）66 およびエミッタ電極 2 とプロービングするためのエミッタフォーシングピン 68 a が、電圧計 78 にはコレクタ電極 3 と接触させるためのプロービングステージ（センシング：S）66 およびエミッタセンシングピン 68 b がそれぞれ電氣的に接続されている。

【0051】

一方、ゲート信号用の定電圧源 77 には、エミッタ基準電位としてゲートに定電圧信号を印加するため、定電圧源 77 の負極は、エミッタ電極 2 のフォーシング線（68 a）およびセンシング線（68 b）に、正極はゲート電極 1 をプロービングするため、ゲートフォーシングピン 67 a およびゲートセンシングピン 67 b に電氣的に接続されている。

10

【0052】

測定に際しては、ウェハ 61 をプロービングステージ（フォーシング、センシング）66 の上にセットしてコレクタ電極 3 と接触させ、エミッタ電極 2 にエミッタフォーシングピン 68 a およびエミッタセンシングピン 68 b を、ゲート電極 1 にゲートフォーシングピン 67 a およびゲートセンシングピン 67 b をそれぞれ接触させる。これにより、各測定ピンとウェハ 61 の各電極が電氣的に接続された状態となる。

【0053】

たとえば、オン抵抗を測定するときには、測定装置のゲート信号用の定電圧源 77 より、IGBT のパワー半導体素子をオンさせるために十分な電圧をゲートフォーシングピン 67 a およびゲートセンシングピン 67 b を通じて供給し、フォーシング用の定電流源 76 により大電流をコレクタ電極 3 とエミッタ電極 2 との間にプロービングステージ（フォーシング）66 およびエミッタフォーシングピン 68 a を通じて供給して、電圧計 78 によりオン電圧を測定することによって、この電圧と電流の関係からオン抵抗を求めることが可能となる。

20

【0054】

（16）表面テープ剥がし工程

この工程では、ウェハ 61 の表面から UV を照射し、ウェハ 61 の表面に貼り付けたテープ 64 を剥がす。

【0055】

（17）ダイシングテープ貼り付け工程

この工程では、ウェハ 61 の裏面に、切断用保持部材であるダイシングテープ 69 を貼り付ける。たとえば一例として、ダイシングテープ 69 には、ポリ塩化ビニルなどの材料からなる UV 照射剥離シートまたは加熱剥離シートなどがある。

30

【0056】

（18）ダイシング工程

この工程では、ウェハ 61 の裏面にダイシングテープ 69 を貼り付けた状態で、ウェハ 61 の表面から砥石 70 で個々の IGBT のパワー半導体素子のチップに切断する。なお、切断方法は、砥石 70 に限らず、レーザなどの他の方法でも可能である。

【0057】

（19）組み立て工程

この工程では、IGBT のパワー半導体素子のチップを収納して半導体装置であるパッケージを組み立てる。この工程では、たとえば図 6 および図 7 に示したように、2 つのパワー半導体素子のチップ 51, 52 と、1 つの制御用のチップ 53 を同じリードフレーム 54 上に実装し、パワー半導体素子のチップ 51, 52 上の電極と制御用のチップ 53 上の電極とリードフレーム 54 上のパッドとをワイヤ 55 により接続した後、レジン 56 によりモールドしてパッケージ構造のマルチチップ IC を完成させる。

40

【0058】

（20）選別工程

この工程では、組み立てたパッケージ構造の半導体装置をテストして、良品の半導体装置を製品として出荷する。

50

【0059】

以上説明した半導体装置の製造方法では、チップ51, 52, 53上の電極とリードフレーム54上のパッドとをワイヤ55により接続するワイヤボンディングを例に説明したが、その他に、チップの電極をボール状の bumps に形成して、リードフレーム上にフリップチップボンディングするパッケージ構造とすることも可能である。

【0060】

次に、図13～図16に基づいて、本発明の実施の形態1に係る半導体装置の製造方法において、前述した(14)ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程を詳細に説明する。それぞれ、図13, 図14はウェハセットからウェハ・フレーム取り出しまでの各工程および処理フローを示す図、図15はテープを示す図((a)は剥離部分を剥離する前の状態の平面図、(b)は剥離した後の状態の平面図)、図15は別のテープを示す図((a)は平面図、(b)は断面図)、である。

10

【0061】

(141)ウェハセット工程

この工程では、ウェハ61をホルダ71に入れ、このホルダ71に設けられた貫通孔を通じてバキューム72でウェハ61を吸着する。そして、ダイシングフレーム65をホルダ71にセットする。

【0062】

(142)テープ貼り付け工程

この工程では、ウェハ61の表面に、テープ64を貼り付ける。このテープ64は、たとえば図14(a)に示すように、テープ64を扱い易くするために、ウェハ61の外形寸法より小さい寸法の剥離可能な開口部である剥がす部分64aが数箇所の接続部64bでつながった状態のものを用いる。

20

【0063】

(143)UV照射工程

この工程では、次のテープ剥がし工程においてテープ64を剥がす部分64a以外の部分にマスク73を搭載し、ウェハ61の表面に貼り付けたテープ64の剥がす部分64aにUVを照射する。

【0064】

(144)テープ剥がし工程

この工程では、テープ64の剥がす部分64aを接続部64bで切り離して、ウェハ61の表面から剥がす部分64aを剥がす。この剥がす部分64aを剥がした状態は図14(b)のようになり、テープ64には開口部を有する構造となる。

30

【0065】

(145)ウェハ・フレーム取り出し工程

この工程では、バキューム72を切り、ダイシングフレーム65と一緒にテープ64で貼り付けられたウェハ61を取り出す。これにより、ウェハ61の表面に開口部を有するテープ64が貼り付けられ、さらにこのテープ64の裏面に開口部を有するダイシングフレーム65が貼り付けられた状態となる。

【0066】

以上説明したウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程では、図15(a), (b)に示すような、開口部である剥がす部分64aを接続部64bでつないだ状態のテープ64を用いた例を説明したが、その他に、たとえば図16(a), (b)に示すように、ウェハ61の外形寸法より小さい寸法の開口部81aを有する保持部材であるテープ81と、このテープ81の上に粘着された保持部材であるテープ82との二重構造からなるものを用いることも可能である。

40

【0067】

この二重構造からなるテープ81, 82を用いた場合には、この二重構造のテープ81, 82をウェハ61の表面に貼り付けた後、たとえばUV照射などによって表面のテープ82のみを剥がし、開口部を有するテープ81は貼り付けたままとすることで、図15の

50

テープ 64 と同様に、ウェハ 61 の表面に開口部を有するテープ 81 が貼り付けられ、さらにこのテープ 81 の裏面に開口部を有するダイシングフレーム 65 が貼り付けられた状態にすることができる。

【0068】

従って、本実施の形態によれば、IGBT、パワーMOSFETなどのパワー半導体素子において、ウェハ 61 にパワー半導体素子を形成し、ウェハ 61 の表面に開口部を有するテープ 64 を貼り付け、パワー半導体素子の電気的特性を、テープ 64 の開口部を介したウェハ 61 の表面の電極と、ウェハ 61 の裏面の電極とに電氣的に接続して測定し、ウェハ 61 の表面に貼り付けたテープ 64 を剥離し、ウェハ 61 の裏面にダイシングテープ 69 を貼り付けて個々のパワー半導体素子のチップに切断し、パッケージ構造の半導体装置を組み立てることにより、ウェハ 61 の表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプロープ測定を容易に実現することができる。

10

【0069】

また、ウェハ 61 の裏面をプロービングステージ 66 に搭載し、プロービングステージ 66 にウェハ 61 の裏面を密着できるので、パワー半導体素子などのような発熱が多い集積回路の放熱が可能となり、大電力のテストを実施することができる。

【0070】

(実施の形態 2)

図 17 に基づいて、本発明の実施の形態 2 に係る半導体装置の製造方法により製造される半導体装置の一例を説明する。図 17 は小信号トランジスタの縦構造を示す図である。

20

【0071】

本実施の形態に係る半導体装置の製造方法により製造される半導体装置は、前記実施の形態 1 の IGBT、パワーMOSFET のパワー半導体素子と異なり、たとえば図 17 に示すような小信号トランジスタの半導体素子に適用され、その構造を以下において説明する。

【0072】

小信号トランジスタの縦構造 (NPN 型の例) は、図 17 に示すように、ウェハ 61 a の基板 (n^-) 91 の表面層に、ウェル領域 (p) 92 と、このウェル領域 (p) 92 内にウェル領域 (n^+) 93 が形成されている。このウェハ 61 a の表面上には、ベース電極 (B) 94 とエミッタ電極 (E) 95 が露出され、一方、ウェハ 61 a の裏面はコレクタ電極 (C) として露出されている。

30

【0073】

次に、図 18, 図 19 に基づいて、本発明の実施の形態 2 に係る半導体装置の製造方法の一例を説明する。それぞれ、図 18, 図 19 はデバイス形成からアロイまでの各工程および処理フローを示す図、である。

【0074】

本実施の形態に係る半導体装置の製造方法は、図 17 に示した小信号トランジスタの半導体素子の製造方法に適用され、以下の手順により製造される。なお、図 18, 図 19 において、No. および工程は実施の形態 1 と対応するが、処理フローが空白の部分は処理がない工程である。

40

【0075】

すなわち、小信号トランジスタの半導体素子の製造方法では、(1) デバイス形成・配線・パッシベーション工程において、ウェハ 61 a に集積回路である小信号トランジスタを形成した後、(2) 補強材 (テープ/剛体) 貼り付け工程を同様に行い、(3) 裏面研削 (BG) 保護テープ or 補強材貼り付け工程における熱発泡テープの貼り付けがなく、(4) 裏面研削工程では高剛性テープ 62 のみを貼り付けた状態でウェハ 61 a の裏面を研削し、(5) テープ or 補強材剥がし工程で高剛性テープ 62 を剥がし、(6) スピンエッチ工程を同様に行った後、(7) 裏面インプラ (1), (2) 工程から (9) 表面洗浄工程の処理がなく、その後は (10) インプラアニール工程から (13) アロイ工程までを同様実施する。

50

【0076】

以降の、(14)ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程から(20)選別工程は、前記実施の形態1と同様である。

【0077】

従って、本実施の形態によれば、小信号トランジスタの半導体素子の製造においても、前記実施の形態1と同様に、小信号トランジスタの半導体素子の薄ウェハ化対応のプロープ測定を容易に実現することができる。

【0078】

(実施の形態3)

図20、図21に基づいて、本発明の実施の形態3に係る半導体装置の製造方法の一例を説明する。それぞれ、図20、図21はデバイス形成からアロイまでの各工程および処理フローを示す図、である。

【0079】

本実施の形態に係る半導体装置の製造方法は、前記実施の形態1と同様のIGBT(パワーMOSFET)のパワー半導体素子において、特にウェハの厚さが50 μ m以下のものに適用され、以下の手順により製造される。なお、図20、図21において、No.および工程は実施の形態1と対応するが、処理フローが空白の部分は処理がない工程である。

【0080】

すなわち、ウェハの厚さが50 μ m以下のIGBTのパワー半導体素子の製造方法では、(1)デバイス形成・配線・パッシベーション工程において、ウェハ61bに集積回路であるIGBTを形成した後、(2)補強材(テープ/剛体)貼り付け工程で熱発泡両面テープ感圧粘着剤62aを貼り付け、(3)裏面研削(BG)保護テープor補強材貼り付け工程でガラスやセラミックなどの補強材63aを貼り付けて、(4)裏面研削工程を同様に行い、(5)テープor補強材剥がし工程の処理がなく、(6)スピンエッチ工程から(7)裏面インプラ(1)、(2)工程を同様に行った後、(8)補強材(テープ/剛体)剥がし工程において補強材63a、熱発泡両面テープ感圧粘着剤62aを剥がし、(9)表面洗浄工程から(13)アロイ工程までを同様実施する。

【0081】

以降の、(14)ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程から(20)選別工程は、前記実施の形態1と同様である。

【0082】

従って、本実施の形態によれば、ウェハ61bの厚さが50 μ m以下のIGBT(パワーMOSFET)のパワー半導体素子の製造においても、前記実施の形態1と同様に、パワー半導体素子の薄ウェハ化対応のプロープ測定を容易に実現することができ、また発熱が多いパワー半導体素子の放熱が可能となるので大電力のテストを実施することができる。

【0083】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0084】

本発明の半導体装置の製造方法は、IGBT、パワーMOSFETなどのパワー半導体素子、発熱が多い集積回路などが形成された半導体装置に適用され、特に、ウェハの表面および裏面に電極を有するパワー半導体素子の薄ウェハ化対応のプロープ測定に適用して効果的である。

【図面の簡単な説明】

【0085】

【図1】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置

において、I G B Tの上面を示す図である。

【図2】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、I G B Tの下面を示す図である。

【図3】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、I G B Tの縦構造(トレンチ型)を示す図である。

【図4】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、I G B Tの縦構造(プレーナ型)を示す図である。

【図5】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、パワーM O S F E Tの縦構造(トレンチ型)を示す図である。

【図6】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、I G B T、パワーM O S F E Tをパッケージングした半導体装置の構造を示す図である。 10

【図7】本発明の実施の形態1に係る半導体装置の製造方法により製造される半導体装置において、モールド前の半導体装置の配置を示す図である。

【図8】本発明の実施の形態1に係る半導体装置の製造方法において、デバイス形成からスピネッチまでの各工程および処理フローを示す図である。

【図9】本発明の実施の形態1に係る半導体装置の製造方法において、図8に続く、裏面インプラからアロイまでの各工程および処理フローを示す図である。

【図10】本発明の実施の形態1に係る半導体装置の製造方法において、図9に続く、ウェハ表面テープ貼り付けから表面テープ剥がしまでの各工程および処理フローを示す図である。 20

【図11】本発明の実施の形態1に係る半導体装置の製造方法において、図10に続く、ダイシングテープ貼り付けから選別までの各工程および処理フローを示す図である。

【図12】本発明の実施の形態1に係る半導体装置の製造方法において、ウェハテスト工程を具体的に示す図である。

【図13】本発明の実施の形態1に係る半導体装置の製造方法の、ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程において、ウェハセットからUV照射までの各工程および処理フローを示す図である。

【図14】本発明の実施の形態1に係る半導体装置の製造方法の、ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程において、図13に続く、テープ剥がしからウェハ・フレーム取り出しまでの各工程および処理フローを示す図である。 30

【図15】(a)、(b)は本発明の実施の形態1に係る半導体装置の製造方法の、ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程において、テープを示す図である。

【図16】(a)、(b)は本発明の実施の形態1に係る半導体装置の製造方法の、ウェハ表面テープ貼り付け・ダイシングフレーム貼り付け工程において、別のテープを示す図である。

【図17】本発明の実施の形態2に係る半導体装置の製造方法により製造される半導体装置において、小信号トランジスタの縦構造を示す図である。

【図18】本発明の実施の形態2に係る半導体装置の製造方法において、デバイス形成からスピネッチまでの各工程および処理フローを示す図である。 40

【図19】本発明の実施の形態2に係る半導体装置の製造方法において、図18に続く、裏面インプラからアロイまでの各工程および処理フローを示す図である。

【図20】本発明の実施の形態3に係る半導体装置の製造方法において、デバイス形成からスピネッチまでの各工程および処理フローを示す図である。

【図21】本発明の実施の形態3に係る半導体装置の製造方法において、図20に続く、裏面インプラからアロイまでの各工程および処理フローを示す図である。

【符号の説明】

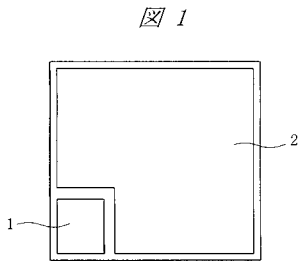
【0086】

1, 1a ゲート電極

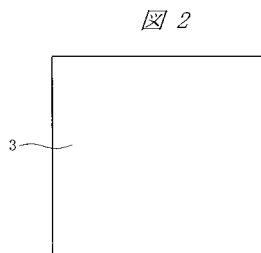
2	エミッタ電極	
2 a	ソース電極	
3	コレクタ電極	
3 a	ドレイン電極	
1 1	ベース	
1 2	エピタキシャル層	
1 3	絶縁膜	
1 4	ゲート配線層	
1 5	絶縁膜	
1 6	ゲート	10
1 7	ゲート酸化膜	
1 8	ウェル領域	
1 9	n ⁺ 層	
2 0	p ⁺ 層	
3 1	エピタキシャル層	
3 2	ゲート酸化膜	
3 3	ゲート	
3 4	配線層	
3 5	ウェル領域	
3 6	ウェル領域	20
3 7	n ⁺ 層	
3 8	p ⁺ 層	
4 1	ベース	
4 2	エピタキシャル層	
4 3	絶縁膜	
4 4	ゲート配線層	
4 5	絶縁膜	
4 6	ゲート	
4 7	ゲート酸化膜	
4 8	ウェル領域	30
4 9	n ⁺ 層	
5 1 , 5 2	パワー半導体素子のチップ	
5 3	制御用のチップ	
5 4	リードフレーム	
5 5	ワイヤ	
5 6	レジソ	
6 1 , 6 1 a , 6 1 b	ウェハ	
6 2	高剛性テープ	
6 2 a	熱発泡両面テープ感圧粘着剤	
6 3	熱発泡テープ	40
6 3 a	補強材	
6 4	テープ	
6 4 a	剥がす部分	
6 4 b	接続部	
6 5	ダイシングフレーム	
6 6	プローピングステージ	
6 7 , 6 8	表面用測定端子	
6 7 a	ゲートフォーシングピン	
6 7 b	ゲートセンシングピン	
6 8 a	エミッタフォーシングピン	50

- 6 8 b エミッタセンシングピン
- 6 9 ダイシングテープ
- 7 0 砥石
- 7 1 ホルダ
- 7 2 バキューム
- 7 3 マスク
- 7 6 定電流源
- 7 7 定電圧源
- 7 8 電圧計
- 8 1 テープ
- 8 1 a 開口部
- 8 2 テープ
- 9 1 基板
- 9 2 ウェル領域
- 9 3 ウェル領域
- 9 4 ベース電極
- 9 5 エミッタ電極

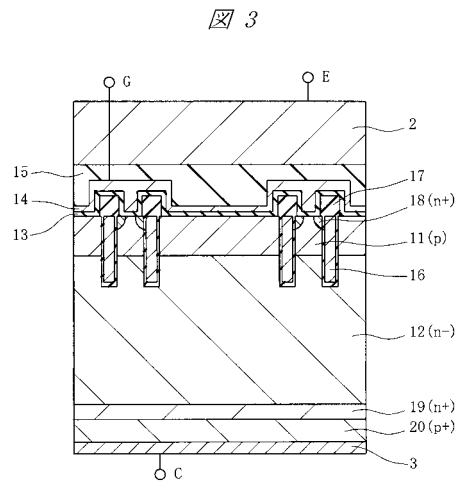
【 図 1 】



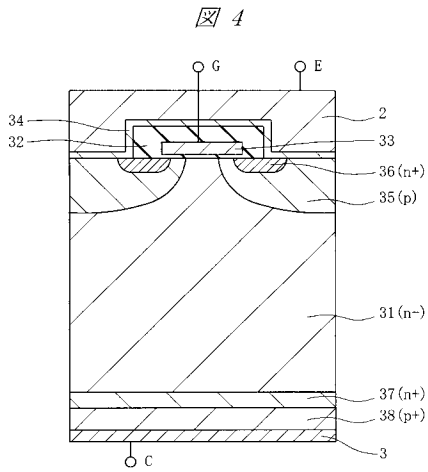
【 図 2 】



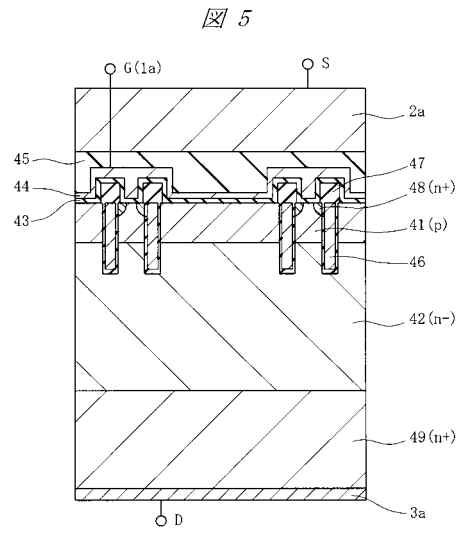
【 図 3 】



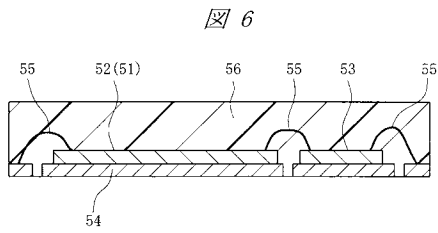
【 図 4 】



【 図 5 】



【 図 6 】

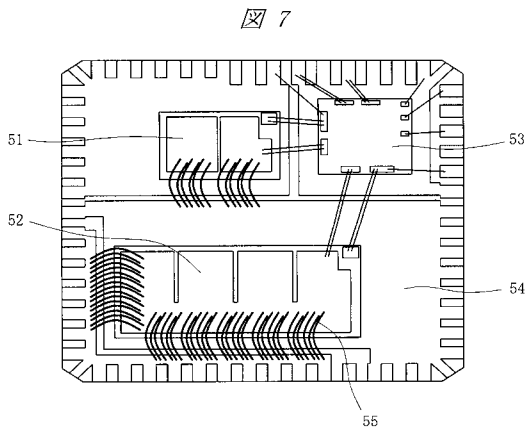


【 図 8 】

図 8

No.	工程	処理フロー
1	デバイス形成 配線 パッシベーション	
2	補強材(テープ/剛体) 貼り付け	
3	BG保護テープor補強材 貼り付け	
4	裏面研削	
5	テープor補強材剥がし	
6	スピソエッチ	

【 図 7 】



【 図 9 】

図 9

No.	工程	処理フロー
7	裏面インプラ(1) 裏面インプラ(2)	
8	補強材(テープ/剛体) 剥がし	
9	表面洗浄	
10	インプラアニール	
11	成膜前処理	
12	裏面メタル成膜	
13	アロイ	

【 図 1 0 】

No.	工程	処理フロー
14	ウエハ表面テープ貼り付け + ダイシングフレーム貼り付け	
15	ウエハテスト	
16	表面テープ剥がし	

64 : ウエハテープ

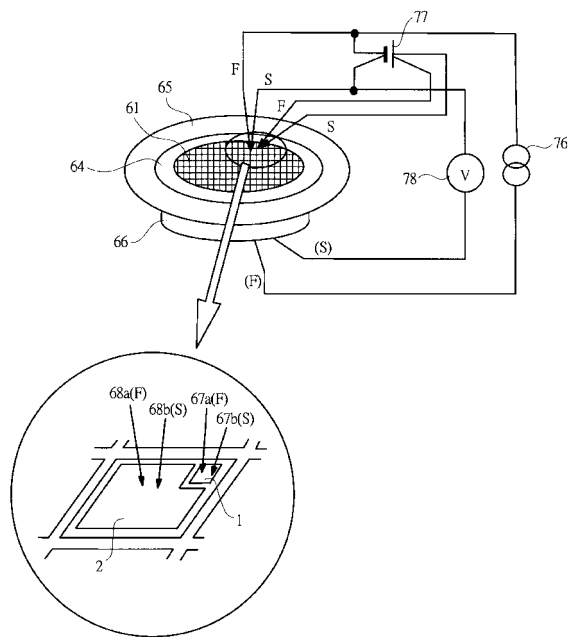
【 図 1 1 】

図 11

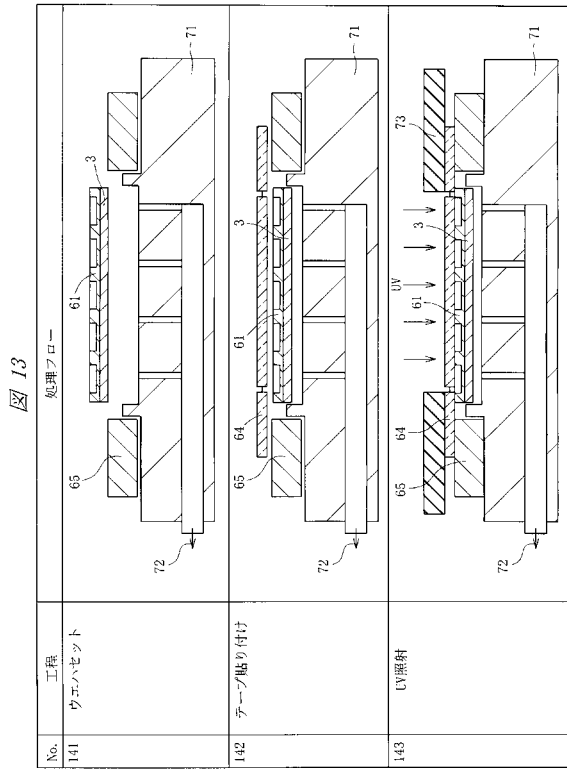
No.	工程	処理フロー
17	ダイシングテープ貼り付け	
18	ダイシング	
19	組み立て	
20	選別	

【 図 1 2 】

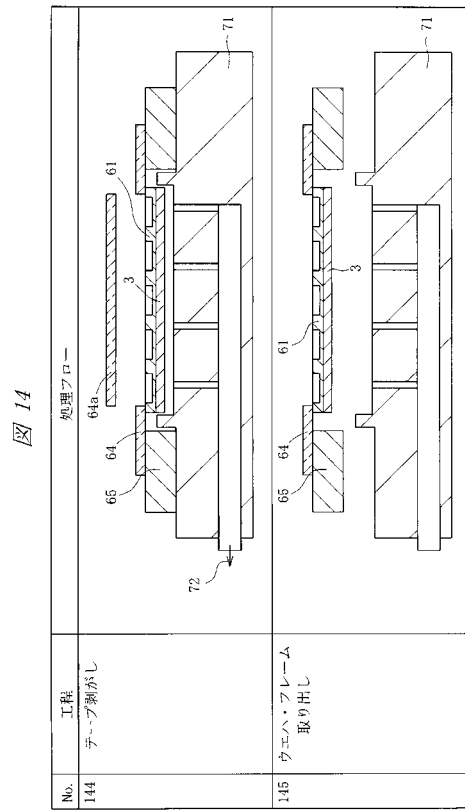
図 12



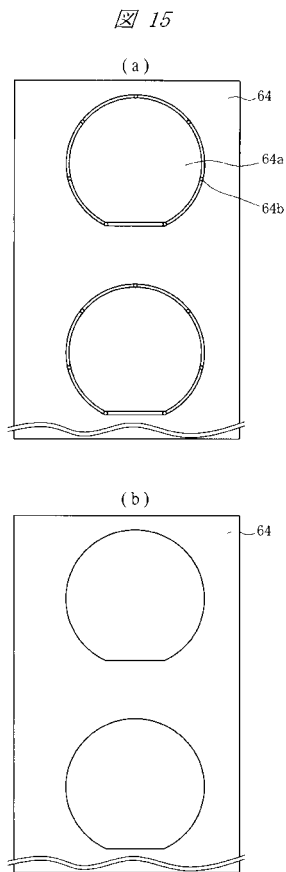
【 図 1 3 】



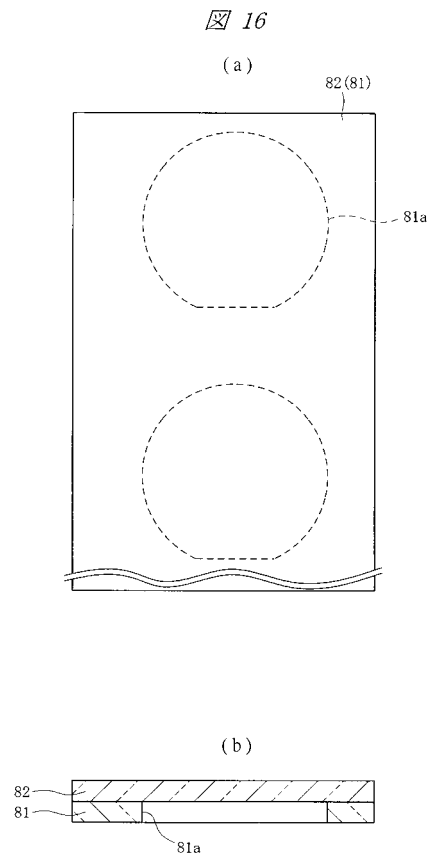
【 図 1 4 】



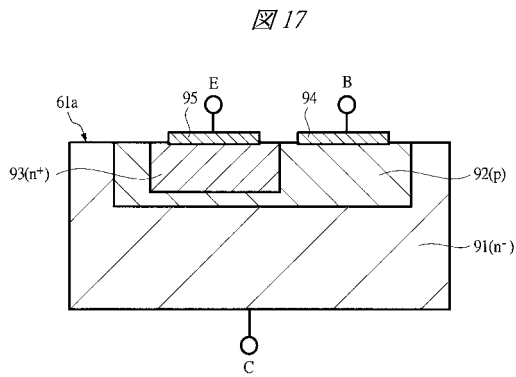
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



【 図 1 8 】

図 18

No.	工程	処理フロー
1	デバイス形成 ↳ 配線 ↳ パッシベーション	
2	補強材(テープ/剛体) 貼り付け	
3	BG保護テープor補強材 貼り付け	
4	裏面研削	
5	テープor補強材剥がし	
6	スピリエッチ	

【 図 1 9 】

図 19

No.	工程	処理フロー
7	裏面インプラ(1) 裏面インプラ(2)	
8	補強材(テープ/剛体) 剥がし	
9	表面洗浄	
10	インプラアニール	
11	成膜前処理	
12	裏面メタル成膜	
13	アロイ	

【 図 2 0 】

図 20

No.	工程	処理フロー
1	デバイス形成 ↳ 配線 ↳ パッシベーション	
2	補強材(テープ/剛体) 貼り付け	
3	BG保護テープor補強材 貼り付け	
4	裏面研削	
5	テープor補強材剥がし	
6	スピリエッチ	

【 図 2 1 】

図 21

No.	工程	処理フロー
7	裏面インプラ(1) 裏面インプラ(2)	<p>p⁺, B⁺</p> <p>61b 62a 63a</p>
8	補強材(テープ/剛体) 剥がし	<p>63a</p> <p>62a 62a 61b</p> <p>61b</p>
9	表面洗浄	<p>61b</p>
10	インプラアニール	<p>61b</p>
11	成膜前処理	<p>61b</p>
12	裏面メタル成膜	<p>61b 3</p>
13	アロイ	<p>61b 3</p>

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 8 L