

【特許請求の範囲】

【請求項 1】

半導体基板上に、第 1 導電型の半導体からなるバッファ層と、第 1 導電型、第 2 導電型ないしノンドープの半導体からなるエッチング停止層と、第 1 導電型、第 2 導電型、ないしノンドープの半導体からなる光吸収層と、第 2 導電型の半導体層と、がこの順に積層成長されることによって構成された積層構造を有し、

前記第 2 導電型の半導体層及び前記光吸収層がメサを構成し、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とは、それらの上に成長された第 1 導電型、第 2 導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆され、

前記メサは前記半導体層を介して誘電体保護膜により被覆され、

前記半導体層において前記メサの側面を覆う部分の層厚 D_1 が 850 nm 以上であることを特徴とするメサ型フォトダイオード。

【請求項 2】

半導体基板上に、第 1 導電型の半導体からなるバッファ層と、第 1 導電型、第 2 導電型ないしノンドープの半導体からなるエッチング停止層と、第 1 導電型、第 2 導電型、ないしノンドープの半導体からなる光吸収層と、第 2 導電型の半導体層と、がこの順に積層成長されることによって構成された積層構造を有し、

前記第 2 導電型の半導体層及び前記光吸収層がメサを構成し、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とは、それらの上に成長された第 1 導電型、第 2 導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆され、

前記メサは前記半導体層を介して誘電体保護膜により被覆され、

前記半導体層において前記メサの側面を覆う部分の層厚 D_1 が下記式 (1) により表されることを特徴とするメサ型フォトダイオード。

$$D_1 = 1/2 \times \left(-2 \epsilon_0 / q \times (1/N_d + 1/N_a) \times V \right)^{1/2} \dots \dots \dots$$

(1)

上記式 (1) において、 ϵ は半導体の比誘電率、 ϵ_0 は真空の誘電率、 q は電気素量、 N_d は $p-n$ 接合部の n 型領域のドナー濃度、 N_a は $p-n$ 接合部の p 型領域のアクセプタ濃度、 V は逆バイアス電圧である。

【請求項 3】

前記半導体層において前記メサの上面を覆う部分の層厚 D_2 が前記層厚 D_1 未満であることを特徴とする請求項 1 又は 2 に記載のメサ型フォトダイオード。

【請求項 4】

前記層厚 D_2 が 500 nm 以上であることを特徴とする請求項 1 乃至 3 の何れか一項に記載のメサ型フォトダイオード。

【請求項 5】

前記エッチング停止層は、第 1 導電型ないしノンドープであることを特徴とする請求項 1 乃至 4 の何れか一項に記載のメサ型フォトダイオード。

【請求項 6】

前記積層構造は、更に、前記バッファ層上に積層成長された第 1 導電型ないしノンドープの半導体からなる増倍層と、前記増倍層上に積層成長された第 2 導電型の半導体からなる電界緩和層と、を更に有し、

前記電界緩和層上の前記エッチング停止層、並びに、前記光吸収層は、それぞれ第 2 導電型であり、

当該メサ型フォトダイオードはメサ型アバランシェフォトダイオードであることを特徴とする請求項 1 乃至 4 の何れか一項に記載のメサ型フォトダイオード。

【請求項 7】

半導体基板上に、第 1 導電型の半導体からなるバッファ層と、第 1 導電型、第 2 導電型ないしノンドープの半導体からなるエッチング停止層と、第 1 導電型、第 2 導電型、ない

10

20

30

40

50

しノンドープの半導体からなる光吸収層と、第2導電型の半導体層と、をこの順に積層成長させることによって積層構造を形成する第1工程と、

前記第2導電型の半導体層及び前記光吸収層をエッチングによりメサに加工する第2工程と、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とを、それらの上に成長させた第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆する第3工程と、

前記メサを前記半導体層を介して誘電体保護膜により被覆する第4工程と、
をこの順に行い、

前記第3工程では、前記半導体層において前記メサの側面を覆う部分の層厚D1が850nm以上となるように、前記半導体層を成長させることを特徴とするメサ型フォトダイオードの製造方法。

【請求項8】

前記第3工程では、前記半導体基板の温度を500以上600以下に設定して前記半導体層を成長させることを特徴とする請求項7に記載のメサ型フォトダイオードの製造方法。

【請求項9】

前記第3工程では、前記半導体層において前記メサの上面を覆う部分の層厚D2が500nm以上850nm未満となるように、前記半導体層を成長させることを特徴とする請求項7又は8に記載のメサ型フォトダイオードの製造方法。

【請求項10】

前記第3工程では、前記メサの前記側面上及び前記上面上に前記半導体層を成長させ、前記第3工程の後で、前記メサの前記上面上に電極を形成し、その後も前記半導体層を少なくとも前記側面上及び前記メサの肩の部分の上に残留させることを特徴とする請求項7乃至9の何れか一項に記載のメサ型フォトダイオードの製造方法。

【請求項11】

前記第1工程では、第1導電型ないしノンドープの前記エッチング停止層を成長させることを特徴とする請求項7乃至10の何れか一項に記載のメサ型フォトダイオードの製造方法。

【請求項12】

前記第1工程では、前記パツファ層上に第1導電型ないしノンドープの半導体からなる増倍層を、前記増倍層上に第2導電型の半導体からなる電界緩和層を、前記電界緩和層上に第2導電型の前記エッチング停止層を、前記エッチング停止層上に第2導電型の前記光吸収層を、この順に積層成長し、

メサ型アバランシェフォトダイオードを製造することを特徴とする請求項7乃至10の何れか一項に記載のメサ型フォトダイオードの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メサ型フォトダイオード及びその製造方法に関する。

【背景技術】

【0002】

メサ型フォトダイオードの特徴としては、寄生容量が低減できること、モジュール実装が容易であること、受光部以外に光吸収層がないため光結合漏れによる周波数応答特性劣化がないこと、等が挙げられる。また、メサ型フォトダイオードは、そのpn接合を結晶成長により形成できるため、pn接合の位置制御、並びに、電界分布の制御が容易である。

【0003】

さらに、メサ型に加工された光吸収層の側壁を半導体層によって被覆した構造にすることにより、半導体と誘電体保護膜（例えばSiN膜）との界面は、光吸収層を構成するバ

10

20

30

40

50

ンドギャップの小さい半導体層（例えばInGaAs）と誘電体保護膜との界面ではなく、経時的に安定な、ワイドバンドギャップの半導体層（例えばInP）と誘電体保護膜との界面になるため、安定な長期信頼性を得ることが可能である。

【0004】

メサ型フォトダイオードのpn接合を半導体層により被覆する技術は、例えば、特許文献1、2に記載されている。

【0005】

特許文献1の技術では、FeドープInP基板上にn型半導体層、i型半導体層、p型半導体層を積層してPIN構造を形成し、i型半導体層及びp型半導体層をエッチングすることにより円錐台状に第1のメサを形成する。次に、パッシベーション半導体層を形成し、このパッシベーション半導体層とn型半導体層とをエッチングすることによって、第1のメサを含み第1のメサと同心円状の第2のメサを形成する。次に、全体を覆うように絶縁膜を形成し、n型電極層及びp型電極層を形成する。

10

【0006】

特許文献2の技術では、n型InP基板上にn型InAlAsバッファ層、n型InAlAs増倍層、p型InAlAs層とp型InGaAs層からなる電界調整層、p型InGaAs光吸収層、p型InAlAsキャップ層、p型InGaAsコンタクト層を積層する。次に、酸化シリコン膜（SiO₂膜）をパターンニングしてSiO₂マスクを形成し、そのSiO₂マスクを介してp型InGaAs光吸収層、p型InAlAsキャップ層及びp型InGaAsコンタクト層をエッチングすることにより円錐台状に第1のメサを形成する。次にSiO₂マスクを利用してp型InP埋め込み層及び高抵抗InP埋め込み層を積層する。次に、高抵抗InP埋め込み層、p型InP埋め込み層、電界調整層、n型InAlAs増倍層及びn型InAlAsバッファ層をエッチングすることによって、第1のメサを含み第1のメサと同心円状の第2のメサを形成する。次に、絶縁性保護膜を形成し、p型InGaAsコンタクト層及びn型InP基板の一部をそれぞれ露出させてp電極及びn電極を形成し、n型InP基板の裏面に窒化シリコン反射防止膜を形成する。

20

【先行技術文献】

【特許文献】

【0007】

30

【特許文献1】特開平9-213988号公報

【特許文献2】特開2004-119563号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、特許文献1には、パッシベーション半導体層（InP埋め込み層）の成長条件に関しては、「層厚約10nm～500nm」との記載があるだけであり、それ以外の構造上の特徴については記載がない。

【0009】

本発明者が特許文献1の構造のメサ型フォトダイオードを作製したところ、初期的なV-I特性の悪化、長期信頼性の劣化が確認できた。

40

【0010】

一方、特許文献2では、選択成長技術を用いて円形メサ側面の厚さを厚くする工夫をしている。しかしながら、p型InGaAsコンタクト層近傍の高抵抗InP埋め込み層の形状を見ると、p型InGaAsコンタクト層の上にはInP層がない。更に、InP層におけるメサ近傍の部分の上面が窪んでいるために、その窪みとメサとの間に介在するInP層の層厚が薄くなっている。このような構造では、逆バイアス電圧印加時に、InP層における層厚の薄い箇所に局所的な電界集中が発生するため、デバイス特性が安定しにくい。

【0011】

50

このように、メサ型フォトダイオードの安定なデバイス特性及び長期信頼性を得ることは困難だった。

【課題を解決するための手段】

【0012】

上述のように特許文献1の構造のメサ型フォトダイオードでは初期的なV-I特性の悪化及び長期信頼性の劣化が生じる理由は、InP埋め込み層が薄い(500nm以下である)ため、逆バイアス電圧印加時に空乏層が伸びて、空乏層と誘電体保護膜との電気的な接触が生じ、界面状態が不安定になるためであると考えられる。

【0013】

そこで、本発明は、半導体基板上に、第1導電型の半導体からなるバッファ層と、第1導電型、第2導電型ないしノンドープの半導体からなるエッチング停止層と、第1導電型、第2導電型、ないしノンドープの半導体からなる光吸収層と、第2導電型の半導体層と、がこの順に積層成長されることによって構成された積層構造を有し、

10

前記第2導電型の半導体層及び前記光吸収層がメサを構成し、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とは、それらの上に成長された第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆され、

前記メサは前記半導体層を介して誘電体保護膜により被覆され、

前記半導体層において前記メサの側面を覆う部分の層厚D1が850nm以上であることを特徴とするメサ型フォトダイオードを提供する。

20

【0014】

このメサ型フォトダイオードによれば、メサの側面と、メサの上面における少なくとも当該メサの肩の部分とは、それらの上に成長された第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆されている。この構造により、逆バイアス印加時における局所的な電界集中の発生を好適に抑制でき、安定なデバイス特性を得ることができる。また、半導体層においてメサの側面を覆う部分の層厚D1が850nm以上であるので、逆バイアス電圧を印加したときにメサからの空乏層広がりによる空乏層と誘電体保護膜との電気的な接触を、この半導体層によって好適に抑制することができる。よって、安定した長期信頼性を得ることができる。

【0015】

30

また、本発明は、半導体基板上に、第1導電型の半導体からなるバッファ層と、第1導電型、第2導電型ないしノンドープの半導体からなるエッチング停止層と、第1導電型、第2導電型、ないしノンドープの半導体からなる光吸収層と、第2導電型の半導体層と、がこの順に積層成長されることによって構成された積層構造を有し、

前記第2導電型の半導体層及び前記光吸収層がメサを構成し、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とは、それらの上に成長された第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆され、

前記メサは前記半導体層を介して誘電体保護膜により被覆され、

前記半導体層において前記メサの側面を覆う部分の層厚D1が下記式(1)により表されることを特徴とするメサ型フォトダイオード。

40

$$D1 \geq 1/2 \times \left(\frac{-2 \epsilon_0 / q \times (1/Nd + 1/Na) \times V}{\dots} \right)^{1/2} \dots \dots \dots (1)$$

上記式(1)において、 ϵ_0 は半導体の比誘電率、 ϵ_0 は真空の誘電率、qは電気素量、Ndはpn接合部のn型領域のドナー濃度、Naはpn接合部のp型領域のアクセプタ濃度、Vは逆バイアス電圧である。

【0016】

また、本発明は、半導体基板上に、第1導電型の半導体からなるバッファ層と、第1導電型、第2導電型ないしノンドープの半導体からなるエッチング停止層と、第1導電型、第2導電型、ないしノンドープの半導体からなる光吸収層と、第2導電型の半導体層と、

50

をこの順に積層成長させることによって積層構造を形成する第 1 工程と、

前記第 2 導電型の半導体層及び前記光吸収層をエッチングによりメサに加工する第 2 工程と、

前記メサの側面と、前記メサの上面における少なくとも当該メサの肩の部分とを、それらの上に成長させた第 1 導電型、第 2 導電型、半絶縁型、ないしノンドープの半導体層により連続的に被覆する第 3 工程と、

前記メサを前記半導体層を介して誘電体保護膜により被覆する第 4 工程と、

をこの順に行い、

前記第 3 工程では、前記半導体層において前記メサの側面を覆う部分の層厚 D_1 が 850 nm 以上となるように、前記半導体層を成長させることを特徴とするメサ型フォトダイオードの製造方法を提供する。

【発明の効果】

【0017】

本発明によれば、メサ型フォトダイオードの安定なデバイス特性及び長期信頼性を得ることができる。

【図面の簡単な説明】

【0018】

【図 1】第 1 の実施形態に係るメサ型フォトダイオード（表面入射型のメサ型 PIN フォトダイオード）の構成を示す断面図である。

【図 2】第 1 の実施形態に係るメサ型フォトダイオードの製造方法を説明するための一連の工程図としての断面図である。

【図 3】第 1 の実施形態に係るメサ型フォトダイオードの製造方法を説明するための一連の工程図としての断面図である。

【図 4】第 1 の実施形態に係るメサ型フォトダイオードの製造方法を説明するための一連の工程図としての断面図である。

【図 5】第 1 の実施形態に係るメサ型フォトダイオードの製造方法を説明するための一連の工程図としての断面図である。

【図 6】第 1 の実施形態に係るメサ型フォトダイオードの製造方法を説明するための一連の工程図としての断面図である。

【図 7】逆バイアス電圧と暗電流値との関係を示す図である。

【図 8】メサ側面の半導体層（InP 層）の層厚と暗電流値との関係を示す図である。

【図 9】第 2 の実施形態に係るメサ型フォトダイオード（裏面入射型のメサ型 PIN フォトダイオード）の構成を示す断面図である。

【図 10】第 3 の実施形態に係るメサ型フォトダイオード（裏面入射型のメサ型アバランシェフォトダイオード）の構成を示す断面図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について、図面を用いて説明する。なお、すべての図面において、同様の構成要素には同一の符号を付し、適宜に説明を省略する。

【0020】

〔第 1 の実施形態〕

図 1 は第 1 の実施形態に係るメサ型フォトダイオード 1 の構成を示す断面図である。

【0021】

本実施形態に係るメサ型フォトダイオード 1 は、半導体基板（例えば、高抵抗型 InP 基板 11）上に、積層構造を有している。この積層構造は、第 1 導電型の半導体からなるバッファ層（例えば、n 型半導体バッファ層 12）と、第 1 導電型、第 2 導電型ないしノンドープの半導体からなるエッチング停止層（例えば、ノンドープ InP エッチング停止層 13）と、第 1 導電型、第 2 導電型、ないしノンドープの半導体からなる光吸収層（例えば、ノンドープ InGaAs 光吸収層 14）と、第 2 導電型の半導体層（例えば、p 型 InGaAs キャップ層 15、及び、 p^+ 型 InGaAs コンタクト層 16）と、がこの

10

20

30

40

50

順に積層成長されることによって構成されている。第2導電型の半導体層（例えば、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16）及び光吸収層（例えば、ノンドープInGaAs光吸収層14）がメサ（受光領域メサ19）を構成している。メサ（受光領域メサ19）の側面23と、メサの（受光領域メサ19）の上面24における少なくとも当該メサ（受光領域メサ19）の肩の部分（肩部25）とは、それらの上に成長された第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層（例えば、ノンドープInP層17）により連続的に被覆されている。メサ（受光領域メサ19）は半導体層（例えば、ノンドープInP層17）を介して誘電体保護膜（表面保護膜18）により被覆されている。半導体層（例えば、ノンドープInP層17）においてメサ（受光領域メサ19）の側面23を覆う部分の層厚D1が850nm以上である。

また、本実施形態に係るメサ型フォトダイオード1は、半導体基板（例えば、高抵抗型InP基板11）上に、積層構造を有している。この積層構造は、第1導電型の半導体からなるバッファ層（例えば、n型半導体バッファ層12）と、第1導電型、第2導電型ないしノンドープの半導体からなるエッチング停止層（例えば、ノンドープInPエッチング停止層13）と、第1導電型、第2導電型、ないしノンドープの半導体からなる光吸収層（例えば、ノンドープInGaAs光吸収層14）と、第2導電型の半導体層（例えば、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16）と、がこの順に積層成長されることによって構成されている。第2導電型の半導体層（例えば、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16）及び光吸収層（例えば、ノンドープInGaAs光吸収層14）がメサ（受光領域メサ19）を構成している。メサ（受光領域メサ19）の側面23と、メサの（受光領域メサ19）の上面24における少なくとも当該メサ（受光領域メサ19）の肩の部分（肩部25）とは、それらの上に成長された第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層（例えば、ノンドープInP層17）により連続的に被覆されている。メサ（受光領域メサ19）は半導体層（例えば、ノンドープInP層17）を介して誘電体保護膜（表面保護膜18）により被覆されている。半導体層（例えば、ノンドープInP層17）においてメサ（受光領域メサ19）の側面23を覆う部分の層厚D1が下記式（1）により表される。

$$D1 = 1/2 \times \left(\frac{\epsilon_0}{q} \times \left(\frac{1}{Nd} + \frac{1}{Na} \right) \times V \right)^{1/2} \dots \dots \dots (1)$$

上記式（1）において、 ϵ_0 は半導体の比誘電率、 ϵ_0 は真空の誘電率、qは電気素量、Ndはpn接合部のn型領域のドナー濃度、Naはpn接合部のp型領域のアクセプタ濃度、Vは逆バイアス電圧である。

また、本実施形態に係るメサ型フォトダイオードの製造方法では、以下の第1乃至第4工程をこの順に行う。第1工程では、半導体基板（例えば、高抵抗型InP基板11）上に、第1導電型の半導体からなるバッファ層（例えば、n型半導体バッファ層12）と、第1導電型、第2導電型ないしノンドープの半導体からなるエッチング停止層（例えば、ノンドープInPエッチング停止層13）と、第1導電型、第2導電型、ないしノンドープの半導体からなる光吸収層（例えば、ノンドープInGaAs光吸収層14）と、第2導電型の半導体層（例えば、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16）と、をこの順に積層成長させることによって積層構造を形成する。第2工程では、第2導電型の半導体層（例えば、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16）及び光吸収層（例えば、ノンドープInGaAs光吸収層14）をエッチングによりメサ（受光領域メサ19）に加工する。第3工程では、メサ（受光領域メサ19）の側面23と、メサの（受光領域メサ19）の上面24における少なくとも当該メサ（受光領域メサ19）の肩の部分（肩部25）とを、それらの上に成長させた第1導電型、第2導電型、半絶縁型、ないしノンドープの半導体層（例えば、ノンドープInP層17）により連続的に被覆する。第4工程では、メサ（受光領域メサ19）を半導体層（例えば、ノンドープInP層17）を介して誘電体保護膜（表面保護膜18）により被覆する。第3工程では、半導体層（例えば、ノンドープInP層1

7)においてメサ(受光領域メサ19)の側面23を覆う部分の層厚D1が850nm以上となるように、半導体層(例えば、ノンドープInP層17)を成長させる。

以下、詳細に説明する。

【0022】

先ず、第1の実施形態に係るメサ型フォトダイオード1の構成を説明する。

【0023】

本実施形態に係るメサ型フォトダイオード1は、表面入射型のメサ型PIN-PD(表面入射型のメサ型PINフォトダイオード)である。図1に示すように、本実施形態に係るメサ型フォトダイオード1は、例えば、高抵抗型InP基板11と、この高抵抗型InP基板11上にMOVPE法により順次に積層成長されたn型半導体バッファ層12、ノンドープInPエッチング停止層13、ノンドープInGaAs光吸収層14、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16と、を有している。

10

【0024】

ノンドープInGaAs光吸収層14、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16は、メサ形状に加工されて、受光領域メサ19を構成している。

【0025】

なお、本実施形態の場合、例えば、ノンドープInPエッチング停止層13も受光領域メサ19の一部を構成している。

20

【0026】

受光領域メサ19の側面23は、例えば、当該受光領域メサ19の裾が広がる方向に傾斜する斜面となっている。すなわち、側面23には、例えば、オーバーハングする部分が存在しておらず、受光領域メサ19の形状はいわゆる「順メサ形状」である。なお、受光領域メサ19の平面形状は、例えば円形であることが好ましい一例である。

【0027】

このような形状の受光領域メサ19の側面23と、受光領域メサ19の上面24における少なくとも当該受光領域メサ19の肩の部分(以下、肩部25)とは、それらの上に成長(再成長)されたノンドープInP層17により連続的に被覆されている。

【0028】

なお、受光領域メサ19の肩部25は、例えば、受光領域メサ19の上面24の周縁部に沿って延在するリング状の部分である。

30

【0029】

ここで、ノンドープInP層17の層厚は、例えば、受光領域メサ19の側面23上での層厚D1は850nm以上であり、受光領域メサ19の上面24上での層厚D2は500nm以上850nm未満である。

【0030】

ノンドープInP層17は、例えばSiNからなる表面保護膜18により被覆されている。すなわち、ノンドープInP層17は、誘電体膜により被覆されている。なお、表面保護膜18は、受光領域メサ19の形成範囲の外側における所定箇所では、n型半導体バッファ層12を介さずに高抵抗型InP基板11に接している。

40

【0031】

受光領域メサ19の上面24上には、例えば、ノンドープInP層17に形成されたりング状の開口43を介して、リング状のp電極40が設けられている。

【0032】

受光領域メサ19の形成範囲の外側においては、n型半導体バッファ層12上にn電極41が設けられている。

【0033】

表面保護膜18上には、段差配線電極42が設けられている。この段差配線電極42は、受光領域メサ19の上面24上においては、例えば、p電極40上を覆うようなリング

50

形状に形成されており、該 p 電極 40 の上端部と接している。

【0034】

高抵抗型 InP 基板 11 は、該高抵抗型 InP 基板 11 が所望の厚さとなるように、その裏面が研磨されている。

【0035】

ここで、このような構成のメサ型フォトダイオード 1 においては、p 型 InGaAs キャップ層 15 及び p⁺ 型 InGaAs コンタクト層 16 が p 領域を構成し、ノンドープ InGaAs 光吸収層 14 及びノンドープ InP 層 17 が n 領域を構成している。そして、この p 領域と n 領域との境界面が pn 接合面を構成している。

【0036】

次に、第 1 の実施形態に係るメサ型フォトダイオード (メサ型 PIN - PD) の製造方法を説明する。

【0037】

先ず、図 2 に示すように、高抵抗型 InP 基板 11 上に、n 型半導体バッファ層 12、ノンドープ InP エッチング停止層 13、ノンドープ InGaAs 光吸収層 14、p 型 InGaAs キャップ層 15、及び、p⁺ 型 InGaAs コンタクト層 16 を MOVPE 法で順次に積層成長させる。

【0038】

次に、図 3 に示すように、ノンドープ InP エッチング停止層 13 を用いたエッチングにより、ノンドープ InGaAs 光吸収層 14、p 型 InGaAs キャップ層 15、及び、p⁺ 型 InGaAs コンタクト層 16 を平面視円形のメサ形状に加工する。すなわち、p⁺ 型 InGaAs コンタクト層 16 上にエッチングマスクを形成し、ノンドープ InGaAs 光吸収層 14、p 型 InGaAs キャップ層 15、及び、p⁺ 型 InGaAs コンタクト層 16 をエッチングする。このエッチングは、ウェットエッチングでも良いし、ドライエッチングでも良い。

【0039】

次に、図 4 に示すように、ノンドープ InP エッチング停止層 13 における露出部分を選択的にエッチング除去する。これにより、InP エッチング停止層 13、ノンドープ InGaAs 光吸収層 14、p 型 InGaAs キャップ層 15、及び、p⁺ 型 InGaAs コンタクト層 16 が平面視円形の受光領域メサ 19 に加工される。

【0040】

次に、図 5 に示すように、MOVPE 法によって、受光領域メサ 19 の側面 23 上及び上面 24 上にノンドープ InP 層 17 を成長 (再成長) させる。これにより、受光領域メサ 19 の側面 23 及び上面 24 が、ノンドープ InP 層 17 により被覆される。

【0041】

ここで、ノンドープ InP 層 17 の層厚は、受光領域メサ 19 の上面 24 上での層厚 D2 は 500 nm 以上 850 nm 未満となり、受光領域メサ 19 の側面 23 上での層厚 D1 は 850 nm 以上となるようにする。詳細は後述するように、成長温度を例えば 600 以下に設定することにより、受光領域メサ 19 の上面 24 上と側面 23 上とでノンドープ InP 層 17 の層厚 D1、D2 に差を設けることができる。これにより、受光領域メサ 19 の側面 23 がノンドープ InP 層 17 により被覆性良くカバーされる。

【0042】

次に、図 6 に示すように、受光領域メサ 19 の p⁺ 型 InGaAs コンタクト層 16 上に直接 p 電極 40 (図 1) を形成するために、ノンドープ InP 層 17 の所望部分を選択エッチングにより除去し、該ノンドープ InP 層 17 に、例えばリング形状の開口 43 を形成する。

【0043】

ここで、この選択エッチングの際には、フォトリジストを用いたパターニングによりノンドープ InP 層 17 上にエッチングマスクを形成する。受光領域メサ 19 の上面 24 上のノンドープ InP 層 17 は平坦であるため、そのエッチングマスクの形成に際して用い

10

20

30

40

50

られる露光用のマスクとノンドープInP層17とが干渉しないようにできる。このため、その露光用のマスクとノンドープInP層17とを適切な距離に容易に近づけることができ、フォトリソトへのパターン転写精度を十分に確保することができる。よって、エッチングマスクのパターンの位置精度、ひいてはp電極40の形成位置の精度を十分に確保することができる。

【0044】

次に、n型半導体バッファ層12上に直接n電極41(図1)を形成するために、ノンドープInP層17において、受光領域メサ19の周囲に位置する部分における所望箇所を選択エッチングにより除去する。

【0045】

次に、ノンドープInP層17及びn型半導体バッファ層12において、p電極40(図1)と接続されるpパッド42a(図1)が形成される箇所を選択エッチングにより除去し、その箇所において高抵抗型InP基板11を露出させる。

【0046】

次に、図1に示すように、表面保護膜18を例えばSiN膜により形成する。次に、半導体製造プロセスで一般的に用いられるリフトオフ技術等により表面保護膜18においてリング状の上記開口43に位置する部分に穴開けし、この穴を介してp電極40をp⁺型InGaAsコンタクト層16上に形成する。また、同様に、リフトオフ技術等によりn型半導体バッファ層12上の表面保護膜18に穴開けし、この穴を介してn電極41をn型半導体バッファ層12上に形成する。更に、段差配線電極42を、例えば、TiPtAu蒸着とミリングにより形成する。なお、段差配線電極42は、受光領域メサ19の周囲においては、表面保護膜18を介して高抵抗型InP基板11上に設けられている。すなわち、段差配線電極42における受光領域メサ19の周囲の部分と高抵抗型InP基板11との間にはノンドープInP層17及びn型半導体バッファ層12は介在していない。段差配線電極42において、表面保護膜18を介して高抵抗型InP基板11上に設けられている部分は、pパッド42aを構成する。次に、高抵抗型InP基板11の裏面を研磨することにより、該高抵抗型InP基板11を所望の厚さに加工する。

【0047】

以上により、第1の実施形態に係るメサ型フォトダイオード1を製造することができる。

【0048】

次に、ノンドープInP層17の層厚の最適範囲について説明する。

【0049】

上述のように、受光領域メサ19の側面23上でのノンドープInP層17の層厚D1は、850nm以上となるようにする。層厚D1を850nm以上にする理由は、こうすることにより、良好なデバイス特性を実現できることを見出したためである。以下、その詳細を説明する。

【0050】

一般的に、pn接合部に逆バイアス電圧をかけたときの空乏層広がり W を計算した場合、空乏層幅 W は下記の式(2)で表される。

【0051】

$$W = \left(-2 \epsilon_0 / q \times (1 / N_d + 1 / N_a) \times V \right)^{1/2} \dots \dots (2)$$

ϵ_0 : 半導体(InP)の比誘電率 = 12.35

ϵ_0 : 真空の誘電率 = 8.85×10^{-14} (c/V·cm)

q : 電気素量 = 1.6×10^{-19} (c)

N_d : pn接合部のn型領域のドナー濃度 = 1.0×10^{15} cm⁻³

N_a : pn接合部のp型領域のアクセプタ濃度 = 1.0×10^{19} cm⁻³

V : 逆バイアス電圧

【0052】

上記式(1)から、逆バイアス電圧が $V = -2$ Vのときの空乏層幅は約1.7 μ mと算

10

20

30

40

50

出できる。ただし、これは平面接合の場合の値であり、実際の円形のメサ型構造の場合には、pn接合面が鋭角的な2次元形状になっていることの影響、及び、再成長界面のSiパイルアップ層の影響等を考慮すると、空乏層幅は経験的に約1/2の0.8μm程度に縮小する。

【0053】

本発明者は、本実施形態の効果を検証するために、後述する実施例1の条件でメサ型フォトダイオード1を作製した。また、比較例として、ノンドープInP層17の層厚を受光領域メサ19の側面23上で550nmとした以外は実施例1と同様のメサ型フォトダイオードも作製した。なお、サンプル数はそれぞれ6である。

【0054】

これらのサンプルの電気特性として、逆バイアス電圧（横軸）と暗電流値（縦軸）との関係を評価した結果を図7に示す。

【0055】

図7に示すように、側面23上でのノンドープInP層17の層厚D1が550nmの場合（L11～L16）と比較して、側面23上でのノンドープInP層17の層厚D1が1300nmの場合（L1～L6）には、「逆バイアス電圧2Vでの暗電流値Idが1nA以下、暗電流値1μAでのブレークダウン電圧値Vbrが27V以上、V-I特性のバラツキを抑制」といった良好な特性が得られる。

【0056】

また、図8は、受光領域メサ19の側面23上でのノンドープInP層17の層厚（横軸）と、逆バイアス電圧2Vでの暗電流値（縦軸）との関係を示す。

【0057】

図8に示すように、層厚D1が厚くなるにしたがって暗電流値が低減するとともに、特性バラツキも抑制できることがわかる。この結果は、層厚D1を、逆バイアス電圧印加時のpn接合部から広がる空乏層の広がり幅以上に厚くすることにより、良好な特性が得られることを示している。すなわち、層厚D1を下記式（1）で表される範囲に設定することにより、良好な特性が得られる。

【0058】

D1 >= 1/2 x (- 2 ε0 / q x (1 / Nd + 1 / Na) x V) ^ (1 / 2) (1)

式（1）において、εは半導体（InP）の比誘電率 = 12.35、ε0は真空の誘電率 = 8.85 x 10^-14 (c/V・cm)、qは電気素量 = 1.6 x 10^-19 (c)、Ndはpn接合部のn型領域のドナー濃度 = 1.0 x 10^15 cm^-3、Naはpn接合部のp型領域のアクセプタ濃度 = 1.0 x 10^19 cm^-3、Vは逆バイアス電圧である。

【0059】

本実施形態の場合、式（1）において、Naはp+型InGaAsコンタクト層16の不純物濃度であり、NdはノンドープInP層17の不純物濃度である。すなわち、Naは、上述のpn接合面を有するpn接合部のうち、p領域とn領域との濃度差が最も大きい部分におけるp型領域の不純物濃度（アクセプタ濃度）であり、Ndは、pn接合部のうちp領域とn領域との濃度差が最も大きい部分におけるn型領域の不純物濃度（ドナー濃度）である。

【0060】

実験的には受光領域メサ19の側面23上のノンドープInP層17の層厚D1を850nm以上の厚さにすることにより良好なデバイス特性を実現できることを見出した。なお、製造上におけるノンドープInP層17の層厚D1以外の様々なバラツキ要因を考慮すると、層厚D1は1000nm以上であることがより好ましい。すなわち、換言すると、層厚D1は、上記式（1）で表される値に15～20%程度の上乗せ分を加算した厚さ以上に設定することが好ましい。

【0061】

10

20

30

40

50

また、上述のように、受光領域メサ19の上面24上でのノンドープInP層17の層厚D2は、850nm未満となるようにする。換言すれば、層厚D2は、層厚D1未満にする。層厚D2を850nm未満（層厚D1未満）にする理由は、こうすることにより、p電極40及びn電極41の形成のための選択エッチングの作業効率が向上し、高歩留まりにすることができることを見出したためである。

【0062】

例えば、本実施形態では、受光領域メサ19のp⁺型InGaAsコンタクト層16に直接p電極40を形成するために、ノンドープInP層17の所望部分を選択エッチングにより例えばリング形状に除去する。このとき、受光領域メサ19の上面24上のノンドープInP層17の層厚D2が側面23上のノンドープInP層17の層厚D1と同じ850nm以上であると、選択エッチング作業が困難であるとともに、コンタクト抵抗の増大を招き、デバイス特性悪化の原因になる。つまり、ノンドープInP層17を一括して成長し、かつ、上面24上の層厚D2を側面23上の層厚D1よりも薄くする（850nm未満にする）ことにより、電極形成のための選択エッチングの作業効率が向上し、高歩留まりにすることができる。

10

【0063】

また、上述のように、受光領域メサ19の側面23上でのノンドープInP層17の層厚D2は、500nm以上となるようにする。層厚D2を500nm以上にする理由は、こうすることにより、逆バイアス印加時における局所的な電界集中の発生を好適に抑制でき、安定なデバイス特性を得ることができることを見出したためである。

20

【0064】

ノンドープInP層17が500nm未満である場合、逆バイアス電圧印加時に空乏層が伸びて、空乏層と表面保護膜18との電氣的な接触が生じて界面状態が不安定になることがある。あるいは局所的な電界集中が発生し、デバイス特性が安定しないことがある。

【0065】

受光領域メサ19の上面24上のノンドープInP層17の層厚D2が500nm以上であり、かつ、上面24と側面23とをノンドープInP層17により連続的に覆う構造にすることによって、逆バイアス印加時における局所的な電界集中を好適に抑制し、安定なデバイス特性を得ることができる。

【0066】

次に、上述のような層厚D1、D2を実現するためのノンドープInP層17の成長条件を説明する。

30

【0067】

上述のように、成長温度（例えば、成長時の高抵抗型InP基板11の温度）は、600以下に設定する。その理由は、成長温度を600以下に設定することにより、受光領域メサ19の上面24上での層厚D2と比較して受光領域メサ19の側面23上での層厚D1が厚くなる傾向にあることを見出したためである。

【0068】

すなわち、本発明者は、受光領域メサ19の上面24上と側面23上とにノンドープInP層17が連続している構造において、上面24上の層厚D2と側面23上の層厚D1とに差を設けるためには、成長温度を限定する必要があることを見出した。600を超える温度で成長させた場合には、層厚D2と層厚D1との差が小さくなるため、層厚D1が850nm以上であり、層厚D2が500nm以上850nm未満である構造を実現することが困難である。これに対し、成長温度を600以下に設定することにより、層厚D2と比較して層厚D1を厚くすることができる。これは、V族原料であるPH₃の分解効率の温度依存性が大きいこと、成長温度が低くなると実効的なV族圧（P圧）が低くなり、III族原料（In）のマイグレーションが促進し、成長しやすい高次面（受光領域メサ19の側面23）に多く取り込まれることにより、受光領域メサ19の側面23のInP成長速度が増加し、層厚D1が厚くなるためである。

40

【0069】

50

また、成長温度は、500 以上に設定する。その理由は、500 未満にした場合、表面モフォロジの悪化があり、デバイス特性が劣化するためである。すなわち、500 未満で成長させると、表面モフォロジが悪化し、逆バイアス電圧2Vでの暗電流値 I_d が10nA以上、暗電流値1 μ Aでのブレークダウン電圧値 V_{br} が15V以下、 $V-I$ 特性のバラツキが大きい等、デバイス特性が劣化する可能性が高まってしまう。これに対し、500 以上に設定することにより、「逆バイアス電圧2Vでの暗電流値 I_d が1nA以下、暗電流値1 μ Aでのブレークダウン電圧値 V_{br} が27V以上、 $V-I$ 特性のバラツキを抑制」といった良好な特性が得られる。

【0070】

以上のような第1の実施形態によれば、受光領域メサ19の側面23と、受光領域メサ19の上面24における少なくとも受光領域メサ19の肩部25とは、それらの上に成長されたノンドープInP層17により連続的に被覆されている。この構造により、逆バイアス印加時における局所的な電界集中の発生を好適に抑制でき、安定なデバイス特性（周波数応答特性、暗電流特性、ブレークダウン電圧特性等）を得ることができる。なぜなら、メサ型フォトダイオード1の暗電流特性、及び、長期寿命のばらつきの原因となる光吸収層（例えば、ノンドープInGaAs光吸収層14（バンドギャップが小さい半導体））の空乏層が表面に露出しないようにでき、その上に形成する誘電体膜（表面保護膜18）と接する半導体をワイドギャップのノンドープInP層17とすることができるからである。このようなメサ型フォトダイオード1は、作製が容易で、且つ、ギガビット応答を高信頼に得られるというメリットを有する。このようなメサ型フォトダイオード1は、例えば、次世代の加入者系光通信システム用途、或いは、データ通信システム用途に好適に用いることができる。

10

20

【0071】

また、ノンドープInP層17において受光領域メサ19の側面23を覆う部分の層厚D1が850nm以上であるので、逆バイアス電圧印加時にpn接合部から空乏層が広がった状態でも、空乏層と表面保護膜18との電氣的な接触を、ノンドープInP層17によって好適に抑制することができる。或いは、表面保護膜18と接触する空乏層表面部分の電界強度を低くすることができる（例えば、約50kV/cm以下にすることができる）。よって、メサ型フォトダイオード1の安定したデバイス特性を得ることができるとともに長期信頼性特性を得ることができる。

30

【0072】

さらに、受光領域メサ19の上面24上にもノンドープInP層17が形成されるとともに、このノンドープInP層17は側面23上と上面24上とに連続的に形成されているので、逆バイアス電圧印加時に局所的な電界集中が起こりにくく、ブレークダウン電圧値のバラツキを抑制することができる。

【0073】

また、受光領域メサ19の側面23上及び上面24上にノンドープInP層17を成長させた後、受光領域メサ19の上面24上にp電極40を形成し、その後もノンドープInP層17を少なくとも側面23上及び受光領域メサ19の肩部25上に残留させるので、p電極40の形成位置の精度を十分に確保することができる。ここで、特許文献2の構成では、選択成長によりメサが埋め込まれているが、この構成では、埋め込み層がメサ頂部よりも高く形成されると、埋め込み層の成長後の電極パターン形成工程に支障をきたすことがある。例えば、メサの頂部に電極パターンを形成するためには、フォトレジストを用いたパターニングにより形成したエッチングマスクを用いて、保護膜に開口を形成する。その際に、埋め込み層と露光用のマスクとの干渉により、該露光用のマスクとメサ頂部との距離を十分に近づけることができないと、フォトレジストへのパターン転写精度が落ちてしまう。その結果、エッチングマスクのパターンの位置精度、ひいては電極の形成位置の精度が低下してしまう。これに対して、本実施形態では、ノンドープInP層17が受光領域メサ19の側面23上及び上面24上に再成長されているので、再成長後において上面24上のノンドープInP層17の平坦性が保たれる。このため、p電極40の形

40

50

成用のエッチングマスクを形成する際に用いられる露光用のマスクとノンドープInP層17とが干渉しないようにできる。このため、その露光用のマスクとノンドープInP層17とを適切な距離に容易に近づけることができ、フォトレジストへのパターン転写精度を十分に確保することができる。よって、エッチングマスクのパターンの位置精度、ひいてはp電極40の形成位置の精度を十分に確保することができる。

【0074】

更に、本実施形態では、MOVPE法によりn型半導体バッファ層12、ノンドープInPエッチング停止層13、ノンドープInGaAs光吸収層14、p型InGaAsキャップ層15、及び、p⁺型InGaAsコンタクト層16を順次に積層成長することによって、pn接合の形成が完了するので、pn接合の位置制御、並びに、電界分布の制御が容易であるとともに、その成長後の段階で成長の出来栄チェックを行うことができる。

10

【0075】

次に、実施例1を説明する。

【0076】

実施例1では、上記の第1の実施形態において、ノンドープInP層17の層厚を受光領域メサ19の上面24上では500nm(層厚D2)、側面23上では1300nm(層厚D1)とした。また、n型半導体バッファ層12の膜厚を約1μm、ノンドープInPエッチング停止層13の膜厚を約20~100nm、ノンドープInGaAs光吸収層14の膜厚を約2μm、p型InGaAsキャップ層15の膜厚を約0.2μm、p⁺型InGaAsコンタクト層16の膜厚を約0.2μmとした。また、受光領域メサ19の直径は、50~80μm程度とした。また、高抵抗型InP基板11の裏面研磨では、高抵抗型InP基板11を150μm程度の厚さとなるように研磨した。

20

【0077】

このような実施例1により製造されたメサ型フォトダイオード1では、2Vの逆バイアス電圧を印加するときの暗電流が1nA程度以下の低暗電流となり、かつ、GHzから10数GHzの応答特性が確認され、さらには、暗電流の経時的安定性も、たとえば150のエイジングで5000時間経過後も暗電流の増加がない高信頼な特性が確認された。

【0078】

〔第2の実施形態〕

図9は第2の実施形態に係るメサ型フォトダイオード100の構成を示す断面図である。

30

【0079】

先ず、第2の実施形態に係るメサ型フォトダイオード100の構成を説明する。

【0080】

本実施形態に係るメサ型フォトダイオード100は、裏面入射型のメサ型PIN-PD(裏面入射型のメサ型PINフォトダイオード)である。図9に示すように、本実施形態に係るメサ型フォトダイオード100は、例えば、n型InP基板111と、このn型InP基板111上にMOVPE法により順次に積層成長されたn型半導体バッファ層112、ノンドープInPエッチング停止層113、ノンドープInGaAs光吸収層114、p型InGaAsキャップ層115、及び、p⁺型InGaAsコンタクト層116とを有している。

40

【0081】

ノンドープInGaAs光吸収層114、p型InGaAsキャップ層115、及び、p⁺型InGaAsコンタクト層116は、メサ形状に加工されて、受光領域メサ119を構成している。

【0082】

なお、本実施形態の場合、例えば、ノンドープInPエッチング停止層113も受光領域メサ119の一部を構成している。

【0083】

50

受光領域メサ 1 1 9 の側面 1 2 3 は、例えば、当該受光領域メサ 1 1 9 の裾が広がる方向に傾斜する斜面となっている。すなわち、側面 1 2 3 には、例えば、オーバーハングする部分が存在しておらず、受光領域メサ 1 1 9 の形状はいわゆる「順メサ形状」である。なお、受光領域メサ 1 1 9 の平面形状は、例えば円形であることが好ましい一例である。

【 0 0 8 4 】

このような形状の受光領域メサ 1 1 9 の側面 1 2 3 と、受光領域メサ 1 1 9 の上面 1 2 4 における少なくとも当該受光領域メサ 1 1 9 の肩の部分（以下、肩部 1 2 5）とは、それらの上に成長（再成長）されたノンドープ InP 層 1 1 7 により連続的に被覆されている。受光領域メサ 1 1 9 の肩部 1 2 5 は、例えば、受光領域メサ 1 1 9 の上面 1 2 4 の周縁部に沿って延在するリング状の部分である。

10

【 0 0 8 5 】

ここで、ノンドープ InP 層 1 1 7 の層厚は、受光領域メサ 1 1 9 の上面 1 2 4 上での層厚 D 2 は 5 0 0 nm 以上 8 5 0 nm 未満であり、受光領域メサ 1 1 9 の側面 1 2 3 上での層厚 D 1 は 8 5 0 nm 以上である。

【 0 0 8 6 】

更に、受光領域メサ 1 1 9 を含み、受光領域メサ 1 1 9 と同心円状の第 2 のメサ 1 5 0 が形成されている。第 2 のメサ 1 5 0 の底部は、n 型 InP 基板 1 1 1 の上面に位置している。

【 0 0 8 7 】

ノンドープ InP 層 1 1 7、第 2 のメサ 1 5 0 の側面 1 5 1 及び n 型 InP 基板 1 1 1 における第 2 のメサ 1 5 0 の周囲の部分は、例えば SiN 等の表面保護膜 1 1 8 により被覆されている。すなわち、ノンドープ InP 層 1 1 7 は、誘電体膜（表面保護膜 1 1 8）により被覆されている。

20

【 0 0 8 8 】

受光領域メサ 1 1 9 の上面 1 2 4 上には、ノンドープ InP 層 1 1 7 に形成された、例えば円形の開口 1 2 6 を介して、例えば円形の p 電極 1 4 0 が設けられている。

【 0 0 8 9 】

受光領域メサ 1 1 9 の形成範囲の外側においては、n 型 InP 基板 1 1 1 上に n 電極 1 4 1 が設けられている。

【 0 0 9 0 】

n 型 InP 基板 1 1 1 は、該 n 型 InP 基板 1 1 1 が所望の厚さとなるように、その裏面が鏡面研磨されている。その n 型 InP 基板 1 1 1 の裏面には、AR コート 1 4 3 が形成されている。

30

【 0 0 9 1 】

ここで、このような構成のメサ型フォトダイオード 1 0 0 においては、p 型 InGaAs キャップ層 1 1 5 及び p⁺ 型 InGaAs コンタクト層 1 1 6 が p 領域を構成し、ノンドープ InGaAs 光吸収層 1 1 4 及びノンドープ InP 層 1 1 7 が n 領域を構成している。そして、この p 領域と n 領域との境界面が pn 接合面を構成している。

【 0 0 9 2 】

次に、第 2 の実施形態に係るメサ型フォトダイオード（メサ型 PIN - PD）の製造方法を説明する。

40

【 0 0 9 3 】

まず、n 型 InP 基板 1 1 1 上に、n 型半導体バッファ層 1 1 2、ノンドープ InP エッチング停止層 1 1 3、ノンドープ InGaAs 光吸収層 1 1 4、p 型 InGaAs キャップ層 1 1 5、及び、p⁺ 型 InGaAs コンタクト層 1 1 6 を MOVPE 法で順次に積層成長させる。

【 0 0 9 4 】

次に、ノンドープ InP エッチング停止層 1 1 3 を用いたエッチングにより、ノンドープ InGaAs 光吸収層 1 1 4、p 型 InGaAs キャップ層 1 1 5、及び、p⁺ 型 InGaAs コンタクト層 1 1 6 を平面視円形のメサ形状に加工する。すなわち、p⁺ 型 In

50

GaAsコンタクト層116上にエッチングマスクを形成し、ノンドープInGaAs光吸収層114、p型InGaAsキャップ層115、及び、p⁺型InGaAsコンタクト層116をエッチングする。このエッチングは、ウェットエッチングでも良いし、ドライエッチングでも良い。

【0095】

次に、ノンドープInPエッチング停止層113における露出部分を選択的にエッチング除去する。これにより、ノンドープInPエッチング停止層113、ノンドープInGaAs光吸収層114、p型InGaAsキャップ層115、及び、p⁺型InGaAsコンタクト層116が平面視円形の受光領域メサ119に加工される。

【0096】

次に、MOVPE法によって、受光領域メサ119の側面123上及び上面124上にノンドープInP層117を成長(再成長)させる。これにより、受光領域メサ119の側面123及び上面124が、ノンドープInP層117により連続的に被覆される。

【0097】

ここで、ノンドープInP層117の層厚は、受光領域メサ119の上面124上での層厚D2は500nm以上850nm未満となるようにする。また、受光領域メサ119の側面123上での層厚D1は850nm以上となるようにする。

【0098】

或いは、層厚D1は下記式(1)で表される範囲に設定する。

$$D1 = 1/2 \times \left(-2 \sqrt{\epsilon_0 / q \times (1/Nd + 1/Na) \times V} \right)^{1/2} \dots \dots \dots \quad (1)$$

式(1)において、 ϵ_0 は半導体(InP)の比誘電率=12.35、 ϵ_0 は真空の誘電率=8.85×10⁻¹⁴(c/V・cm)、qは電気素量=1.6×10⁻¹⁹(c)、Ndはpn接合部のn型領域のドナー濃度=1.0×10¹⁵cm⁻³、Naはpn接合部のp型領域のアクセプタ濃度=1.0×10¹⁹cm⁻³、Vは逆バイアス電圧である。

【0099】

本実施形態の場合、式(1)において、Naはp⁺型InGaAsコンタクト層116の不純物濃度であり、NdはノンドープInP層117の不純物濃度である。すなわち、Naは、上述のpn接合面を有するpn接合部のうち、p領域とn領域との濃度差が最も大きい部分におけるp型領域の不純物濃度(アクセプタ濃度)であり、Ndは、pn接合部のうちp領域とn領域との濃度差が最も大きい部分におけるn型領域の不純物濃度(ドナー濃度)である。

【0100】

ノンドープInP層117の成長温度を、例えば500℃以上600℃以下に設定することにより、このように層厚D2と層厚D1とに差を設けることができる。

【0101】

次に、受光領域メサ119のp⁺型InGaAsコンタクト層116上に直接p電極140を形成するために、ノンドープInP層117の所望部分を選択エッチングにより除去し、該ノンドープInP層117に円形の開口126を形成する。

【0102】

この選択エッチングの際には、フォトリジストを用いたパターンニングによりノンドープInP層117上にエッチングマスクを形成する。受光領域メサ119の上面124上のノンドープInP層117は平坦であるため、そのエッチングマスクの形成に際して用いられる露光用のマスクとノンドープInP層117とが干渉しないようにできる。このため、その露光用のマスクとノンドープInP層117とを適切な距離に容易に近づけることができ、フォトリジストへのパターン転写精度を十分に確保することができる。よって、エッチングマスクのパターンの位置精度、ひいてはp電極40の形成位置の精度を十分に確保することができる。

【0103】

10

20

30

40

50

次に、 SiO_2 ないし SiN 膜、あるいは、フォトレジストにより構成されたマスクを用いて、受光領域メサ 19 を含む同心円状にノンドープ InP 層 117 及び n 型半導体バッファ層 112 をエッチングする。これにより、受光領域メサ 19 を含む第 2 のメサ 150 を円形に形成する。

【0104】

次に、表面保護膜 118 を例えば SiN 膜により形成する。次に、半導体製造プロセスで一般的に用いられるリフトオフ技術等により表面保護膜 118 において円形の上記開口 126 に位置する部分に穴開けし、この穴を介して p 電極 140 を p^+ 型 InGaAs コンタクト層 116 上に形成する。また、同様に、リフトオフ技術等により表面保護膜 118 において第 2 のメサ 150 の外側に位置する部分に穴開けし、この穴を介して n 電極 141 を n 型 InP 基板 111 上に形成する。

10

【0105】

次に、 n 型 InP 基板 111 の裏面を鏡面研磨することにより、該 n 型 InP 基板 111 を所望の厚さに加工する。更に、 n 型 InP 基板 111 の裏面に AR コート 143 を形成する。

【0106】

以上により、第 2 の実施形態に係るメサ型フォトダイオード 100 を製造することができる。

【0107】

以上のような第 2 の実施形態によれば、上記の第 1 の実施形態と同様の効果が得られる。

20

【0108】

次に、実施例 2 を説明する。

【0109】

実施例 2 では、上記の第 2 の実施形態において、ノンドープ InP 層 117 の層厚を受光領域メサ 119 の上面 124 上では 500nm 、側面 123 上では 1300nm とした。また、 n 型半導体バッファ層 112 の膜厚を約 $1\mu\text{m}$ 、ノンドープ InP エッチング停止層 113 の膜厚を約 $20\sim 100\text{nm}$ 、ノンドープ InGaAs 光吸収層 114 の膜厚を約 $2\mu\text{m}$ 、 p 型 InGaAs キャップ層 115 の膜厚を約 $0.2\mu\text{m}$ 、 p^+ 型 InGaAs コンタクト層 116 の膜厚を約 $0.2\mu\text{m}$ とした。また、受光領域メサ 119 の直径は、 $50\sim 80\mu\text{m}$ 程度とした。また、第 2 のメサ 150 を形成する際に用いるマスクの開口の直径を $60\sim 140\mu\text{m}$ 程度とした。また、 n 型 InP 基板 111 の裏面研磨では、 n 型 InP 基板 111 を $150\mu\text{m}$ 程度の厚さとなるように研磨した。

30

【0110】

このような実施例 2 により製造されたメサ型フォトダイオード 1 では、 2V の逆バイアス電圧を印加するときの暗電流が 1nA 程度以下の低暗電流となり、かつ、 GHz から 10 数 GHz の応答特性が確認され、さらには、暗電流の経時的安定性も、たとえば 150 のエージングで 5000 時間経過後も暗電流の増加がない高信頼な特性が確認された。

【0111】

〔第 3 の実施形態〕

40

図 10 は第 3 の実施形態に係るメサ型フォトダイオード 200 の構成を示す断面図である。

【0112】

先ず、第 3 の実施形態に係るメサ型フォトダイオード 200 の構成を説明する。

【0113】

本実施形態に係るメサ型フォトダイオード 200 は、裏面入射型メサ型 APD (APD : アバランシェフォトダイオード) である。

【0114】

図 10 に示すように、本実施形態に係るメサ型フォトダイオード 200 は、例えば、 n 型 InP 基板 211 と、この n 型 InP 基板 211 上にガスソース MBE (Gas So

50

urce Molecular Beam Epitaxy) 法により順次に積層成長されたn型半導体バッファ層212、ノンドープInAlAs増倍層213、p型InAlAs電界緩和層214、p型InPEtching停止層215、p⁻型InGaAs光吸収層216、p型InGaAsキャップ層217、及び、p⁺型InGaAsコンタクト層218と、を備えている。

【0115】

p⁻型InGaAs光吸収層216、p型InGaAsキャップ層217、及び、p⁺型InGaAsコンタクト層218は、メサ形状に加工されて、受光領域メサ227を構成している。受光領域メサ227の側面223は、当該受光領域メサ227の裾に向けて下り傾斜する斜面となっている。なお、受光領域メサ227の平面形状は、例えば円形である。

10

【0116】

受光領域メサ227の側面223と、受光領域メサ227の上面224における少なくとも当該受光領域メサ227の肩の部分(以下、肩部225)とは、それらの上に成長(再成長)されたノンドープInP層219により連続的に被覆されている。肩部225は、受光領域メサ227の上面224の周縁部に沿って延在するリング状の部分である。

【0117】

ここで、ノンドープInP層219の層厚は、受光領域メサ227の上面224上での層厚D1は500nm以上850nm未満であり、受光領域メサ227の側面223上での層厚D1は850nm以上である。

20

【0118】

更に、受光領域メサ227を含み、受光領域メサ227と同心円状の第2のメサ250が形成されている。第2のメサ250の底部は、n型InP基板211の上面に位置している。

【0119】

ノンドープInP層219、第2のメサ250の側面251及びn型InP基板211における第2のメサ250の周囲の部分は、例えばSiN等の表面保護膜220により被覆されている。すなわち、ノンドープInP層219は、誘電体膜(表面保護膜220)により被覆されている。

【0120】

受光領域メサ227の上面224上には、ノンドープInP層219に形成された円形の開口226を介して、円形のp電極240が設けられている。

30

【0121】

受光領域メサ227の形成範囲の外側においては、n型InP基板211上にn電極241が設けられている。

【0122】

n型InP基板211は、該n型InP基板211が所望の厚さとなるように、その裏面が鏡面研磨されている。そのn型InP基板211の裏面には、ARコート243が形成されている。

【0123】

ここで、このような構成のメサ型フォトダイオード200においては、p型InAlAs電界緩和層214、p型InPEtching停止層215、p⁻型InGaAs光吸収層216、p型InGaAsキャップ層217及びp⁺型InGaAsコンタクト層218がp領域を構成し、ノンドープInAlAs増倍層213及びノンドープInP層219がn領域を構成している。そして、このp領域とn領域との境界面がpn接合面を構成している。

40

【0124】

次に、第3の実施形態に係るメサ型フォトダイオード(裏面入射型メサ型APD)の製造方法を説明する。

【0125】

50

先ず、n型InP基板211上に、n型半導体バッファ層212、ノンドープInAlAs増倍層213、p型InAlAs電界緩和層214、p型InPエッチング停止層215、p⁻型InGaAs光吸収層216、p型InGaAsキャップ層217、及び、p⁺型InGaAsコンタクト層218をガスソースMBE法で順次に積層成長させる。
【0126】

次に、平面視円形の受光領域メサ227を、p型InPエッチング停止層215を用いたエッチングにより形成する。すなわち、p⁺型InGaAsコンタクト層218上にエッチングマスクを形成し、p⁺型InGaAsコンタクト層218、p型InGaAsキャップ層217及びp⁻型InGaAs光吸収層216をメサ形状にエッチングする。これにより、これらp⁻型InGaAs光吸収層216、p型InGaAsキャップ層217、及び、p⁺型InGaAsコンタクト層218を受光領域メサ227に加工する。なお、このエッチングは、ウェットエッチングでも良いし、ドライエッチングでも良い。また、このエッチングの際のエッチングマスクは、上記の第1の実施形態と同様に、例えば、SiO₂ないしSiN膜で形成するか、又は、フォトレジストで形成する。

10

【0127】

次に、MOVPE法によって、受光領域メサ227の側面223上及び上面224上にノンドープInP層219を再成長する。これにより、受光領域メサ227の側面223及び上面224が、ノンドープInP層219により連続的に被覆される。

【0128】

ここで、ノンドープInP層219の層厚は、受光領域メサ227の上面224上での層厚D2は500nm以上850nm未満となり、受光領域メサ227の側面223上での層厚D1は850nm以上となるようにする。

20

【0129】

或いは、層厚D1は下記式(1)で表される範囲に設定する。

$$D1 = \frac{1}{2} \times \left(-2 \frac{\epsilon_0}{q} \times \left(\frac{1}{Nd} + \frac{1}{Na} \right) \times V \right)^{1/2} \dots \dots \dots (1)$$

式(1)において、 ϵ_0 は半導体(InP)の比誘電率=12.35、 ϵ_0 は真空の誘電率=8.85×10⁻¹⁴(c/V・cm)、qは電気素量=1.6×10⁻¹⁹(c)、Ndはpn接合部のn型領域のドナー濃度=1.0×10¹⁵cm⁻³、Naはpn接合部のp型領域のアクセプタ濃度=1.0×10¹⁹cm⁻³、Vは逆バイアス電圧である。

30

【0130】

本実施形態の場合、式(1)において、Naはp⁺型InGaAsコンタクト層218の不純物濃度であり、NdはノンドープInP層219の不純物濃度である。すなわち、Naは、上述のpn接合面を有するpn接合部のうち、p領域とn領域との濃度差が最も大きい部分におけるp型領域の不純物濃度(アクセプタ濃度)であり、Ndは、pn接合部のうちp領域とn領域との濃度差が最も大きい部分におけるn型領域の不純物濃度(ドナー濃度)である。

【0131】

ノンドープInP層219の成長温度を、例えば500℃以上600℃以下に設定することにより、このように層厚D2と層厚D1とに差を設けることができる。

40

【0132】

次に、受光領域メサ227のp⁺型InGaAsコンタクト層218上に直接p電極240を形成するために、ノンドープInP層219の所望部分を選択エッチングにより除去し、該ノンドープInP層219に例えば円形の開口226を形成する。

【0133】

この選択エッチングの際には、フォトレジストを用いたパターニングによりノンドープInP層219上にエッチングマスクを形成する。受光領域メサ227の上面224上のノンドープInP層219は平坦であるため、そのエッチングマスクの形成に際して用いられる露光用のマスクとノンドープInP層219とが干渉しないようにできる。このた

50

め、その露光用のマスクとノンドープInP層219とを適切な距離に容易に近づけることができ、フォトレジストへのパターン転写精度を十分に確保することができる。よって、エッチングマスクのパターンの位置精度、ひいてはp電極240の形成位置の精度を十分に確保することができる。

【0134】

次に、SiO₂ないしSiN膜、あるいは、フォトレジストにより構成されたマスクを用いて、受光領域メサ227を含む同心円状にノンドープInP層219、p型InPエッチング停止層215、p型InAlAs電界緩和層214、ノンドープInAlAs増倍層213及びn型半導体バッファ層212をエッチングする。これにより、受光領域メサ227を含む第2のメサ250を円形に形成する。

10

【0135】

次に、表面保護膜220を例えばSiN膜により形成する。次に、半導体製造プロセスで一般的に用いられるリフトオフ技術等により表面保護膜220において円形の上記開口226に位置する部分に穴開けし、この穴を介してp電極240をp⁺型InGaAsコンタクト層218上に形成する。また、同様に、リフトオフ技術等により表面保護膜220において第2のメサ250の外側に位置する部分に穴開けし、この穴を介してn電極241をn型InP基板211上に形成する。

【0136】

次に、n型InP基板211の裏面を鏡面研磨することにより、該n型InP基板211を所望の厚さに加工する。更に、n型InP基板211の裏面にARコート243を形成する。

20

【0137】

以上により、第3の実施形態に係るメサ型フォトダイオード200を製造することができる。

【0138】

以上のような第3の実施形態によれば、第1の実施形態と同様の効果が得られる。

【0139】

次に、実施例3を説明する。

【0140】

実施例3では、上記の第3の実施形態において、n型半導体バッファ層212の膜厚を約1μm、ノンドープInAlAs増倍層213の膜厚を0.2~0.3μm、p型InAlAs電界緩和層214の膜厚を20~100nm、p型InPエッチング停止層215の膜厚を20~100nm、p⁻型InGaAs光吸収層216の膜厚を0.5~2μm、p型InGaAsキャップ層217の膜厚を約0.2μm、p⁺型InGaAsコンタクト層218の膜厚を約0.2μmとした。また、受光領域メサ227の直径は、30~50μm程度とした。また、p電極240を形成するための開口226の直径を20~40μm程度とした。また、p電極240及びn電極241を形成した後のn型InP基板211の裏面研磨では、n型InP基板211を150μm程度の厚さとなるように研磨した。また、第2のメサ250を形成する際に用いるマスクの開口の直径を40~110μm程度とした。

30

40

【0141】

このような実施例3により製造されたメサ型フォトダイオード200では、ブレークダウン電圧値V_{br}(暗電流が10μAで定義)が20~45V、0.9V_{br}のバイアス電圧を印加するときの暗電流が40nA程度以下の低暗電流となり、かつ、GHz応答特性が確認され、さらには、暗電流の経時的安定性も、たとえば150のエイジングで5000時間経過後も暗電流の増加がない高信頼な特性が確認された。

【0142】

なお、上記の各実施形態では、再成長層がノンドープの半導体(ノンドープInP層17、117、219)である例を説明したが、再成長層は、p型ないしn型で、例えば、約1×10⁻⁶cm⁻³以下の低濃度InP層、あるいは、半絶縁性InP層によって構

50

成しても、上記と同様の効果が得られる。

【0143】

また、上記の第1乃至第3の実施形態では、第2導電型の半導体層がそれぞれ2層である例を説明した。すなわち、第1の実施形態では第2導電型の半導体層がp型InGaAsキャップ層15及びp⁺型InGaAsコンタクト層16の2層からなり、第2の実施形態では第2導電型の半導体層がp型InGaAsキャップ層115及びp⁺型InGaAsコンタクト層116の2層からなり、第3の実施形態では第2導電型の半導体層がp型InGaAsキャップ層217及びp⁺型InGaAsコンタクト層218の2層からなる例をそれぞれ説明した。しかし、これらの例に限らず、第2導電型の半導体層は、3層以上に分かれていても良いし、或いは、単層であるが、不純物濃度が上層に向かうにつれて徐々に増大する構造であっても良い。そして、第2導電型の半導体層の最上層にp電極を直接形成すると良い。

10

【0144】

また、上記の第1及び第2の実施形態の場合、各メサ型フォトダイオード1、100は、ノンドープの半導体からなるエッチング停止層（ノンドープInPエッチング停止層13、113）に代えて、第1導電型（例えば、n型）の半導体からなるエッチング停止層を有することとしても良い。

【0145】

また、上記の第1及び第2の実施形態の場合、各メサ型フォトダイオード1、100は、ノンドープの半導体からなる光吸収層（ノンドープInGaAs光吸収層14、114）に代えて、第1導電型又は第2導電型の半導体からなる光吸収層を有することとしても良い。

20

【0146】

また、第3の実施形態では、p型電界緩和層をInAlAs層で構成した例を説明したが、p型のInAlGaAs層、p型のInP層、或いは、p型のInGaAsP層でp型電界緩和層を構成してもよい。

【0147】

また、上記の第3の実施形態の場合、メサ型フォトダイオード200は、ノンドープの半導体からなる増倍層（ノンドープInAlAs増倍層213）に代えて、第1導電型（例えば、n型）の半導体からなる増倍層を備えることとしても良い。

30

【符号の説明】

【0148】

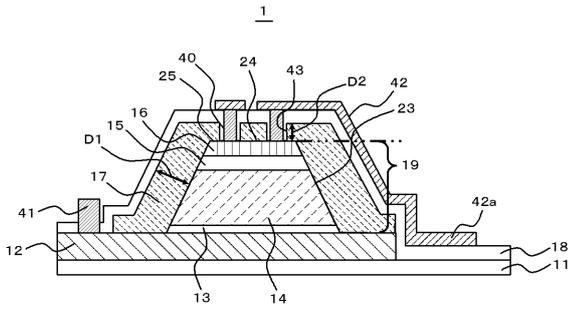
- 1 メサ型フォトダイオード
- 11 高抵抗型InP基板（半導体基板）
- 12 n型半導体バッファ層（バッファ層）
- 13 ノンドープInPエッチング停止層（エッチング停止層）
- 14 ノンドープInGaAs光吸収層（光吸収層）
- 15 p型InGaAsキャップ層（第2導電型の半導体層）
- 16 p⁺型InGaAsコンタクト層（第2導電型の半導体層）
- 17 ノンドープInP層（半導体層）
- 18 表面保護膜（誘電体保護膜）
- 19 受光領域メサ（メサ）
- 23 側面
- 24 上面
- 25 肩部
- 40 p電極
- 41 n電極
- 42 段差配線電極
- 42a pパッド
- 43 開口

40

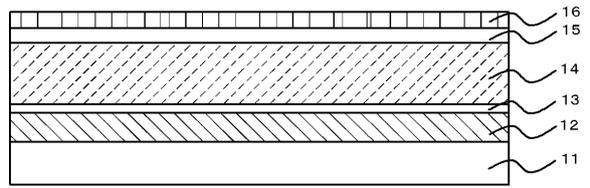
50

1 0 0	メサ型フォトダイオード	
1 1 1	n型InP基板(半導体基板)	
1 1 2	n型半導体バッファ層(バッファ層)	
1 1 3	ノンドープInPEtching停止層(Etching停止層)	
1 1 4	ノンドープInGaAs光吸収層(光吸収層)	
1 1 5	p型InGaAsキャップ層(第2導電型の半導体層)	
1 1 6	p ⁺ 型InGaAsコンタクト層(第2導電型の半導体層)	
1 1 7	ノンドープInP層(半導体層)	
1 1 8	表面保護膜(誘電体保護膜)	
1 1 9	受光領域メサ(メサ)	10
1 2 3	側面	
1 2 4	上面	
1 2 5	肩部	
1 2 6	開口	
1 4 0	p電極	
1 4 1	n電極	
1 4 3	ARコート	
1 5 0	第2のメサ	
1 5 1	側面	
2 0 0	メサ型フォトダイオード	20
2 1 1	n型InP基板	
2 1 2	n型半導体バッファ層(バッファ層)	
2 1 3	ノンドープInAlAs増倍層(増倍層)	
2 1 4	p型InAlAs電界緩和層(電界緩和層)	
2 1 5	p型InPEtching停止層(Etching停止層)	
2 1 6	p ⁻ 型InGaAs光吸収層(光吸収層)	
2 1 7	p型InGaAsキャップ層(第2導電型の半導体層)	
2 1 8	p ⁺ 型InGaAsコンタクト層(第2導電型の半導体層)	
2 1 9	ノンドープInP層(半導体層)	
2 2 0	表面保護膜(誘電体保護膜)	30
2 2 3	側面	
2 2 4	上面	
2 2 5	肩部	
2 2 6	開口	
2 2 7	受光領域メサ(メサ)	
2 4 0	p電極	
2 4 1	n電極	
2 4 3	ARコート	
2 5 0	第2のメサ	
2 5 1	側面	40
D 1	層厚	
D 2	層厚	

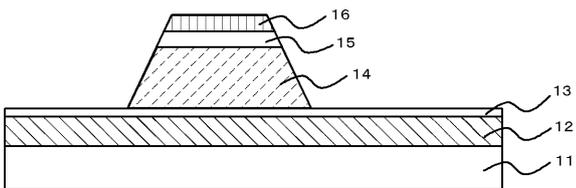
【 図 1 】



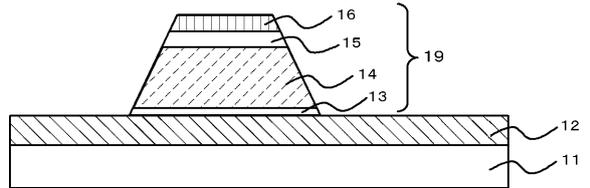
【 図 2 】



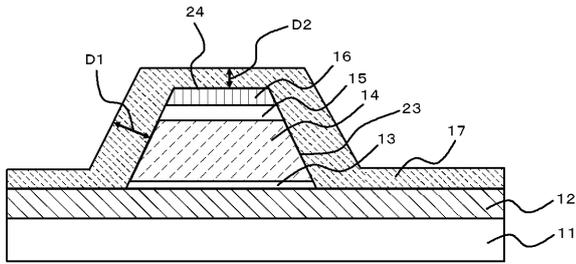
【 図 3 】



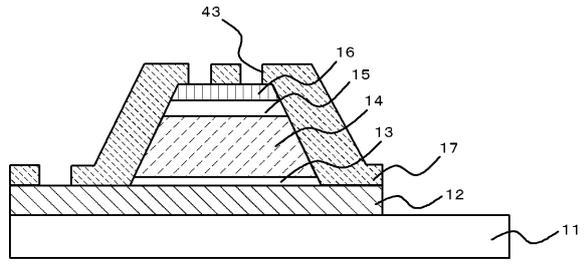
【 図 4 】



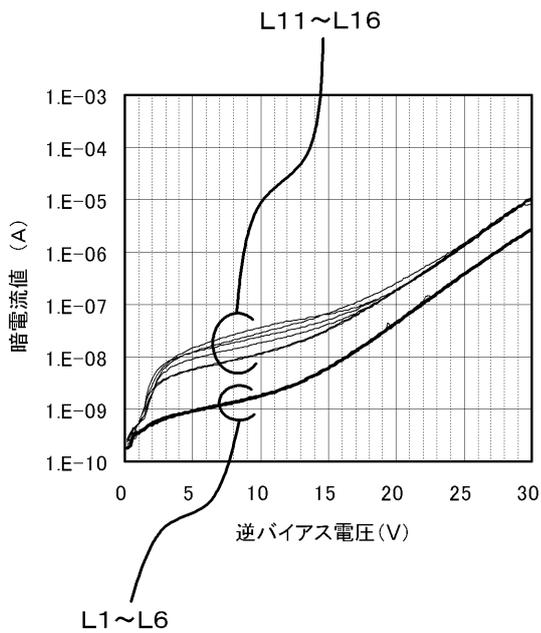
【図5】



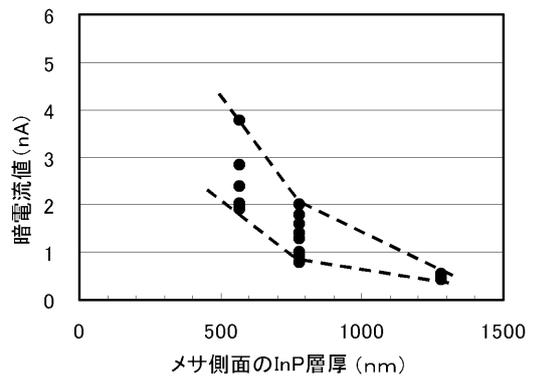
【図6】



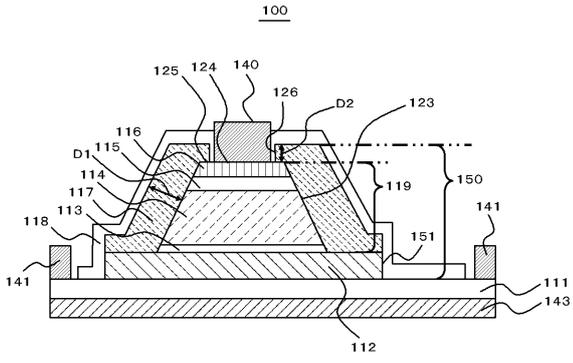
【図7】



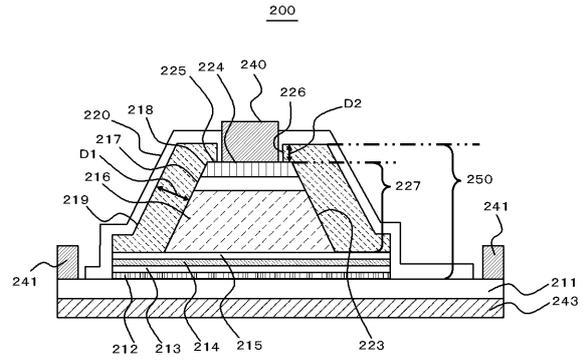
【図8】



【 図 9 】



【 図 1 0 】



フロントページの続き

(72)発明者 松本 卓

神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

Fターム(参考) 5F049 MA04 MA07 MB07 NA20 PA01 PA04 PA14 QA02 QA20 SS04

SZ12