

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年5月24日(2007.5.24)

【公表番号】特表2007-500412(P2007-500412A)

【公表日】平成19年1月11日(2007.1.11)

【年通号数】公開・登録公報2007-001

【出願番号】特願2006-521858(P2006-521858)

【国際特許分類】

G 1 1 C	16/02	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	29/788	(2006.01)
G 1 1 C	16/04	(2006.01)
G 1 1 C	16/06	(2006.01)

【F I】

G 1 1 C	17/00	6 1 1 A
H 0 1 L	27/10	4 3 4
H 0 1 L	29/78	3 7 1
G 1 1 C	17/00	6 1 1 G
G 1 1 C	17/00	6 2 2 E
G 1 1 C	17/00	6 4 1
G 1 1 C	17/00	6 3 4 G

【手続補正書】

【提出日】平成19年3月29日(2007.3.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

オーバー・プログラミングを検知する方法であり、

第1制御線に関連する1つ又は複数のマルチ状態記憶素子をプログラミングする工程と

、前記の「第1制御線に関連する1つ又は複数のマルチ状態記憶素子」をプログラミングする工程の後に、第2制御線に関連する1つ又は複数のマルチ状態記憶素子をプログラミングする工程と、

前記の「第2制御線に関連する1つ又は複数のマルチ状態記憶素子」をプログラミングする工程の後に、前記の「第1制御線に関連する1つ又は複数のマルチ状態記憶素子」がオーバー・プログラミングされたか否かを判断する工程

を備える方法。

【請求項2】

第1制御線は、第1ビット線であり、

第2制御線は、第1ビット線に隣接する第2ビット線であることを特徴とする請求項1の方法。

【請求項3】

第1制御線は、第1ワード線であり、

第2制御線は、第1ワード線に隣接する第2ワード線であることを特徴とする請求項1の方法。

【請求項4】

オーバー・プログラミングされたと判断された記憶素子に対してデータを修正する工程をさらに備えることを特徴とする請求項1の方法。

【請求項5】

前記修正工程は、所定の記憶素子の閾電圧を次に低い閾区分まで下げるることを含んでいることを特徴とする請求項4の方法。

【請求項6】

前記判断工程は、所定の記憶素子に隣接する記憶素子の電荷から生じる電界の存在を原因として前記所定の記憶素子がオーバー・プログラミングされたか否かを検知することを含んでいることを特徴とする請求項1の方法。

【請求項7】

前記判断工程は、1つ又は複数のオーバー・プログラミング範囲のいずれかに含まれる閾電圧を所定の記憶素子が有するか否かを検知することを含んでいることを特徴とする請求項1の方法。

【請求項8】

前記判断工程は、1つ又は複数のオーバー・プログラミング範囲のいずれかに含まれる閾電圧を所定の記憶素子が有するか否かを検知することを含んでおり、

オーバー・プログラミング範囲は、前記所定の記憶素子に隣接する記憶素子の電荷から生じる電界の影響を推定することによって決定されることを特徴とする請求項1の方法。

【請求項9】

前記判断工程は、

1つ又は複数のオーバー・プログラミング範囲のエッジについて、前記の「第1制御線に関連するマルチ状態記憶素子」に対して読み取操作を実行する工程と、

第1制御線に関連する所定のマルチ状態記憶素子が前記の「1つ又は複数のオーバー・プログラミング範囲」のいずれかに含まれる閾電圧を有する場合に、前記所定のマルチ状態記憶素子がオーバー・プログラミングされたと判断する工程

を有する方法を実行することを含んでおり、

前記所定のマルチ状態記憶素子は、前記の「第2制御線に関連するマルチ状態記憶素子」の少なくとも1つに隣接することを特徴とする請求項1の方法。

【請求項10】

第1制御線は、第1ワード線であり、

第2制御線は、第2ワード線であることを特徴とする請求項9の方法。

【請求項11】

前記判断工程は、

前記の「第1制御線に関連するマルチ状態記憶素子」の初期状態を判断するために、1つ又は複数の読み取比較点について、前記の「第1制御線に関連するマルチ状態記憶素子」に対して読み取操作を実行する工程と、

前記の「第1制御線に関連するマルチ状態記憶素子」と前記初期状態のためのエラー訂正コード処理を実行する工程と、

第1制御線に関連する所定のマルチ状態記憶素子のためのエラー訂正コード処理が失敗した場合に、前記所定のマルチ状態記憶素子がオーバー・プログラミングされたと判断する工程

を有する方法を実行することを含んでおり、

前記所定のマルチ状態記憶素子は、前記の「第2制御線に関連するマルチ状態記憶素子」の少なくとも1つに隣接することを特徴とする請求項1の方法。

【請求項12】

第1制御線は、第1ワード線であり、

第2制御線は、第2ワード線であることを特徴とする請求項11の方法。

【請求項 1 3】

前記所定のマルチ状態記憶素子がオーバー・プログラミングされた場合に、前記所定のマルチ状態記憶素子に対してデータを修正する工程をさらに備えることを特徴とする請求項 1 0 の方法。

【請求項 1 4】

前記の「第 1 制御線に関連する 1 つ又は複数のマルチ状態記憶素子」と、前記の「第 2 制御線に関連する 1 つ又は複数のマルチ状態記憶素子」は、NAND フラッシュメモリ素子であることを特徴とする請求項 1 の方法。

【請求項 1 5】

前記の「第 1 制御線に関連する 1 つ又は複数のマルチ状態記憶素子」は、記憶素子のアレイの一部であり、

記憶素子のアレイは、集積回路チップ上にあり、

前記判断工程は、集積回路チップ上にある 1 つ又は複数の回路によって実行されることを特徴とする請求項 1 の方法。

【請求項 1 6】

オーバー・プログラミングを検知する方法であり、

第 1 マルチ状態記憶素子をプログラミングする工程と、

第 1 マルチ状態記憶素子をプログラミングする工程の後に、第 1 マルチ状態記憶素子に対して影響を及ぼすことができる電界を有する第 2 マルチ状態記憶素子をプログラミングする工程と、

第 2 マルチ状態記憶素子をプログラミングする工程の後に、第 1 マルチ状態記憶素子がオーバー・プログラミングされたか否かを判断する工程

を備える方法。

【請求項 1 7】

第 1 マルチ状態記憶素子は、第 1 ワード線に接続されており、

第 2 マルチ状態記憶素子は、第 2 ワード線に接続されており、

第 2 マルチ状態記憶素子は、第 1 マルチ状態記憶素子に隣接していることを特徴とする請求項 1 6 の方法。

【請求項 1 8】

第 1 マルチ状態記憶素子は、第 1 ビット線に接続されている第 1 NAND チェーンの一部であり、

第 2 マルチ状態記憶素子は、第 2 ビット線に接続されている第 2 NAND チェーンの一部であることを特徴とする請求項 1 6 の方法。

【請求項 1 9】

前記判断工程は、第 2 マルチ状態記憶素子の電荷から生じる電界の存在を原因として第 1 マルチ状態記憶素子がオーバー・プログラミングされたか否かを検知することを含んでおり、

第 2 マルチ状態記憶素子は、第 1 マルチ状態記憶素子に隣接していることを特徴とする請求項 1 6 の方法。

【請求項 2 0】

前記判断工程は、

1 つ又は複数のオーバー・プログラミング範囲のエッジについて、第 1 マルチ状態記憶素子に対して読み取り操作を実行する工程と、

第 1 マルチ状態記憶素子が前記の「1 つ又は複数のオーバー・プログラミング範囲」のいずれかに含まれる閾電圧を有する場合に、第 1 マルチ状態記憶素子がオーバー・プログラミングされたと判断する工程

を有する方法を実行することを含んでおり、

第 2 マルチ状態記憶素子は、第 1 マルチ状態記憶素子に隣接することを特徴とする請求項 1 6 の方法。

【請求項 2 1】

前記判断工程は、

第1マルチ状態記憶素子の初期状態を判断するために、1つ又は複数の読み取り比較点について、第1マルチ状態記憶素子に対して読み取り操作を実行する工程と、

第1マルチ状態記憶素子と前記初期状態のためのエラー訂正コード処理を実行する工程と、

エラー訂正コード処理が失敗した場合に、第1マルチ状態記憶素子がオーバー・プログラミングされたと判断する工程

を有する方法を実行することを含んでおり、

第2マルチ状態記憶素子は、第1マルチ状態記憶素子に隣接することを特徴とする請求項16の方法。

【請求項22】

マルチ状態記憶素子のアレイと、マルチ状態記憶素子のアレイと通信する管理回路を備えるメモリシステムであり、

管理回路は、第1制御線に関連する1つ又は複数のマルチ状態記憶素子をプログラミングするとともに、その後に第2制御線に関連する1つ又は複数のマルチ状態記憶素子をプログラミングすることを含むプログラミング操作を実行し、

管理回路は、前記の「第2制御線に関連する1つ又は複数のマルチ状態記憶素子」をプログラミングした後に、前記の「第1制御線に関連する1つ又は複数のマルチ状態記憶素子」がオーバー・プログラミングされたか否かを判断し、

前記の「第2制御線に関連するマルチ状態記憶素子」の少なくとも一部は、前記の「第1制御線に関連するマルチ状態記憶素子」に隣接していることを特徴とするメモリシステム。

【請求項23】

第1制御線は、第1ビット線であり、

第2制御線は、第1ビット線に隣接する第2ビット線であることを特徴とする請求項22のメモリシステム。

【請求項24】

第1制御線は、第1ワード線であり、

第2制御線は、第1ワード線に隣接する第2ワード線であることを特徴とする請求項22のメモリシステム。

【請求項25】

前記の「第1制御線に関連する1つ又は複数のマルチ状態記憶素子」と、前記の「第2制御線に関連する1つ又は複数のマルチ状態記憶素子」は、NANDフラッシュメモリ素子であることを特徴とする請求項22のメモリシステム。

【請求項26】

前記の「1つ又は複数のマルチ状態記憶素子」は、記憶素子のアレイの一部であり、

記憶素子のアレイは、集積回路チップ上にあり、

管理回路は、状態機械を含んでおり、

状態機械は、集積回路チップ上にあり、

状態機械は、前記の「第1制御線に関連する1つ又は複数のマルチ状態記憶素子」がオーバー・プログラミングされたか否かの判断を実行することを特徴とする請求項22のメモリシステム。

【請求項27】

管理回路は、オーバー・プログラミングされたと判断された記憶素子に対してデータを修正することを特徴とする請求項22のメモリシステム。

【請求項28】

管理回路は、所定の記憶素子に隣接する記憶素子の電荷から生じる電界の存在を原因として前記所定の記憶素子がオーバー・プログラミングされたか否かを検知することを特徴とする請求項22のメモリシステム。

【請求項29】

管理回路は、所定の記憶素子が1つ又は複数のオーバー・プログラミング範囲のいずれかに含まれる閾電圧を有するか否かを検知し、

オーバー・プログラミング範囲は、前記所定の記憶素子に隣接する記憶素子の電荷から生じる電界の影響を推定することによって決定されることを特徴とする請求項22のメモリシステム。

【請求項30】

管理回路は、1つ又は複数のオーバー・プログラミング範囲のエッジについて、前記の「第1制御線に関連するマルチ状態記憶素子」に対して読み取り操作を実行し、

第1制御線に関連する所定のマルチ状態記憶素子が前記の「1つ又は複数のオーバー・プログラミング範囲」のいずれかに含まれる閾電圧を有する場合に、前記所定のマルチ状態記憶素子はオーバー・プログラミングされたと判断することを特徴とする請求項22のメモリシステム。

【請求項31】

第1制御線は、第1ワード線であり、

第2制御線は、第1ワード線に隣接する第2ワード線であることを特徴とする請求項30のメモリシステム。

【請求項32】

管理回路は、

前記の「第1制御線に関連するマルチ状態記憶素子」の初期状態を判断するために、1つ又は複数の読み取り比較点について、前記の「第1制御線に関連するマルチ状態記憶素子」に対して読み取り操作を実行し、

前記の「第1制御線に関連するマルチ状態記憶素子」ためのエラー訂正コード処理を実行し、

第1制御線に関連する所定のマルチ状態記憶素子のためのエラー訂正コード処理が失敗した場合に、前記所定のマルチ状態記憶素子がオーバー・プログラミングされたと判断することを特徴とする請求項22のメモリシステム。

【請求項33】

第1制御線は、第1ワード線であり、

第2制御線は、第1ワード線に隣接する第2ワード線であることを特徴とする請求項32のメモリシステム。