

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7525525号  
(P7525525)

(45)発行日 令和6年7月30日(2024.7.30)

(24)登録日 令和6年7月22日(2024.7.22)

(51)国際特許分類

F I

G 0 9 G	3/3233(2016.01)	G 0 9 G	3/3233
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 G	3/20 (2006.01)	G 0 9 F	9/30 3 6 5
G 0 9 G	3/32 (2016.01)	G 0 9 G	3/20 6 2 4 B
H 1 0 K	59/123(2023.01)	G 0 9 G	3/20 6 4 1 D

請求項の数 18 (全34頁) 最終頁に続く

(21)出願番号	特願2021-578106(P2021-578106)
(86)(22)出願日	令和2年5月6日(2020.5.6)
(65)公表番号	特表2023-533092(P2023-533092 A)
(43)公表日	令和5年8月2日(2023.8.2)
(86)国際出願番号	PCT/CN2020/088773
(87)国際公開番号	WO2021/223101
(87)国際公開日	令和3年11月11日(2021.11.11)
審査請求日	令和5年5月1日(2023.5.1)

(73)特許権者	510280589 京東方科技集団股 ぶん 有限公司 BOE TECHNOLOGY GROU P CO., LTD. 中華人民共和国100015北京市朝陽 區酒仙橋路10號 No.10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
----------	---

(73)特許権者	511121702 成都京東方光電科技有限公司 CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO., LTD.
----------	---

最終頁に続く

(54)【発明の名称】 表示基板及びその駆動方法、表示装置

(57)【特許請求の範囲】

【請求項1】

表示基板であって、  
ベース基板と、前記ベース基板に位置し且つアレイで配列される複数のサブ画素と、を含み、  
前記複数のサブ画素のそれぞれは画素回路を含み、前記画素回路は前記複数のサブ画素  
のそれぞれに対応する発光素子が発光するように駆動することに用いられ、前記複数の画素回路のそれぞれは駆動サブ回路、データ書き込みサブ回路、補償サブ回  
路、記憶サブ回路及び第1リセットサブ回路を含み、前記駆動サブ回路は制御端子、第1端子及び第2端子を含み、且つ前記発光素子に接続  
され且つ前記発光素子を流れる駆動電流を制御するように構成され、前記データ書き込みサブ回路は前記駆動サブ回路の第1端子に接続され、且つ第1走査  
信号に应答してデータ信号を前記駆動サブ回路の第1端子に書き込むように構成され、前記補償サブ回路は制御端子、第1端子及び第2端子を含み、前記補償サブ回路の制御  
端子は第2走査信号を受信するように構成され、前記補償サブ回路の第1端子及び第2端  
子はそれぞれ前記駆動サブ回路の制御端子及び第2端子に電氣的に接続され、前記補償サ  
ブ回路は前記第2走査信号に应答して前記駆動サブ回路に対して閾値補償を行うように構  
成され、前記記憶サブ回路は第1端子及び第2端子を含み、前記記憶サブ回路の第1端子は第1  
電源電圧を受信するように構成され、前記記憶サブ回路の第2端子は前記駆動サブ回路の

10

20

制御端子に電氣的に接続され、

前記第 1 リセットサブ回路は制御端子、第 1 端子及び第 2 端子を含み、前記第 1 リセットサブ回路の制御端子は第 1 リセット制御電圧を受信するように構成され、前記第 1 リセットサブ回路の第 1 端子は第 1 リセット電圧を受信するように構成され、前記第 1 リセットサブ回路の第 2 端子は前記発光素子に接続されるように構成され、

前記第 1 リセットサブ回路は前記発光素子を逆バイアスするように前記第 1 リセット制御電圧に応答して前記第 1 リセット電圧を前記発光素子に印加するように構成され、

前記複数のサブ画素は第 1 サブ画素を含み、前記表示基板は更に第 1 リセット電圧端子を含み、前記第 1 リセット電圧端子は前記第 1 サブ画素に前記第 1 リセット電圧を提供するために、前記第 1 サブ画素の第 1 リセットサブ回路の第 1 端子に接続されるように構成され、

10

前記複数の画素回路のそれぞれは更に第 2 リセットサブ回路を含み、

前記第 2 リセットサブ回路は前記駆動サブ回路の制御端子に接続され、且つ前記駆動サブ回路の制御端子をリセットするように、第 2 リセット制御電圧に応答して第 2 リセット電圧を前記駆動サブ回路の制御端子に印加するように構成され、

前記複数のサブ画素は第 1 方向及び第 2 方向に沿って複数の画素行及び複数の画素列として配列され、

前記表示基板は更に前記第 1 方向に沿って延伸する第 1 リセット電圧線を含み、前記第 1 リセット電圧線は前記サブ画素に前記第 1 リセット電圧を提供するようにそれぞれ前記第 1 リセット電圧端子及び前記第 1 リセットサブ回路の第 1 端子に電氣的に接続され、

20

前記表示基板は更に前記第 1 方向に沿って延伸する第 1 リセット信号線を含み、

前記第 1 リセット信号線は前記第 2 リセット電圧を提供するように前記第 2 リセットサブ回路の制御端子に接続され、

前記第 1 リセット信号線は前記第 1 リセット電圧線の前記ベース基板に近い側に位置し、前記第 1 リセット信号線はドーピング半導体材料を含む、表示基板。

【請求項 2】

更に第 2 リセット電圧端子を含み、

前記第 2 リセット電圧端子は前記第 2 リセット電圧を提供するように前記第 2 リセットサブ回路に接続されるように構成され、

前記第 2 リセット電圧端子が出力した前記第 2 リセット電圧は前記第 1 リセット電圧端子が出力した前記第 1 リセット電圧より大きい、請求項 1 に記載の表示基板。

30

【請求項 3】

更に前記第 2 方向に沿って延伸する第 2 リセット信号線を含み、

前記第 2 リセット信号線は前記第 1 リセット電圧線の前記ベース基板から離れる側に位置し、且つ前記第 1 リセット信号線に電氣的に接続される、請求項 1 に記載の表示基板。

【請求項 4】

前記複数の画素回路のそれぞれは更に第 1 接続電極を含み、

前記第 1 接続電極は前記第 1 リセット電圧線の前記ベース基板から離れる側に位置し、前記第 1 接続電極はそれぞれ前記第 1 リセットサブ回路の第 1 端子及び第 1 リセット電圧線に電氣的に接続される、請求項 1 ~ 3 のいずれか一項に記載の表示基板。

40

【請求項 5】

前記記憶サブ回路は、第 1 コンデンサ電極及び第 2 コンデンサ電極を含む記憶コンデンサを含み、

前記第 1 コンデンサ電極は前記第 1 リセット電圧線と同じ層に絶縁設置され、前記第 2 コンデンサ電極は前記第 1 コンデンサ電極が前記ベース基板に近い側に位置する、請求項 4 に記載の表示基板。

【請求項 6】

前記複数の画素回路のそれぞれは更に第 2 接続電極を含み、

前記第 2 接続電極は前記第 1 接続電極と同じ層に絶縁設置され、前記第 2 接続電極はそれぞれ前記第 2 コンデンサ電極及び前記補償サブ回路の第 1 端子に電氣的に接続される、

50

請求項 5 に記載の表示基板。

【請求項 7】

前記第 1 コンデンサ電極は開口を含み、前記第 2 接続電極は前記第 1 コンデンサ電極から絶縁され、且つ前記開口によって前記第 2 コンデンサ電極に電氣的に接続される、請求項 6 に記載の表示基板。

【請求項 8】

前記複数の画素回路のそれぞれは更に第 3 接続電極を含み、

前記第 3 接続電極は前記第 1 接続電極と同じ層に絶縁設置され、前記第 3 接続電極は第 1 接続端子及び第 2 接続端子を含み、前記第 1 接続端子は前記第 1 リセットサブ回路の第 2 端子に電氣的に接続され、前記第 2 接続端子は前記発光素子に接続されることに用いられる、請求項 4 ~ 7 のいずれか一項に記載の表示基板。

10

【請求項 9】

前記複数の画素回路のそれぞれは更に発光制御サブ回路を含み、

前記発光制御サブ回路は制御端子、第 1 端子及び第 2 端子を含み、前記発光制御サブ回路の第 1 端子は前記駆動サブ回路の第 2 端子に接続され、前記発光制御サブ回路の第 2 端子は前記発光素子に接続されることに用いられる、請求項 8 に記載の表示基板。

【請求項 10】

前記第 3 接続電極は更に第 3 接続端子を含み、前記第 3 接続端子は前記発光制御サブ回路の第 2 端子に電氣的に接続されることで、前記発光制御サブ回路の第 2 端子を前記発光素子に接続する、請求項 9 に記載の表示基板。

20

【請求項 11】

前記第 3 接続電極は U 型構造であり、

前記第 1 接続端子及び前記第 2 接続端子はそれぞれ前記 U 型構造の 2 つの端点に位置し、前記第 3 接続端子は前記 U 型構造の前記第 2 接続端子に近い曲がり角に位置する、請求項 10 に記載の表示基板。

【請求項 12】

前記複数のサブ画素は更に第 2 サブ画素を含み、前記第 1 サブ画素及び前記第 2 サブ画素は異なる色を発する発光素子に対応し、

前記表示基板は更に第 3 リセット電圧端子を含み、前記第 3 リセット電圧端子は前記第 2 サブ画素に前記第 1 リセット電圧を提供するように前記第 2 サブ画素の第 1 リセットサブ回路の第 1 端子に接続されるように構成され、

30

前記第 1 リセット電圧端子が出力した第 1 リセット電圧と前記第 3 リセット電圧端子が出力した第 1 リセット電圧とは異なる、請求項 1 ~ 11 のいずれか一項に記載の表示基板。

【請求項 13】

前記第 1 リセット電圧端子が出力した第 1 リセット電圧は前記第 3 リセット電圧端子が出力した第 1 リセット電圧より小さい、請求項 12 に記載の表示基板。

【請求項 14】

前記複数のサブ画素は更に第 3 サブ画素を含み、前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素はそれぞれ青色発光素子、赤色発光素子及び緑色発光素子に対応し、

前記第 3 リセット電圧端子は前記第 3 サブ画素に前記第 1 リセット電圧を提供するように更に前記第 3 サブ画素の第 1 リセットサブ回路の第 1 端子に接続される、請求項 12 又は 13 に記載の表示基板。

40

【請求項 15】

更に前記第 1 方向に沿って延伸する第 2 リセット電圧線を含み、

前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素は同じ画素行にあり、

前記第 1 リセット電圧線は前記第 1 サブ画素の第 1 リセットサブ回路の第 1 端子と前記第 1 リセット電圧端子とを電氣的に接続し、前記第 2 リセット電圧線は前記第 2 サブ画素の第 1 リセットサブ回路の第 1 端子及び前記第 3 サブ画素の第 1 リセットサブ回路の第 1 端子と前記第 3 リセット電圧端子とを電氣的に接続する、請求項 14 に記載の表示基板。

【請求項 16】

50

駆動方法であって、請求項 1 ~ 15 のいずれか一項に記載の表示基板に用いられ、リセット段階と、発光段階とを含み、

前記リセット段階は、前記第 1 リセットサブ回路をオンにするように、前記第 1 リセット制御電圧及び前記第 1 リセット電圧を入力し、前記発光素子を逆バイアスするように、前記第 1 リセット電圧を前記発光素子に印加することを含み、

前記発光段階は、前記駆動サブ回路をオンにして、前記駆動電流を前記発光素子に印加することで、前記発光素子に発光させることを含む駆動方法。

【請求項 17】

更にデータ書き込み及び補償段階を含み、

前記データ書き込み及び補償段階は、前記データ書き込みサブ回路、前記駆動サブ回路及び前記補償サブ回路をオンにするように、前記第 1 走査信号、前記第 2 走査信号及び前記データ信号を入力し、それにより、前記データ信号が前記駆動サブ回路に書き込まれ、前記補償サブ回路が前記データ信号を記憶し、且つ前記補償サブ回路が前記駆動サブ回路を補償することを含む、請求項 16 に記載の駆動方法。

【請求項 18】

表示装置であって、

請求項 1 ~ 15 のいずれか一項に記載の表示基板及び複数の発光素子を含み、

前記複数の発光素子は前記複数のサブ画素と 1 対 1 で対応し、前記複数の発光素子のそれぞれは第 1 電極及び第 2 電極を含み、前記各発光素子の第 1 電極は対応するサブ画素の第 1 リセットサブ回路の第 2 端子に接続される、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施例は表示基板及びその駆動方法、表示装置に関する。

【背景技術】

【0002】

OLED (有機発光ダイオード: Organic Light-Emitting Diode) 表示技術の発展に伴い、人々は高輝度で長寿命のディスプレイをますます求め、この分野では、OLEDディスプレイの寿命をどのように延長させるかは注目される問題である。

【発明の概要】

【課題を解決するための手段】

【0003】

本開示の少なくとも一実施例は表示基板を提供し、ベース基板と、前記ベース基板に位置し且つアレイで配列される複数のサブ画素と、を含む。前記複数のサブ画素のそれぞれは画素回路を含み、前記画素回路は前記複数のサブ画素のそれぞれに対応する発光素子が発光するように駆動することに用いられる。前記複数の画素回路のそれぞれは駆動サブ回路、データ書き込みサブ回路、補償サブ回路、記憶サブ回路及び第 1 リセットサブ回路を含む。前記駆動サブ回路は制御端子、第 1 端子及び第 2 端子を含み、且つ前記発光素子に接続され且つ前記発光素子を流れる駆動電流を制御するように構成される。前記データ書き込みサブ回路は前記駆動サブ回路の第 1 端子に接続され、且つ第 1 走査信号にตอบสนองしてデータ信号を前記駆動サブ回路の第 1 端子に書き込むように構成される。前記補償サブ回路は制御端子、第 1 端子及び第 2 端子を含み、前記補償サブ回路の制御端子は第 2 走査信号を受信するように構成され、前記補償サブ回路の第 1 端子及び第 2 端子はそれぞれ前記駆動サブ回路の制御端子及び第 2 端子に電氣的に接続され、前記補償サブ回路は前記第 2 走査信号にตอบสนองして前記駆動サブ回路に対して閾値補償を行うように構成される。前記記憶サブ回路は第 1 端子及び第 2 端子を含み、前記記憶サブ回路の第 1 端子は第 1 電源電圧を受信するように構成され、前記記憶サブ回路の第 2 端子は前記駆動サブ回路の制御端子に電氣的に接続される。前記第 1 リセットサブ回路は制御端子、第 1 端子及び第 2 端子を含み、前記第 1 リセットサブ回路の制御端子は第 1 リセット制御電圧を受信するように構

成され、前記第1リセットサブ回路の第1端子は第1リセット電圧を受信するように構成され、前記第1リセットサブ回路の第2端子は前記発光素子に接続されるように構成され、前記第1リセットサブ回路は前記発光素子を逆バイアスするように前記第1リセット制御電圧に応答して前記第1リセット電圧を前記発光素子に印加するように構成される。前記複数のサブ画素は第1サブ画素を含み、前記表示基板は更に第1リセット電圧端子を含み、前記第1リセット電圧端子は前記第1サブ画素に前記第1リセット電圧を提供するために、前記第1サブ画素の第1リセットサブ回路の第1端子に接続されるように構成される。

**【0004】**

いくつかの例において、前記複数の画素回路のそれぞれは更に第2リセットサブ回路を含み、前記第2リセットサブ回路は前記駆動サブ回路の制御端子に接続され、且つ前記駆動サブ回路の制御端子をリセットするように、第2リセット制御電圧に応答して第2リセット電圧を前記駆動サブ回路の制御端子に印加するように構成される。

10

**【0005】**

いくつかの例において、前記表示基板は更に第2リセット電圧端子を含み、前記第2リセット電圧端子は前記第2リセット電圧を提供するように前記第2リセットサブ回路に接続されるように構成され、前記第2リセット電圧端子が出力した前記第2リセット電圧は第1リセット電圧端子が出力した前記第1リセット電圧より大きい。

**【0006】**

いくつかの例において、前記複数のサブ画素は第1方向及び第2方向に沿って複数の画素行及び複数の画素列として分布され、前記表示基板は更に前記第1方向に沿って延伸する第1リセット電圧線を含み、前記第1リセット電圧線は前記サブ画素に前記第1リセット電圧を提供するようにそれぞれ前記第1リセット電圧端子及び前記第1リセットサブ回路の第1端子に電氣的に接続される。

20

**【0007】**

いくつかの例において、前記表示基板は更に前記第1方向に沿って延伸する第1リセット信号線を含み、前記第1リセット信号線は前記第2リセット電圧を提供するように前記第2リセットサブ回路の制御端子に接続され、前記第1リセット信号線は前記第1リセット電圧線の前記ベース基板に近い側に位置し、前記第1リセット信号線はドーピング半導体材料を含む。

30

**【0008】**

いくつかの例において、前記表示基板は更に前記第2方向に沿って延伸する第2リセット信号線を含み、前記第2リセット信号線は前記第1リセット電圧線の前記ベース基板から離れる側に位置し、且つ前記第1リセット信号線に電氣的に接続される。

**【0009】**

いくつかの例において、前記複数の画素回路のそれぞれは更に第1接続電極を含み、前記第1接続電極は前記第1リセット電圧線の前記ベース基板から離れる側に位置し、前記第1接続電極はそれぞれ前記第1リセットサブ回路の第1端子及び第1リセット電圧線に電氣的に接続される。

**【0010】**

いくつかの例において、前記記憶サブ回路は、第1コンデンサ電極及び第2コンデンサ電極を含む記憶コンデンサを含み、前記第1コンデンサ電極は前記第1リセット電圧線と同じ層に絶縁設置され、前記第2コンデンサ電極は前記第1コンデンサ電極が前記ベース基板に近い側に位置する。

40

**【0011】**

いくつかの例において、前記複数の画素回路のそれぞれは更に第2接続電極を含み、前記第2接続電極は前記第1接続電極と同じ層に絶縁設置され、前記第2接続電極はそれぞれ前記第2コンデンサ電極及び前記補償サブ回路の第1端子に電氣的に接続される。

**【0012】**

いくつかの例において、前記第1コンデンサ電極は開口を含み、前記第2接続電極は前

50

記第 1 コンデンサ電極から絶縁され、且つ前記開口によって前記第 2 コンデンサ電極に電氣的に接続される。

【 0 0 1 3 】

いくつかの例において、前記複数の画素回路のそれぞれは更に第 3 接続電極を含み、前記第 3 接続電極は前記第 1 接続電極と同じ層に絶縁設置され、前記第 3 接続電極は第 1 接続端子及び第 2 接続端子を含み、前記第 1 接続端子は前記第 1 リセットサブ回路の第 2 端子に電氣的に接続され、前記第 2 接続端子は前記発光素子に接続されることに用いられる。

【 0 0 1 4 】

いくつかの例において、前記複数の画素回路のそれぞれは更に発光制御サブ回路を含み、前記発光制御サブ回路は制御端子、第 1 端子及び第 2 端子を含み、前記発光制御サブ回路の第 1 端子は前記駆動サブ回路の第 2 端子に接続され、前記発光制御サブ回路の第 2 端子は前記発光素子に接続されることに用いられる。

10

【 0 0 1 5 】

いくつかの例において、前記第 3 接続電極は更に第 3 接続端子を含み、前記第 3 接続端子は前記発光制御サブ回路の第 2 端子に電氣的に接続されることで、前記発光制御サブ回路の第 2 端子を前記発光素子に接続する。

【 0 0 1 6 】

いくつかの例において、前記第 3 接続電極は U 型構造であり、前記第 1 接続端子及び前記第 2 接続端子はそれぞれ前記 U 型構造の 2 つの端点に位置し、前記第 3 接続端子は前記 U 型構造の前記第 2 接続端子に近い曲がり角に位置する。

20

【 0 0 1 7 】

いくつかの例において、前記複数のサブ画素は更に第 2 サブ画素を含み、前記第 1 サブ画素及び前記第 2 サブ画素は異なる色を発する発光素子に対応し、前記表示基板は更に第 3 リセット電圧端子を含み、前記第 3 リセット電圧端子は前記第 2 サブ画素に前記第 1 リセット電圧を提供するように前記第 2 サブ画素の第 1 リセットサブ回路の第 1 端子に接続されるように構成され、前記第 1 リセット電圧端子が出力した第 1 リセット電圧と前記第 3 リセット電圧端子が出力した第 1 リセット電圧とは異なる。

【 0 0 1 8 】

いくつかの例において、前記第 1 リセット電圧端子が出力した第 1 リセット電圧は前記第 3 リセット電圧端子が出力した第 1 リセット電圧より小さい。

30

【 0 0 1 9 】

いくつかの例において、前記複数のサブ画素は更に第 3 サブ画素を含み、前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素はそれぞれ青色発光素子、赤色発光素子及び緑色発光素子に対応し、前記第 3 リセット電圧端子は前記第 3 サブ画素に前記第 1 リセット電圧を提供するように更に前記第 3 サブ画素の第 1 リセットサブ回路の第 1 端子に接続される。

【 0 0 2 0 】

いくつかの例において、前記表示基板は更に前記第 1 方向に沿って延伸する第 2 リセット電圧線を含み、前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素は同じ画素行にあり、前記第 1 リセット電圧線は前記第 1 サブ画素の第 1 リセットサブ回路の第 1 端子と前記第 1 リセット電圧端子とを電氣的に接続し、前記第 2 リセット電圧線は前記第 2 サブ画素の第 1 リセットサブ回路の第 1 端子及び前記第 3 サブ画素の第 1 リセットサブ回路の第 1 端子と前記第 3 リセット電圧端子とを電氣的に接続する。

40

【 0 0 2 1 】

本開示の少なくとも一実施例は更に、上記のいずれか一項に記載の表示基板に用いられる駆動方法を提供し、リセット段階及び発光段階を含む。前記リセット段階は、前記第 1 リセットサブ回路をオンにするように、前記第 1 リセット制御電圧及び前記第 1 リセット電圧を入力し、前記発光素子を逆バイアスするように、前記第 1 リセット電圧を前記発光素子に印加することを含む。前記発光段階は、前記駆動回路をオンにして、前記駆動電流を前記発光素子に印加することで、前記発光素子を発光させることを含む。

50

## 【 0 0 2 2 】

いくつかの例において、前記駆動方法は更にデータ書き込み及び補償段階を含み、前記データ書き込み及び補償段階は、前記データ書き込みサブ回路、前記駆動回路及び前記補償サブ回路をオンにするように、前記第 1 走査信号、前記第 2 走査信号及び前記データ信号を入力し、それにより、前記データ信号が前記駆動サブ回路に書き込まれ、前記補償サブ回路が前記データ信号を記憶し、且つ前記補償回路が前記駆動サブ回路を補償することを含む。

## 【 0 0 2 3 】

本開示の少なくとも一実施例は更に表示装置を提供し、上記表示基板及び複数の発光素子を含み、前記複数の発光素子は前記複数のサブ画素と 1 対 1 で対応し、前記複数の発光素子のそれぞれは第 1 電極及び第 2 電極を含み、前記各発光素子の第 1 電極は対応するサブ画素の第 1 リセットサブ回路の第 2 端子に接続される。

10

## 【 図面の簡単な説明 】

## 【 0 0 2 4 】

本開示の実施例の技術構成をより明確に説明するために、以下では実施例の図面を簡単に説明し、明らかなように、以下の説明における図面は本開示のいくつかの実施例のみに関し、本開示を限定するものではない

## 【 0 0 2 5 】

【 図 1 A 】 図 1 A は本開示の少なくとも一実施例に係る表示基板の模式図 1 である。

【 図 1 B 】 図 1 B は本開示の少なくとも一実施例に係る表示基板の画素回路図 1 である。

20

【 図 2 A 】 図 2 A は逆バイアスの発光素子に対する作用メカニズム模式図を示す。

【 図 2 B 】 図 2 B は本開示の少なくとも一実施例に係る表示基板の時間 - 輝度曲線図である。

【 図 3 A 】 図 3 A は本開示の少なくとも一実施例に係る表示基板の画素回路図 2 である。

【 図 3 B 】 図 3 B は本開示の少なくとも一実施例に係る画素回路のタイミング信号図である。

【 図 3 C 】 図 3 C はディスプレイパネルの輝度均一性及び第 2 リセット電圧の曲線図である。

【 図 4 A 】 図 4 A は本開示の実施例に係る駆動方法を用いる発光素子の逆方向バイアス電圧 - 耐用年数曲線図である。

30

【 図 4 B 】 図 4 B は本開示の少なくとも一実施例に係る表示基板の画素回路図 3 である。

【 図 5 A 】 図 5 A は本開示の少なくとも一実施例に係る表示基板の模式図 2 である。

【 図 5 B 】 図 5 B は図 5 A の断面線 I - I ' に沿う断面図である。

【 図 5 C 】 図 5 C は図 5 A の断面線 I I - I I ' に沿う断面図である。

【 図 6 】 図 6 は本開示の少なくとも一実施例に係る表示基板の模式図 3 である。

【 図 7 A 】 図 7 A は本開示の少なくとも一実施例に係る表示基板の模式図 4 である。

【 図 7 B 】 図 7 B は本開示の少なくとも一実施例に係る表示基板の模式図 5 である。

【 図 8 A 】 図 8 A は本開示の少なくとも一実施例に係る表示基板の模式図 6 である。

【 図 8 B 】 図 8 B は本開示の少なくとも一実施例に係る表示基板の模式図 7 である。

【 図 9 A 】 図 9 A は本開示の少なくとも一実施例に係る表示基板の模式図 8 である。

40

【 図 9 B 】 図 9 B は本開示の少なくとも一実施例に係る表示基板の模式図 9 である。

【 図 1 0 】 図 1 0 は本開示の少なくとも一実施例に係る表示基板の模式図 1 0 である。

【 図 1 1 】 図 1 1 は本開示の少なくとも一実施例に係るディスプレイパネルの模式図である。

【 図 1 2 】 図 1 2 は本開示の少なくとも一実施例に係る表示装置の模式図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 6 】

本開示の実施例の目的、技術構成及び利点をより明確にするために、以下では本開示の実施例の図面を参照しながら、本開示の実施例の技術構成を明確かつ完全に説明する。無論、説明される実施例は本開示の一部の実施例に過ぎず、すべての実施例ではない。説明

50

される本開示の実施例に基づき、当業者が進歩性のある労働を必要とせずを得るすべての他の実施例はいずれも、本開示の保護範囲に属する。

【0027】

特に定義されていない限り、本開示に使用される専門用語又は科学用語は、当業者によって理解される通常の意味を有するものとする。本開示に使用される「第1」、「第2」及び類似する単語は順序、数、または重要性を示すものではなく、異なる構成要素を区別するためにのみ使用される。同様に、「1つ」、「一」又は「該」などの類似する単語は、数量を制限するものではなく、少なくとも1つであることを意味する。「含む」又は「備える」などの類似する単語は該単語の前に示される要素またはアイテムが、該単語の後にリストされる要素またはアイテム及びその同等物をカバーするが、他の要素またはアイテムを除外しないことを意味する。「接続」又は「連結」などの類似する単語は物理的または機械的な接続に限定されず、直接または間接的な電気的接続を含んでもよい。「上」、「下」、「左」、「右」などは、相対位置関係を示すためにのみ用いられ、説明される対象の絶対位置が変化すると、該相対位置関係もそれに応じて変化する場合がある。

10

【0028】

OLED表示分野では、高輝度で長寿命のOLED表示を実現する上でいくつかの課題がある。例えば、従来のOLEDディスプレイスクリーンの平均耐用年数は3~4年であるが、車載ディスプレイが求める平均耐用年数は8~10年であるから、車載表示分野のニーズを満たすために、OLEDディスプレイスクリーン耐用年数を延ばす必要がある。

【0029】

図1Aは本開示の少なくとも一実施例に係る表示基板の模式図である。図1Aに示されるように、該表示基板20は表示領域110及び表示領域110以外の非表示領域103を含む。例えば、非表示領域103は表示領域110の外周領域に位置する。該表示基板20は表示領域110に位置する複数のサブ画素100を含む。例えば、該複数のサブ画素はアレイで配列され、例えば、該複数のサブ画素は第1方向D1及び第2方向D2に沿って複数の画素行及び複数の画素列として配列され、例えば、該画素行及び画素列は必ずしもなく直線に沿って厳密に延伸するわけではなく、曲線(例えば折れ線)に沿って延伸してもよく、該曲線は大体それぞれ第1方向D1又は第2方向D2に沿って延伸する。該第1方向D1と第2方向D2は異なり、例えば両者が直交する。例えば、サブ画素は従来のRGBの方式又はサブ画素共有の方式(例えばpentile)で画素ユニットを構成してフルカラーディスプレイを実現することができ、本開示はサブ画素のアレイ態様及びフルカラーディスプレイを実現する方式を制限しない。

20

30

【0030】

例えば、図1Aに示されるように、該表示基板20は更に表示領域110に位置する複数の導線11及び複数の導線12を含み、該複数の導線11及び複数の導線12は表示領域110に相互交差することで、複数の画素領域が定義され、各画素領域に1つのサブ画素100が対応して設置される。例えば、該導線11は第1方向D1に沿って延伸し、該導線12は第2方向D2に沿って延伸する。図1Aには、導線11、導線12及びサブ画素100の表示基板における大体の位置関係のみが示され、具体的に実際の必要に応じて設計してもよい。

40

【0031】

各サブ画素100は、該サブ画素に対応する発光素子が発光するように駆動するための画素回路を含む。該画素回路は例えば通常の画素回路であり、例えば2T1C(すなわち2つのトランジスタ及び1つのコンデンサ)画素回路、4T2C、5T1C、7T1CなどのnTmC(n、mは正整数である)画素回路であり、且つ異なる実施例において、該画素回路は更に補償サブ回路を含んでもよく、該補償サブ回路は内部補償サブ回路又は外部補償サブ回路を含み、補償サブ回路はトランジスタ、コンデンサなどを含んでもよい。また、例えば、必要に応じて、該画素回路は更にリセット回路、発光制御サブ回路、検出回路などを含んでもよい。

【0032】

50

例えば、該表示基板 20 は更に非表示領域 103 に位置するゲート駆動回路 13 及びデータ駆動回路 14 を含んでもよい。例えば、該ゲート駆動回路 13 はサブ画素に様々な走査信号又は制御信号を提供するように、一部の導線 11 によって画素回路に接続でき、該一部の導線 11 はゲート線とも呼ばれ、該データ駆動回路 14 はデータ信号を提供するように、導線 12 によって画素回路に接続できる。

#### 【0033】

例えば、該非表示領域 103 にボンディング領域 130 が設置され、該ボンディング領域に複数のボンディング電極 131 が設置され、該ボンディング電極 131 は配線によって表示基板 20 における回路（例えばゲート駆動回路 13）又は一部の導線 11、13 に接続され、且つ外部回路（例えば IC チップ）とボンディングされることに用いられ、それにより表示基板における回路又は信号線に電気信号（例えばクロック信号、リセット電圧信号など）を提供する。例えば、一部の導線 11 は非表示領域 103 に位置する配線 132 によって該ボンディング電極 131 に電氣的に接続される。例えば、該配線 132 は環状であり、該表示領域 110 の周りに設置される。例えば、該ボンディング電極 131 はいくつかの信号を提供する信号端子、例えばリセット電圧端子などとすることができる。

10

#### 【0034】

例えば、表示基板 20 は更に制御回路（図示せず）を含んでもよい。例えば、該制御回路は、該データ信号を印加するようにデータ駆動回路 14 を制御し、及び該走査信号又は制御信号を印加するようにゲート駆動回路 13 を制御するように構成される。該制御回路の 1 つの例はタイミング制御回路（T-con）である。制御回路は様々な形式であってもよく、例えばプロセッサ及びメモリを含み、メモリは実行可能なコードを含み、プロセッサは上記検出方法を実行するように、該実行可能なコードを実行する。

20

#### 【0035】

例えば、プロセッサは中央処理ユニット（CPU）又はデータ処理能力及び/又は命令実行能力を有する他の形式の処理装置であってもよく、例えばマイクロプロセッサ、プログラマブルロジックコントローラ（PLC）などを含んでもよい。

#### 【0036】

例えば、記憶装置は 1 つ又は複数のコンピュータプログラム製品を含んでもよく、前記コンピュータプログラム製品は様々な形式のコンピュータ可読記憶媒体、例えば揮発性メモリ及び/又は不揮発性メモリを含んでもよい。揮発性メモリは、例えば、ランダムアクセスメモリ（RAM）及び/又はキャッシュメモリ（cache）などを含んでもよい。不揮発性メモリは、例えば、読み出し専用メモリ（ROM）、ハードディスク、フラッシュメモリなどを含んでもよい。コンピュータ可読記憶媒体に 1 つ又は複数のコンピュータプログラム命令を記憶でき、プロセッサは該プログラム命令が所望する機能を実行できる。コンピュータ可読記憶媒体に様々なアプリケーションプログラム及び様々なデータも記憶できる。

30

#### 【0037】

図 1 B は本開示の実施例に係る画素回路の模式図を示す。図 1 B に示されるように、該画素回路は駆動サブ回路 122、データ書き込みサブ回路 126、補償サブ回路 128、記憶サブ回路 127 及び第 1 リセットサブ回路 125 を含む。

40

#### 【0038】

該駆動サブ回路 122 は制御端子 122a、第 1 端子 122b 及び第 2 端子 122c を含み、且つ発光素子 120 に接続され且つ発光素子 120 を流れる駆動電流を制御するように構成される。駆動サブ回路 122 の制御端子 122a は第 1 ノード N1 に接続され、駆動サブ回路 122 の第 1 端子 122b は第 2 ノード N2 に接続され、駆動サブ回路 122 の第 2 端子 122c は第 3 ノード N3 に接続される。

#### 【0039】

データ書き込みサブ回路 126 は制御端子 126a、第 1 端子 126b 及び第 2 端子 126c を含み、該制御端子 126a は第 1 走査信号 Ga1 を受信するように構成され、第 1 端子 126b はデータ信号 Vd を受信するように構成され、第 2 端子 126c は駆動サ

50

ブ回路 1 2 2 の第 1 端子 1 2 2 a ( すなわち第 2 ノード N 2 ) に接続される。該データ書き込みサブ回路 1 2 6 は該第 1 走査信号 G a 1 に応答して該データ信号 V d を駆動サブ回路 1 2 2 の第 1 端子 1 2 2 b に書き込むように構成される。例えば、データ書き込みサブ回路 1 2 6 の第 1 端子 1 2 6 b は、該データ信号 V d を受信するように、データ線としての導線 1 2 に接続され、制御端子 1 2 6 a は、該第 1 走査信号 G a 1 を受信するように、例えば 1 つの導線 1 1 に接続される。例えば、データ書き込み及び補償段階において、データ書き込みサブ回路 1 2 6 は第 1 走査信号 G a 1 に応答してオンになることができ、それによりデータ信号を駆動サブ回路 1 2 2 の第 1 端子 1 2 2 b ( 第 2 ノード N 2 ) に書き込み、且つデータ信号を記憶サブ回路 1 2 7 に記憶することができ、それにより、例えば発光段階の場合、該データ信号に基づいて発光素子 1 2 0 が発光するように駆動する駆動電流を生成できる。

10

#### 【 0 0 4 0 】

補償サブ回路 1 2 8 は制御端子 1 2 8 a、第 1 端子 1 2 8 b 及び第 2 端子 1 2 8 c を含み、補償サブ回路 1 2 8 の制御端子 1 2 8 a は第 2 走査信号 G a 2 を受信するように構成され、補償サブ回路 1 2 8 の第 1 端子 1 2 8 b 及び第 2 端子 1 2 8 c はそれぞれ駆動サブ回路 1 2 2 の制御端子 1 2 2 a 及び第 2 端子 1 2 2 c に電氣的に接続され、補償サブ回路 1 2 8 は該第 2 走査信号 G a 2 に応答して該駆動サブ回路 1 2 2 に対して閾値補償を行うように構成される。

#### 【 0 0 4 1 】

記憶サブ回路 1 2 7 は第 1 端子 1 2 7 a 及び第 2 端子 1 2 7 b を含み、該記憶サブ回路の第 1 端子 1 2 7 a は第 1 電源電圧 V D D を受信するように構成され、記憶サブ回路の第 2 端子 1 2 7 b は駆動サブ回路の制御端子 1 2 2 a に電氣的に接続される。例えば、データ書き込み及び補償段階において、補償サブ回路 1 2 8 は該第 2 走査信号 G a 2 に応答してオンになることができ、それによりデータ書き込みサブ回路 1 2 6 によって書き込まれたデータ信号を該記憶サブ回路 1 2 7 に記憶でき、同時に、補償サブ回路 1 2 8 は駆動サブ回路 1 2 2 の制御端子 1 2 2 a と第 2 端子 1 2 2 c とを電氣的に接続でき、それにより駆動サブ回路 1 2 2 の閾値電圧の相関する情報も該記憶サブ回路に対応に記憶でき、それにより、例えば発光段階において、記憶されたデータ信号及び閾値電圧を利用して駆動サブ回路 1 2 2 を制御でき、その結果、駆動サブ回路 1 2 2 の出力が補償される。

20

#### 【 0 0 4 2 】

第 1 リセットサブ回路 1 2 5 は制御端子 1 2 5 a、第 1 端子 1 2 5 b 及び第 2 端子 1 2 5 c を含み、該第 1 リセットサブ回路の制御端子 1 2 5 a は第 1 リセット制御電圧 V r s t 1 を受信するように構成され、該第 1 リセットサブ回路の第 1 端子 1 2 5 b は第 1 リセット電圧 V i n t 1 を受信するように構成され、該第 1 リセットサブ回路の第 2 端子 1 2 5 c は発光素子 1 2 0 に接続されるように構成される。該第 1 リセットサブ回路 1 2 5 は、発光素子 1 2 0 を逆バイアスするように、該第 1 リセット制御電圧 V r s t 1 に応答して該第 1 リセット電圧 V i n t 1 を発光素子 1 2 0 に印加するように構成される。

30

#### 【 0 0 4 3 】

例えば、第 1 リセットサブ回路 1 2 5 は第 1 リセット電圧端子 I N T 1 及び発光素子 1 2 2 の第 1 端子 1 2 2 b ( 第 4 ノード N 4 ) に接続され、且つ第 1 リセット制御電圧 V r s t 1 に応答して第 1 リセット電圧 V i n t 1 を発光素子 1 2 0 の第 1 端子に印加するように構成される。例えば、リセット段階において、第 1 リセットサブ回路 1 2 5 はリセット信号に応答してオンになることができ、それにより第 1 リセット電圧 V i n t 1 を発光素子 1 2 0 の第 1 端子及び第 1 ノード N 1 に印加でき、それにより発光素子 1 2 0 に対して該発光素子 1 2 0 の逆バイアスに対するリセット操作を行うことができ、それによりその前の発光段階による影響を削除することに寄与する。

40

#### 【 0 0 4 4 】

例えば、発光素子 1 2 0 は第 1 端子 ( 第 1 電極とも呼ばれる ) 1 3 4 及び第 2 端子 ( 第 2 電極とも呼ばれる ) 1 3 5 を含み、発光素子 1 2 0 の第 1 端子 1 3 4 は駆動サブ回路 1 2 2 の第 2 端子 1 2 2 c に接続されるように構成され、発光素子 1 2 0 の第 2 端子 1 3 5

50

は第2電圧端子VSSに接続されるように構成される。例えば、1つの例において、図1Bに示されるように、発光素子120の第1端子134は第2発光制御サブ回路124によって第3ノードN3に接続できる。本開示の実施例はその状況を含むがそれに制限されない。

【0045】

例えば、発光素子120は具体的に発光ダイオード(LED)として実現され、例えば有機発光ダイオード(OLED)、量子ドット発光ダイオード(QLED)又は無機発光ダイオードであってもよく、例えばマイクロ発光ダイオード(MicroLED)又はマイクロOLEDであってもよい。例えば、発光素子120は上部発射構造、下部発射構造又は両面発射構造であってもよい。該発光素子120は赤色光、緑色光、青色光又は白色光などを発することができる。本開示の実施例は発光素子の具体的な構造を制限しない。該発光素子120を逆バイアスすることは、該発光素子120の陰極電圧が陽極電圧より大きいことを意味し、該発光素子120は逆バイアスされた時に発光しない。

10

【0046】

例えば、図1Bに示されるように、該発光素子120の第1端子134は該発光素子120の陽極であり、第2端子135は該発光素子120の陰極であり、例えば該第2端子120は第2電源電圧VSSを受信し、例えば、該画素回路は共通陰極構造である。この場合、該第1リセット電圧Vint1を発光素子120に印加して発光素子120を逆バイアスすることは、該第1リセット電圧Vint1が該第2電源電圧VSSより小さいことを意味する。別のいくつかの例において、回路構造の変化によって、該画素回路は共通陽極構造であってもよく、本開示の実施例はこれを制限しない。

20

【0047】

発明者は、該発光素子120を逆バイアスすると、経時的な発光素子の輝度の減衰を遅くし及び発光素子の耐用年数を延長させることに寄与することを発見した。図2Aは該逆バイアスの該発光素子に対する作用メカニズム模式図を示す。例えば、製造したばかりの発光素子にランダムで無秩序に分布した不純物イオン及び永久双極子が存在し、該不純物イオンと双極子によって生じた無秩序な内蔵電界は順バイアスの場合の発光素子の発光効率に悪影響を与え、該発光素子に逆方向バイアス電圧を印加して逆バイアスした後、該不純物イオン及び双極子は該逆方向バイアス電圧の作用で方向性を持って分布され、且つ内蔵電界E'が形成され、次に該発光素子に順方向バイアス電圧を印加し、該順方向バイアス電圧によって生じた電界はE<sub>0</sub>であり、最終的に形成される有効電界はE<sub>eff</sub> = E<sub>0</sub> + E' > E<sub>0</sub>であり、それにより同一のバイアス電圧でより高い電流密度及び発光強度を取得し、それによりバイアス電圧の大きさを低減させ且つバイアス電圧の発光材料に対する影響を緩和することができ、更に発光素子輝度の減衰を遅くし及び発光素子の耐用年数を延長させる。

30

【0048】

また、例えば、発光素子は発光段階において順バイアスにあり、これは、リセット段階において該発光素子を逆バイアスすることにより、該該発光素子内に順バイアスによって生じた不利な残留電界を削除できる。それにより、該発光素子は順バイアス及び逆バイアスの電界作用で交互に位置され、単一方向のバイアス電圧の発光材料に対する悪影響を削除することに寄与し、それにより発光素子の耐用年数を延長させる。

40

【0049】

通常、LT97及びLT95は、OLED耐用年数を測定するためのパラメータとして使用される。OLEDは初期輝度(100%)から97%まで低下する時間がLT97と呼ばれ、95%まで低下するのがLT95と呼ばれる。

【0050】

図2Bはそれぞれ赤色OLED、緑色OLED及び青色OLEDに対して本開示の実施例に係る画素回路で駆動(曲線A1に対応する)及び定電流(CC)駆動(曲線A2に対応する)を行う時間-輝度の曲線対照図を示し、実線はテスト値を示し、破線はテスト値に基づいて取得された推定値を示す。

50

## 【 0 0 5 1 】

図 2 B に示されるように、赤色 O L E D ( R ) については、本開示の実施例に係る画素回路で駆動する L T 9 7 は 4 9 9 時間であり、L T 9 5 は 9 8 2 時間であり、直流駆動で駆動する L T 9 7 は 3 6 9 時間であり、L T 9 5 は 6 6 6 時間である。本開示の実施例に係る画素回路で該赤色 O L E D を駆動することにより、該赤色 O L E D の L T 9 7 及び L T 9 5 をそれぞれ 3 5 % 及び 4 7 % 向上させる。

## 【 0 0 5 2 】

図 2 B に示されるように、緑色 O L E D ( G ) については、本開示の実施例に係る画素回路で駆動する L T 9 7 は 7 8 5 時間であり、直流駆動で駆動する L T 9 7 は 6 0 1 時間である。本開示の実施例に係る画素回路で該緑色 O L E D を駆動することにより、該緑色 O L E D の L T 9 7 を 3 0 . 6 % 向上させる。

10

## 【 0 0 5 3 】

図 2 B に示されるように、青色 O L E D ( B ) については、本開示の実施例に係る画素回路で駆動する L T 9 7 は 8 3 時間であり、直流駆動で駆動する L T 9 7 は 4 1 時間である。本開示の実施例に係る画素回路で該青色 O L E D を駆動することにより、該青色 O L E D の L T 9 7 を約 1 倍 ( 1 0 0 % ) 向上させる。

## 【 0 0 5 4 】

例えば、図 1 B に示されるように、該画素回路は更に第 2 リセットサブ回路 1 2 9 を含んでもよく、該第 2 リセットサブ回路 1 2 9 は制御端子 1 2 9 a、第 1 端子 1 2 9 b 及び第 2 端子 1 2 9 c を含む。該第 2 リセットサブ回路 1 2 9 の制御端子 1 2 9 a は第 2 リセット制御電圧  $V_{rst2}$  を受信するように構成され、第 1 端子 1 2 9 b は第 2 リセット電圧  $V_{int2}$  を受信するように構成され、第 2 端子 1 2 9 c は駆動サブ回路 1 2 2 の制御端子 1 2 2 a に接続される。該第 2 リセットサブ回路 1 2 9 は、駆動サブ回路の制御端子 1 2 2 a をリセットするように、第 2 リセット制御電圧  $V_{rst2}$  に応答して第 2 リセット電圧  $V_{int2}$  を駆動サブ回路 1 2 2 の制御端子 1 2 2 a に印加するように構成される。

20

## 【 0 0 5 5 】

例えば、図 1 B に示されるように、該画素回路は更に第 1 発光制御サブ回路 1 2 3 を含んでもよい。該第 1 発光制御サブ回路 1 2 3 は駆動サブ回路 1 2 2 の第 1 端子 1 2 2 b ( 第 2 ノード N 2 ) 及び第 1 電圧端子 V D D に接続され、且つ第 1 発光制御信号 E M 1 に応答して第 1 電圧端子 V D D の第 1 電源電圧 V D D を駆動サブ回路 1 2 2 の第 1 端子 1 2 2 b に印加するように構成される。

30

## 【 0 0 5 6 】

例えば、図 1 B に示されるように、該画素回路は更に第 2 発光制御サブ回路 1 2 4 を含んでもよく、第 2 発光制御サブ回路 1 2 4 は第 2 発光制御端子 E M 2、発光素子 1 2 0 の第 1 端子 1 3 4 及び駆動サブ回路 1 2 2 の第 2 端子 1 2 2 c に接続され、且つ第 2 発光制御信号 E M 2 に応答して駆動電流を発光素子 1 2 0 に印加できるように構成される。

## 【 0 0 5 7 】

例えば、発光段階において、第 2 発光制御サブ回路 1 2 3 は第 2 発光制御端子 E M 2 が提供した第 2 発光制御信号 E M 2 に応答してオンになり、それにより駆動サブ回路 1 2 2 は第 2 発光制御サブ回路 1 2 3 によって発光素子 1 2 0 に電氣的に接続でき、それにより駆動発光素子 1 2 0 は駆動電流に制御されて発光し、非発光段階において、第 2 発光制御サブ回路 1 2 3 は第 2 発光制御信号 E M 2 に応答してオフになり、それにより電流が発光素子 1 2 0 を流れることによって発光素子 1 2 0 が発光することを回避し、対応する表示装置のコントラストを向上させることができる。

40

## 【 0 0 5 8 】

また、例えば、リセット段階において、第 2 発光制御サブ回路 1 2 4 は第 2 発光制御信号 E M 2 に応答してオンになることもでき、それにより第 1 リセットサブ回路 1 2 5 及び第 2 リセットサブ回路 1 2 9 と組み合わせて駆動サブ回路 1 2 2 及び発光素子 1 2 0 に対してリセット操作を行うことができる。

## 【 0 0 5 9 】

50

例えば、第2発光制御信号EM2は第1発光制御信号EM1と同じであっても異なってもよく、例えば両者は同じ又は異なる信号出力端子に接続でき、例えば同じ又は異なる発光制御線によって伝送できる。

【0060】

ただし、本開示の実施例の説明において、第1ノードN1、第2ノードN2、第3ノードN3及び第4ノードN4は必ずしも実際の部材を示すものではなく、回路図の関連する回路接続の合流点を示す。

【0061】

なお、本開示の実施例の説明において、符号Vdはデータ信号端子を示してもよく、データ信号のレベルを示してもよく、同様に、符号Ga1、Ga2は第1走査信号及び第2走査信号を示してもよく、更に第1走査信号端子及び第2走査信号端子を示してもよく、Vrst1は第1リセット制御端子を示してもよく、第1リセット制御電圧を示してもよく、符号VDDは第1電圧端子を示してもよく、第1電源電圧を示してもよく、符号VSSは第2電圧端子を示してもよく、第2電源電圧を示してもよい。以下の各実施例はこれと同じであり、詳細な説明を省略する。

【0062】

図3Aは図1Bに示される画素回路の具体的な実現例の回路図である。図3Aに示されるように、該画素回路は第1～第7トランジスタT1、T2、T3、T4、T5、T6、T7及び記憶コンデンサCstを含む。例えば、第1トランジスタT1は駆動トランジスタとして用いられ、他の第2～第7トランジスタはスイッチトランジスタとして用いられる。

【0063】

例えば、図3Aに示されるように、駆動サブ回路122は第1トランジスタT1として実現可能である。第1トランジスタT1のゲートは駆動サブ回路122の制御端子122aとし且つ第1ノードN1に接続され、第1トランジスタT1の第1極は駆動サブ回路122の第1端子122bとして、第2ノードN2に接続され、第1トランジスタT1の第2極は駆動サブ回路122の第2端子122cとして、第3ノードN3に接続される。

【0064】

例えば、図3Aに示されるように、データ書き込みサブ回路126は第2トランジスタT2として実現可能であり、該第2トランジスタT2のゲート、第1極及び第2極はそれぞれ該データ書き込みサブ回路126の第1端子126a、第2端子126b及び第3端子126cとする。第2トランジスタT2のゲートは、第1走査信号を受信するように、第1走査線(第1走査信号端子Ga1)に接続され、第2トランジスタT2の第1極は、データ信号を受信するように、データ線(データ信号端子Vd)に接続され、第2トランジスタT2の第2極は駆動サブ回路122の第1端子122b(第2ノードN2)に接続される。

【0065】

例えば、図3Aに示されるように、補償サブ回路128は第3トランジスタT3として実現可能であり、該第3トランジスタT3のゲート、第1極及び第2極はそれぞれ該補償サブ回路128の第1端子128a、第2端子128b及び第3端子128cとする。第3トランジスタT3のゲートは、第2走査信号Ga2を受信するように、第2走査線(第2走査信号端子Ga2)に接続され、第3トランジスタT3の第1極は駆動サブ回路122の制御端子122a(第1ノードN1)に接続され、第3トランジスタT3の第2極は駆動サブ回路122の第2端子122c(第3ノードN3)に接続される。

【0066】

例えば、図3Aに示されるように、記憶サブ回路127は記憶コンデンサCstとして実現可能であり、該記憶コンデンサCstは第1コンデンサ電極Ca及び第2コンデンサ電極Cbをそれぞれ該記憶サブ回路127の第1端子127a及び第2端子127bとして含む。該第1コンデンサ電極Caは第1電圧端子VDDにカップリングされ、例えば電氣的に接続され、該第2コンデンサ電極Cbは駆動サブ回路122の制御端子122aに

10

20

30

40

50

カップリングされ、例えば電氣的に接続される。

【0067】

例えば、図1Cに示されるように、第1発光制御サブ回路123は第4トランジスタT4として実現可能である。第4トランジスタT4のゲートは、第1発光制御信号EM1を受信するように、第1発光制御線(第1発光制御端子EM1)に接続され、第4トランジスタT4の第1極は、第1電源電圧VDDを受信するように、第1電圧端子VDDに接続され、第4トランジスタT4の第2極は駆動サブ回路122の第1端子122b(第2ノードN2)に接続される。

【0068】

例えば、発光素子120は具体的にOLEDとして実現可能であり、該OLEDの第1電極及び第2電極はそれぞれ該発光素子120の第1端子134及び第2端子135とする。該第1電極(例えば陽極)は第4ノードN4に接続され、第2発光制御サブ回路124によって駆動サブ回路122の第2端子122cから駆動電流を受信するように構成され、第2電極(例えば陰極)は、第2電源電圧を受信するように、第2電圧端子VSSに接続されるように構成される。

10

【0069】

例えば、第2発光制御サブ回路124は第5トランジスタT5として実現可能である。第5トランジスタT5のゲートは、第2発光制御信号EM2を受信するように、第2発光制御線(第2発光制御端子EM2)に接続され、第5トランジスタT5の第1極は駆動サブ回路122の第2端子122c(第3ノードN3)に接続され、第5トランジスタT5の第2極は発光素子120の第1端子134(第4ノードN4)に接続される。

20

【0070】

例えば、第1リセットサブ回路125は第6トランジスタT6として実現可能であり、該第6トランジスタT6のゲート、第1極及び第2極はそれぞれ第1リセットサブ回路125の第1端子125a、第2端子125b及び第3端子125cとする。第6トランジスタT6のゲートは、第1リセット制御電圧Vrst1を受信するように第1リセット制御端子Vrst1に接続されるように構成され、第6トランジスタT6の第1極は、第1リセット電圧Vint1を受信するように、第1リセット電圧端子INT1に接続され、第6トランジスタT6の第2極は第4ノードN4に接続されるように構成される。

【0071】

例えば、該第2リセットサブ回路129は第7トランジスタT7として実現可能である。該第7トランジスタT7のゲート、第1極及び第2極はそれぞれ該第2リセットサブ回路129の制御端子、第1端子及び第2端子とする。第7トランジスタT7のゲートは、第2リセット制御電圧Vrst2を受信するように第2リセット制御端子Vrst2に接続されるように構成され、第7トランジスタT7の第1極は、第2リセット電圧Vint2を受信するように、第2リセット電圧端子INT2に接続され、第7トランジスタT7の第2極は第1ノードN1に接続されるように構成される。

30

【0072】

なお、本開示の実施例に用いられるトランジスタのすべては、薄膜トランジスタ、又は電界効果トランジスタ、又は同じ特性を有するスイッチデバイスであってもよく、本開示の実施例において薄膜トランジスタを例として説明する。ここに用いられるトランジスタのソース、ドレイン電極は構造が対称的である可能性があるため、そのソース、ドレイン電極は構造的に区別しなくてもよい。本開示の実施例において、トランジスタのゲート以外の2つの極を区別するために、直接的に、一方の極を第1極として説明し、他方の極を第2極として説明する。また、トランジスタの特性によって区別すれば、トランジスタをN型とP型トランジスタと分けることができる。トランジスタはP型トランジスタである場合、オン電圧は低レベル電圧(例えば、0V、-5V、-10V又は他の適切な電圧)であり、オフ電圧は高レベル電圧(例えば、5V、10V又は他の適切な電圧)であり、トランジスタはN型トランジスタである場合、オン電圧は高レベル電圧(例えば、5V、10V又は他の適切な電圧)であり、オフ電圧は低レベル電圧(例えば、0V、-5V、

40

50

- 10 V又は他の適切な電圧)である。例えば、図3に示されるように、該第1～第7トランジスタT1 - T7はいずれもP型トランジスタであり、例えば低温多結晶シリコン薄膜トランジスタである。しかし、本開示の実施例はトランジスタのタイプを制限せず、トランジスタのタイプは変化する場合、それに対応して回路での接続関係を調整すればよい。  
【0073】

以下に図3Bに示される信号タイミング図を参照しながら、図3Aに示される画素回路の作動原理を説明する。図3Bに示されるように、各フレームの画像の表示過程は第1リセット段階1、第2リセット段階2、データ書き込み及び補償段階3、リセット電圧保持段階4及び発光段階5の3つの段階を含み、図3Bには各段階における各信号のタイミング波形、各信号の振幅及び時間の長さが示される。例えば、該ディスプレイパネルは720行(720H)の画素を含み、すなわち、1フレームの時間の長さは各信号が720行の画素を走査するのに必要な時間の長さであり、図3Bは、各信号が1フレーム内において有効レベル(例えば低レベル)にある時間の長さを示し、例えば第1リセット制御電圧Vrst1及び第2リセット制御電圧Vrst2の有効レベルの時間の長さは1行の画素(1H)を走査するのに必要な時間である。例えば、1フレームの表示画像の時間の長さ(すなわち周期)は1/60秒であり、すなわち、各信号の周波数は60Hzであり、この場合、1行の画素(1H)を走査するのに必要な時間は1/(60\*720)秒である。  
【0074】

図3Bに示されるように、本実施例において、第1走査信号Ga1及び第2走査信号Ga2は同じ信号を用い、第1発光制御信号EM1及び第2発光制御信号EM2は同じ信号を用いる。しかし、これは本開示を制限するものではなく、他の実施例において、異なる信号をそれぞれ第1走査信号Ga1及び第2走査信号Ga2として用い、異なる信号をそれぞれ第1発光制御信号EM1及び第2発光制御信号EM2として用いることができる。  
【0075】

第1リセット段階1において、第7トランジスタT7をオンにするように、第2リセット制御電圧Vrst2を入力し、第2リセット電圧Vint2を第1トランジスタT1のゲートに印加することで、該第1ノードN1をリセットする。例えば、Vint2は-3.5V~-3Vであってもよい。  
【0076】

第2リセット段階2において、第6トランジスタT6をオンにするように、第1リセット制御電圧Vrst1を入力し、第1リセット電圧Vint1をOLEDの第1電極に印加することで、該第4ノードN4をリセットする。該第1リセット電圧Vint1は該第2電源電圧VSSより小さいため、OLEDを逆バイアスする。例えば、Vint1は-7V~-5Vであってもよく、例えば-7V~-6.5V又は-5.5V~-5Vであり、例えば、VSSは-5V~-4.5Vであってもよい。該第2リセット段階2から発光段階5まで、該第1電極の電圧が該第1リセット電圧Vint1に保持され、該OLEDを逆バイアスし続ける。  
【0077】

本実施例において、第1リセット制御電圧Vrst1と第2リセット制御電圧Vrst2は同期せず且つ振幅が異なる2つの信号であり、別のいくつかの実施例において、第1リセット制御電圧Vrst1と第2リセット制御電圧Vrst2は同じリセット信号であってもよく、すなわち、該第1リセット段階1と第2リセット段階2は同時に行い、本開示の実施例はこれを制限しない。  
【0078】

データ書き込み及び補償段階3において、第1走査信号Ga1、第2走査信号Ga2及びデータ信号Vdを入力し、第2トランジスタT2及び第3トランジスタT3はオンになり、データ信号Vdは第2トランジスタT2によって第2ノードN2に書き込まれ、且つ第1トランジスタT1及び第3トランジスタT3によって第1ノードN1を充電し、第1ノードN1の電位はVd+Vthに変化したと第1トランジスタT1はオフになり、Vthは第1トランジスタT1の閾値電圧である。該第1ノードN1の電位は記憶コンデンサ

10

20

30

40

50

C s t に記憶されて保持され、つまり、その後の発光段階において、グレースケール表示データを提供し及び第 1 トランジスタ T 1 自体の閾値電圧を補償するように、データ信号及び閾値電圧 V t h を持っている電圧情報を記憶コンデンサ C s t に記憶する。

【 0 0 7 9 】

リセット電圧保持段階 4 において、第 4 トランジスタ T 4 及び第 5 トランジスタ T 5 をオフにするように第 1 発光制御信号 E M 1 及び第 2 発光制御信号 E M 2 を入力することで、O L E D の第 1 電極上の第 1 リセット電圧 V i n t 1 を保持する。例えば、第 6 トランジスタ T 6 は高レベルの第 1 リセット制御電圧 V r s t 2 によってオフにされたが、第 5 トランジスタ T 5 がオフになったため、O L E D の第 1 電極上の電位が保持される。リセット電圧保持段階 4 を設定することにより、第 1 リセット電圧 V i n t 1 の保持時間を調整でき、すなわち、該発光素子が該逆バイアス状態にある時間の長さを調整する。例えば、該リセット電圧保持段階 4 を延長させることにより、該発光素子が逆バイアス状態にある時間、すなわち該発光素子のデューティサイクルを延長させることができる。

10

【 0 0 8 0 】

例えば、該発光素子のデューティサイクルは 7 5 % であり、すなわち、1 周期において該発光素子の発光時間（発光段階に対応する）は周期全体（例えば 1 フレーム）の 7 5 % を占める。発光段階において、該発光素子は順バイアスにあり且つ発光する。該発光素子の非発光段階において、該発光素子は逆バイアス状態にあり、発光せず、すなわち、該発光素子の逆バイアスにある時間は周期全体の 2 5 % を占める。

【 0 0 8 1 】

発光段階 5 において、第 4 トランジスタ T 4、第 5 トランジスタ T 5 及び第 1 トランジスタ T 1 をオンにするように第 1 発光制御信号 E M 1 及び第 2 発光制御信号 E M 2 を入力し、第 5 トランジスタ T 5 は駆動電流を O L E D に印加して該 O L E D を発光させる。O L E D を流れる駆動電流 I の値は次の式で求めることができる。

20

【 0 0 8 2 】

$$I = K ( V_{GS} - V_{th} )^2 = K [ ( V_{data} + V_{th} - V_{DD} ) - V_{th} ]^2 = K ( V_{data} - V_{DD} )^2$$
、K は第 1 トランジスタの導電係数である。

【 0 0 8 3 】

上記式において、V t h は第 1 トランジスタ T 1 の閾値電圧を示し、V G S は第 1 トランジスタ T 1 のゲートとソース（ここで第 1 極）との間の電圧を示し、K は第 1 トランジスタ T 1 自体に関連する定数値である。上記 I の計算式から分かるように、O L E D を流れる駆動電流 I は第 1 トランジスタ T 1 の閾値電圧 V t h と関係がなくなるため、該画素回路への補償を実現でき、駆動トランジスタ（本開示の実施例では第 1 トランジスタ T 1）の製造プロセス及び長時間の操作による閾値電圧ドリフトの問題が解決され、駆動電流 I への影響が削除され、それによりそれを用いる表示装置の表示効果を改善できる。

30

【 0 0 8 4 】

例えば、表示基板 2 0 は該第 1 リセット電圧端子 I N T 1 を含んでもよく、該第 1 リセット電圧端子 I N T 1 は、該サブ画素に該第 1 リセット電圧 V i n t 1 を提供するように第 1 リセットサブ回路 1 2 5 の第 1 端子 1 2 5 a と接続されるように構成される。

【 0 0 8 5 】

図 1 A を参照し、例えば、該第 1 リセット電圧端子 I N T 1 はボンディング領域 1 3 0 に位置するボンディング電極 1 3 1 であってもよい。例えば、該第 1 リセット電圧端子 I N T 1 はそれにボンディングされる外部回路（例えばフレキシブル回路基板 F P C）から該第 1 リセット電圧 V i n t 1 を受信し、且つ配線 1 3 2 によってサブ画素 1 0 0 に伝送する。

40

【 0 0 8 6 】

例えば、該第 1 リセット電圧端子 I N T 1 はパルス電圧を該第 1 リセット電圧 V i n t 1 として出力するように構成される。

【 0 0 8 7 】

例えば、表示基板 2 0 は更に該第 2 リセット電圧端子 I N T 2 を含んでもよく、該第 2

50

リセット電圧端子  $INT2$  は、該第2リセット電圧  $V_{int2}$  を提供するように第2リセットサブ回路129の第1端子129aに接続されるように構成される。図1Aを参照し、例えば、該第1リセット電圧端子  $INT1$  はボンディング領域130に位置する別のボンディング電極131であってもよい。

【0088】

例えば、該第1リセット電圧端子  $INT1$  は該第2リセット電圧端子  $INT2$  と異なり、すなわち、両者は異なるボンディング電極131に対応し、例えば、該第1リセット電圧  $V_{int1}$  は該第2リセット電圧  $V_{int2}$  と異なる。

【0089】

該発光素子を逆バイアスするために第1リセット電圧  $V_{int1}$  を第2電源電圧  $V_{SS}$  より小さくする必要があり、また、第2リセット電圧  $V_{int2}$  が駆動トランジスタ、すなわち第1トランジスタ  $T1$  のゲートをリセットすることに用いられるため、第2リセット電圧  $V_{int2}$  が小さく過ぎると、第1トランジスタ  $T1$  のゲートがデータ書き込み及び補償段階において補償値  $V_d + V_{th}$  に達することができず、すなわち第1トランジスタ  $T1$  の閾値電圧が完全に補償されないため、発光段階にある駆動電流は依然として第1トランジスタ  $T1$  の閾値電圧  $V_{th}$  に関連し、パネル輝度の均一性が低下することをもたらす。

【0090】

図3Cは2つのディスプレイパネルサンプル(サンプル1及びサンプル2)の輝度均一性の第2リセット電圧  $V_{int2}$  に従う変化曲線図を示し、該2つのディスプレイパネルはいずれも図3Aに示される画素回路を発光素子の駆動回路として用い、且つ第2電源電圧  $V_{SS}$  は  $-2.4V$  である。図から分かるように、2つのサンプルのテスト曲線の変化方向は基本的に一致し、すなわち、第2リセット電圧  $V_{int2}$  の低減に伴い、ディスプレイパネルの輝度均一性が低減する。

【0091】

第1リセット電圧  $V_{int1}$  及び第2リセット電圧  $V_{int2}$  の要件は異なるため、該第1リセットサブ回路125の第1端子125a及び第2リセットサブ回路129の第1端子129aを、異なるリセット電圧端子(第1リセット電圧端子及び第2リセット電圧端子)に接続されて、異なるリセット電圧を受信することで、該第1リセット電圧  $V_{int1}$  及び第2リセット電圧  $V_{int2}$  の値はそれぞれの要件を満たすことができ、発光素子が効果的に逆バイアスされることを確保すると共に駆動トランジスタの不十分な補償を回避し、それによりディスプレイパネルの輝度均一性を向上させる。例えば、 $V_{int2}$  は  $-3.5V \sim -3V$  であってもよく、 $V_{int1}$  は  $-5.5V \sim -5V$  であってもよく、 $V_{SS}$  は  $-5V \sim -4.5V$  であってもよい。

【0092】

例えば、第2リセット電圧端子  $INT2$  が出力した該第2リセット電圧  $V_{int2}$  は第1リセット電圧端子  $INT1$  が出力した第1リセット電圧  $V_{int1}$  より大きい。例えば、第6トランジスタ  $T6$  と第7リセットトランジスタ  $T7$  のサイズは同じであり、同じな導通条件を有するため、それに対応して、第2リセット制御電圧  $V_{rst2}$  は第1リセット制御電圧  $V_{rst1}$  より大きい。

【0093】

例えば、複数のサブ画素は、それぞれ異なる色の発光素子に対する第1サブ画素及び第2サブ画素を含む。第1サブ画素の画素回路の第1リセットサブ回路125の第1端子125bは、第1リセット電圧  $V_{int1}$  を提供するように第1リセット電圧端子  $INT1$  に接続されるように構成される。例えば、該ディスプレイパネル20は更に第3リセット電圧端子  $INT3$  を含み、該第3リセット電圧端子  $INT3$  は、該第2サブ画素に第1リセット電圧  $V_{int1}$  を提供するように該第2サブ画素の第1リセットサブ回路125の第1端子125bに接続されるように構成される。図1Aを参照し、例えば、該第3リセット電圧端子  $INT3$  はボンディング領域130に位置する更に別のボンディング電極131であってもよい。例えば、該第1サブ画素は青色発光素子に対応し、第2サブ画素は

10

20

30

40

50

緑色又は赤色発光素子に対応する。

【 0 0 9 4 】

例えば、該第 1 リセット電圧端子  $V_{int1}$  が出力した第 1 リセット電圧  $V_{int1}$  は該第 3 リセット電圧端子  $INT3$  が出力した第 1 リセット電圧  $V_{int1}$  と同じであってもよく、異なってもよい。

【 0 0 9 5 】

例えば、異なる色の発光素子の発光材料の性質は異なり、発光材料内部の不純物イオン / 双極子で形成された電界も異なるため、発光素子の逆バイアス電圧の値も異なる可能性がある。異なる色の発光素子に対応するサブ画素に対して異なるリセット電圧端子を設置することにより、発光色の異なるサブ画素の第 1 リセット電圧  $V_{int1}$  を個別に調整できる。例えば、実験テストを予め行うことにより異なる色の発光素子に対応する好ましい第 1 リセット電圧  $V_{int1}$  の値を取得でき、次に、それに対応して、各リセット電圧端子の出力電圧の範囲を設定する。例えば、該第 1 リセット電圧端子  $V_{int1}$  が出力した第 1 リセット電圧  $V_{int1}$  は該第 3 リセット電圧端子  $INT3$  が出力した第 1 リセット電圧  $V_{int1}$  より小さい。

10

【 0 0 9 6 】

例えば、該複数のサブ画素は更に第 3 サブ画素を含み、該第 1 サブ画素、第 2 サブ画素及び第 3 サブ画素はそれぞれ青色発光素子、赤色発光素子及び緑色発光素子に対応する。例えば、異なる色の発光素子の発光材料の性質又は発光メカニズムは異なるため、異なる色の発光素子の逆方向バイアス電圧 ( $V_{int1} - V_{SS}$ ) の好ましい値は異なる。例えば、先ず、実験により異なる色の発光素子の逆方向バイアス電圧 - 耐用年数 (例えば  $LT95$ ) の曲線を取得し、次に、該実験結果に基づいて好ましい逆方向バイアス電圧の値を取得して表示基板の第 1 リセット電圧  $V_{int1}$  を設定することができる。

20

【 0 0 9 7 】

図 4 A は本開示の実施例に係る 3 つの異なる色 (RGB) の発光素子の逆方向バイアス電圧 - 耐用年数の曲線図を示し、図 4 A に示されるように、横軸はリセット段階において各発光素子に印加される逆方向バイアス電圧、すなわち第 1 リセット電圧  $V_{int1}$  と第 2 電源電圧  $V_{SS}$  との差値を示し、縦軸は各発光素子が本開示の実施例に係る駆動方法を用いる  $LT95$  と定電流 (CC) 駆動を用いる  $LT95$  の百分率 ( $L(T95) / L0\%$ ) を示し、発光素子 R の定電流駆動電圧は 3.82 V であり、発光素子 G の定電流駆動電圧は 3.62 V であり、発光素子 B の定電流駆動電圧は 3.85 V である。

30

【 0 0 9 8 】

図 4 A に示されるように、3 つの色の発光素子については、逆方向バイアス電圧が合理的な値を取ることで、定電流駆動の場合よりも長い耐用年数を取得でき、すなわち  $L(T95) / L0\%$  は 100% より大きい。例えば、図 4 A から分かるように、赤色発光素子 (R) 及び緑色発光素子 (G) に対応する逆方向バイアス電圧の好ましい値は近く、且つ青色発光素子 (B) に対応する逆方向バイアス電圧の好ましい値より大きい。例えば、赤色発光素子 (R) 及び緑色発光素子 (G) はいずれもリン光発光素子であり、青色発光素子 (B) は蛍光発光素子である。

【 0 0 9 9 】

例えば、赤色発光素子 (R) 及び緑色発光素子 (G) の逆方向バイアス電圧の値の範囲は -2.3 V ~ -1.8 V であってもよく、例えば -2 V であり、青色発光素子 (B) の逆方向バイアス電圧の値の範囲は -1 V ~ -0.4 V であってもよく、例えば -0.5 V である。

40

【 0 1 0 0 】

例えば、実験により分かるように、赤色発光素子及び緑色発光素子に対応する第 1 リセット電圧  $V_{int1}$  の好ましい値は近いため、該表示基板における赤色発光素子及び緑色発光素子に対応する第 2 サブ画素 (R) 及び第 3 サブ画素 (G) の第 1 リセットサブ回路 125 の第 1 端子 125 b を同じリセット電圧端子に接続し、青色発光素子に対応する第 1 サブ画素 (B) の第 1 リセットサブ回路 125 の第 1 端子 125 b を異なるリセット電

50

圧端子に接続することができる。しかし、これは本開示の1つの例に過ぎず、他の例において、異なるデバイスを選択して実験を行って異なる結果を取得してもよく、それに応じて、表示基板を設置し、本開示の実施例はこれを制限しない。

#### 【0101】

図4Bは本開示の別の実施例に係る表示基板の画素回路の模式図である。図に示されるように、該第3リセット電圧端子INT3は第2サブ画素(R)の第1リセットサブ回路の第1端子及び第3サブ画素(G)の第1リセットサブ回路の第1端子に接続されて、該第2サブ画素及び第3サブ画素に第1リセット電圧Vint1を提供し、第1リセット電圧端子INT1は該第1サブ画素(G)の第1リセットサブ回路の第1端子に接続されて、該第1サブ画素(G)に第1リセット電圧Vint1を提供する。例えば、第1リセット電圧端子INT1が出力した第1リセット電圧Vint1の範囲は-7V~-6.5Vであり、第3リセット電圧端子INT3が出力した第1リセット電圧Vint1の範囲は-5.5V~-5Vである。例えば、第2電源電圧VSSの範囲は-4.5V~-4Vである。

10

#### 【0102】

例えば、該第2サブ画素及び第3サブ画素は同じ画素行に位置する場合、該第2サブ画素の第1リセットサブ回路及び第3サブ画素の第1リセットサブ回路は同じ第1リセット電圧線によって第3リセット電圧端子INT3に接続され、該第2サブ画素及び第3サブ画素は異なる画素行に位置する場合、該第2サブ画素の第1リセットサブ回路及び第3サブ画素の第1リセットサブ回路は異なる第1リセット電圧線によって第3リセット電圧端子INT3に接続される。

20

#### 【0103】

別のいくつかの例において、該表示基板は更に第4リセット電圧端子を含んでもよく、該第4リセット電圧端子は、該第3サブ画素に該第1リセット電圧Vint1を提供するように該第3サブ画素の第1リセットサブ回路125の第1端子125bに接続されるように構成される。例えば、該第4リセット電圧端子INT3はボンディング領域130に位置する更に別のボンディング電極131であってもよい。それにより、それぞれ、赤、緑、青の3つの色の発光素子に対応する画素回路に該第1リセット電圧Vint1を提供できる。

#### 【0104】

以下に図4Bに示される画素回路を例として、且つ図5A-5C、図6、図7A-図7B、図8A-図8B、図9A-図9B及び図10を参照しながら本開示の少なくとも一実施例に係る表示基板の構造を例示的に説明する。図に示される実施例の場合、赤色発光素子及び緑色発光素子に対応するサブ画素の第1リセットサブ回路の第1端子は同じリセット電圧端子(第3リセット電圧端子INT3)に接続され、青色発光素子に対応するサブ画素の第1リセットサブ回路の第1端子は別のリセット電圧端子(第1リセット電圧端子INT1)に接続されるが、これは開示を制限するものではない。

30

#### 【0105】

図5Aは本開示の少なくとも一実施例に係る表示基板20の模式図であり、図5Bは図5Aの断面線I-I'に沿う断面図であり、図5Cは図5Aの断面線II-II'に沿う断面図である。なお、明確にするために、図5B及び5Cには、断面線箇所直接的な電気的接続関係のない構造が省略される。

40

#### 【0106】

図5Aに示されるように、該表示基板20はベース基板101を含み、複数のサブ画素100は該ベース基板101に位置する。いくつかの実施例において、各サブ画素の画素回路は、完全に同じ構造を有し、且つ発光素子との異なる接続構造を有してもよく、すなわち、画素回路は行方向及び列方向に繰り返し配列され、異なる画素回路と発光素子との接続構造は各サブ画素に対応する発光素子の電極の設置形状及び位置によって異なってもよい。いくつかの実施例において、異なる色のサブ画素の画素回路の大まかなフレーム、例えば各信号線の形状及び位置は基本的に同じであり、各トランジスタの相対な位置関係

50

も基本的に同一であり、しかし、いくつかの信号線又は接続線の幅、形状、又はいくつかのトランジスタのチャンネルサイズ、形状など、又は異なるサブ画素の発光素子に接続するための接続線又はビア位置などは異なってよく、各レイアウト構造及びサブ画素配列に基づいて調整できる。図5Aには、1行サブ画素において直接隣接する3つのサブ画素(すなわち第1サブ画素100a、第2サブ画素100b及び第3サブ画素100c)が模式的に示され、本開示の実施例はこのレイアウトに制限されない。

#### 【0107】

図5B-5Cを参照して分かるように、半導体層102、第1絶縁層301、第1導電層201、第2絶縁層302、第2導電層202、第3絶縁層303、第3導電層203、第4絶縁層304、第4導電層204、第5絶縁層305及び第5導電層205がベース基板101に順に設置されることで、図5Aに示される表示基板の構造が形成される。

10

#### 【0108】

図6は図5Aに対応して、該3つのサブ画素100におけるトランジスタT1-T7の半導体層102及び第1導電層201を示し、図7Aは第2導電層202の模式図を示し、図7Bは図6を基礎として該第2導電層202を示し、図8Aは第3導電層203の模式図を示し、図8Bは図7Bを基礎として該第3導電層203を示し、図9Aは第4導電層204の模式図を示し、図9Bは図8Bを基礎として該第4導電層204を示し、図10は第5導電層205の模式図を示す。なお、図には、1行のサブ画素において隣接する3つのサブ画素の対応構造のみが模式的に示されるが、これは本開示を制限するものではない。明確にするために、図6、図7B、図8B及び図9Bには、それぞれ対応する位置に、図3Aにおける断面線I-I'及びII-II'が対応して示される。

20

#### 【0109】

説明の便宜上、以下の説明において、Tng、Tns、Tnd、Tnaでそれぞれ第nトランジスタTnのゲート、第1極、第2極及び活性層を示し、nは1~7である。

#### 【0110】

なお、本開示で言及される「同じ層に設置される」とは、2種(又は2種以上)の構造が同じ堆積プロセスによって形成され且つ同じパターニングプロセスによってパターニングして形成される構造であり、それらの材料は同じであってもよく、異なってよい。本開示における「一体的な構造」とは、2種(又は2種以上)の構造が同じ堆積プロセスによって形成され且つ同じパターニングプロセスによってパターニングして形成された、相互に接続される構造であり、それらの材料は同じであってもよく、異なってよい。

30

#### 【0111】

図6に示されるように、該半導体層102は第1~第7トランジスタT1-T7の活性層T1a-T7aを含む。各サブ画素100に対応する半導体層のパターンは同じである。例えば、該第1導電層201は第1~第7トランジスタT1-T7のゲートT1g-T7gを含む。

#### 【0112】

例えば、図6に示されるように、該表示基板20はセルフアライン技術を用い、第1導電層201をマスクとして利用して該半導体層102に対して導体化処理(例えばドーピング処理)を行うことにより、該半導体層102の該第1導電層201にカバーされていない部分を導体化し、それにより各トランジスタの活性層のゲートによって遮蔽される部分は該トランジスタのチャンネル領域に形成され、チャンネル領域の両側に位置する部分は導体化されてそれぞれ該トランジスタの第1極及び第2極に形成される。

40

#### 【0113】

例えば、図6に示されるように、該半導体層102は更に複数の第1リセット信号線121を含み、該第1リセット信号線121は第2リセットサブ回路の第1端子、すなわち第7トランジスタT7の第1極T7sに電氣的に接続されて該第2リセット電圧Vint2を提供する。該第1リセット信号線250の材料はドーピング半導体材料を含み、例えばドーピング多結晶シリコン材料を含む。

#### 【0114】

50

例えば、図 1 A を参照し、該第 1 リセット信号線 1 2 1 は、1 つの導線 1 1 として、更に配線 1 3 2 に電氣的に接続できることで、ボンディング領域 1 3 0 に位置するボンディング電極 1 3 1 (すなわち第 2 リセット電圧端子 I N T 2 ) に電氣的に接続される。

【 0 1 1 5 】

例えば、図 6 に示されるように、トランジスタのゲート制御能力を向上させ、漏れ電流を低減させるために、第 3 トランジスタ T 3 及び第 7 トランジスタ T 7 はダブルゲート構造を用いる。

【 0 1 1 6 】

例えば、該第 1 導電層 2 0 1 は更に第 1 方向 D 1 に沿って延伸する複数のゲート線を含み、該ゲート線はトランジスタのゲートに電氣的に接続されてゲート制御信号を提供する。図 6 に示されるように、該ゲート線は、例えば複数の走査線 2 1 1、複数の第 1 リセット制御線 2 1 2、複数の第 2 リセット制御線 2 1 3 及び複数の発光制御線 2 1 4 を含む。例えば、各画素行はそれぞれ 1 つの走査線 2 1 1、1 つの第 1 リセット制御線 2 1 2、1 つの第 2 リセット制御線 2 1 3 及び 1 つの発光制御線 2 1 4 に対応して接続される。

【 0 1 1 7 】

図 6 に示されるように、該走査線 2 1 1 は対応する 1 つの画素行における第 2 トランジスタ T 2 のゲートに電氣的に接続されて (又は一体的な構造になって) 第 1 走査信号 G a 1 を提供する。例えば、該走査線 2 1 1 は更に第 3 トランジスタ T 3 のゲートに電氣的に接続されて第 2 走査信号 G a 2 を提供し、すなわち、第 1 走査信号 G a 1 と第 2 走査信号 G a 2 は同じ信号であってもよい。

【 0 1 1 8 】

図 6 に示されるように、第 1 リセット制御線 2 1 2 は対応する 1 つの画素行における第 6 トランジスタ T 6 のゲートに電氣的に接続されて該第 1 リセット制御電圧 V r s t 1 を提供し、第 2 リセット制御線 2 1 3 は第 7 トランジスタ T 7 のゲートに電氣的に接続されて第 2 リセット制御電圧 V r s t 2 を提供する。

【 0 1 1 9 】

図 6 に示されるように、発光制御線 2 1 4 は対応する 1 行のサブ画素における第 4 トランジスタ T 4 のゲートに電氣的に接続されて第 1 発光制御信号 E M 1 を提供する。該発光制御線 2 1 4 は更に第 5 トランジスタ T 5 のゲートに電氣的に接続されて第 2 発光制御信号 E M 2 を提供し、すなわち該第 1 発光制御信号 E M 1 と第 2 発光制御信号 E M 2 は同じ信号である。

【 0 1 2 0 】

図 1 A を参照し、該走査線 2 1 1、第 1 リセット制御線 2 1 2、第 2 リセット制御線 2 1 3 及び発光制御線 2 1 4 は、一部の導線 1 1 として、更にゲート駆動回路 1 3 に接続されてゲート駆動回路 1 3 が出力した第 1 走査信号 G a 1、第 2 走査信号 G a 2、第 1 リセット制御電圧 V r s t 1、第 2 リセット制御電圧該 V r s t 2、第 1 発光制御信号 E M 1 及び第 2 発光制御信号 E M 2 を受信する。

【 0 1 2 1 】

例えば、図 6 から分かるように、列方向 (第 2 方向 D 2 ) に画素領域を分割する導線 1 1 は該第 1 リセット信号線 1 2 1 又は該第 1 リセット制御線 2 1 2 であってもよい。

【 0 1 2 2 】

図 7 A は第 2 導電層 2 0 2 の模式図を示し、図 7 B は図 6 を基礎として該第 2 導電層 2 0 2 を示す。

【 0 1 2 3 】

図 7 A、図 7 B 及び図 5 B を参照し、該第 2 導電層 2 0 2 は第 1 コンデンサ電極 C a を含む。該第 1 コンデンサ電極 C a はベース基板 1 0 1 と垂直である方向において第 1 トランジスタ T 1 のゲート T 1 g と重なって記憶コンデンサ C s t が形成され、すなわち、該第 1 トランジスタ T 1 のゲート T 1 g は該記憶コンデンサ C s t の第 2 コンデンサ電極 C b とする。例えば、該第 1 コンデンサ電極 C a は開口 2 2 0 を含み、該開口 2 2 0 は該第 1 トランジスタ T 1 のゲート T 1 g の少なくとも一部を露出させ、それによって該ゲート

10

20

30

40

50

T 1 g は該開口 2 2 0 によって他の構造に電氣的に接続される。例えば、同じ画素行に位置するサブ画素の第 1 コンデンサ電極 C a は相互に接続されて一体的な構造になる。

【 0 1 2 4 】

例えば、該第 2 導電層 2 0 2 は更に第 1 方向 D 1 に沿って延伸する複数の第 1 リセット電圧線 2 2 1 及び複数の第 2 リセット電圧線 2 2 2 を含んでもよく、該複数の第 1 リセット電圧線 2 2 1 及び複数の第 2 リセット電圧線 2 2 2 は、例えばそれぞれ複数の画素行と 1 対 1 で対応し設置される。該第 1 リセット電圧線 2 2 1 は対応する 1 つの画素行における第 1 サブ画素 1 0 0 a (すなわち青色サブ画素) の第 1 リセットサブ回路の第 1 端子(すなわち第 6 トランジスタ T 6 の第 1 極 T 6 s ) に電氣的に接続されて第 1 リセット電圧 V i n t 1 を提供し、該第 2 リセット電圧線 2 2 2 は対応する 1 つの画素行における第 2 サブ画素 1 0 0 b (すなわち赤色サブ画素) の第 1 リセットサブ回路の第 1 端子(すなわち第 6 トランジスタ T 6 の第 1 極 T 6 s ) 及び第 3 サブ画素 1 0 0 c (すなわち緑色サブ画素) の第 1 リセットサブ回路の第 1 端子(すなわち第 6 トランジスタ T 6 の第 1 極 T 6 s ) に電氣的に接続されて該第 2 サブ画素及び第 3 サブ画素に第 1 リセット電圧 V i n t 1 を提供する。

10

【 0 1 2 5 】

図 8 A は第 3 導電層 2 0 3 の模式図を示し、図 8 B は図 7 B を基礎として該第 3 導電層 2 0 3 を示す。

【 0 1 2 6 】

図 8 A 及び図 8 B を参照し、該第 3 導電層 2 0 3 は第 2 方向 D 2 に沿って延伸する複数のデータ線 2 3 1、複数の第 2 リセット信号線 2 3 2 及び複数の第 1 電源線 2 3 3 を含む。例えば、該複数のデータ線 2 3 1、複数の第 2 リセット信号線 2 3 2 及び複数の第 1 電源線 2 3 3 はそれぞれ複数の画素列と 1 対 1 で対応し設置される。

20

【 0 1 2 7 】

例えば、該データ線 2 3 1 はビア 3 3 1 によって対応する 1 つの画素列におけるサブ画素のデータ書き込みサブ回路の第 1 端子(すなわち第 2 トランジスタの第 1 極 T 2 s ) に電氣的に接続されて該サブ画素にデータ信号 V d を提供する。例えば、該ビア 3 3 1 は第 1 絶縁層 3 0 1、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通する。

【 0 1 2 8 】

例えば、該第 2 リセット信号線 2 3 2 はビア 3 3 2 によって第 1 リセット信号線 1 2 1 に電氣的に接続されることで、複数の第 1 リセット信号線 1 2 1 が電氣的に接続され、縦横に交差する網状の構造が形成される。このような構造は信号線の抵抗を低減させることに寄与し、それにより信号線における電圧降下を低減させ、第 2 リセット電圧 V i n t 2 を表示基板における各サブ画素に均一に提供することに寄与する。例えば、該ビア 3 3 2 は第 1 絶縁層 3 0 1、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通する。

30

【 0 1 2 9 】

例えば、図 1 A を参照し、該第 2 リセット信号線 2 3 2 は更に配線 1 3 2 に電氣的に接続されることで、ボンディング領域 1 3 0 に位置するボンディング電極 1 3 1 (すなわち第 2 リセット電圧端子 I N T 2 ) に電氣的に接続される。

【 0 1 3 0 】

例えば、該電源線 2 3 3 はビア 3 3 3 によって対応する 1 つの画素列におけるサブ画素の第 1 発光制御サブ回路の第 1 端子(すなわち第 4 トランジスタ T 4 の第 1 極 T 4 s ) に電氣的に接続されて第 1 電源電圧 V D D を提供する。例えば、該ビア 3 3 3 は第 1 絶縁層 3 0 1、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通する。

40

【 0 1 3 1 】

例えば、図 8 B に示されるように、該第 1 電源線 2 3 3 は更にビア 3 3 4 によって対応する 1 つの画素列におけるサブ画素の第 1 コンデンサ電極 C a に電氣的に接続されることで、該第 1 コンデンサ電極 C a に第 1 電源電圧 V D D を提供する。例えば、該ビア 3 3 4 は第 3 絶縁層 3 0 3 を貫通する。例えば、該ビア 3 3 4 の数は少なくとも 2 つであり、それにより該第 1 電源線 2 3 3 と該第 1 コンデンサ電極 C a は並列接続構造として形成され

50

、接触抵抗を低減させることに寄与する。

【 0 1 3 2 】

例えば、図 8 A 及び図 8 B に示されるように、該第 3 導電層 2 0 3 は更に各サブ画素に位置する第 1 接続電極 2 3 5 を含む。該第 1 接続電極 2 3 5 の一端はビア 3 3 5 によって第 1 リセットサブ回路の第 1 端子（すなわち第 6 トランジスタ T 6 の第 1 極 T 6 s ）に電氣的に接続され、他端は第 1 リセット電圧線 2 2 1 に電氣的に接続される。図 8 B に示されるように、第 1 サブ画素 1 0 0 a に位置する第 1 接続電極 2 3 5 はビア 3 3 6 a によって第 1 リセット電圧線 2 2 1 に電氣的に接続され、第 2 サブ画素 1 0 0 b 及び第 3 サブ画素 1 0 0 c に位置する第 1 接続電極 2 3 5 はそれぞれビア 3 3 6 b、3 3 6 c によって第 2 リセット電圧線 2 2 2 に電氣的に接続される。例えば、該ビア 3 3 5 は第 1 絶縁層 3 0 1、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通し、該ビア 3 3 6 a、3 3 6 b、3 3 6 c はいずれも第 3 絶縁層 3 0 3 を貫通する。

10

【 0 1 3 3 】

図 1 A を参照し、該第 1 リセット電圧線 2 2 1 及び第 2 リセット電圧線 2 2 2 は、一部の導線 1 1 として、更にそれぞれ 1 つの配線 1 3 2 に電氣的に接続できることで、ボンディング領域 1 3 0 に位置してリセット電圧端子とするボンディング電極 1 3 1 にそれぞれ電氣的に接続され、それによりそれぞれ第 1 リセット電圧端子 I N T 1 及び第 3 リセット電圧端子 I N T 3 に電氣的に接続される。

【 0 1 3 4 】

例えば、複数の第 1 リセット電圧線 2 2 1 はそれぞれ同じ配線 1 3 2 に接続され且つ同じ第 1 リセット電圧端子 I N T 1 に接続され、すなわち、該表示基板における第 1 サブ画素はいずれも同じ第 1 リセット電圧端子 I N T 1 に対応して電氣的に接続される。

20

【 0 1 3 5 】

例えば、複数の第 2 リセット電圧線 2 2 2 はそれぞれ同じ配線 1 3 2 に接続され且つ同じ第 3 リセット電圧端子 I N T 3 に接続され、すなわち、該表示基板における第 2 サブ画素及び第 3 サブ画素はいずれも同じ第 3 リセット電圧端子 I N T 3 に対応して電氣的に接続される。

【 0 1 3 6 】

例えば、図 8 A、図 8 B 及び図 5 B に示されるように、該第 3 導電層 2 0 3 は更に各サブ画素に位置する第 2 接続電極 2 3 6 を含み、該第 2 接続電極 2 3 6 の一端は第 1 コンデンサ電極 C a における開口 2 2 0 と、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通するビア 3 3 7 とを介して第 2 コンデンサ電極 C b、すなわち第 1 トランジスタ T 1 のゲート T 1 g に電氣的に接続される。該第 2 接続電極 2 3 6 の他端は第 1 絶縁層 3 0 1、第 2 絶縁層 3 0 2 及び第 3 絶縁層 3 0 3 を貫通するビア 3 3 8 によって補償サブ回路の第 1 端子（すなわち第 3 トランジスタの第 1 極 T 3 s ）に電氣的に接続されることで、該第 3 トランジスタの第 1 極 T 3 s を第 1 トランジスタ T 1 のゲート T 1 g 及び第 2 記憶コンデンサ電極 C b に電氣的に接続する。

30

【 0 1 3 7 】

図 5 B を参照し、第 1 コンデンサ電極 C a に開口 2 2 0 を形成し、且つ第 2 接続電極 2 3 6 を該開口によって第 2 コンデンサ電極 C b に電氣的に接続することにより、第 1 コンデンサ電極 C a と第 2 接続電極 2 3 6 との間の三次元空間に三次元コンデンサを形成し、該三次元コンデンサと該第 1 コンデンサ電極 C a 及び第 2 コンデンサ電極 C b との間の平面コンデンサは相互に並列接続され、記憶コンデンサ C s t の容量値を効果的に増大させる。

40

【 0 1 3 8 】

例えば、図 8 A、図 8 B に示されるように、該第 3 導電層 2 0 3 は更に各サブ画素に位置する第 3 接続電極 2 3 7 を含む。例えば、該第 3 接続電極 2 3 7 は第 1 接続端子 2 3 7 a 及び第 2 接続端子 2 3 7 b を含み、該第 1 接続端子 2 3 7 a はビア 3 3 9 a によって第 1 リセットサブ回路の第 2 端子（すなわち第 6 トランジスタ T 6 の第 2 極 T 6 d ）に電氣的に接続され、該第 2 接続端子 2 3 7 b はビア 3 3 9 b によって発光素子の第 1 端子に接

50

続されることに用いられる。

【0139】

例えば、図8Bに示されるように、該第3接続電極237は更に第3接続端子237cを含み、該第3接続端子237cは第1発光制御サブ回路の第2端子(すなわち第5トランジスタT5の第2極T2d)に電氣的に接続されることで、該第5トランジスタT5の第2極T5dを第6トランジスタT6の第2極T6dと電氣的に接続し、且つ発光素子に接続する。

【0140】

例えば、図8Aに示されるように、該第3接続電極237はU型構造であり、該第1接続端子237a及び第2接続端子237bはそれぞれ該U型構造の2つの端点に位置し、該第3接続端子237cは該U型構造の該第2接続端子237bに近い曲がり角に位置する。例えば、該U型構造の2つの分岐の長さは異なり、すなわち該U型構造は非対称構造である。

10

【0141】

本開示の実施例において、該第5トランジスタT5の第2極T2dと第6トランジスタT6の第2極T6dは半導体層102において直接接続されることはなく、第3接続電極237によって電氣的に接続されるため、第4ノードN4(例えば陽極ノード)における接触抵抗を効果的に低減させ、それにより発光素子の画素電極(例えば陽極)の電圧は接触抵抗が大きすぎることによってグレースケール損失が発生することを回避し、表示品質を向上させる。

20

【0142】

図9Aは第4導電層204の模式図を示し、図9Bは図8Bを基礎として該第4導電層204を示す。

【0143】

図9A及び図9Bを参照し、該第4導電層204は第1方向D1に沿って延伸する複数の電源線241及び第2方向D2に沿って延伸する複数の電源線243を含み、該複数の電源線241と該複数の電源線243とは相互に交差して且つ接続されて一体的な網状の電源線構造になる。

【0144】

例えば、複数の電源線241と複数の第1電源線233は1対1で対応し設置され、各電源線241は対応する第1電源線233とベース基板101に垂直な方向において相互に重なり、且つビア341によって電氣的に接続される。該ビア341は、例えば第4絶縁層304を貫通する。

30

【0145】

例えば、各電源線241は少なくとも2つのビア341によって対応する第1電源線233に電氣的に接続されることで、並列接続構造が形成され、それにより第1電源線233の抵抗を効果的に低減させ、電源線241と電源線241で網状の電源線構造を形成することは、第1電源線の抵抗を更に低減させる。このような構造は第1電源線における電圧降下を低減させることに寄与し、且つ第1電源電圧VDDを表示基板の各サブ画素に均一に伝送することに寄与し、それにより表示基板の表示均一性を向上させる。

40

【0146】

例えば、図9A、図9B及び図5Cに示されるように、該第4導電層204は更に各サブ画素に位置する第4接続電極244を含み、該第4接続電極244はビア339bによって第3接続電極237の第2接続端子237bに電氣的に接続されることで、該第2接続端子237bを発光素子と接続する。該ビア339bは第4絶縁層304を貫通する。

【0147】

例えば、該非表示領域103に位置する配線132は第3導電層203に位置してもよく、積層される2層導線構造を含んでもよく、該2層導線構造はそれぞれ第3導電層203及び第4導電層204に位置する。

【0148】

50

例えば、該非表示領域 103 に位置するボンディング電極 131 (例えば該第 1 リセット電圧端子 INT1、第 2 リセット電圧端子 INT2 及び第 3 リセット電圧端子 INT3) は積層される 2 層電極構造を含んでもよく、該 2 層電極構造は相互に積層され且つ直接接触し、該 2 層電極構造は、例えばそれぞれ第 3 導電層 203 及び第 4 導電層 204 に位置してもよい。別のいくつかの例において、該ボンディング電極 131 は積層される 3 層電極構造を含んでもよく、該 3 層電極構造は相互に積層され且つ直接接触し、該 3 層電極構造は、例えばそれぞれ第 1 導電層 201、第 3 導電層 203 及び第 4 導電層 204 に位置してもよい。

#### 【0149】

図 10 は第 5 導電層 205 の模式図を示し、図 10、図 5A 及び図 5C に示されるように、該第 5 導電層 205 は各発光素子の第 1 電極 134 を含み、第 1 サブ画素 100a の画素回路に接続される第 1 電極 134a、第 2 サブ画素 100b の画素回路に接続される第 1 電極 134b 及び第 3 サブ画素 100c の画素回路に接続される第 1 電極 134c を含む。各第 1 電極はビア 350 によって対応する画素回路の第 4 接続電極 244 に電氣的に接続されることで、第 3 接続電極 237 によって第 5 トランジスタ T5 の第 2 極 T5d 及び第 6 トランジスタ T6 の第 2 極 T6d に電氣的に接続される。該ビア 350 は第 5 絶縁層 305 を貫通する。

10

#### 【0150】

図 10、図 5A 及び図 5C に示されるように、該第 1 電極 134 は、主に発光層が発光するように駆動するための本体部 141 と、主に対応する画素回路と接続するための接続部 142 とを含む。例えば、本体部 141 は長方形であり、接続部 142 は該本体部 141 に対して突出し、且つビア 350 によって対応する画素回路の第 4 接続電極 244 に電氣的に接続される。例えば、第 2 サブ画素 100b 及び第 3 サブ画素 100c に対応して接続する第 1 電極 134b、134c は第 1 方向に沿って並べて配列され、且つ第 1 サブ画素 100a に対応して接続する第 1 電極 134a と品字型で配列される。例えば、第 1 電極 134a、134b、134c の面積は順に減少する。

20

#### 【0151】

例えば、図 5C に示されるように、該表示基板 20 は更に発光素子の第 1 電極に位置する画素画定層 306 を含んでもよい。画素画定層 306 には、第 1 電極 134 の本体部 141 の少なくとも一部を露出させるために開口が形成されることで、表示基板の開口領域 (すなわち有効発光エリア) 600 が画定される。発光素子 120 の発光層 136 が少なくとも該開口内に形成され (発光層 136 は一部の画素画定層をカバーすることもできる)、第 2 電極 135 が発光層 136 に形成されることで、該発光素子 120 が形成される。例えば、該第 2 電極 135 は共通電極であり、全面が該表示基板 20 に配置される。例えば第 1 電極 134 は発光素子の陽極であり、第 2 電極 135 は発光素子の陰極である。

30

#### 【0152】

例えば、第 1 電極の本体部 141 のベース基板 101 での正投影は該第 1 電極が属するサブ画素の開口領域 600 の前記ベース基板での正投影をカバーし、接続部 142 のベース基板 101 での正投影は該ビア 350 のベース基板での正投影をカバーし、すなわち、第 1 電極の本体部 141 とビア 350 とはベース基板に垂直な方向に重ならず、その結果、該ビア 350 は開口領域内の発光層の平坦度に影響を与え、それにより発光品質に影響を与える。

40

#### 【0153】

例えば、ビア 339c とビア 350 とはベース基板 101 に垂直な方向に重ならないため、基板と垂直である方向においてビアが積み重なることでビアの位置に接続不良、切断又は不平坦が発生しやすいことを回避する。

#### 【0154】

例えば、サブ画素 100 に対応する複数の開口領域の形状及び大きさは異なる色の光を発する発光材料の発光効率、耐用年数などに応じて変化してもよく、例えば、発光の安定性を向上させるために、発光耐用年数が比較的短い発光材料に対応する開口領域を大きく

50

設置してもよい。例えば、青色サブ画素、赤色サブ画素、緑色サブ画素の開口領域の大きさを順に減少させてもよい。開口領域は第1電極134に設置されるため、それに対応して、図10に示されるように、第1サブ画素100a、第2サブ画素100b、第3サブ画素100cの第1電極134a、134b、134cの面積は順に減少する。

【0155】

例えば、ベース基板101は剛性基板、例えばガラス基板、シリコン基板などであってもよく、優れた耐熱性及び耐久性を有するフレキシブル材料、例えばポリイミド（PI）、ポリカーボネート（PC）、ポリエチレンテレフタレート（PET）、ポリエチレン、ポリアクリレート、ポリアリレート、ポリエーテルイミド、ポリエーテルスルホン、ポリエチレングリコールテレフタレート（PET）、ポリエチレン（PE）、ポリプロピレン（PP）、ポリスルホン（PSF）、ポリメチルメタクリレート（PMMA）、三酢酸セルロース（TAC）、シクロオレフィンポリマー（COP）及びシクロオレフィンコポリマー（COC）などで形成されてもよい。

10

【0156】

例えば、該半導体層102の材料はシリコン基材料（アモルファスシリコンa-Si、多結晶シリコンp-Siなど）、金属酸化物半導体（IGZO、ZnO、AZO、IZTOなど）及び有機物材料（ヘキサチオフェン、ポリチオフェンなど）を含むがそれらに制限されない。

【0157】

例えば、該第1～第4導電層の材料は金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、マグネシウム（Mg）、タングステン（W）及び以上の金属からなる合金材料、又は導電金属酸化物材料、例えば酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化亜鉛（ZnO）、酸化亜鉛アルミニウム（AZO）などを含んでもよい。

20

【0158】

例えば、該発光素子120は上部発射構造であり、第1電極134（すなわち第5導電層205）は反射性を有するが、第2電極135は透過性又は半透過性を有する。例えば、第1電極134は、陽極とするように、高仕事関数の材料であり、例えばITO/Ag/ITO積層構造であり、第2電極135は、陰極とするように、低仕事関数の材料であり、例えば半透過性の金属又は金属合金材料であり、例えばAg/Mg合金材料である。

30

【0159】

例えば、第1絶縁層301、第2絶縁層302、第3絶縁層303は、例えば、無機絶縁層を含み、例えば酸化ケイ素、窒化ケイ素、酸窒化ケイ素などのケイ素の酸化物、ケイ素の窒化物又はケイ素の窒素酸化物、又は酸化アルミニウム、窒化チタンなどの金属窒素酸化物を含む絶縁材料である。例えば、第4絶縁層304、第5絶縁層305及び画素画定層306はそれぞれ有機絶縁材料であり、例えばポリイミド（PI）、アクリレート、エポキシ樹脂、ポリメタクリル酸メチル（PMMA）などの有機絶縁材料である。例えば、第4絶縁層304及び第5絶縁層305は平坦化層である。別のいくつかの例において、該第4絶縁層304は更に無機絶縁層及び有機絶縁層の積層構造を含んでもよく、該無機絶縁層は保護層であり、該有機絶縁層は平坦化層であり、該有機絶縁層は該無機絶縁層よりもベース基板101から離れる。

40

【0160】

本開示の少なくとも一実施例は更にディスプレイパネルを提供し、以上のいずれかの表示基板20を含む。なお、本開示の少なくとも一実施例に係る上記表示基板20は発光素子120を含んでもよく、発光素子120を含まなくてもよく、すなわち、該発光素子120は表示基板20が完成した後にパネル工場にて形成できる。該表示基板20自体は発光素子120を含まない場合、本開示の実施例に係るディスプレイパネルは表示基板20に加えて、発光素子120も含む。

【0161】

例えば、該ディスプレイパネルはOLEDディスプレイパネルであり、それに対応して

50

、それが含む表示基板 20 は O L E D 表示基板である。図 11 に示されるように、例えば、該ディスプレイパネル 30 は更に表示基板 20 に設置されるパッケージ層 801 及びカバープレート 802 を含み、該パッケージ層 801 は、該発光素子及び駆動サブ回路への外部の湿気及び酸素の侵入によるデバイスの損傷を防止するように、表示基板 20 上の発光素子を密封するように構成される。例えば、パッケージ層 801 は有機フィルムを含み、又は有機フィルム及び無機フィルムが交互に積層された構造を含む。例えば、該パッケージ層 801 と表示基板 20 との間に、初期段階の製造プロセスに発光素子に残った水蒸気やゾルを吸収するように構成される吸水層（図示せず）が更に設置されてもよい。カバープレート 802 は、例えばガラスカバープレートである。例えば、カバープレート 802 とパッケージ層 801 は一体的な構造であってもよい。

10

#### 【0162】

本開示の少なくとも一実施例は更に表示装置 40 を提供し、図 12 に示されるように、該表示装置 40 は上記いずれかの表示基板 20 又はディスプレイパネル 30 を含み、本実施例における表示装置は、ディスプレイ、O L E D パネル、O L E D テレビ、電子ペーパー、携帯電話、タブレット P C、ノートパソコン、デジタルフォトフレーム、ナビゲーター、車載ディスプレイスクリーンなど、表示機能を有する任意の製品又は部材であってもよい。

#### 【0163】

本開示の実施例は更に、本開示の実施例に係る表示基板 20 を駆動することに用いることができる駆動方法を提供する。

20

#### 【0164】

例えば、図 3 A - 3 B に示される例において、該駆動方法はリセット段階及び発光段階を含む。該リセット段階は、第 1 リセットサブ回路をオンにするように、第 1 リセット制御電圧及び第 1 リセット電圧  $V_{int1}$  を入力し、発光素子を逆バイアスするように、該第 1 リセット電圧  $V_{int1}$  を発光素子に印加することを含む。該発光段階は、駆動回路をオンにして、駆動電流を発光素子に印加することで、発光素子を発光させることを含む。

#### 【0165】

例えば、該駆動方法は更にデータ書き込み及び補償段階を含んでもよく、該データ書き込み及び補償段階は、データ書き込みサブ回路、駆動回路及び補償サブ回路をオンにするように第 1 走査信号、第 2 走査信号及びデータ信号を入力し、それにより、前記データ信号を前記駆動サブ回路に書き込み、補償サブ回路が前記データ信号を記憶し、且つ補償回路が前記駆動サブ回路を補償することを含む。

30

#### 【0166】

例えば、該駆動方法は更にリセット電圧保持段階を含んでもよく、該リセット電圧保持段階は、第 1 リセット制御回路及び第 2 リセット制御回路をオフにするように第 1 発光制御信号  $E M 1$  及び第 2 発光制御信号  $E M 2$  を入力し、それにより、O L E D の第 1 電極における第 1 リセット電圧  $V_{int1}$  を保持する。該リセット電圧保持段階を設定することにより、第 1 リセット電圧  $V_{int1}$  の保持時間を調整でき、すなわち、該発光素子が該逆バイアス状態にある時間の長さを調整する。

#### 【0167】

該駆動方法についての詳細な説明は上記した図 3 A - 3 B に示される実施例についての説明を参照でき、ここで詳細な説明を省略する。

40

#### 【0168】

以上の説明は、本開示の具体的な実施形態に過ぎず、本開示の保護範囲を限定するものではなく、本開示の保護範囲は前記特許請求の範囲に準じるべきである。

#### 【符号の説明】

#### 【0169】

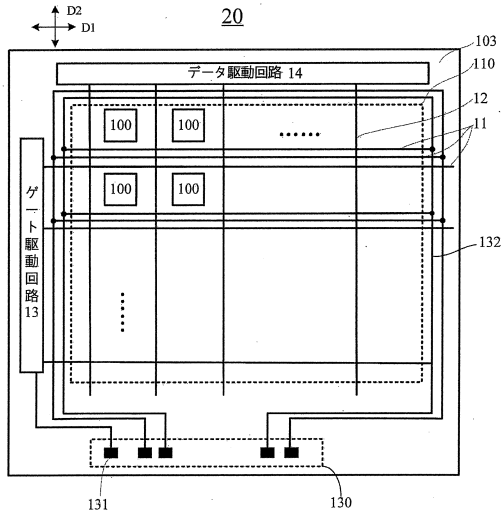
- 11 導線
- 12 導線
- 13 ゲート駆動回路

50

- 1 4 データ駆動回路
- 2 0 基板
- 1 0 0 サブ画素
- 1 0 3 非表示領域
- 1 1 0 表示領域
- 1 3 0 ボンディング領域
- 1 3 1 ボンディング電極
- 1 3 2 配線

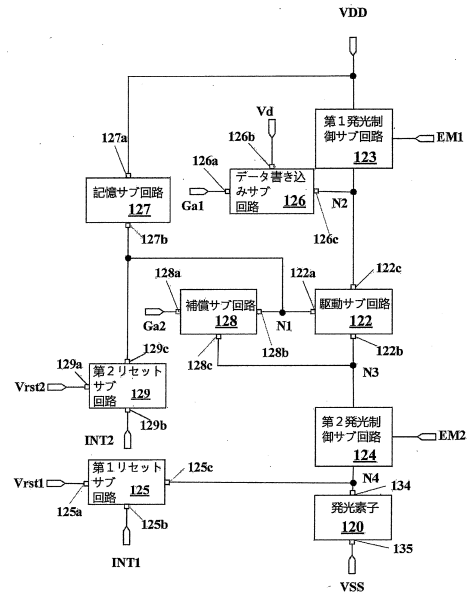
【図面】

【図 1 A】



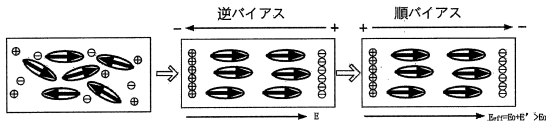
【図 1 B】

10



20

【図 2 A】



【図 2 B】

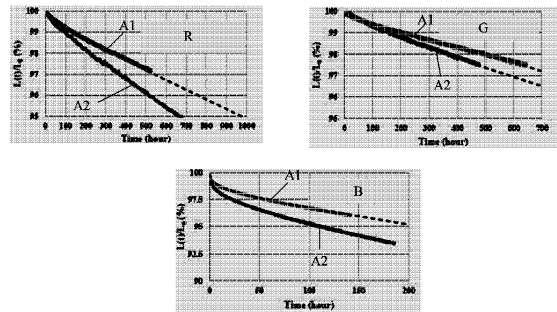


图 2B

30

40

50

【図 3 A】

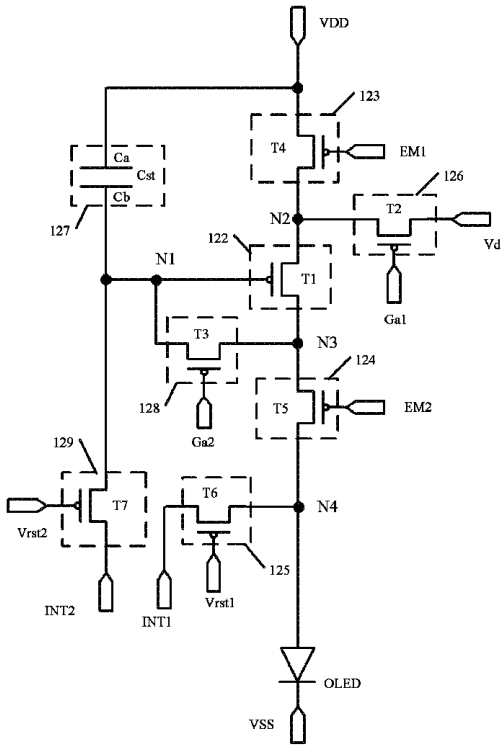


图 3A

【图 3 B】

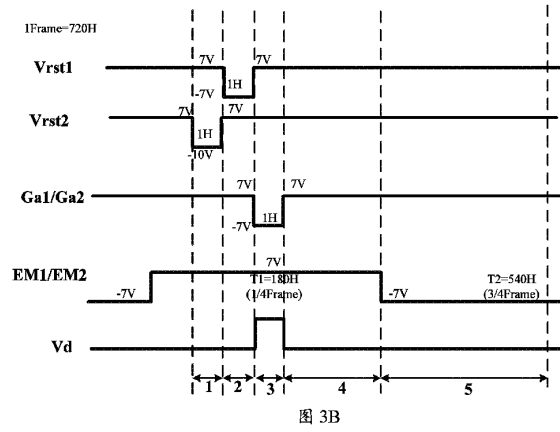
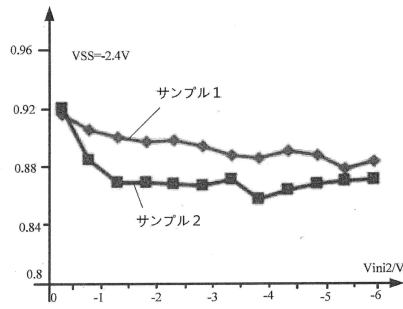


图 3B

10

20

【图 3 C】



【图 4 A】

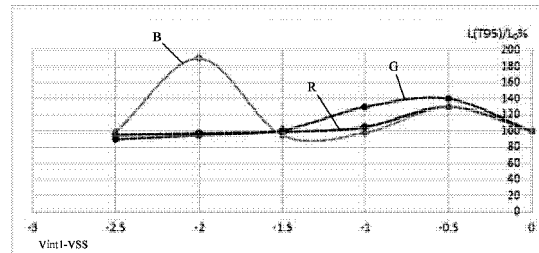


图 4A

30

40

50

【图 4 B】

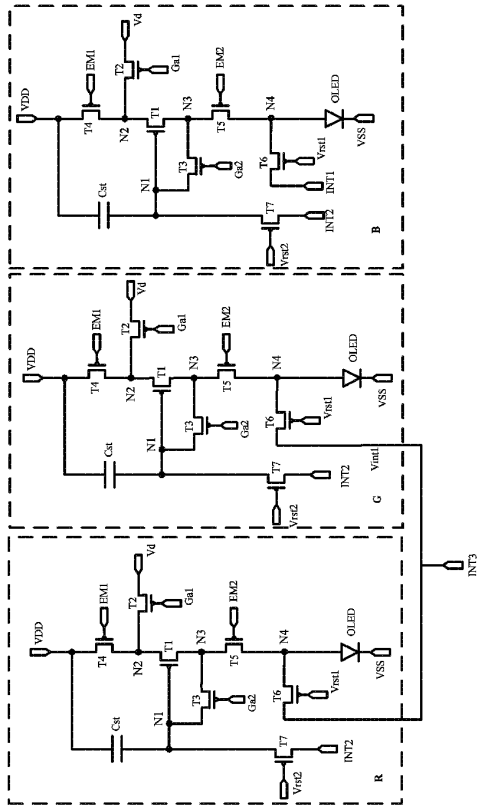


图 4B

【图 5 A】

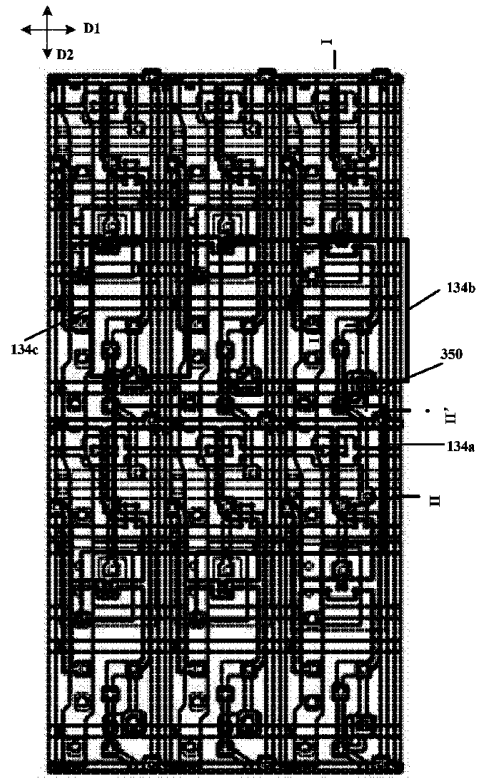


图 5A

【图 5 B】

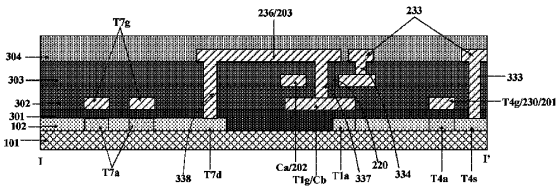


图 5B

【图 5 C】

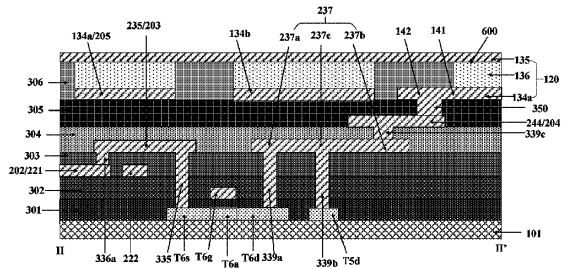


图 5C

10

20

30

40

50

【 图 6 】

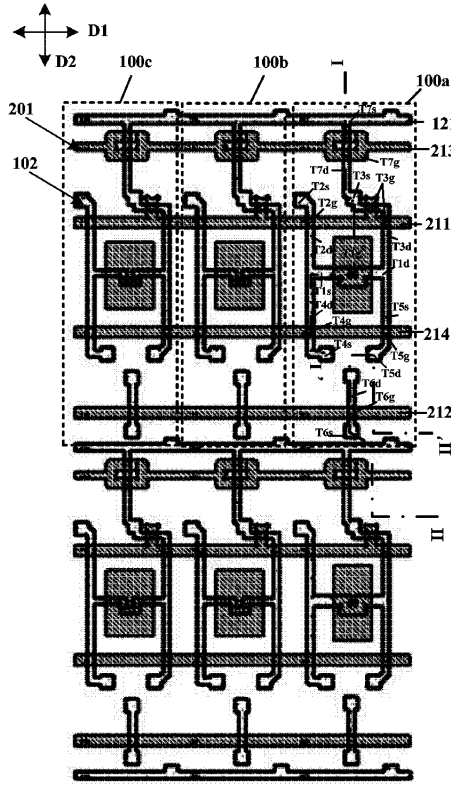


图 6

【 图 7 A 】

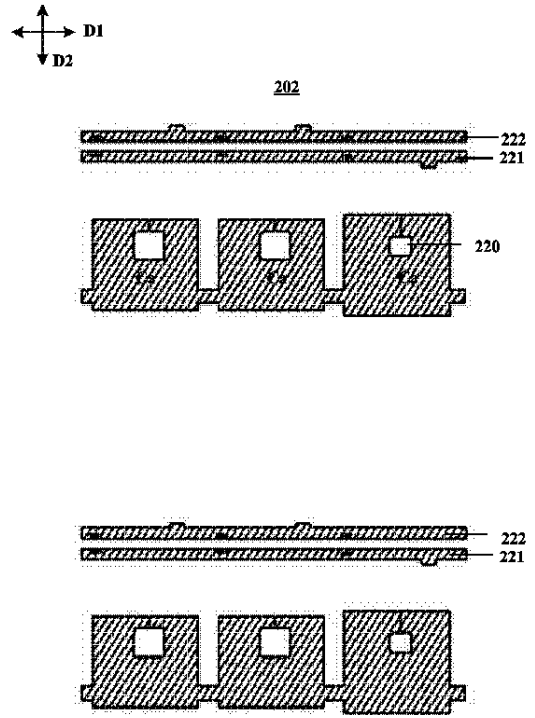


图 7A

【 图 7 B 】

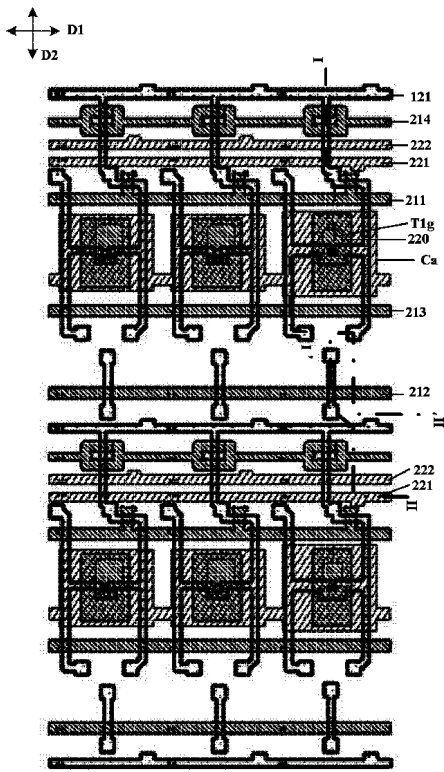


图 7B

【 图 8 A 】

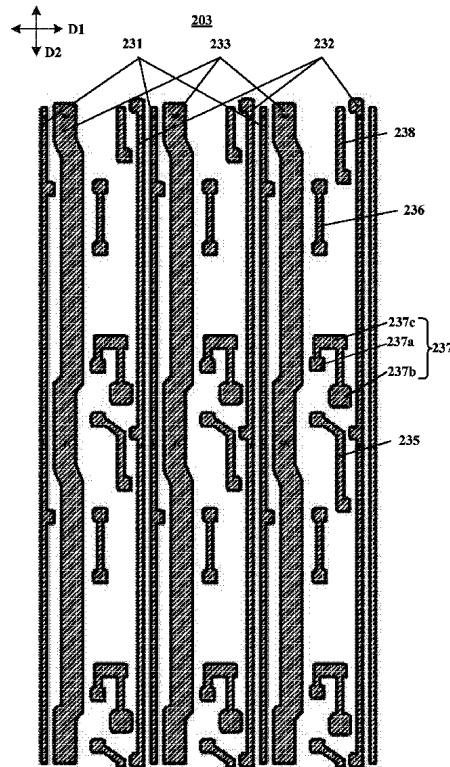


图 8A

10

20

30

40

50

【图 8 B】

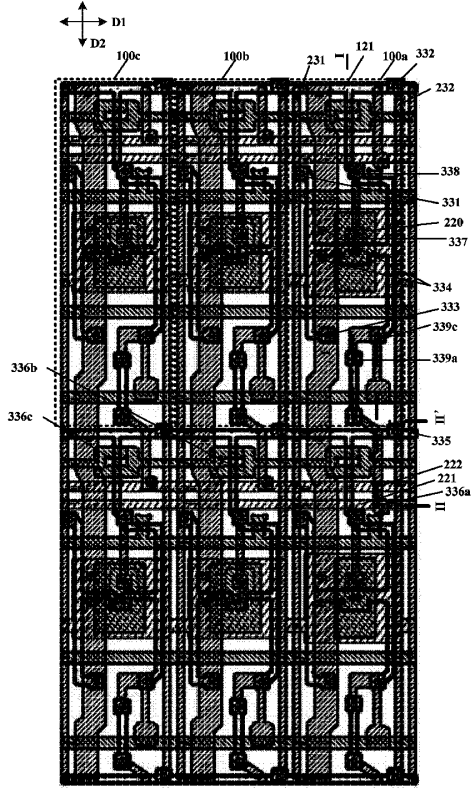


图 8B

【图 9 A】

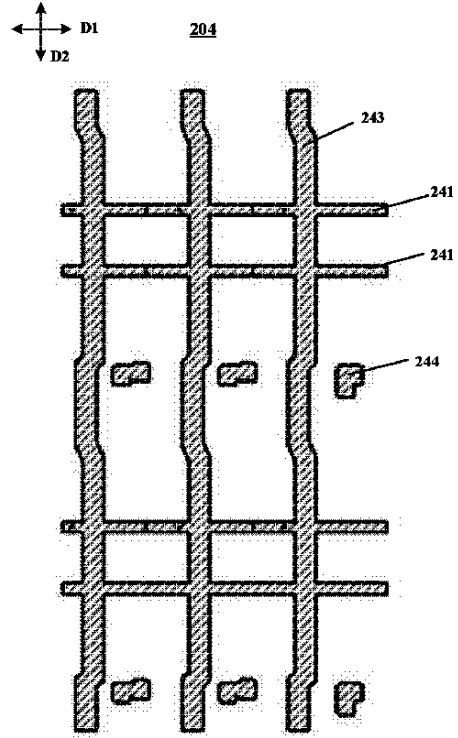


图 9A

10

20

【图 9 B】

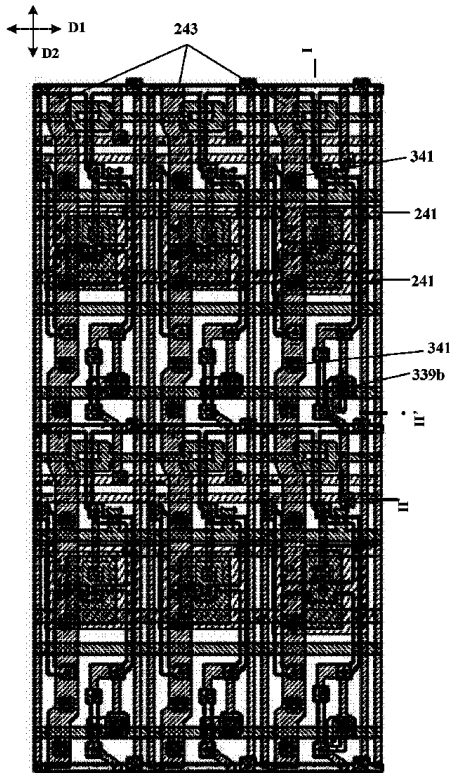


图 9B

【图 10】

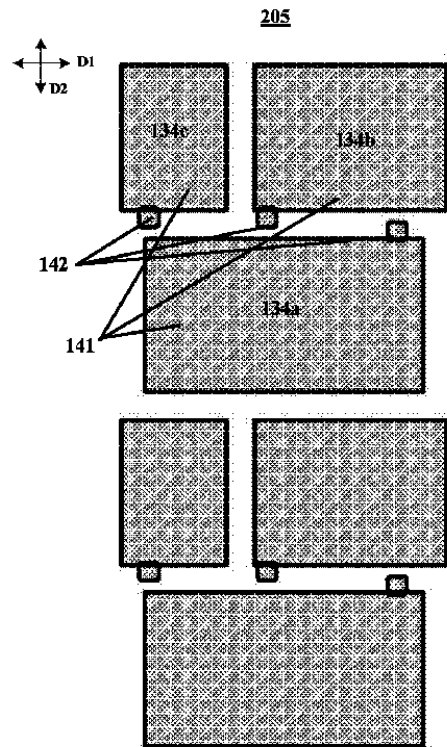


图 10

30

40

50

【図 1 1】

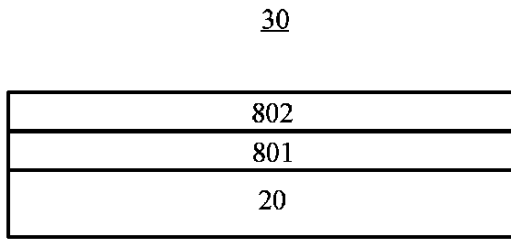
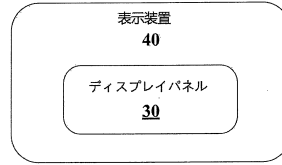


図 11

【図 1 2】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

H 1 0 K 59/131(2023.01)

F I

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/32	A
H 1 0 K	59/123	
H 1 0 K	59/131	

中華人民共和國 6 1 1 7 3 1 四川省成都市高新區(西區)合作路 1 1 8 8 號  
No. 1 1 8 8, Hezuo Rd., (West Zone), Hi-tech Development Zone, Chengdu, Sichuan, 6 1 1 7 3 1, P. R. CHINA

## (74)代理人

100108453

弁理士 村山 靖彦

## (74)代理人

100110364

弁理士 実広 信哉

## (72)発明者

盧 紅 ティン

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

馮 佑雄

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

牟 シン

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

陳 禎 祐

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

趙 爽

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

楊 中流

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

楊 静

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## (72)発明者

陳 文波

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

## 審査官

川俣 郁子

## (56)参考文献

中国特許出願公開第 1 0 9 2 1 5 5 8 2 (CN, A)

特開 2 0 1 9 - 0 7 4 7 2 9 (JP, A)

韓国公開特許第 1 0 - 2 0 1 6 - 0 0 7 0 6 5 3 (KR, A)

特開 2 0 1 0 - 1 0 7 7 6 3 (JP, A)

米国特許出願公開第 2 0 2 0 / 0 0 7 4 9 2 8 (US, A1)

中国特許出願公開第 1 0 9 2 4 3 3 6 9 (CN, A)

国際公開第 2 0 1 5 / 1 9 8 5 9 7 (WO, A1)

国際公開第 2 0 1 9 / 1 8 6 7 6 5 (WO, A1)

## (58)調査した分野 (Int.Cl., DB名)

G 0 9 F 9 / 3 0 - 9 / 4 6

G 0 9 G 3 / 0 0 - 3 / 0 8

3 / 1 2 - 3 / 1 6

3 / 1 9 - 3 / 2 6

3 / 3 0 - 3 / 3 4

3 / 3 8

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0