



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월20일  
(11) 등록번호 10-1066128  
(24) 등록일자 2011년09월14일

(51) Int. Cl.

H01L 25/00 (2006.01) H01L 25/04 (2006.01)

(21) 출원번호 10-2006-7017417

(22) 출원일자(국제출원일자) 2005년02월14일

심사청구일자 2009년10월14일

(85) 번역문제출일자 2006년08월29일

(65) 공개번호 10-2007-0007089

(43) 공개일자 2007년01월12일

(86) 국제출원번호 PCT/JP2005/002117

(87) 국제공개번호 WO 2005/078795

국제공개일자 2005년08월25일

(30) 우선권주장

JP-P-2004-00037242 2004년02월13일 일본(JP)

(56) 선행기술조사문헌

JP11068033 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

각고호우정 게이오기주크

일본국 도쿄도 미나토쿠 미타 2쵸메 15-45

(72) 발명자

구로다 타다히로

일본국 가나가와켄 223-0061 요코하마시 고호쿠쿠  
히요시 3쵸메14반 1고 게이오기주크 다이가쿠 리  
고가쿠부 내

미조구치 다이스케

일본국 가나가와켄 223-0061 요코하마시 고호쿠쿠  
히요시 3쵸메14반 1고 게이오기주크 다이가쿠 리  
고가쿠부 내

(뒷면에 계속)

(74) 대리인

송봉식, 정삼영

전체 청구항 수 : 총 4 항

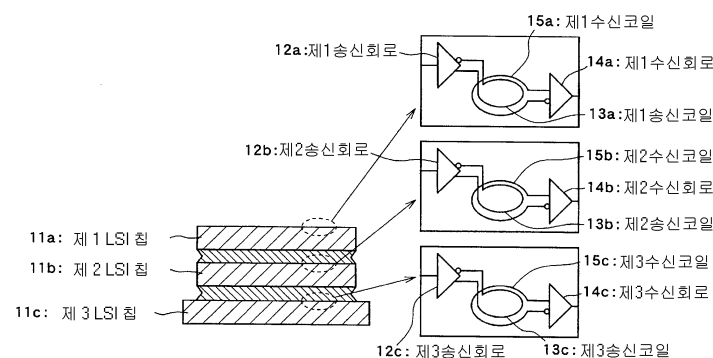
심사관 : 박기용

(54) 전자회로

(57) 요약

3 이상의 기판을 3차원 실장하고 기판을 걸쳐 신호를 전송하는 경우에도 효율적으로 신호를 전송할 수 있는 전자 회로를 제공하는 것을 과제로 하여, 본원발명은 LSI칩이 3층으로 적층되고, 3칩에 걸치는 버스를 형성한다. 제 1~제 3 LSI칩(11a, 11b, 11c)상에는, 제 1~제 3 송신 코일(13a, 13b, 13c) 및, 제 1~제 3 수신 코일(15a, 15b, 15c)이 배선에 의해 형성된다. 이들 3페어의 송수신 코일(13, 15)의 개구의 중심이 일치하도록 배치된다. 이것에 의해, 3페어의 송수신 코일(13, 15)은 유도성 결합을 형성하고, 통신이 가능하게 된다. 제 1~제 3 송신 코일(13a, 13b, 13c)에는 각각 제 1~제 3 송신회로(12a, 12b, 12c)가 접속되고, 제 1~제 3 수신 코일(15a, 15b, 15c)에는 각각 제 1~제 3 수신회로(14a, 14b, 14c)가 접속된다.

대표도 - 도1



(72) 발명자

**유소프 유스미라지 빈티**

일본국 가나가와켄 223-0061 요코하마시 고호쿠쿠  
히요시 3쵸메14반 1고 게이오기주크 다이가쿠 리고  
가쿠부 내

**미우라 노리유키**

일본국 가나가와켄 223-0061 요코하마시 고호쿠쿠  
히요시 3쵸메14반 1고 게이오기주크 다이가쿠 리고  
가쿠부 내

**사쿠라이 타카야스**

일본국 도쿄도 156-0051 세타가야쿠 미야사카 2쵸  
메 21-15

## 특허청구의 범위

### 청구항 1

기관상의 배선에 의해 형성되는 제 1 코일을 갖는 제 1 기관과,

기관상의 배선에 의해 상기 제 1 코일과 대응하는 위치에 형성되고 제 1 코일과 유도결합하는 제 2 코일을 갖는 제 2 기관을 구비하고,

상기 제 2 기관은 상기 제 2 코일의 양끝을 저항을 통하여 소정의 전압원에 접속하는 수신회로를 더 갖는 것을 특징으로 하는 전자회로.

### 청구항 2

제 1 항에 있어서, 상기 제 1 기관은 송신용의 디지털 데이터가 변화되었을 때에 상기 제 1 코일에 신호를 출력하는 송신회로를 더 갖는 것을 특징으로 하는 전자회로.

### 청구항 3

삭제

### 청구항 4

제 1 항에 있어서, 상기 제 1 코일은 복수의 제 2 기관의 제 2 코일과 유도결합 하고 있는 것을 특징으로 하는 전자회로.

### 청구항 5

제 1 항 또는 제 2 항에 있어서, 상기 제 2 기관은 주기적인 소정의 기간만 신호를 수신하는 수신회로를 더 갖는 것을 특징으로 하는 전자회로.

## 명세서

### 기술분야

[0001] 본 발명은, IC(Integrated Circuit) 베어칩이나 PCB(프린트 기관) 등의 기관간의 통신을 적합하게 행할 수 있는 전자회로에 관한 것이다.

### 배경기술

[0002] 최근에 있어서의 전자기기는, 점점 소형화, 고기능화 되고 있고, 이에 따라, 내장되는 LSI(Large Scale Integration)도 소형화, 고속화가 진행되고 있다. 소형화, 고속화를 실현하는 수단으로서, 1패키지에 시스템의 전체 기능을 포함하는 것이 요망되며, 현재, 이 실현 방법으로서 대략 2종류의 방법이 있다.

[0003] 제 1 방법으로서, 하나의 베어칩에 시스템 모두를 탑재하는 시스템 온 칩(SoC)이라고 불리는 방식이다. 이 방식은, 다른 프로세스 기술을 하나의 베어칩상에서 실현하는 것과, 칩 면적의 증대에 따른 수율의 저하로 인해, 코스트가 높아진다.

[0004] 제 2 방법으로서, 1패키지에 복수의 베어칩을 봉입하는 시스템 인 패키지(SiP)라고 하는 방법이 있다. 이 수법은, 상이한 프로세스로 제조되는 기능을 별개의 칩에서 실현하기 때문에, 베어칩당의 수율이 높고, 저코스트화를 기대할 수 있다. 단, 상이한 칩간의 상호접속을 할 필요가 생겨, 접속수법은 3종류 존재한다.

[0005] SiP에서의 상호접속의 제 1 방법은, 종래대로, 와이어 본딩을 사용하는 방법이다. 이 경우, 칩간의 접속 개수는 종래의 패키지와 같거나, 그 이하가 되어, 통신 대역폭에 문제가 생긴다. 또, 실장 면적을 저감시킬 때는, 3차원 실장이 불가결한데, 와이어 본딩 방식에서는 위에 쌓아 올려지는 칩을 작게 할 필요가 있어, 실장 면적이 제한되는데다, 1대1의 접속이 주이기 때문에 버스의 형성이 곤란하다.

[0006] SiP에서의 상호접속의 제 2 방법은 칩을 3차원 실장하고, 마이크로 범프로 접속하는 방법이다. 이 방법은 2칩의 대면 실장까지는 코스트가 낮지만, 3칩 이상의 실장으로 되면, 스루홀이라고 불리는 칩 자체 또는 빌드업 기관을 관통하는 통신로를 물리적으로 제조할 필요가 있어, 전용의 프로세스 기술과 높은 가공정밀도가 요구되어,

코스트가 높아진다.

[0007] SiP에서의 상호접속의 제 3 방법은 칩을 3차원 실장하고, 칩간을 용량성 결합에 의해 전기적으로 접속하는 방법이다. 이 방법은 2칩까지의 대면 실장에서는 코스트가 낮고 고속통신이 가능한데, 3칩 이상에서는 신호의 전송 효율이 급격하게 악화되어, 소비전력이 증대한다.

[0008] 이 때문에, 안테나에 의해 칩간 통신을 행하는 것이 제안되고 있다(예를 들면, 특허문헌 1 참조).

[0009] 특허문헌 1: 일본 특개평11-68033호 공보

## 발명의 상세한 설명

[0010] (발명이 해결하고자 하는 과제)

[0011] 그러나, 이 안테나에 의한 경우에도, 3칩 이상을 실장하고 칩을 걸쳐 신호를 전송하려고 하면, 안테나에 의해 발생하는 전계가 유전율이 상이한 다수의 물질(바이어스 된 실리콘 기판, 도프 된 실리콘, 산화막, 질화막 등)을 관통하지 않으면 안되어, 경계면에서 반사가 생기고, 전송효율이 악화되어 버린다.

[0012] 본 발명은, 상기 문제점을 감안하여, 3 이상의 기판을 3차원 실장하고 기판을 걸쳐 신호를 전송하는 경우에도 효율적으로 신호를 전송할 수 있는 전자회로를 제공하는 것을 목적으로 한다. 이 기판에는 IC 베어칩이나 PCB가 포함된다.

[0013] (과제를 해결하기 위한 수단)

[0014] 본 발명의 전자회로는, 기판상의 배선에 의해 형성되는 제 1 코일을 갖는 제 1 기판과, 기판상의 배선에 의해 상기 제 1 코일과 대응하는 위치에 형성되고 제 1 코일과 유도결합하는 제 2 코일을 갖는 제 2 기판을 구비한다.

[0015] 또, 상기 제 1 기판은 송신용의 디지털 데이터가 변화되었을 때에 상기 제 1 코일에 신호를 출력하는 송신회로를 더 가짐으로써 소비전력을 적게 할 수 있다.

[0016] 또, 상기 제 2 기판은 상기 제 2 코일의 양끝을 저항을 통하여 소정의 전압원에 접속하는 수신회로를 더 가짐으로써 신호수신시에 수신 코일 양끝에 발생하는 전압 진폭의 중심 전압을 신호 증폭에 최적인 전압값으로 할 수 있다.

[0017] 또, 상기 제 1 코일은 복수의 제 2 기판의 제 2 코일과 유도결합 하고 있으므로, 3 이상의 기판에 걸치는 버스를 형성할 수 있다.

[0018] 또, 상기 제 2 기판은 주기적인 소정의 기간만 신호를 수신하는 수신회로를 더 가짐으로써 SN비를 높게 할 수 있다.

[0019] (발명의 효과)

[0020] 본 발명에 의하면, 3 이상의 기판을 3차원 실장하고 기판을 걸쳐 신호를 전송하는 경우에도 효율적으로 신호를 전송할 수 있다.

[0021] 또, 통신이 전류구동에 의한 것이므로, 저전압 구동의 수요가 큰 LSI 등에 적용하기에 적합하다.

[0022] 본 명세서는 본원의 우선권의 기초인 일본 특원 2004-037242의 명세서 및/또는 도면에 기재되는 내용을 포함한다.

## 실시예

[0041] (발명을 실시하기 위한 최량의 형태)

[0042] 이하, 첨부된 도면을 참조하면서 본 발명의 바람직한 실시형태에 대해 상세하게 설명한다.

[0043] 도 1은 본 발명의 1실시형태에 의한 전자회로의 구성을 도시하는 도면이다. 본 실시형태의 전자회로는 제 1 LSI칩(11a), 제 2 LSI칩(11b), 및 제 3 LSI칩(11c)으로 이루어진다. LSI칩이 3층으로 적층되고, 3칩에 걸치는 버스를 형성하는 예이다. 제 1~제 3 LSI칩(11a, 11b, 11c)이 종방향으로 쌓여지고, 각 칩은 접착제로 서로 고정되어 있다. 제 1~제 3 LSI칩(11a, 11b, 11c) 위에는, 각각, 송신에 사용하는 제 1~제 3 송신 코일(13a, 13b, 13c)이 배선에 의해 형성되고, 또, 각각, 수신에 사용하는 제 1~제 3 수신 코일(15a, 15b, 15c)이 배선에

의해 형성된다. 이들 3페어의 송수신 코일(13, 15)의 개구의 중심이 일치하도록, 제 1~제 3 LSI칩(11a, 11b, 11c)상에서 배치되어 있다. 이것에 의해, 3페어의 송수신 코일(13, 15)은 유도성 결합을 형성하여, 통신이 가능하게 된다. 제 1~제 3 송신 코일(13a, 13b, 13c)에는 각각 제 1~제 3 송신회로(12a, 12b, 12c)가 접속되고, 제 1~제 3 수신 코일(15a, 15b, 15c)에는 각각 제 1~제 3 수신회로(14a, 14b, 14c)가 접속된다. 송수신 코일(13, 15)은 프로세스 기술의 다층배선을 이용하여, 통신에 허용되는 면적 내에서, 3차원적으로 1회 감기 이상의 코일로서 실장된다. 송수신 코일(13, 15)에는 통신에 최적인 형상이 존재하고, 최적인 감기 수, 개구, 선풍을 취할 필요가 있다. 일반적으로, 송신 코일(13)이 수신 코일(15)보다 작다.

[0044] 도 2는 본 실시형태에서의 송신회로 및 수신회로의 구체적 구성을 도시하는 도면이다. 본 실시형태의 송신회로(12)는 기억소자(FF), 지연 버퍼(121), 제 1 송신용 버퍼(INV2), 및 제 2 송신용 버퍼(INV3)로 이루어진다. L1은 송신 코일(13)이다. 송신회로(12)는 입력으로서 송신 클록(동기신호)(Txclk)과, 이것에 동기한 송신 데이터(Txdata)를 취한다. 입력되는 송신 데이터(Txdata)는 기억소자(FF)에 유지되고, 제 1, 제 2 송신용 버퍼(INV2, INV3)에 입력된다. 단, 제 1 송신용 버퍼(INV2)의 이전에는, 지연소자인 지연 버퍼(121)가 설치되고, 제 1 송신용 버퍼(INV2)와 제 2 송신용 버퍼(INV3)에의 입력시간에 차가 생기도록 구성되어 있다. 제 1 송신용 버퍼(INV2)와 제 2 송신용 버퍼(INV3)의 출력은 송신 코일(L1)의 양끝에 각각 접속된다. 이 구성에 의해, 송신 데이터에 변화가 생긴 경우에만, 지연 버퍼(121)의 신호 전파지연시간만 코일(L1)에 전류가 흐른다. 수신 코일(15)의 수신 전압이 최대가 되고, 또한, 수신 타이밍의 마진을 크게 하기 위해, 송신 코일(L1)에 흐르는 전류파형이 삼각파가 되도록, 제 1, 제 2 송신용 버퍼(INV2, INV3)의 구동력을 설정한다.

[0045] 수신회로(14)는 트랜지스터(T1~T10), 저항(R1, R2), 난드 회로(NAND1, NAND2), 및 수신용 버퍼(INV1)로 이루어지고, 전체로서 래치된 차동 앰프를 구성하고 있다. L2는 수신 코일(15)이다. 외부로부터 수신 클록(동기신호)(Rxclk)을 취하고, 수신 데이터(Rxdata)를 출력한다. 트랜지스터(T2, T3)가 차동 앰프의 차동쌍을 이루고, 수신 코일(L2)로부터의 신호를 받는다. 트랜지스터(T2, T3)에 접속되어 있는 수신 코일(L2)의 양끝은 저항(R1, R2)을 통과하여 바이어스 전압(Vbias)에 접속되어 있다. 이것에 의해, 신호수신시에 수신 코일(L2) 양끝에 발생하는 전압진폭의 중심전압을 신호증폭에 최적인 전압값(Vbias)으로 할 수 있다. 트랜지스터(T2, T3)의 소스 단자는 테일 전류원 발생용 트랜지스터(T1)에 접속된다. 트랜지스터(T1)의 소스 단자는 접지되고, 게이트 단자에는 수신 클록(Rxclk)이 입력된다. 트랜지스터(T2, T3)의 드레인측에서는, 트랜지스터(T5)와 트랜지스터(T8), 및, 트랜지스터(T6)와 트랜지스터(T9)가 각각 인버터를 형성하고, 이 2개의 인버터가 루프 형상으로 접속되어 있다. 인버터를 연결시키는 배선이 난드 회로(NAND1, NAND2)에 입력되고, 난드 회로(NAND1, NAND2)는 래치를 형성하고 있다. 차동 앰프에서 수신한 데이터는 트랜지스터(T1)에 입력되는 수신 클록(Rxclk)에 동기하여 값이 변화되고, 난드 회로(NAND1, NAND2)에 의해, 값의 변화가 있었을 때에만 수신 신호를 디지털 데이터로서 값을 받아 들이고, 입력값의 변화가 없는 동안은 값을 유지한다. 차동 앰프의 프리 차지와, 수신 클록(Rxclk)이 L(로우)의 기간의 래치의 값 유지를 위해, 트랜지스터(T7, T10)가 접속되어 있다. 이 트랜지스터(T7, T10)가 발생하는 노이즈의 영향으로, 수신 코일(L2)로부터의 수신 신호의 변화가 없음에도 불구하고, 수신 데이터(Rxdata)의 값이 반전되는 것을 막기 위해서, 트랜지스터(T4)가 접속된다.

[0046] 도 3은 본 실시형태의 동작을 설명하는 파형을 도시하는 도면이다. 도 1에 도시하는 제 3 LSI칩(11c)상의 제 3 송신회로(12c)로부터, 이 위에 존재하는 제 1, 제 2 LSI칩(11a, 11b) 상의 제 1, 제 2 수신회로(14a, 14b)에 데이터의 송신을 하는 경우의 동작 설명을 행한다. 예로서, 송신 데이터(Txdata)로서 「...LLHLL...」이라고 하는 데이터 송신을 행했을 때의 동작에 대해 설명한다. 제 3 LSI칩(11c)상의 제 3 송신회로(12c)는 값의 송신시에 송신 클록(Txclk)과, 이것에 동기한 송신 데이터(Txdata)를 입력한다. 우선, 송신 데이터(Txdata)로서 L(로우)이 입력되어 있는 상태에서는, 제 1, 제 2 송신용 버퍼(INV2, INV3)의 출력은 모두 H(하이)를 유지한 정상상태로 되어 있다. 제 1, 제 2 LSI칩(11b, 11c)상의 제 1, 제 2 수신회로(14a, 14b)는 L이 연속되어 입력된 상태에서는, 수신 데이터(Rxdata)에 L이 출력되어 있는 상태에서 정상상태로 되고 있다.

[0047] 이 상태로부터, 송신 데이터(Txdata)가 A점의 시간에 L부터 H로 변화된다. 이 신호가 B점에서 기억소자(FF)에 받아들여지고, 곧바로 제 2 송신용 버퍼(INV3)에 입력된다. 여기에서 제 2 송신용 버퍼(INV3)의 출력은 L이 되지만, 제 1 송신용 버퍼(INV2)의 출력은 H 그대로이며, 전류가 제 1 송신용 버퍼(INV2)로부터 제 2 송신용 버퍼(INV3)를 향해 흐른다. 이 다음, 지연 버퍼(121)의 지연시간 후, 제 2 송신용 버퍼(INV3)의 출력이 H로 되고, 제 1 송신용 버퍼(INV2)와 제 2 송신용 버퍼(INV3)의 출력이 등전위로 되어 전류의 흐름이 멈춘다. 이때, 전류파형이 「송신 코일 전류」 B점에 나타나 있는 바와 같은 3각파로 되도록 제 1, 제 2 송신용 버퍼(INV2, INV3)의 구동력을 설정해 둔다.

[0048] 「송신 코일 전류」의 B점~C점에서의 전류변화에 의해, 제 1, 제 2 LSI칩(11a, 11b)상에 배치되어 있는 수신

코일(L2)에는 「제 1 LSI칩 수신 코일 전압」, 「제 2 LSI칩 수신 코일 전압」으로 표시되는 전압이 발생한다. 이 전압의 변동의 중심전압은 Vbias이다. 제 1 LSI칩(11a)은 제 2 LSI칩(11b)보다 제 3 LSI칩(11c)으로부터 멀기 때문에, 발생하는 전압이 낮아진다. 이들 전압변화를 래치된 차동 앰프에 의해 증폭하고, 래칭으로 값을 유지하도록, 「제 1, 제 2 LSI칩(Rxdata)」 B점에 나타내는 디지털 데이터로 한다.

[0049] 제 3 LSI칩(11c)상의 송신 데이터(Txdata)는 B점에서는 H를 유지하고, 변화되지 않고 있다. 이 경우, C점에서의 송신 코일(L1)에의 입력은 변화되지 않고, 제 1, 2 LSI칩(11a, 11b)상의 수신 코일(L2)의 전압도 변화를 일으키지 않고, 출력 데이터(Rxdata)는 유지된다.

[0050] 제 3 LSI칩(11c)상의 송신 데이터(Txdata)가 C점과 같이 H로부터 L로 천이한 경우, D점에서 기억소자(FF)에 받아들여지고, 곧바로 제 2 송신용 버퍼(INV3)에의 입력이 H로부터 L로 변화하고, 그 출력은 L로부터 H로 천이한다. 이때, 제 1 송신용 버퍼(INV2)의 출력은 지연 버퍼(121)에 의해 L로부터 H로의 변화가 늦어, 제 2 송신용 버퍼(INV3)로부터 제 1 송신용 버퍼(INV2)로 전류가 흐른다. 이 다음, 지연 버퍼(121)의 지연시간 후, 제 1 송신용 버퍼(INV2)의 출력이 H로 되고 제 1 송신용 버퍼(INV2)와 제 2 송신용 버퍼(INV3)의 출력전압이 동일하게 되어, 전류가 멈춘다. 이 일련의 송신 전류의 변화가 「송신 코일 전류」 D점과 같이, B점에서의 3각파형의 역의 극성을 취하는 3각파가 되도록 제 1, 제 2 송신용 버퍼(INV2, INV3)의 구동력을 설정해 둔다.

[0051] 제 3 LSI칩(11c)상의 송신 코일(L1)의 전류변화에 의해, 「제 1 LSI칩 수신 코일 전압」, 「제 2 LSI칩 수신 코일 전압」의 D점의 파형이 제 1, 2 LSI칩(11a, 11b) 상의 수신 코일(L2)에 발생한다. 이 전압변화를 차동 앰프로 증폭하고, 래치로 디지털 데이터로 변환함으로써, 「제 1, 제 2 LSI칩(Rxdata)」D점의 디지털 수신 신호를 얻는다.

[0052] 이상, 본 발명자에 의해 행해진 발명을 실시예에 기초하여 구체적으로 설명했는데, 본 발명은 상기 실시형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러가지로 변경 가능하다.

[0053] 예를 들면, 버스 접속이 아니라 1대1 접속도 가능하고, 이 경우의 접속예를 도 4(a)에 도시한다. 도 4(a)는 제 1~제 3 LSI칩(410~412)으로 이루어지는 적층 LSI를 횡방향에서 본 도면이다. 송수신회로(401)의 내용을 송수신회로(400)로서 나타내고 있다. 화살표(403)는 유도성 결합을 나타낸다.

[0054] 또, 다대다(多對多)의 접속도 가능하고, 이 경우의 접속예를 도 4(b)에 도시한다. 도 4(b)는 제 1~제 4 LSI칩(420~423)으로 이루어지는 적층 LSI를 횡방향에서 본 도면이다. 이 경우에는, 제 1 LSI칩(420)과 제 3 LSI칩(422)과의 통신, 및, 제 2 LSI칩(421)과 제 4 LSI칩(423)과의 통신을 동일한 수평위치에서 행하는 것이다. 즉, 송신회로와 수신회로의 복수의 조합이 같은 공간을 사용하여 독립적으로 유도성 결합하고 있는 것이다. 동일한 수평위치에서 유도성 결합시키는 것이므로, 예를 들면 시분할 하는 등 하여 각각의 통신을 누화(漏話) 없이 행한다.

[0055] 이것들과 같이 종방향의 접속의 확장 뿐만 아니라, 횡방향도 접속을 확장가능하고, 병렬로 통신을 하여 대역폭을 늘린 예를 도 5에 도시한다. 도 5는 제 1~제 3 LSI칩(510~512)으로 이루어지는 적층 LSI를 횡방향에서 본 도면이다. 송수신회로(501)는 도 4에 도시하는 송수신회로(400)와 동일한 것이다. 화살표(503)는 유도성 결합을 의미하고, 병렬로 복수의 결합을 확립하고 있는 모양을 나타내고 있다.

[0056] 또, 접속방식 뿐만 아니라, 송수신회로도 변경 가능하다. 송신회로는 소비전력은 증가해버리지만, 회로규모를 작게 하는 것을 주안으로 하면, 도 6의 구성을 취할 수 있다. 도 6에 도시하는 송신회로는 기억소자(FF), 송신용 버퍼(INV4), 및 바이어스 전압(Vbias)의 전압원으로 이루어진다. 송신 데이터(Txdata)는 기억소자(FF)에 유지되고, 송신용 버퍼(INV4)를 통하여 송신 코일(L1)에 입력된다. 송신 코일(L1)의 타단은 바이어스 전압(Vbias)에 접속된다. 바이어스 전압(Vbias)을 송신 데이터의 L, H의 중간의 전압으로 해 두면, 송신 코일(L1)에는 끊임없이 정부 어느 한쪽의 전류가 흐르고 있는데, 송신 데이터(Txdata)가 변화될 때에 송신 코일(L1)에 흐르는 전류가 반전하여, 신호가 전송된다.

[0057] 또, 수신회로는 수신 클록에 동기하여 수신 신호를 받게 될 주기적인 소정의 기간의 신호만을 수신하도록 함으로써 클록에 의한 잡음 등을 제거하여 SN비를 높게 할 수 있다.

[0058] 본 명세서에서 인용한 모든 간행물, 특허 및 특허출원을 그대로 참고로서 본 명세서에 도입하는 것으로 한다.

## 산업상 이용 가능성

[0059] 본 발명에 의하면, 3 이상의 기판을 3차원 실장하고 기판을 걸쳐 신호를 전송하는 경우에도 효율적으로 신호를 전송할 수 있다.

[0060] 또, 통신이 전류구동에 의한 것이므로, 저전압 구동의 수요가 큰 LSI 등에 적용하기에 적합하다.

### 도면의 간단한 설명

[0023] 도 1은 본 발명의 1실시형태에 따른 전자회로의 구성을 도시하는 도면이다.

[0024] 도 2는 본 실시형태에서의 송신회로 및 수신회로의 구체적 구성을 도시하는 도면이다.

[0025] 도 3은 본 실시형태의 동작을 설명하는 파형을 도시하는 도면이다.

[0026] 도 4는 본 발명의 다른 실시형태에 따른 전자회로의 구성을 도시하는 도면이다.

[0027] 도 5는 본 발명의 또 다른 실시형태에 따른 전자회로의 구성을 도시하는 도면이다.

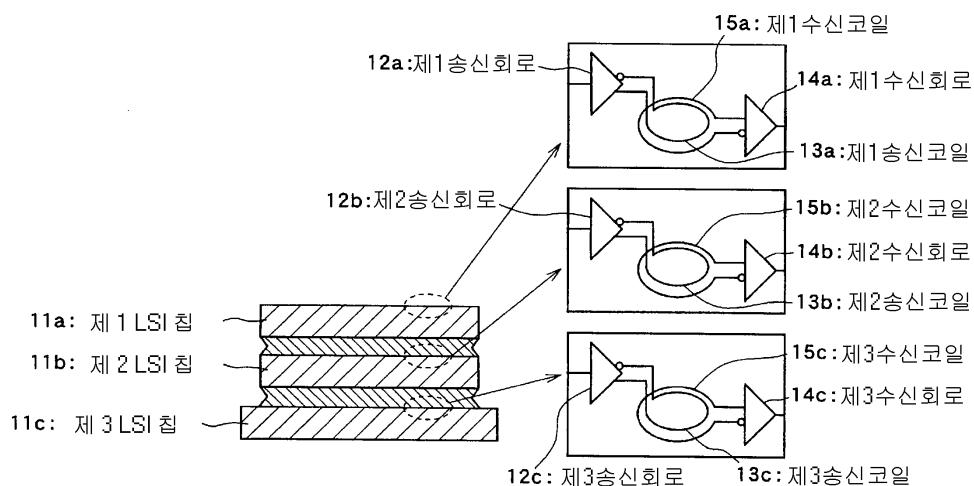
[0028] 도 6은 본 발명의 다른 실시형태에 있어서의 송신회로의 구체적 구성을 도시하는 도면이다.

[0029] (부호의 설명)

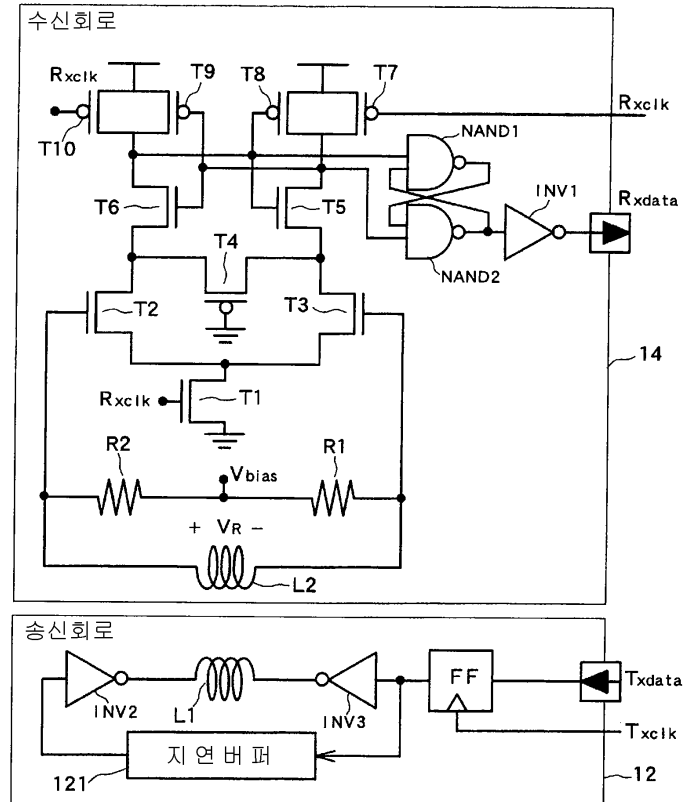
[0030]	11 LSI칩	12 송신회로
[0031]	13 송신 코일	14수신회로
[0032]	15 수신 코일	400, 401 송수신회로
[0033]	403 유도성 결합	410, 411, 412, 420, 421, 422, 423 LSI칩
[0034]	501 송수신회로	503 유도성 결합
[0035]	510, 511, 512 LSI칩	FF 기억소자
[0036]	INV 버퍼	NAND 난드 회로
[0037]	L 코일	T 트랜지스터
[0038]	Rxclk 수신 클록	Rxdata 수신 데이터
[0039]	Txclk 송신 클록	Txdata 송신 데이터
[0040]	Vbias 바이어스 전압	

### 도면

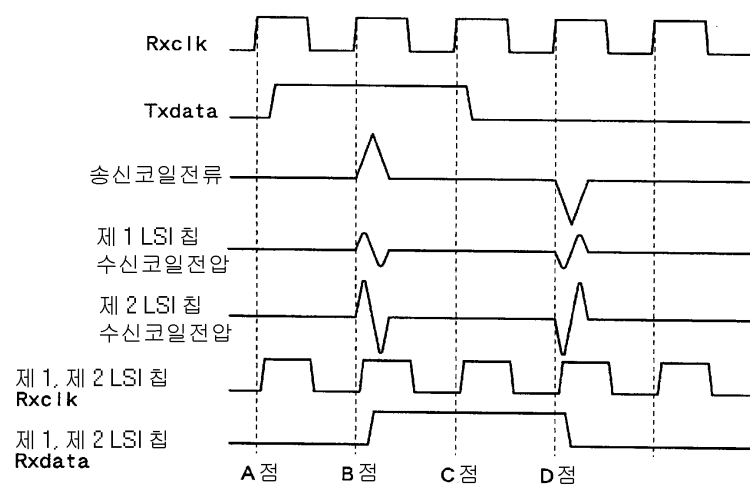
#### 도면1



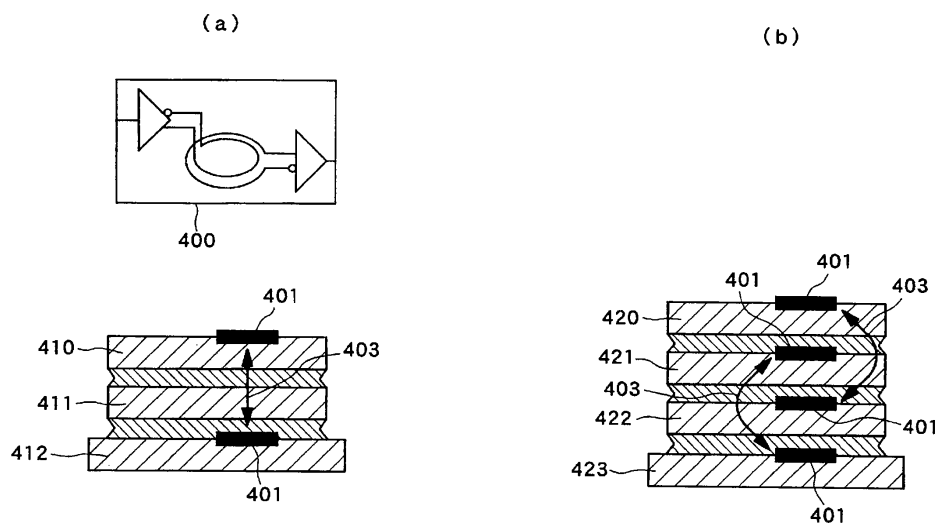
도면2



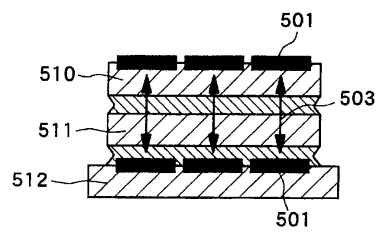
도면3



도면4



도면5



도면6

