



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월18일
(11) 등록번호 10-1474606
(24) 등록일자 2014년12월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
(21) 출원번호 10-2012-0094309
(22) 출원일자 2012년08월28일
심사청구일자 2012년08월28일
(65) 공개번호 10-2013-0129055
(43) 공개일자 2013년11월27일
(30) 우선권주장
13/475,301 2012년05월18일 미국(US)
(56) 선행기술조사문헌
KR1020110047133 A*
KR1020110107747 A
JP2012015275 A
KR100801447 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완 300-77, 신쑤, 사이언스-베이스드 인터스트리얼 파크, 리신 로드. 6, 8호
(72) 발명자
린 쟡산
타이완 타이난 씨티 701 이스트 디스트릭트 다통 로드 섹션 1 라인 175 엘리 116 넘버 44
홍 행치
타이완 신쑤 카운티 쑤베이 씨티 보아이 스트리트 넘버 535-2 10F
(뒷면에 계속)
(74) 대리인
김태홍

전체 청구항 수 : 총 8 항

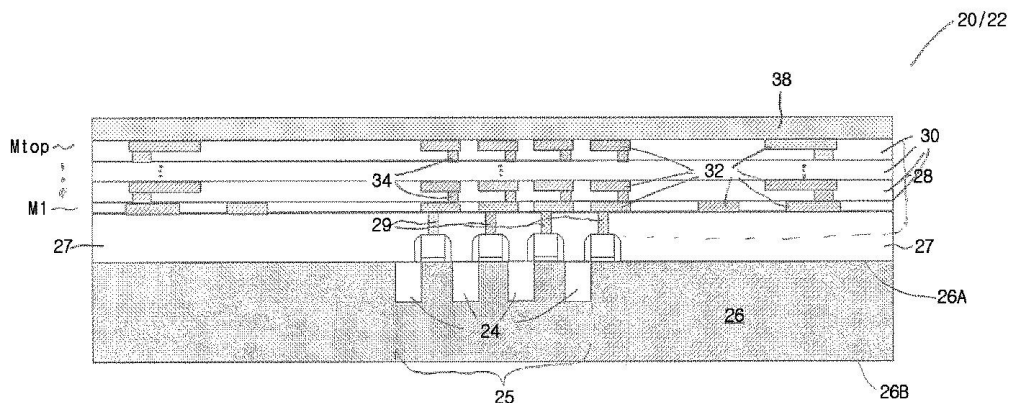
심사관 : 오순영

(54) 발명의 명칭 수직으로 집적된 이미지 센서 칩 및 그 형성 방법

(57) 요약

디바이스는 후면 조사(BSI) 이미지 센서 칩을 포함하고, BSI는 제 1 반도체 기판의 전면 상에 배치된 이미지 센서, 및 제 1 반도체 기판의 전면 상에 복수의 금속층을 포함하는 제 1 상호접속 구조체를 포함한다. 디바이스 칩은 이미지 센서 칩에 분당된다. 디바이스 칩은 제 2 반도체 기판의 전면 상의 액티브 디바이스, 및 제 2 반도체 기판의 전면 상의 복수의 금속층을 포함하는 제 2 상호접속 구조체를 포함한다. 제 1 비아가 제 2 상호접속 구조체 내의 제 1 금속 패드에 접속하기 위해 BSI 이미지 센서 칩을 관통한다. 제 2 비아가 제 1 상호접속 구조체 내의 제 2 금속 패드에 접속하기 위해 상기 제 1 상호접속 구조체 내의 유전체층을 관통하고, 제 1 비아와 제 2 비아는 전기적으로 접속된다.

대표도



(72) 발명자

양 던난

타이완 타이페이 시티 116 운산 디스트릭트 완셴 스트리트 라인 130 넘버 15 4F

리우 쟈칭

타이완 신추 시티 관동 로드 #219 5F

첸 쑤영

타이완 미아올리 카운티 351 투훤 타운십 후아얀 이 로드 라인 30 넘버 10

왕 윈데

타이완 치아이 카운티 621 민스영 타운십 종혜 빌리지 넘버 17

슈 쑤슈엔

타이완 카오슝 시티 806 찬젠 디스트릭트 강산 센트럴 스트리트 넘버 72

특허청구의 범위

청구항 1

삭제

청구항 2

이미지 센서 디바이스에 있어서,

제 1 반도체 기관, 이미지 센서, 및 제 1 상호접속 구조체를 포함하는, 후면 조사(Backside Illumination; BSI) 이미지 센서 칩;

상기 BSI 이미지 센서 칩에 본딩되고, 제 2 반도체 기관, 액티브 디바이스, 및 제 2 상호접속 구조체를 포함하는, 디바이스 칩;

상기 제 2 상호접속 구조체 내의 제 1 금속 패드에 접속하기 위해 상기 BSI 이미지 센서 칩을 관통하는 제 1 비아;

상기 제 1 상호접속 구조체 내의 제 2 금속 패드에 접속하기 위해 상기 제 1 상호접속 구조체 내의 유전체층을 관통하는 제 2 비아; 및

상기 제 1 비아 및 상기 제 2 비아에 접촉하는 제 3 금속 패드를

포함하고,

상기 이미지 센서는 상기 제 1 반도체 기관의 전면 상에 배치되고,

상기 제 1 상호접속 구조체는 상기 제 1 반도체 기관의 전면 상의 복수의 금속층을 포함하고,

상기 액티브 디바이스는 상기 제 2 반도체 기관의 전면 상에 배치되고,

상기 제 2 상호접속 구조체는 상기 제 2 반도체 기관의 전면 상의 복수의 금속층을 포함하고,

상기 제 1 비아와 상기 제 2 비아는 전기적으로 접속되며,

상기 제 3 금속 패드는 상기 제 1 반도체 기관의 일부와 동일한 레벨인 것인, 이미지 센서 디바이스.

청구항 3

제 2 항에 있어서,

상기 제 1 상호접속 구조체 내의 제 4 금속 패드; 및

상기 제 3 금속 패드와 동일한 레벨의 와이어 본드 패드

를 더 포함하고, 상기 와이어 본드 패드는 상기 제 4 금속 패드에 전기적으로 접속되는 것인, 이미지 센서 디바이스.

청구항 4

이미지 센서 디바이스에 있어서,

제 1 반도체 기관, 이미지 센서, 및 제 1 상호접속 구조체를 포함하는, 후면 조사(Backside Illumination; BSI) 이미지 센서 칩;

상기 BSI 이미지 센서 칩에 본딩되고, 제 2 반도체 기관, 액티브 디바이스, 및 제 2 상호접속 구조체를 포함하는, 디바이스 칩;

상기 제 2 상호접속 구조체 내의 제 1 금속 패드에 접속하기 위해 상기 BSI 이미지 센서 칩을 관통하는 제 1 비아;

상기 제 1 상호접속 구조체 내의 제 2 금속 패드에 접속하기 위해 상기 제 1 상호접속 구조체 내의 유전체층을

관통하는 제 2 비아;

이미지 센서 어레이; 및

컬러 필터 및 마이크로-렌즈를

포함하고,

상기 이미지 센서는 상기 제 1 반도체 기관의 전면 상에 배치되고,

상기 제 1 상호접속 구조체는 상기 제 1 반도체 기관의 전면 상의 복수의 금속층을 포함하고,

상기 액티브 디바이스는 상기 제 2 반도체 기관의 전면 상에 배치되고,

상기 제 2 상호접속 구조체는 상기 제 2 반도체 기관의 전면 상의 복수의 금속층을 포함하고,

상기 제 1 비아와 상기 제 2 비아는 전기적으로 접속되고,

상기 컬러 필터 및 상기 디바이스 칩은 상기 제 1 반도체 기관의 대향하는 측면들 상에 있는 것인, 이미지 센서 디바이스.

청구항 5

삭제

청구항 6

이미지 센서 디바이스에 있어서,

제 1 반도체 기관 및 이미지 센서 어레이를 포함하는, 후면 조사(Backside Illumination; BSI) 이미지 센서 칩;

상기 BSI 이미지 센서 칩에 본딩되고, 제 2 반도체 기관 및 집적 회로 디바이스를 포함하는, 디바이스 칩;

상기 BSI 이미지 센서 칩을 관통하는 제 1 비아;

상기 제 1 반도체 기관의 일부와 동일한 레벨의 제 1 금속 패드;

상기 BSI 이미지 센서 칩 내의 제 1 상호접속 구조체; 및

상기 디바이스 칩 내의 제 2 상호접속 구조체를

포함하고,

상기 이미지 센서 어레이는 상기 제 1 반도체 기관의 전면 상에 배치되고,

상기 집적 회로 디바이스는 상기 제 2 반도체 기관의 전면 상에 배치되고,

상기 제 1 금속 패드는 상기 제 1 비아를 통하여 상기 BSI 이미지 센서 칩 내의 디바이스를 상기 디바이스 칩 내의 디바이스에 전기적으로 접속시키며,

상기 제 1 상호접속 구조체 및 상기 제 2 상호접속 구조체는 상기 제 1 반도체 기관과 상기 제 2 반도체 기관 사이에 배치되는 것인, 이미지 센서 디바이스.

청구항 7

이미지 센서 디바이스에 있어서,

제 1 반도체 기관 및 이미지 센서 어레이를 포함하는, 후면 조사(Backside Illumination; BSI) 이미지 센서 칩;

상기 BSI 이미지 센서 칩에 본딩되고, 제 2 반도체 기관 및 집적 회로 디바이스를 포함하는, 디바이스 칩;

상기 BSI 이미지 센서 칩을 관통하는 제 1 비아;

상기 제 1 반도체 기관의 일부와 동일한 레벨의 제 1 금속 패드; 및

상기 제 1 금속 패드와 동일한 레벨의 와이어 본드 패드를

포함하고,

상기 이미지 센서 어레이는 상기 제 1 반도체 기관의 전면 상에 배치되고,
 상기 집적 회로 디바이스는 상기 제 2 반도체 기관의 전면 상에 배치되고,
 상기 제 1 금속 패드는 상기 제 1 비아를 통하여 상기 BSI 이미지 센서 칩 내의 디바이스를 상기 디바이스 칩 내의 디바이스에 전기적으로 접속시키며,
 상기 와이어 본드 패드는 상기 BSI 이미지 센서 칩의 상호접속 구조체 내의 금속 패드에 전기적으로 접속되는 것인, 이미지 센서 디바이스.

청구항 8

이미지 센서 디바이스를 제조하기 위한 방법에 있어서,
 후면 조사(Backside Illumination; BSI) 이미지 센서 칩을 디바이스 칩에 본딩하는 단계;
 상기 BSI 이미지 센서 칩 내의 제 1 집적 회로 디바이스에 접속하기 위해 상기 BSI 이미지 센서 칩 내에 제 1 비아를 형성하는 단계;
 상기 디바이스 칩 내의 제 2 집적 회로 디바이스에 접속하기 위해 상기 BSI 이미지 센서 칩을 관통하는 제 2 비아를 형성하는 단계; 및
 상기 제 1 비아를 상기 제 2 비아에 접속하기 위해 금속 패드를 형성하는 단계를
 포함하는, 이미지 센서 디바이스를 제조하기 위한 방법.

청구항 9

제 8 항에 있어서,
 상기 BSI 이미지 센서 칩의 반도체 기관의 부분들을 제거하기 위해 에칭 단계를 수행하는 단계;
 상기 에칭 단계 이후에 상기 BSI 이미지 센서 칩의 제 1 상호접속 구조체 내의 제 1 금속 패드를 노출시키기 위해 상기 BSI 이미지 센서 칩의 층간 유전체(Inter-Layer Dielectric; ILD) 내에 제 1 비아 개구부를 형성하는 단계;
 상기 디바이스 칩의 제 2 상호접속 구조체 내의 제 2 금속 패드를 노출시키기 위해 상기 제 1 상호접속 구조체를 관통하는 제 2 비아 개구부를 형성하는 단계; 및
 상기 제 1 비아 및 상기 제 2 비아를 각각 형성하기 위해 상기 제 1 비아 개구부 및 상기 제 2 비아 개구부를 충전하는 단계를
 더 포함하는, 이미지 센서 디바이스를 제조하기 위한 방법.

청구항 10

제 8 항에 있어서,
 상기 디바이스 칩 내의 추가의 금속 패드에 접속하기 위해 상기 BSI 이미지 센서 칩을 관통하는 제 3 비아를 형성하는 단계로서, 상기 제 1 비아 및 상기 제 3 비아는 동시에 형성되는 것인 상기 제 3 비아를 형성하는 단계; 및
 상기 제 3 비아에 접속하기 위해 와이어 본드 패드를 형성하는 단계를
 더 포함하는, 이미지 센서 디바이스를 제조하기 위한 방법.

명세서

기술분야

본 발명은 수직으로 집적된 이미지 센서 칩 및 그 형성 방법에 관한 것이다.

배경기술

[0001]

[0002] 광자를 포착하는데 있어서 더 높은 효율을 위해 후면 조사(Backside Illumination; BSI) 이미지 센서 칩이 전면(front-side) 조사 센서 칩을 대신한다. BSI 이미지 센서 칩의 형성에 있어서, 포토 다이오드와 같은 이미지 센서는 BSI 웨이퍼의 실리콘 기판의 전면에서 형성된다. 또한, 이미지 센서의 신호를 처리하는 논리 회로가 실리콘 기판의 전면에서 형성된다. 이어서, 상호접속 구조체가 이미지 센서 및 논리 회로 상부에 형성되어 그것에 접속된다.

[0003] BSI 웨이퍼 형성 후에 BSI 웨이퍼는 캐리어에 본딩되고, 실리콘 기판은 박막화된다. 그 결과, 실리콘 기판은 광이 후면으로부터 실리콘 기판을 관통하도록 충분히 얇아진다. 박막화 동안 및 이후에 캐리어는 얇은 웨이퍼에 기계적 지지를 제공한다. 이어서, 예를 들면 금속 그리드, 컬러 필터, 마이크로-렌즈 등의 추가의 구성성분이 BSI 웨이퍼 상에 형성된다. 이어서, BSI 웨이퍼 및 캐리어는 쏘잉(sawing)되어 BSI 칩들로 분리된다.

발명의 내용

[0004] 실시예에 따르면, 디바이스는 BSI 이미지 센서 칩을 포함하고, BSI는 제 1 반도체 기판의 전면 상에 배치된 이미지 센서, 및 제 1 반도체 기판의 전면 상에 복수의 금속층을 포함하는 제 1 상호접속 구조체를 포함한다. 디바이스 칩은 이미지 센서 칩에 본딩된다. 디바이스 칩은 제 2 반도체 기판의 전면 상의 액티브 디바이스, 및 제 2 반도체 기판의 전면 상의 복수의 금속층을 포함하는 제 2 상호접속 구조체를 포함한다. 제 1 비아가 제 2 상호접속 구조체 내의 제 1 금속 패드에 접속하기 위해 BSI 이미지 센서 칩을 관통한다. 제 2 비아가 제 1 상호접속 구조체 내의 제 2 금속 패드에 접속하기 위해 상기 제 1 상호접속 구조체 내의 유전체층을 관통하고, 제 1 비아와 제 2 비아는 전기적으로 접속된다.

[0005] 다른 실시예에 따르면, 디바이스는 BSI 이미지 센서 칩을 포함하고, BSI 이미지 센서 칩은 제 1 반도체 기판, 및 제 1 반도체 기판의 전면 상에 배치된 이미지 센서 어레이를 포함한다. 디바이스 칩은 이미지 센서 칩에 본딩된다. 디바이스 칩은 제 2 반도체 기판, 및 제 2 반도체 기판의 전면 상의 집적 회로 디바이스를 포함한다. 비아는 BSI 이미지 센서 칩을 관통한다. 금속 패드는 제 1 반도체 기판의 일부와 같은 레벨이고, 금속 패드는 비아를 통하여 BSI 이미지 센서 칩 내의 디바이스를 디바이스 칩 내의 디바이스로 전기적으로 접속시킨다.

[0006] 또 다른 실시예에 따르면, 방법은 디바이스 칩에 BSI 이미지 센서 칩을 본딩하는 단계, BSI 이미지 센서 칩 내의 제 1 집적 회로 디바이스에 접속하기 위해 BSI 이미지 센서 칩 내에 제 1 비아를 형성하는 단계, 디바이스 칩 내의 제 2 집적 회로 디바이스에 접속하기 위해 BSI 이미지 센서 칩을 관통하는 제 2 비아를 형성하는 단계, 및 제 2 비아에 제 1 비아를 접속하기 위해 금속 패드를 형성하는 단계를 포함한다.

도면의 간단한 설명

[0007] 본 실시예 및 그 장점을 보다 완벽히 이해하기 위해, 이제부터 첨부된 도면과 함께 취해진 이하의 상세한 설명을 참조한다.

도 1 내지 도 9는 일부 예시적인 실시예에 따른 수직으로 적층된 후면 조사(BSI) 이미지 센서 다이의 제조에 있어서 중간 단계의 단면도이다.

도 10 및 도 11은 BSI 칩과 디바이스 칩을 상호접속하는 전기 커넥터 및 비아의 상면도를 예시한다.

도 12 및 도 13은 BSI 칩 및 디바이스 칩의 상면도를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시예들의 제조 및 이용이 이하 상세하게 설명된다. 그러나, 본 실시예는 광범위한 다양한 특정 환경에서 실시될 수 있는 수 많은 적용가능한 발명 개념을 제공한다는 것을 인지해야 한다. 논의된 특정 실시예는 본 발명 예시이며, 본 발명의 범위를 한정하는 것은 아니다.

[0009] 수직으로 적층된 후면 조사(Backside Illumination; BSI) 이미지 센서 칩 및 그 형성 방법이 다양한 예시적인 실시형태에 따라 제공된다. BSI 이미지 센서 칩 형성의 중간 단계가 예시된다. 실시예의 변형이 논의된다. 여러 도면 및 예시적인 실시예에 걸쳐서 동일한 참조 번호는 동일한 요소를 지시하는데 이용된다.

[0010] 도 1 내지 도 9는 일부 예시적인 실시예에 따라 BSI 이미지 센서 칩/웨이퍼 및 디바이스 다이/웨이퍼를 적층하는데 있어서 중간 단계의 단면도를 예시한다. 도 1은 웨이퍼(22)의 일부인 이미지 센서 칩(20)을 예시한다. 이미지 센서 칩(20)은 반도체 기판(26)을 포함한다. 반도체 기판(26)은 결정질 실리콘 기판 또는 다른 반도체 물질로 구성된 반도체 기판일 수 있다. 상세한 설명에 걸쳐서 표면(26A)은 반도체 기판(26)의 전면을 말하고, 표

면(28B)는 반도체 기판(26)의 후면을 말한다. 이미지 센서(24)는 반도체 기판(26)의 전면(26A)에서 형성된다. 이미지 센서(24)는 광 신호(광자)를 전기적 신호로 변환하도록 구성되고, 감광성 금속 산화 반도체(Metal-Oxide-Semiconductor; MOS) 트랜지스터 또는 감광성 다이오드일 수 있다. 따라서, 각각의 웨이퍼(22)는 이미지 센서 웨이퍼이다. 일부 예시적인 실시예에 있어서, 이미지 센서(24)는 전면(26A)으로부터 반도체 기판(26)으로 확장되어 이미지 센서 어레이(25)를 형성하고, 이것은 도 12에 예시된다.

[0011] 또한, 도 12에 나타난 바와 같이, 이미지 센서 어레이(25)에 추가하여 예를 들면 아날로그-디지털 컨버터(Analog-to-Digital Converter; ADC)(72), 상관 이중 샘플링 회로(Correlated Double Sampling circuit; CDS)(또한 72로서 예시됨), 로우 디코더(74) 등의 추가의 회로가 이미지 센서 칩(20) 내에 형성될 수 있다. 도 12는 이미지 센서 어레이(25), ADC/CDS(72), 및 로우 디코더(74)의 예시적인 레이아웃을 나타내고, ADC/CDS(72), 및 로우 디코더(74)는 이미지 센서 어레이(25)에 관련된 전기적 신호를 처리하는데 사용된다.

[0012] 도 1을 다시 참조하면, 전면 상호접속 구조체(28)는 반도체 기판(26) 상부에 형성되고, 이미지 센서 칩(20) 내의 디바이스들을 전기적으로 상호접속시키는데 사용된다. 전면 상호접속 구조체(28)는 층간 유전체(Inter-Layer Dielectric; ILD)(27), 및 ILD(27) 내의 접촉 플러그(29)를 포함한다. 전면 상호접속 구조체(28)는 유전체층(30), 및 유전체층(30) 내의 금속 라인(32) 및 비아(34)를 더 포함한다. 상세한 설명에 걸쳐서 동일한 유전체층(30) 내의 금속 라인(32)은 총괄적으로 금속층이 되는 것처럼 말해진다. 상호접속 구조체(28)는 저부 금속층(M1) ~ 정상부 금속층(Mtop)이라고 하는 복수의 금속층을 포함할 수 있다. 저부 금속층(M1)이 이미지 센서(24)에 가장 근접한다. 일부 예시적인 실시예에 있어서, 유전체층(30)은 로우-k 유전체층을 포함한다. 로우-k 유전체층은 낮은 로우 k 값, 예를 들어 약 3.0보다 낮은 k 값을 갖는다. 금속층(M1-Mtop)의 정상부에 패시베이션층(38)이 형성된다. 패시베이션층(38)은 3.9보다 큰 k 값을 갖는 논-로우-k 유전체 물질로 형성된다. 패시베이션층(38)은 단층이거나 상이한 물질로 구성된 복수의 층을 포함한 합성층일 수 있다. 일부 실시형태에 있어서, 패시베이션층(38)은 실리콘 산화물층을 포함한다.

[0013] 도 2는 복수의 동일한 디바이스 칩(100)을 포함하는 웨이퍼(102) 내에 있는 디바이스 칩(100)의 단면도를 예시한다. 디바이스 칩(100)은 기판(120) 및 기판(120)의 전면에서 형성된 논리 회로(140)를 포함한다. 일부 실시예에 있어서 기판(120)은 실리콘 기판이다. 대안적으로, 기판(120)은 예를 들어 실리콘 게르마늄, 실리콘 카본, III-V 화합물 반도체 물질 등의 다른 반도체 물질로 형성된다. 논리 회로(140)는 예를 들어 자동 노출 제어(Auto Exposure Control; AEC) 회로, 자동 이득 제어(Auto Gain Control; AGC) 회로, 자동 화이트 밸런스(Auto White Balance; AWB) 회로, 컬러 보정 회로 등의 이미지 신호 처리(Image Signal Processing; ISP)/디지털 신호 처리(Digital Signal Processing; DSP) 회로 중 하나 이상을 포함할 수 있다. 게다가, 칩(100)은 주문형 집적 회로(Application Specific Integrated Circuit; ASIC) 칩일 수 있다.

[0014] 상호접속 구조체(142)는 논리 회로(140) 상부에 형성되어 그것에 전기적에 접속된다. 상호접속 구조체(142)는 저부 금속층(M1') ~ 정상부 금속층(Mtop')이라고 하는 복수의 금속층을 포함할 수 있다. 상호접속 구조체(142)는 또한 유전체층(144)을 포함한다. 금속 라인/패드(146) 및 비아(148)가 유전체층(144) 내에 배치된다. 일부 예시적인 실시예에 있어서, 유전체층(144)은 로우-k 유전체층을 포함한다. 로우-k 유전체층은 낮은 로우 k 값, 예를 들어 약 3.0보다 낮은 k 값을 갖는다. 금속층(M1'~Mtop')의 정상부에 패시베이션층(150)이 형성된다. 패시베이션층(150)은 3.9보다 큰 k 값을 갖는 논-로우-k 유전체 물질로 형성된다. 일부 실시형태에 있어서, 패시베이션층(150)은 실리콘 산화물층을 포함한다.

[0015] 도 3을 참조하면, 웨이퍼(22 및 102)는 패시베이션층(38 및 150)의 본딩을 통하여 서로 본딩된다. 일부 실시예에 있어서, 패시베이션층(38 및 150)은 산화물층이고, 각각의 본딩은 산화물-산화물 본딩이다. 이어서, 도 4에 나타난 바와 같이, 반도체 기판(26)을 박막화하기 위해 후면 연마가 수행되고, 기판(26)의 두께는 감소된다. 작은 두께를 갖는 반도체 기판(26)에 있어서, 광이 후면(26B)로부터 반도체 기판(26)으로 관통하여 이미지 센서(24)에 도달할 수 있다. 후면 연마에 있어서, 웨이퍼(102)는 기계적 지지를 제공하는 캐리어로서 작용한다. 이에 따라, 웨이퍼(22)가 박막화 동안 또는 이후에 매우 작은 두께를 가져도 웨이퍼(22)는 부서지지 않는다. 따라서, 후면 연마 동안에 추가의 캐리어는 필요하지 않다.

[0016] 도 5에서는 기판(26)이 예칭된다. 일부 실시예에 있어서, 기판(26)의 가장자리 부분은 예칭된다. 이미지 센서(24) 및 72 및 74(도 5에서 도시되지 않음, 도 12 참조)와 같은 다른 회로가 형성된 기판(26)의 중심 부분은 예칭되지 않는다. 그 결과, 상호접속 구조체(28)는 기판(26)의 각각의 가장자리(26C)를 넘어서 확장한다. 예를 들어, 상호접속 구조체(28)의 우측 가장자리(28A)는 기판(26)의 우측 가장자리(26C)보다 더욱 우측이고, 그리고/또는 상호접속 구조체(28)의 좌측 가장자리(28A)는 기판(26)의 좌측 가장자리(26C)보다 더욱 좌측이다.

- [0017] 기판(26)의 부분들이 제거된 후에 아래 놓인 유전체층이 노출된다. 일부 실시형태에 있어서, 노출된 유전체층(27)은 ILD(27), 콘택트 에칭 정지층(Contact Etch Stop Layer; CESL) 등이다. 이어서, 상부층(50)(버퍼층이라고도 함)은 반도체 기판(26)의 후면 상에 형성된다. 또한, 상부층(50)은 ILD(27) 등의 노출된 유전체층 상에 형성된다. 일부 예시적인 실시예에 있어서, 상부층(50)은 저부 반사 방지 코팅(Bottom Anti-Reflective Coating; BARC), 실리콘 산화물층, 및 실리콘 질화물층 중 하나 이상을 포함한다. 상부층(50)은 기판(26)의 후면(26B) 상의 부분(50A) 및 유전체층[예를 들어, ILD(27)] 상의 부분(50B)을 포함한다.
- [0018] 도 6은 상부층(50) 및 ILD(27)를 관통하는 비아 개구부(52A 및 52B)의 형성을 예시한다. 비아 개구부(52A 및 52B)는 예를 들어 이방성 에칭 방법을 사용하여 상부층(50) 및 ILD(27)를 에칭함으로써 형성된다. 금속 패드(32A 및 32B)는 각각 비아 개구부(52A 및 52B)를 통하여 노출된다. 일부 실시형태에 있어서, 금속 패드(32A 및 32B)는 웨이퍼(22) 내의 저부 금속층(M1) 내에 있다. 대안의 실시예에 있어서, 금속 패드(32A 및 32B)는 금속층(M2-Mtop) 중 다른 하나 내에 있다. 비아 개구부(52A 및 52B)를 형성하기 위한 에칭 동안에, 금속 패드(32A 및 32B)는 에칭 정지층으로서 작용할 수 있다.
- [0019] 도 7을 참조하면, 비아 개구부(54)는 상부층(50), ILD(27) 및 패시베이션층(38)을 포함한 이미지 센서 칩(20)을 관통하도록 형성된다. 비아 개구부(54)는 또한 금속 패드(148A)가 비아 개구부(54)를 통하여 노출되도록 패시베이션층(150)을 관통한다. 일부 실시예에 있어서, 금속 패드(148A)는 웨이퍼(102) 내의 정상부 금속층(Mtop') 내에 있다. 대안의 실시예에 있어서, 금속 패드(148A)는 금속층(Mtop') 이외의 다른 금속층 내에 있다. 금속 패드(148A)는 비아 개구부(54)를 형성하기 위한 에칭 단계에서 에칭 정지층으로서 작용한다.
- [0020] 도 8에 있어서, 알루미늄, 구리, 알루미늄 구리, 텅스텐, 니켈, 금 등을 포함할 수 있는 전도성 물질이 비아 개구부(52A, 52B, 및 54)로 충전된다. 게다가, 전도성 물질은 상부층(50)의 상면 상의 부분들을 포함한다. 전도성 물질은 물리적 기상 증착(Physical Vapor Deposition; PVD) 등의 블랭킷 증착(blanket deposition) 방법에 의해 형성될 수 있다. 이어서, 상부층(50) 상의 전도성 물질의 부분들을 제거하기 위해 패터닝이 수행된다. 전도성 물질의 나머지 부분들은 비아(56A, 56B, 및 58) 및 전기 커넥터(62 및 64)를 형성한다. 전기 커넥터(62)는 또한 마이크로 패드(62)라고도 하고, 웨이퍼(22) 내의 회로 디바이스와 웨이퍼(102) 내의 회로 디바이스가 상호 접속되도록 금속 패드(32A)와 금속 패드(148A)를 전기적으로 상호접속하는데 사용된다. 전기 커넥터(64)는 본드 패드, 예를 들어 와이어 본딩을 형성하기 위해 사용되는 와이어 본드 패드일 수 있다. 전기 커넥터(64)를 통하여 각각의 칩(20) 및 칩(100)은 외부 회로 구성요소(도시되지 않음)에 전기적으로 연결된다. 도 8에서 나타낸 바와 같이, 전기 커넥터(62 및 64)는 기판(26)과 동일한 레벨에서 형성된다.
- [0021] 도 10은 도 8에서의 회로의 일부의 상면도를 예시하고, 상면도는 비아(56A, 56B, 및 58), 금속 패드(32A 및 148A), 및 전기 커넥터(62 및 64)를 예시한다. 비아(56A, 56B, 및 58) 및 금속 패드(32A 및 148A)는 각각의 전기 커넥터(62 및 64) 아래에 있으므로 파선으로서 나타내어진다. 도 10에서 나타낸 실시예에 있어서, 전기 커넥터(62 및 64)는 서로로부터 이격된다. 대안의 실시예에 있어서, 도 11에 나타낸 바와 같이, 도 10에서의 전기 커넥터(62 및 64)는 병합되어 전기 커넥터(65)를 형성하고, 전기 커넥터(65)는 금속 패드(32A)(또는 32B)와 금속 패드(148A)를 전기적으로 상호접속하고 칩(20) 및 칩(100)의 전기적 접속 및 본드 패드 모두로서 작용한다.
- [0022] 도 9를 참조하면, 일부 예시적인 실시예에 따르면 전기 커넥터(62 및 64)의 형성 이후에 예를 들어 금속 그리드(75), 컬러 필터(76), 마이크로 렌즈(78) 등의 추가의 구성성분이 상부층(50)의 정상면 상에 더 형성된다. 이어서, 결과의 적층된 웨이퍼(22 및 102)는 쏘잉되어 다이(68)로 분리되고, 다이(68) 각각은 하나의 칩(20)과 하나의 칩(100)을 포함한다. 쏘잉은 스크라이브 라인(scribe line)(80)을 따라 수행된다. 실시예에 있어서, 다이(68)는 와이어 본딩을 이용하여 패키징되고, 스타트 범프(81)가 커넥터(64) 상에 형성된다.
- [0023] 도 12 및 도 13은 각각의 다이(68) 내의 결과의 칩(20) 및 칩(100)의 개략적인 상면도를 예시한다. 일부 실시예에 있어서, 도 12에 나타낸 바와 같이, 칩(20)은 이미지 센서 어레이(25), ADC/DCS(72), 로우 디코더(74) 등을 포함한다. 전기 커넥터(62 및 64)는 칩(20)의 주변 영역을 따라 분포될 수 있다. 도 13에 나타낸 바와 같이, 칩(100)에서 금속 패드(148A)는 또한 칩(100)의 주변 영역에 분포되어 금속 패드(148A)가 칩(20)에 접속하는데 사용될 수 있도록 한다.
- [0024] 실시예에 있어서, 캐리어 웨이퍼(102)(도 9) 내에 집적 회로가 형성된다. 따라서, 일부 논리 회로는 웨이퍼(22)[및 BSI 이미지 센서 칩(20)] 내에 형성되지 않으면, 대신에 웨이퍼(102)[및 디바이스 칩(100)] 내에 형성될 수 있다. 그러므로, BSI 이미지 센서 칩(20)의 사이즈는 감소된다. 게다가, 칩(100) 내에 형성된 논리 회로는 더이상 이미지 센서(24)와 동일한 칩 내에 있지 않는다. 따라서, 논리 회로를 형성하기 위한 형성 공정은 논

리 회로의 성능이 이미지 센서 칩(20)의 성능을 희생시키는 걱정없이 최적화될 수 있도록 주문제작될 수 있다.

[0025]

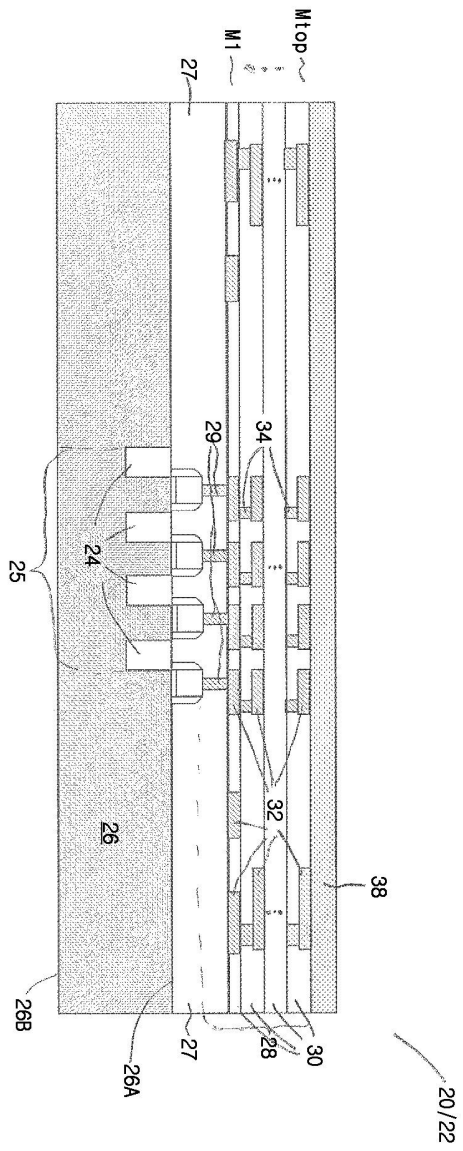
본 실시예 및 그들의 장점이 상세하게 설명되었지만, 다양한 수정, 대체, 또는 변경이 여기서 첨부된 특허청구 범위에 의해 규정되는 바와 같은 본 발명의 사상 및 범위로부터 벗어남없이 이루어질 수 있다는 것이 이해되어야 한다. 게다가, 본 출원의 범위는 상세한 설명에서 설명된 공정, 머신, 제조, 물질의 구성, 수단, 방법, 및 단계의 특정한 실시예에 한정되도록 의도되지 않는다. 당업자라면 개시로부터 여기서 설명된 대응하는 실시예와 실질적으로 동일한 기능을 수행하거나 이와 실질적으로 동일한 결과를 달성하는, 기존의 또는 이후 개발될 공정, 머신, 제조, 물질의 구성, 수단, 방법, 또는 단계가 본 개시에 따라 이용될 수 있음을 쉽게 알 수 있을 것이다. 따라서, 첨부된 특허청구범위는 이와 같은 공정, 머신, 제조, 물질의 구성, 수단, 방법, 또는 단계를 본 발명의 범위 내에 포함하도록 의도된다. 추가적으로, 각 청구항은 개별의 실시예를 구성하고, 여러 청구항 및 실시예의 조합은 본 발명의 범위 내에 있다.

[0026]

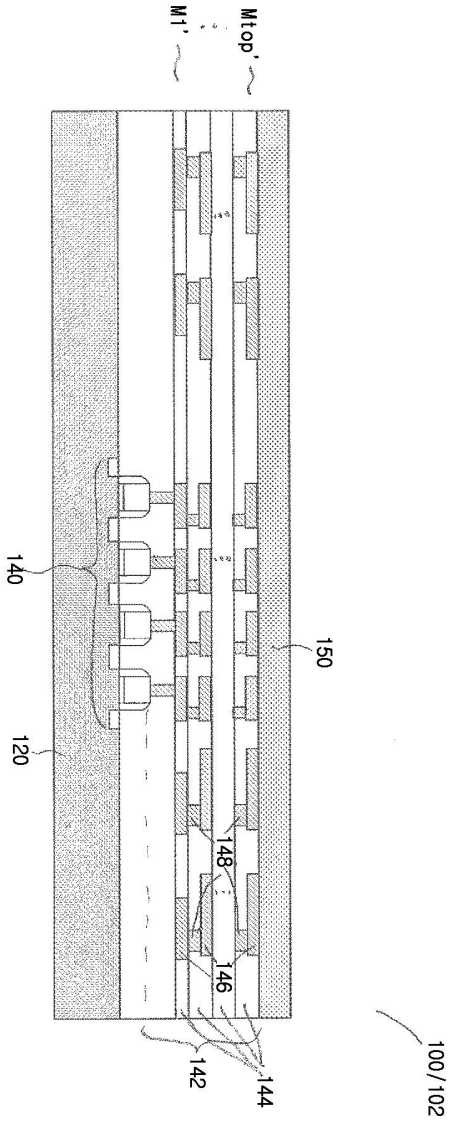
삭제

도면

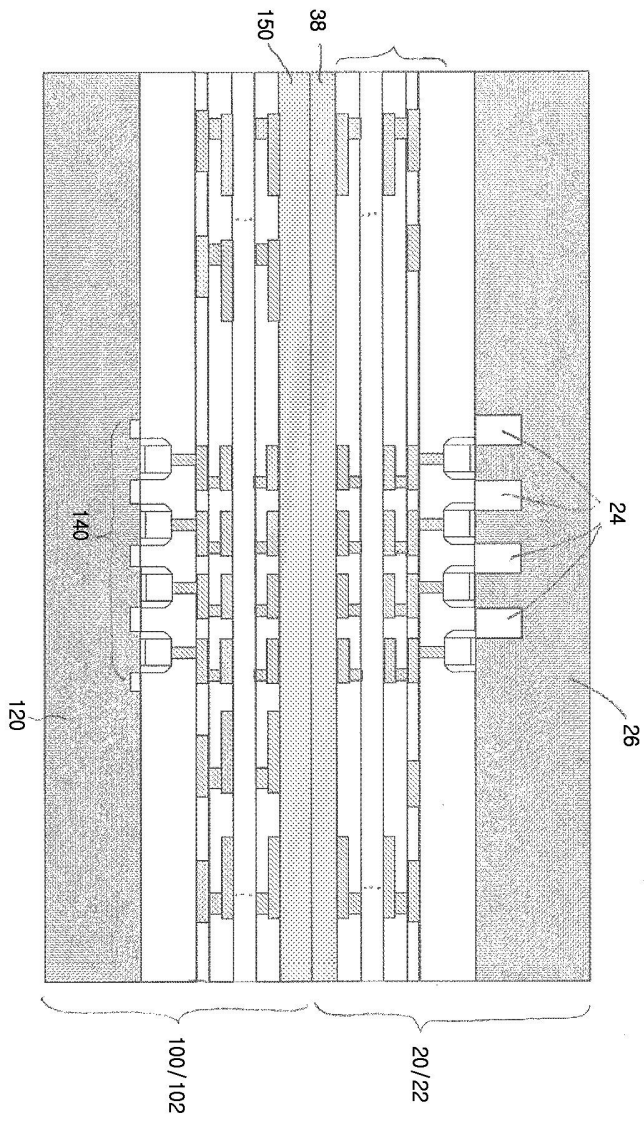
도면1



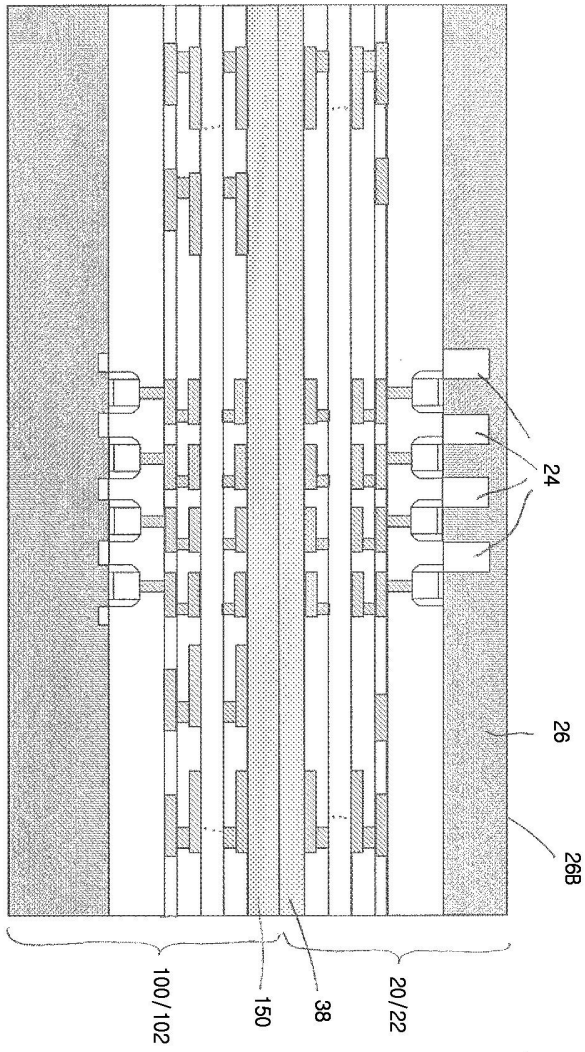
도면2



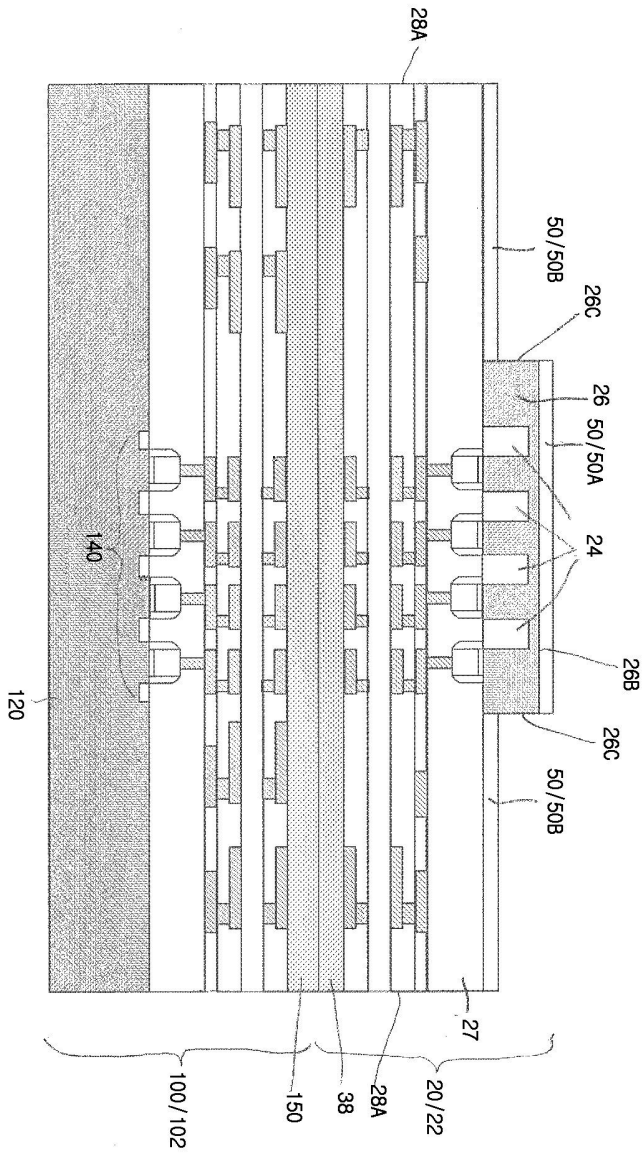
도면3



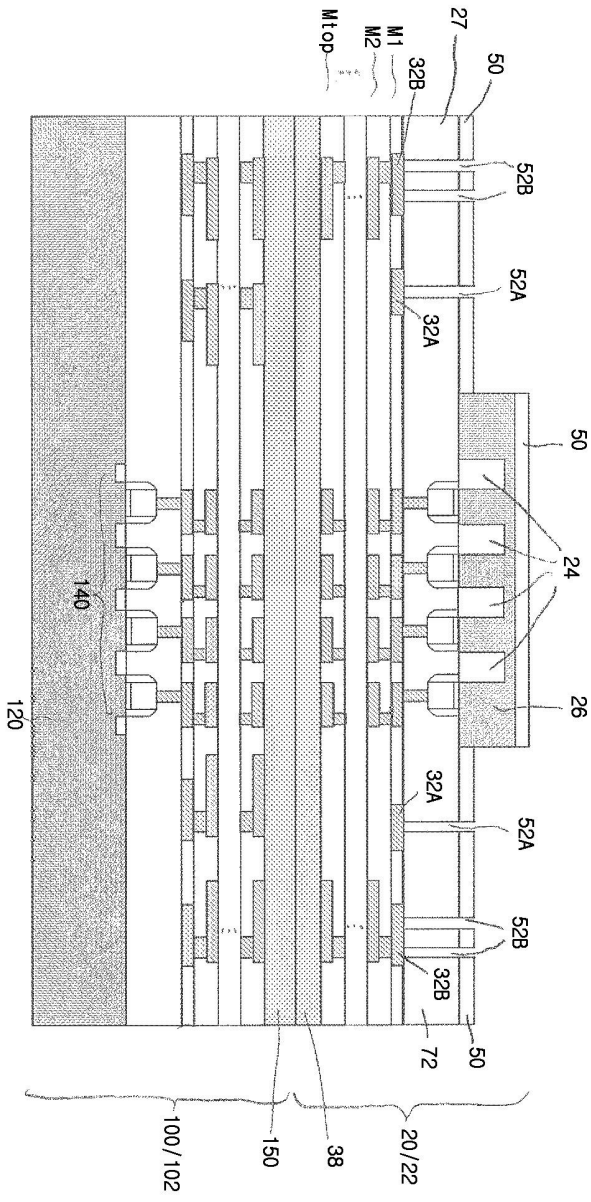
도면4



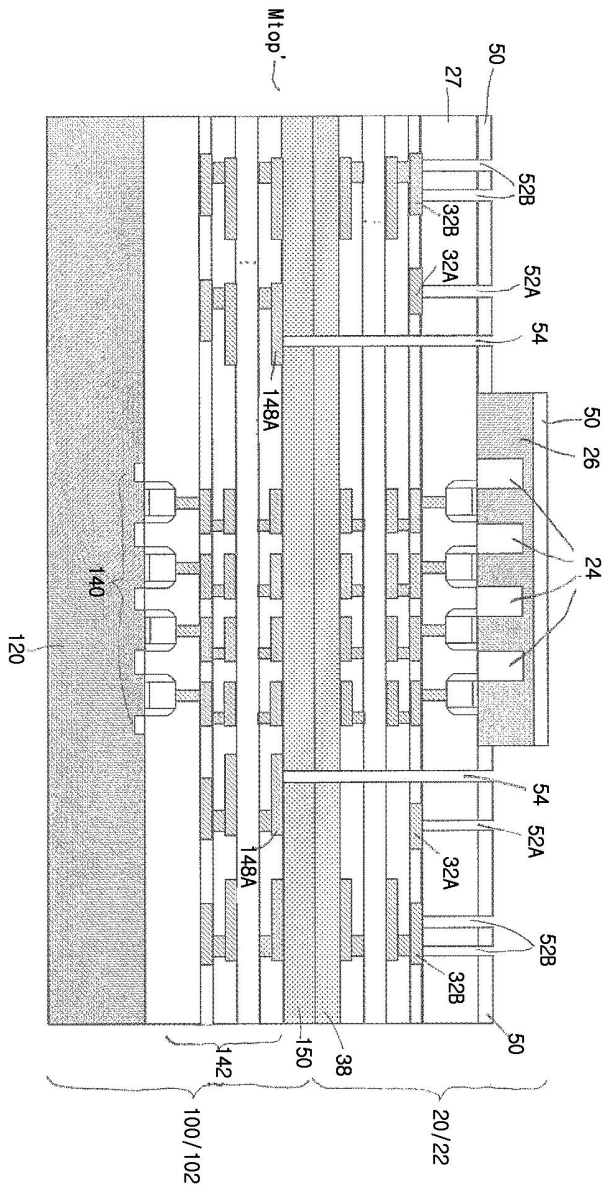
도면5



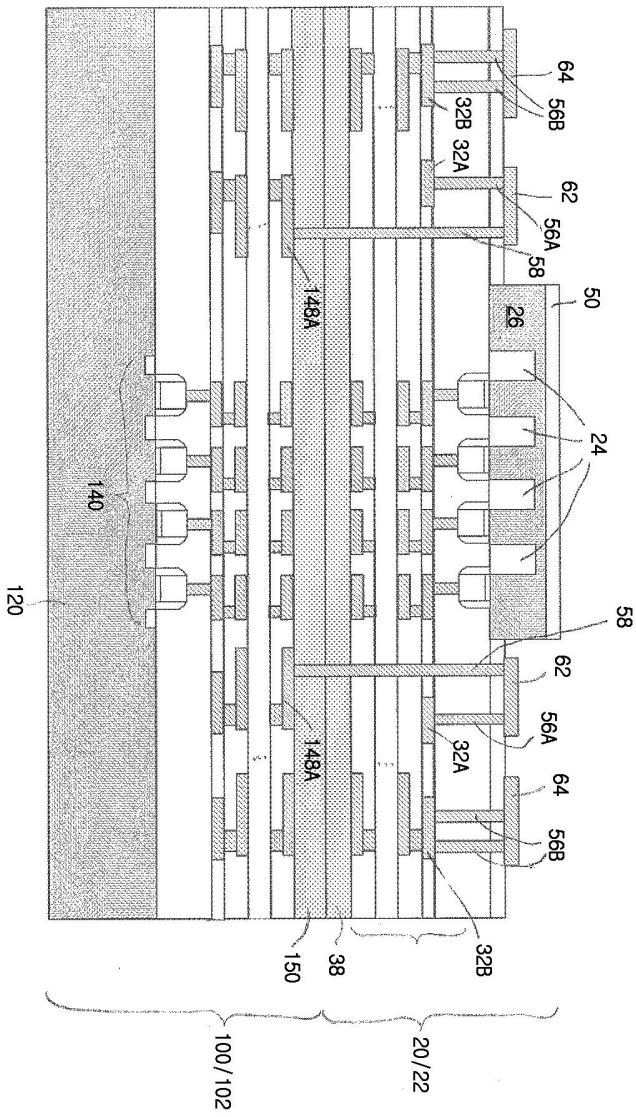
도면6



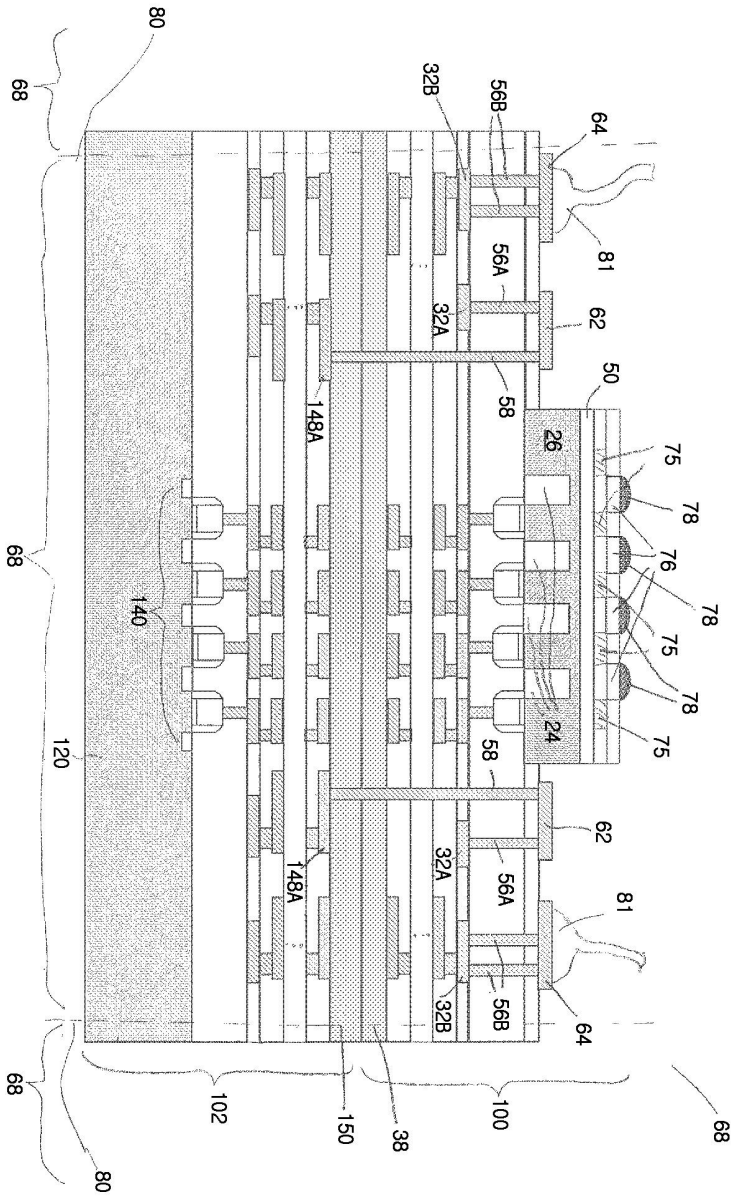
도면7



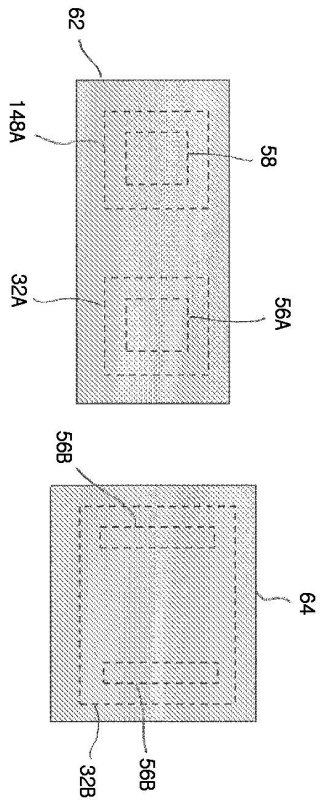
도면8



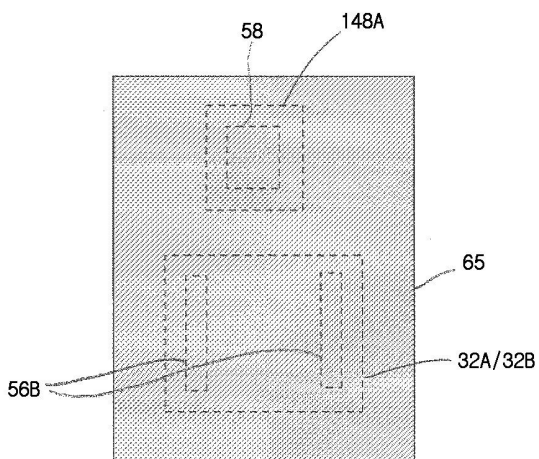
도면9



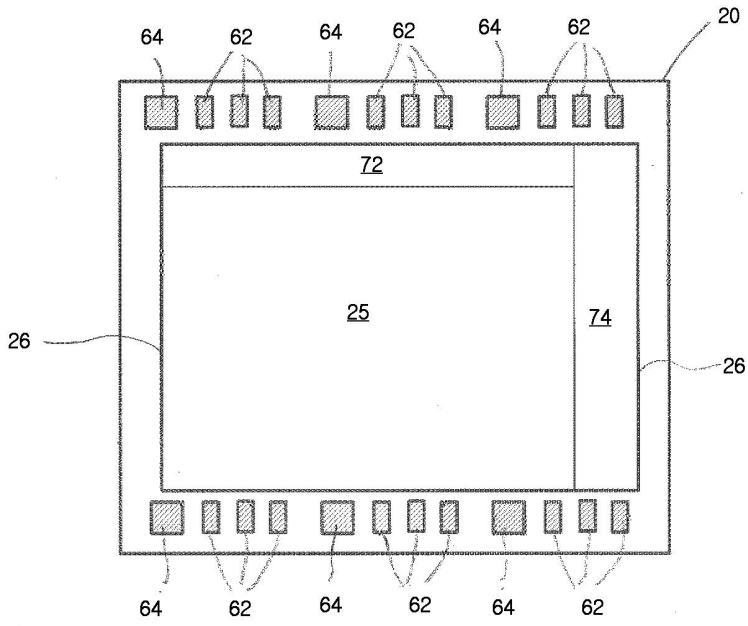
도면10



도면11



도면12



도면13

