

(11)特許出願公表番号

特表2017-534243

(P2017-534243A)

(43) 公表日 平成29年11月16日(2017.11.16)

(51) Int.Cl.

HO2M 3/155 (2006.01)

F I

H02M 3/155

P

テーマコード (参考)

5H730

H02M 3/155

K

審查請求 未請求 予備審查請求 未請求 (全 19 頁)

(21) 出願番号 特願2017-543711 (P2017-543711)

(86) (22) 出願日 平成27年10月2日 (2015. 10. 2)

(85) 翻訳文提出日 平成29年7月3日(2017.7.3)

(86) 國際出願番号 PCT/US2015/053706

(87) 国際公開番号 W02016/073090

(87) 国際公開日 平成28年5月12日 (2016.5.12)

(31) 優先權主張番号 14/534,034

(32) 優先日 平成26年11月5日(2014.11.5)

(33) 優先權主張国 米国 (US)

(71) 出願人 595020643

クアルコム・インコーポレイテッド

QUALCOMM INCORPORATED

アメリカ合衆国、カリフォルニア州 92
121-1714、サン・ディエゴ、モア
ハウス・ドライブ 5775

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100109830

弁理士 福原 淑弘

(74) 代理人 100158805

弁理士 井関 守三

(74) 代理人 100112807

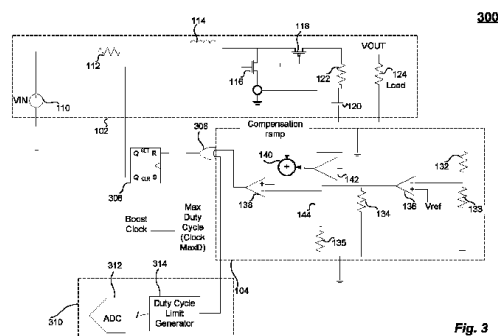
弁理士 岡田 貴志

[最終頁に続く](#)

(54) 【発明の名称】 自己適応最大デューティサイクルリミット制御を有するブーストコンバータ

(57) 【要約】

一実施形態において、制御回路は、ブーストコンバータのデューティサイクルを調整し、ブーストコンバータに提供される入力電圧を受信することと、入力電圧にตอบสนองして、ブースターコンバータの出力電圧を制御するようにブーストコンバータのデューティサイクルを調整するためのブーストコンバータに提供されるべき制御信号を生成することを行うように構成されたデューティサイクルリミッタジェネレータを備える。一実施形態において、最大デューティサイクルリミットジェネレータは、ブーストコンバータの出力電圧にตอบสนองして最大デューティサイクル信号をさらに生成する。



【特許請求の範囲】

【請求項 1】

ブーストコンバータのデューティサイクルを調整するための制御回路であって、
前記ブーストコンバータに提供される入力電圧を受信することと、前記入力電圧に
応答して、前記ブーストコンバータの前記出力電圧を制御するように前記ブーストコン
バータの前記デューティサイクルを調整するための前記ブーストコンバータに提供されるべき
制御信号を生成することとを行うように構成されたデューティサイクルリミッタジェネレ
ータ
を備える、制御回路。

【請求項 2】

前記デューティサイクルリミッタジェネレータは、
前記ブーストコンバータの入力電圧に
応答して、デジタル化された信号を生成するた
めのアナログデジタルコンバータと、
前記アナログデジタルコンバータによって生成された前記デジタル化された信号に
応答して、前記ブーストコンバータの前記デューティサイクルを制限するために最大デュー
ティサイクル信号を生成するためのデューティサイクルリミットジェネレータと
を備える、請求項 1 に記載の制御回路。

【請求項 3】

前記最大デューティサイクルリミットジェネレータは、
前記ブーストコンバータを制御するために提供されるスイッチング信号に
応答して、電
流を供給するための電流枯渇型バッファと、
前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、
前記デジタル化された信号に
応答して、基準電圧を生成するための基準電圧選択回路と
、
前記キャパシタの両端の電圧および前記基準電圧に
応答して、最大デューティサイクル
信号を生成するためのコンパレータと
を備える、請求項 2 に記載の制御回路。

【請求項 4】

前記最大デューティサイクルリミットジェネレータは、前記ブーストコンバータの出力
電圧に
応答して、前記最大デューティサイクル信号をさらに生成する、請求項 1 に記載の
制御回路。

【請求項 5】

前記最大デューティサイクルリミットジェネレータは、
前記ブーストコンバータの前記入力電圧および出力電圧に
応答して、電流を生成するた
めの電圧電流コンバータと、
前記電流を時間測定するためのアナログタイマと、
前記時間測定された電流に
応答して、最大デューティサイクル信号を生成するためのデ
ューティサイクルリミットジェネレータと
を備える、請求項 1 に記載の制御回路。

【請求項 6】

前記アナログタイマは、前記電流を蓄積するために前記電圧電流ジェネレータの出力に
結合されたキャパシタである、請求項 5 に記載の制御回路。

【請求項 7】

前記最大デューティサイクルリミットジェネレータは、
前記電圧電流コンバータからの前記電流に
応答して、バイアス電流を生成するための可
変電流源と、
前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイ
アス電流に
応答して、バッファ電流を供給するためのバッファと、
前記電流枯渇型バッファの前記出力と接地との間に結合されたキャパシタと、
前記キャパシタの両端の電圧および基準電圧に
応答して、最大デューティサイクル信号

10

20

30

40

50

を生成するためのコンパレータと
を備える、請求項 5 に記載の制御回路。

【請求項 8】

ブーストコンバータのデューティサイクルを調整するための方法であって、
前記ブーストコンバータに提供される入力電圧を受信することと、
前記入力電圧に応答して、前記ブーストコンバータの前記出力電圧を制御するように
前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバ
ータに提供すべき制御信号を生成することと
を備える、方法。

【請求項 9】

制御信号を生成することは、
前記ブーストコンバータの前記入力電圧に応答して、デジタル化された信号を生成する
ことと、
前記デジタル化された信号に応答して、前記ブーストコンバータの前記デューティサイ
クルを制限するために最大デューティサイクル信号を生成することと
を備える、請求項 8 に記載の方法。

【請求項 10】

前記最大デューティサイクル信号を生成することは、
前記ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電
流を生成することと、
前記電流を蓄積することと、
前記デジタル化された信号に応答して、基準電圧を生成することと、
最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流と前記基準
電圧を比較することと
を備える、請求項 9 に記載の方法。

【請求項 11】

前記制御信号を生成することは、前記ブーストコンバータの前記入力電圧および出力電
圧に応答して、前記制御信号を生成することをさらに備える、請求項 8 に記載の方法。

【請求項 12】

前記制御信号を生成することは、
前記ブーストコンバータの前記入力電圧および出力電圧に応答して、電流を生成するこ
とと、
前記生成された電流を時間測定することと、
前記時間測定された電流に応答して、最大デューティサイクル信号を生成することと
を備える、請求項 8 に記載の方法。

【請求項 13】

前記生成された電流を時間測定することは、前記生成された電流の電荷を蓄積すること
を備える、請求項 12 に記載の方法。

【請求項 14】

最大デューティサイクル信号を生成することは、
前記生成された電流に応答して、バイアス電流を生成することと、
前記ブーストコンバータを制御するために提供されるスイッチング信号および前記バイ
アス電流に応答してバッファ電流を生成することと、
前記バッファ電流を蓄積することと、
前記蓄積されたバッファ電流を示す電圧および基準電圧に応答して、最大デューティサ
イクル信号を生成するために前記蓄積されたバッファ電流および基準電圧を比較すること
と
を備える、請求項 12 に記載の方法。

【請求項 15】

ブーストコンバータのデューティサイクルを調整するための制御回路であって、

前記ブーストコンバータに提供される入力電圧を受信するための手段と、

前記入力電圧に応答して、前記ブーストコンバータの前記出力電圧を制御するように前記ブーストコンバータの前記デューティサイクルを調整するための前記ブーストコンバータに提供すべき制御信号を生成するための手段とを備える、制御回路。

【請求項 16】

制御信号を生成するための前記手段は、

前記ブーストコンバータの前記入力電圧に応答して、デジタル化された信号を生成するための手段と、

前記デジタル化された信号に応答して、前記ブーストコンバータの前記デューティサイクルを制限するために最大デューティサイクル信号を生成するための手段とを備える、請求項 15 に記載の制御回路。

10

【請求項 17】

前記最大デューティサイクル信号を生成するための前記手段は、

前記ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電流を生成するための手段と、

前記電流を蓄積するための手段と、

前記デジタル化された信号に応答して、基準電圧を生成するための手段と、

最大デューティサイクル信号を生成するために前記蓄積されたバッファ電流と前記基準電圧を比較するための手段と

20

を備える、請求項 16 に記載の制御回路。

【請求項 18】

前記制御信号を生成するための前記手段は、前記ブーストコンバータの前記入力電圧および出力電圧に応答して、前記制御信号を生成するための手段をさらに備える、請求項 15 に記載の制御回路。

【請求項 19】

前記制御信号を生成するための前記手段は、

前記ブーストコンバータの前記入力電圧および出力電圧に応答して、電流を生成するための手段と、

前記生成された電流を時間測定するための手段と、

30

前記時間測定された電流に応答して、最大デューティサイクル信号を生成するための手段と

を備える、請求項 15 に記載の制御回路。

【請求項 20】

前記生成された電流を時間測定するための前記手段は、前記生成された電流の電荷を蓄積するための手段を備える、請求項 19 に記載の制御回路。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 米国特許法第 119 条に従って、本願は、2014 年 11 月 5 日に出願された米国特許出願第 14 / 534 , 034 号の出願日の利益を得る権利があり、その利益を主張するものであり、それらの内容は、すべての目的のためにその全体が参照により本明細書に組み込まれる。

40

【背景技術】

【0002】

[0002] 本開示は、ブーストコンバータに関し、具体的には、自己適応最大デューティサイクルリミット制御を有するブーストコンバータに関する。

【0003】

[0003] 本明細書で別途示されない限り、このセクションで説明されるアプローチは、このセクションにおける包含によって先行技術であるとは認められるものではない。

50

【 0 0 0 4 】

[0004] ブーストコンバータは、固定のデューティサイクルにおいてブーストコンバータをスイッチングすることによって、入力電圧 V_{in} よりも高い出力電圧 V_{out} を生成する。ブーストコンバータがより低い入力電圧でより高い出力負荷を駆動する場合、ブーストコンバータで許容可能な規制を達成することは困難となる可能性がある。この問題は、ブーストコンバータの利得が高く、変化が大きい場合に頻繁に起こり得る。例えば、入力電圧 V_{in} は、2.5ボルトから4.7ボルトまで様々であるが、その一方で出力電圧 V_{out} は、10ボルトである（ブーストコンバータによって2.12から4.0までの利得を生成する）。

【 0 0 0 5 】

[0005] 入力電圧 V_{in} がターゲット出力電圧 V_{out} にほぼ近い場合、許容可能な信頼性および許容可能なスパイクレベルを達成することは困難となる可能性がある。この場合、デューティサイクルは低くあるべきである。デューティサイクルは固定であるので、最大デューティサイクルによって定義される可能な最大出力電圧は、ブーストコンバータのターゲット出力電圧よりもはるかに高い可能性がある。

【 発 明 の 概 要 】

【 0 0 0 6 】

[0006] 本開示は、自己適応最大デューティサイクルリミット制御を有するブーストコンバータを説明する。

【 0 0 0 7 】

[0007] 一実施形態において、制御回路は、ブーストコンバータのデューティサイクルを調整する。制御回路は、ブーストコンバータに提供される入力電圧を受信することと、入力電圧にตอบสนองして、ブーストコンバータの出力電圧を制御するようにブーストコンバータのデューティサイクルを調整するためのブーストコンバータに提供されるべき制御信号を生成することとを行うように構成されたデューティサイクルリミッタジェネレータを備える。

【 0 0 0 8 】

[0008] 一実施形態において、デューティサイクルリミッタジェネレータは、ブーストコンバータの入力電圧にตอบสนองして、デジタル化された信号を生成するためのアナログデジタルコンバータ、およびアナログデジタルコンバータによって生成されたデジタル化された信号にตอบสนองして、ブーストコンバータのデューティサイクルを制限するために最大デューティサイクル信号を生成するためのデューティサイクルリミットジェネレータを備える。

【 0 0 0 9 】

[0009] 一実施形態において、最大デューティサイクルリミットジェネレータは、ブーストコンバータを制御するために提供されるスイッチング信号にตอบสนองして、電流を供給するための電流枯渇型バッファ（current starved buffer）、電流枯渇型バッファの出力と接地との間に結合されたキャパシタ、デジタル化された信号にตอบสนองして、基準電圧を生成するための基準電圧選択回路、および、キャパシタの両端の電圧および基準電圧にตอบสนองして、最大デューティサイクル信号を生成するためのコンパレータを備える。

【 0 0 1 0 】

[0010] 一実施形態において、最大デューティサイクルリミットジェネレータは、ブーストコンバータの出力電圧にตอบสนองして、最大デューティサイクル信号をさらに生成する。

【 0 0 1 1 】

[0011] 一実施形態において、最大デューティサイクルリミットジェネレータは、ブーストコンバータの入力電圧および出力電圧にตอบสนองして、電流を生成するための電圧電流コンバータ、電流を時間測定する（time）アナログタイマ、および、時間測定された電流にตอบสนองして最大デューティサイクル信号を生成するためのデューティサイクルリミットジェネレータを備える。

【 0 0 1 2 】

[0012] 一実施形態において、アナログタイマは、電流を蓄積するために電圧電流ジェネレータの出力に結合されたキャパシタである。

【 0 0 1 3 】

[0013] 一実施形態において、最大デューティサイクルリミットジェネレータは、電圧電流コンバータからの電流に応答して、バイアス電流を生成するための可変電流源、ブーストコンバータを制御するために提供されるスイッチング信号およびバイアス電流に応答して、バイアス電流を供給するためのバッファ、電流枯渇型バッファの出力と接地との間に結合されたキャパシタ、およびキャパシタの両端の電圧および基準電圧に応答して、最大デューティサイクル信号を生成するためのコンパレータを備える。

【 0 0 1 4 】

10

[0014] 一実施形態において、方法は、ブーストコンバータのデューティサイクルを調整するためのものである。方法は、ブーストコンバータに提供される入力電圧を受信することと、入力電圧に応答して、ブーストコンバータの出力電圧を制御するようにブーストコンバータのデューティサイクルを調整するためのブーストコンバータに提供すべき制御信号を生成することとを備える。

【 0 0 1 5 】

[0015] 一実施形態において、制御信号を生成することは、ブーストコンバータの入力電圧に応答して、デジタル化された信号を生成することと、デジタル化された信号に応答して、ブーストコンバータのデューティサイクルを制限するために最大デューティサイクル信号を生成することとを備える。

20

【 0 0 1 6 】

[0016] 一実施形態において、最大デューティサイクル信号を生成することは、ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電流を生成することと、電流を蓄積することと、デジタル化された信号に応答して、基準電圧を生成することと、最大デューティサイクル信号を生成するために蓄積されたバッファ電流と基準電圧を比較することとを備える。

【 0 0 1 7 】

[0017] 一実施形態において、制御信号を生成することは、ブーストコンバータの入力電圧および出力電圧に応答して、制御信号を生成することをさらに備える。

【 0 0 1 8 】

30

[0018] 一実施形態において、制御信号を生成することは、ブーストコンバータの入力電圧および出力電圧に応答して、電流を生成することと、生成された電流を時間測定することと、時間測定された電流に応答して、最大デューティサイクル信号を生成することとを備える。

【 0 0 1 9 】

[0019] 一実施形態において、生成された電流を時間測定することは、生成された電流の電荷を蓄積することとを備える。

【 0 0 2 0 】

[0020] 一実施形態において、最大デューティサイクル信号を生成することは、生成された電流に応答して、バイアス電流を生成することと、ブーストコンバータを制御するために提供されるスイッチング信号およびバイアス電流に応答して、バッファ電流を生成することと、バッファ電流を蓄積することと、蓄積されたバッファ電流を示す電圧および基準電圧に応答して、最大デューティサイクル信号を生成するために蓄積されたバッファ電流と基準電圧を比較することとを備える。

40

【 0 0 2 1 】

[0021] 一実施形態において、制御回路は、ブーストコンバータのデューティサイクルを調整するためのものである。制御回路は、ブーストコンバータに提供される入力電圧を受信するための手段と、入力電圧に応答して、ブーストコンバータの出力電圧を制御するようにブーストコンバータのデューティサイクルを調整するためのブーストコンバータに提供すべき制御信号を生成するための手段を備える。

50

【 0 0 2 2 】

[0022] 一実施形態において、制御信号を生成するための手段は、ブーストコンバータの入力電圧に応答して、デジタル化された信号を生成するための手段と、デジタル化された信号に応答して、ブーストコンバータのデューティサイクルを制限するために最大デューティサイクル信号を生成するための手段を備える。

【 0 0 2 3 】

[0023] 一実施形態において、最大デューティサイクル信号を生成するための手段は、ブーストコンバータを制御するために提供されるスイッチング信号に応答して、電流を生成するための手段と、電流を蓄積するための手段と、デジタル化された信号に応答して、基準電圧を生成するための手段と、最大デューティサイクル信号を生成するために蓄積されたバッファ電流と基準電圧を比較するための手段を備える。

10

【 0 0 2 4 】

[0024] 一実施形態において、制御信号を生成するための手段は、ブーストコンバータの入力電圧および出力電圧に応答して、制御信号を生成するための手段をさらに備える。

【 0 0 2 5 】

[0025] 一実施形態において、制御信号を生成するための手段は、ブーストコンバータの入力電圧および出力電圧に応答して、電流を生成するための手段と、生成された電流を時間測定するための手段と、時間測定された電流に応答して、最大デューティサイクル信号を生成するための手段を備える。

【 0 0 2 6 】

[0026] 一実施形態において、生成された電流を時間測定するための手段は、生成された電流の電荷を蓄積するための手段を備える。

20

【 0 0 2 7 】

[0027] 一実施形態において、最大デューティサイクル信号を生成するための手段は、生成された電流に応答して、バイアス電流を生成するための手段と、ブーストコンバータを制御するために提供されるスイッチング信号およびバイアス電流に応答して、バッファ電流を生成するための手段と、バッファ電流を蓄積するための手段と、蓄積されたバッファ電流を示す電圧および基準電圧に応答して、最大デューティサイクル信号を生成するために蓄積されたバッファ電流と基準電圧を比較するための手段を備える。

【 0 0 2 8 】

[0028] 以下の詳細な説明および添付の図面は、本開示の性質および利点のより良い理解を提供する。

30

【図面の簡単な説明】

【 0 0 2 9 】

[0029] 次に続く論述および特に図面に関して、示される詳細は、例示的な論述の目的のために例を表し、本開示の原理の説明および概念的な態様を提供するために提示されることが強調される。この点に関して、本開示の根本的な理解に必要とされるものを超える実現の詳細を示す試みは行われない。図面と共に次に続く論述は、本開示に従った実施形態がどのように実施され得るかを当業者に明らかにする。添付の図面は以下の通りである。

40

【図 1】 [0030] 図 1 は、従来のブーストコンバータのブロック図を例示する。

【図 2】 [0031] 図 2 は、図 1 の従来のブーストコンバータのタイミング図を例示する。

【図 3】 [0032] 図 3 は、いくつかの実施形態に従ったブーストコンバータのブロック図を例示する。

【図 4】 [0033] 図 4 は、いくつかの実施形態に従った図 3 のブーストコンバータのタイミング図を例示する。

【図 5】 [0034] 図 5 は、いくつかの実施形態に従った図 3 のブーストコンバータの適応デューティサイクルのタイミング図を例示する。

【図 6】 [0035] 図 6 は、いくつかの実施形態に従ったブーストコンバータのブロック図を例示する。

50

【図 7】[0036] 図 7 は、いくつかの実施形態に従ったデューティサイクルリミッタのブロック図を例示する。

【図 8】[0037] 図 8 は、いくつかの実施形態に従ったデューティサイクルリミッタのブロック図を例示する。

【図 9】[0038] 図 9 は、いくつかの実施形態に従ったブーストコンバータのデューティサイクルを調整するための処理フローを例示する簡易図である。

【図 10】[0039] 図 10 は、いくつかの実施形態に従ったブーストコンバータのデューティサイクルを調整するための処理フローを例示する簡易図である。

【詳細な説明】

【0030】

10

[0040] 以下の説明では、説明の目的のために、多数の例および特定の詳細が、本開示の完全な理解を提供するために記載される。しかしながら、特許請求の範囲において表される本開示が、単独であるいは以下に説明される他の特徴との組み合わせにおいて、これらの例における特徴の一部またはすべてを含み、本明細書で説明される特徴および概念の修正および同等物をさらに含み得ることは、当業者にとって明らかであろう。

【0031】

[0041] 図 1 は、従来のブーストコンバータ 100 のブロック図を例示する。ブーストコンバータ 100 は、ブーストコンバータ 102、フィードバック回路 104、OR ゲート 106、および RS フリップフロップ 108 を備える。ブーストコンバータ 102 は、入力 DC 電圧よりも大きい出力 DC 電圧を備えた電力コンバータである。フィードバック回路 104 は、出力電圧 V_{out} およびインダクタ電流を検出し、出力電圧によって設定されたしきい値を超えるインダクタ電流を示す電圧に応答して、トリガ信号を生成する。フィードバック回路 104 は、OR ゲート 106 の第 1 の入力にトリガ信号を提供する。OR ゲート 106 の第 2 の入力は、固定の（この例では 50 % のデューティで固定の）最大デューティサイクル（Clock Max D）信号を受信する。OR ゲート 106 は、最大デューティサイクル（Clock Max D）信号またはトリガ信号のいずれかがハイであることに応答して、RS フリップフロップ 108 にリセット信号を提供する。RS フリップフロップ 108 は、外部のコントローラ（図示せず）からのブーストクロック入力または OR ゲート 106 からのリセット信号に応答して、ブーストコンバータ 102 をスイッチするための制御信号を提供する。

20

30

【0032】

[0042] ブーストコンバータ 102 は、入力電圧（VIN）源 110、直列抵抗器 112、インダクタ 114、NMOS トランジスタ 116、PMOS トランジスタ 118、キャパシタ 120、実効直列抵抗器 122、および負荷抵抗器 124 を備える。RS フリップフロップ 108 からの制御信号に応答して、NMOS トランジスタ 116 は、インダクタ 114 にエネルギーを蓄積するためにブーストコンバータ 102 のオン位相（on phase）中に、接地にインダクタ 114 を結合する。オン位相中に、RS フリップフロップ 108 は、PMOS トランジスタ 118 の電源を切る。ブーストコンバータ 102 のオフ位相（off phase）中に、RS フリップフロップ 108 からの制御信号は、インダクタ 114 に蓄積された電流を負荷抵抗器 124 に供給するために NMOS トランジスタ 116 の電源を切り、PMOS トランジスタ 118 の電源を入れる。キャパシタ 120 は、実効直列抵抗器 122 と直列に存在する理想的なキャパシタとして示される。キャパシタ 120 は、オフ位相中にインダクタ電流を蓄積する。

40

【0033】

[0043] フィードバック回路 104 は、複数の抵抗器 132 および 134、複数のコンパレータ 136 および 138、加算回路 140 および電圧電圧コンバータ 142 を備える。抵抗器 132 および 134 は、出力電圧 V_{OUT} と接地との間に直列に結合され、出力電圧 V_{OUT} を示すフィードバック電圧をコンパレータ 136 の反転入力に提供するために電圧分配器として配置される。基準電圧 V_{ref} は、コンパレータ 136 の非反転入力に提供される。コンパレータ 136 は、しきい値を超える出力電圧 V_{OUT} に応じてコン

50

パレータ 138 の反転入力に出力電圧しきい値信号を提供し、それは、基準電圧 V_{ref} を超える抵抗器 132 および 134 の分配された出力電圧によって表される。抵抗器 134 および 135 およびキャパシタ 144 は、コンパレータ 138 の出力に対してループ安定性のためのフィルタリングを提供する。NMOS トランジスタ 116 のソース上の電流は感知され、電圧コンバータ 142 への電流に提供され、それは、NMOS トランジスタ 116 を通した電流を示す電圧を加算回路 140 に提供する。ループ安定性のための補償ランプ信号は、加算回路 140 に提供され、それは、ランプ電圧信号をコンパレータ 138 の非反転入力に提供し、それは、トリガ信号を OR ゲート 106 の第 1 の入力に提供する。OR ゲート 106 の動作は、上記で説明されている。

【0034】

10

[0044] 図 2 は、ブーストコンバータ 100 のタイミング図を例示する。ライン 202 は、ブーストコンバータ 100 の外部のコントローラのクロック信号のタイミングを例示する。ライン 204 は、ライン 202 に示されるクロック信号から導出された 50% のクロック信号のタイミングを例示する。ライン 206 は、ブーストコンバータ 102 によってブーストのオンステージ (on-stage) を開始するためのフリップフロップ 108 をセットするように OR ゲート 106 によってフリップフロップ 108 に提供されるブーストクロック信号のタイミングを例示する。

【0035】

[0045] ライン 208 は、ブーストコンバータ 102 によってブーストのオンステージを終了するためのフリップフロップ 108 をリセットするように OR ゲート 106 に提供される最大デューティサイクルクロック信号のタイミングを例示する。最大デューティサイクルクロック信号のパルスは固定である。

20

【0036】

[0046] 図 3 は、いくつかの実施形態に従ったブーストコンバータ 300 のブロック図を例示する。ブーストコンバータ 300 は、ブーストコンバータ 102、フィードバック回路 104、OR ゲート 306、RS フリップフロップ 308、および最大デューティサイクルリミットジェネレータ 310 を備える。ブーストコンバータ 300 は、ブーストコンバータ 102 以外のブーストコンバータを、またはフィードバック回路 104 以外のフィードバック回路を含み得る。フィードバック回路 104 は、OR ゲート 306 の第 1 の入力にトリガ信号を提供する。OR ゲート 306 の第 2 の入力は、最大デューティサイクルリミットジェネレータ 310 から可変である最大デューティサイクル (Clock Max D) 信号を受信する。OR ゲート 306 は、最大デューティサイクル (Clock Max D) 信号またはフィードバック回路 104 からのトリガ信号のいずれかがハイであることに応答して、RS フリップフロップ 308 にリセット信号を提供する。RS フリップフロップ 308 は、外部のコントローラ (図示せず) からのブーストクロック入力または OR ゲート 306 からのリセット信号に応答して、ブーストコンバータ 102 をスイッチするための制御信号を提供する。

30

【0037】

[0047] 最大デューティサイクルリミットジェネレータ 310 は、入力電圧 V_{in} に適応的である。最大デューティサイクルリミットジェネレータ 310 は、入力電圧 V_{in} に応答して、出力電圧 V_{out} を制御するために RS フリップフロップ 308 からブーストコンバータ 102 への制御信号の最大許容デューティサイクルを調整する。最大デューティサイクルリミットジェネレータ 310 は、最大デューティサイクルを増加させ、それによって、入力電圧 V_{in} の減少に応答してブーストコンバータ 102 の許容利得を増加させる。一方では、最大デューティサイクルリミットジェネレータ 310 は、最大デューティサイクルを減少させ、それによって、入力電圧 V_{in} の増加に応答してブーストコンバータ 102 の許容利得を低下させる。

40

【0038】

[0048] 最大デューティサイクルリミットジェネレータ 310 は、アナログデジタルコンバータ 312 およびデューティサイクルリミットジェネレータ 314 を備える。アナロ

50

グデジタルコンバータ 312 は、入力電圧 V_{in} をデジタル化し、そのデジタル化された信号をデューティサイクルリミットジェネレータ 314 に提供する。デューティサイクルリミットジェネレータ 314 は、最大デューティサイクル ($Cl o c k M a x D$) 信号を OR ゲート 306 に提供し、それによって、RS フリップフロップ 308 をリセットする。以下で説明されるように、図 7 は、デューティサイクルリミットジェネレータ 314 の実施形態を示す。

【0039】

[0049] いくつかの実施形態において、最大デューティサイクルリミットジェネレータ 310 は、以下の関係性に基づいて最大デューティサイクル D_{max} を生成する：

[0050]

10

【0040】

【数 1】

$$D_{max} = 1 - 1/2 \left(\frac{1}{G} - \frac{R_p - R_n}{R_{eq}} \right)$$

【0041】

[0051] ここで、 G は、電圧利得 (V_{out} / V_{in}) であり、 R_n は、NMOS トランジスタ 116 のインピーダンスであり、 R_p は、PMOS トランジスタ 118 のインピーダンスであり、 R_{eq} は、等価負荷抵抗 (V_{out} / I_{out}) である。

【0042】

[0052] いくつかの実施形態において、等価負荷抵抗は、以下のように PMOS トランジスタ 118 のインピーダンスと NMOS トランジスタ 116 のインピーダンスとの間の違いよりもはるかに大きい：

20

[0053] ($R_{eq} \gg (R_p - R_n)$)

[0054] この事例において、最大デューティサイクル D_{max} は、以下のようになる：

[0055]

【0043】

【数 2】

$$D_{max} = 1 - \frac{1}{2G}$$

【0044】

30

[0056] 以下に説明される最大デューティサイクルリミットジェネレータはまた、これら関係性に基づいて最大デューティサイクル D_{max} を生成し得る。

【0045】

[0057] 図 4 は、ブーストコンバータ 300 のタイミング図を例示する。ライン 402 は、ブーストコンバータ 300 の外部のコントローラのクロック信号のタイミングを例示する。ライン 404 は、ライン 402 に示されるクロック信号から導出された 50% のクロック信号のタイミングを例示する。ライン 406 は、ブーストコンバータ 102 によってブーストのオンステージを開始するためのフリップフロップ 108 をセットするように OR ゲート 306 によってフリップフロップ 108 に提供されるブーストクロック信号のタイミングを例示する。

40

【0046】

[0058] ライン 408 は、ブーストコンバータ 102 によってブーストのオンステージを終了するためのフリップフロップ 308 をリセットするように OR ゲート 306 に提供される最大デューティサイクルクロック信号のタイミングを例示する。最大デューティサイクルリミットジェネレータ 310 は、デューティサイクルを変更するために、図 4 の矢印によって示されるように、最大クロックデューティ信号のタイミングを調整する。最大デューティサイクルクロック信号のパルスは可変である。パルス 408 - 1 および 408 - 3 は、50% のデューティサイクルに対応するパルスを表す。ブーストコンバータ 300 は、パルス 408 - 1 およびパルス 408 - 3 とは異なる時間で発生する最大デューティサイクル ($Cl o c k M a x D$) 信号を生成することによってブーストレギュレータ 3

50

02の最大デューティサイクルを変更することができる。この例において、最大デューティサイクル(ClockMaxD)信号は、パルス408-1よりも遅いパルス408-2、およびパルス408-3よりも遅いパルス408-4として発生する。パルス408-4は、パルス408-3後の時点で発生し、それは、時間パルス480-2がパルス408-1の後に発生することよりも短い。図4には示されていないが、パルス408-2および408-4は、それぞれ、パルス408-1および408-3より前に発生し得る。

【0047】

[0059] 図5は、いくつかの実施形態に従ったブーストコンバータ300の適応デューティサイクルのタイミング図を例示する。線502は、経時的なブーストコンバータ300の出力電圧Voutを表す。この例において、線502は、デューティサイクルD1に対してターゲットVoutにある。デューティサイクルがデューティサイクルD2まで増加すると、出力電圧Voutは、最大出力電圧Voutを超える。ブーストコンバータ300は、最大出力電圧Voutにブーストコンバータ300の出力電圧を制限するための最大デューティサイクルDmaxを設定する。

10

【0048】

[0060] 図6は、いくつかの実施形態に従ったブーストコンバータのブロック図を例示する。ブーストコンバータ600は、ブーストコンバータ102、フィードバック回路104、ORゲート306、RSフリップフロップ308、および最大デューティサイクルリミットジェネレータ610を備える。ブーストコンバータ600は、ブーストコンバータ102以外のブーストコンバータを、またはフィードバック回路104以外のフィードバック回路を含み得る。フィードバック回路104は、ORゲート306の第1の入力にトリガ信号を提供する。ORゲート306の第2の入力は、最大デューティサイクルリミットジェネレータ610から可変である最大デューティサイクル(ClockMaxD)信号を受信する。ORゲート306は、最大デューティサイクル(ClockMaxD)信号またはフィードバック回路104からのトリガ信号のいずれかがハイであることに応答して、RSフリップフロップ308にリセット信号を提供する。RSフリップフロップ308は、外部のコントローラ(図示せず)からのブーストクロック入力またはORゲート306からのリセット信号に応答して、ブーストコンバータ102をスイッチするための制御信号を提供する。

20

30

【0049】

[0061] 最大デューティサイクルリミットジェネレータ610は、入力電圧Vinおよび出力電圧Voutに適応的である。最大デューティサイクルリミットジェネレータ610は、入力電圧Vinおよび出力電圧Voutに応答して、出力電圧Voutを制御するためにRSフリップフロップ308からブーストコンバータ102への制御信号の最大デューティサイクルを調整する。最大デューティサイクルリミットジェネレータ610は、最大デューティサイクルを増加させ、それによって、入力電圧Vinの減少または出力電圧Voutにおける減少に応答してブーストコンバータ102の許容利得を増加させる。一方で、最大デューティサイクルリミットジェネレータ610は、最大デューティサイクルを減少させ、それによって、入力電圧Vinの増加または出力電圧Voutにおける増加に応答してブーストコンバータ102の許容利得を減少させる。

40

【0050】

[0062] 最大デューティサイクルリミットジェネレータ610は、電圧電流コンバータ612、アナログタイマ614、およびデューティサイクルリミットジェネレータ616を備える。電圧電流コンバータ612は、入力電圧Vinをアナログタイマ614に提供される電流に変換する。電流への電圧の変換は、Vout-setを設定する出力電圧の関数であり、それに基づくものであり、それは、出力電圧のプログラムされた値である。アナログタイマ614は、デューティサイクルの開始からの持続時間についてのブーストクロックに関する時間を決定し、その時間をデューティサイクルリミットジェネレータ616に提供する。デューティサイクルリミットジェネレータ616は、しきい値時間以上

50

の時間に応答して最大デューティサイクル (Clock Max D) 信号をORゲート306に提供し、それによって、RSフリップフロップ308をリセットする。以下で説明されるように、図8は、デューティサイクルリミットジェネレータ614の実施形態を示す。

【0051】

[0063] 図7は、いくつかの実施形態に従ったデューティサイクルリミッタ700のブロック図を例示する。デューティサイクルリミッタ700は、デューティサイクルリミットジェネレータ314に使用され得る。デューティサイクルリミッタ700は、バッファ702、キャパシタ704、コンパレータ706、基準電圧選択回路708、および遅延回路710を備える。バッファ702は、供給電圧と接地との間に直列に結合された電流枯渇型バッファ716および電流源714を備える。電流枯渇型バッファ716は、ブーストコンバータ102をスイッチするRSフリップフロップ308からの制御信号に応答して、コンパレータ706をトリガするためにコンパレータ706の非反転入力に、およびキャパシタ704を充電するためにキャパシタ704に、電圧信号を提供する。キャパシタ704の充電は、タイマとして機能する。キャパシタ704は、放電回路(図示せず)によって次のデューティサイクルの間、放電されることができる。

10

【0052】

[0064] 基準電圧選択回路708は、ADC312からの入力電圧コード(VIN ADC CODE)に応答して、コンパレータ706の反転入力に基準電圧を提供する。基準電圧は、入力電圧コードによって示されるような入力電圧VINに反比例する。すなわち、より高い入力電圧は、より低い基準電圧を生成し、その一方で、より低い入力電圧は、より高い基準電圧を生成する。コンパレータ706は、基準電圧選択回路708によって設定される基準電圧を超える電圧を通したキャパシタ704に応答してRSフリップフロップ308をリセットするために遅延回路710に信号を提供する。デフォルトの基準電圧出力および電流源714からの電流の量は、それらを任意の入力クロック周波数に対して動作するよう設定するために電源オン中に調整され得る。

20

【0053】

[0065] 図8は、いくつかの実施形態に従ったデューティサイクルリミッタ800のブロック図を例示する。デューティサイクルリミッタ800は、デューティサイクルリミットジェネレータ314に使用され得る。デューティサイクルリミッタ800は、バッファ802、キャパシタ704、コンパレータ706、および遅延回路710を備える。バッファ802は、供給電圧と接地との間に直列に結合されたバッファ816および可変電流源814を備える。バッファ802はまた、ブーストコンバータ102の出力電圧Voutから導出される、Vout-setを設定する出力電圧に応答して、可変電流源814によって提供された電流を変更するための電圧電流コンバータ818を備える。電圧電流コンバータ818は、Vout-setを設定する出力電圧およびブーストコンバータ102をスイッチするRSフリップフロップ308からの制御信号に応答して、可変電流源814によって提供される適応電流を変更するための制御信号を生成する。バッファ816は、ブーストコンバータ102をスイッチするRSフリップフロップ308からの制御信号に応答して、コンパレータ706をトリガするためにコンパレータ706の非反転入力に、およびキャパシタ704を充電するためにキャパシタ704に、電圧信号を提供する。

30

40

【0054】

[0066] キャパシタ704の充電は、タイマとして機能する。キャパシタ704は、放電回路(図示せず)によって次のデューティサイクルの間、放電されることができる。固定の基準電圧Vrefは、コンパレータ706の反転入力に提供される。デューティサイクルリミッタ800において、コンパレータ706に適用される基準電圧Vrefは固定であり、バッファ802によって提供される電流は、入力電圧Vinおよび出力電圧Voutに基づいて可変である。これに対し、デューティサイクルリミッタ800において、コンパレータ706に適用される基準電圧Vrefは、入力電圧Vinに基づいて可変で

50

あり、バッファ 702 によって提供される電圧は、固定である。コンパレータ 706 は、基準電圧 V_{ref} を超える電圧を通したキャパシタ 704 に応答して、RS フリップフロップ 308 をリセットするために遅延回路 710 に信号を提供する。理解されるように、バッファ 802 およびコンパレータ 706 は、同様の機能を提供する他のタイプの回路であり得る。最大デューティサイクル (Clock Max D) 信号は、ブーストレギュレータ 102 のより滑らかな制御を可能にするように適応的および連続的である。

【0055】

[0067] 図 9 は、一実施形態に従ったブーストコンバータ 102 のデューティサイクルを調整するための処理フロー 900 を例示する簡易図である。

【0056】

[0068] 902 において、ブーストコンバータ 102 に提供されるべき入力電圧が受信される。904 において、制御信号が入力電圧に応答して生成される。制御信号は、ブースターコンバータ 102 の出力電圧を制御するようにブーストコンバータ 102 のデューティサイクルを調整するためのブーストコンバータ 102 に提供されるべきである。

【0057】

[0069] 904 において、制御信号を生成することは、906 において、デジタル化された信号がブーストコンバータ 102 の入力電圧に応答して生成されることを備え得る。908 において、ブーストコンバータ 102 のデューティサイクルを制限するための最大デューティサイクルリミット信号が、デジタル化された信号に応答して生成される。

【0058】

[0070] 図 10 は、一実施形態に従ったブーストコンバータ 102 のデューティサイクルを調整するための処理フロー 1000 を例示する簡易図である。

【0059】

[0071] 1002 において、ブーストコンバータ 102 に提供されるべき入力電圧が受信される。1004 において、制御信号が、ブーストコンバータ 102 の出力電圧および入力電圧に応答して生成される。制御信号は、ブースターコンバータ 102 の出力電圧を制御するようにブーストコンバータ 102 のデューティサイクルを調整するためのブーストコンバータ 102 に提供されるべきである。

【0060】

[0072] 1004 において、制御信号を生成することは、1006 において、電流がブーストコンバータ 102 の入力電圧および出力電圧に応答して生成されることを備え得る。1008 において、生成された電流が時間測定される。1010 において、最大デューティサイクルリミット信号が、時間測定された電流に応答して生成される。

【0061】

[0073] 上記の説明は、どのように特定の実施形態の態様が実現され得るかの例と共に、本開示の様々な実施形態を例示する。上記の例は、唯一の実施形態であるように見なされるべきではなく、以下の特許請求の範囲によって定義される特定の実施形態の柔軟性および利点を例示するために提示されている。上記の開示および以下の特許請求の範囲に基づいて、他の配置、実施形態、実現および同等物が、特許請求の範囲によって定義される本開示の範囲から逸脱することなく用いられ得る。

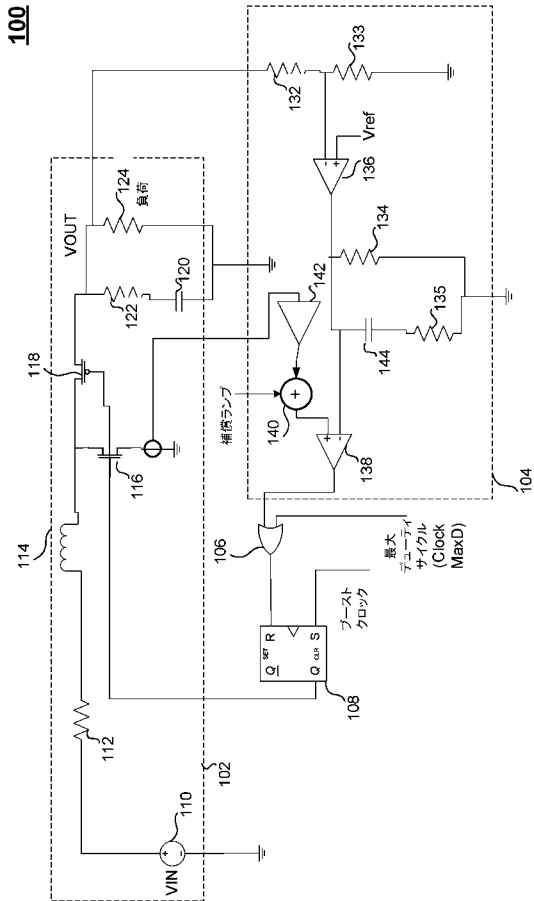
10

20

30

40

【 図 1 】



【 図 2 】

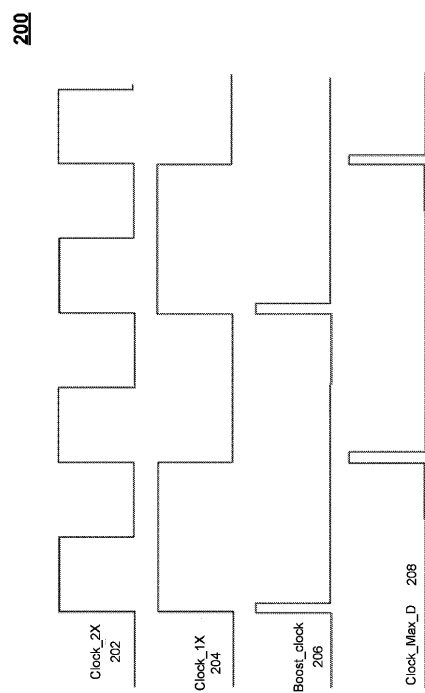
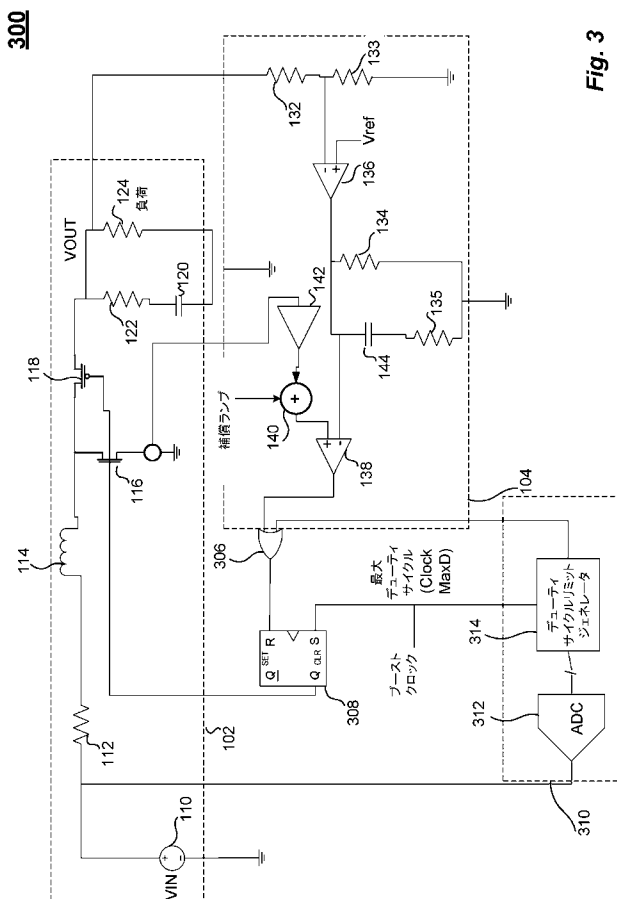


Fig. 2

【 図 3 】



【 図 4 】

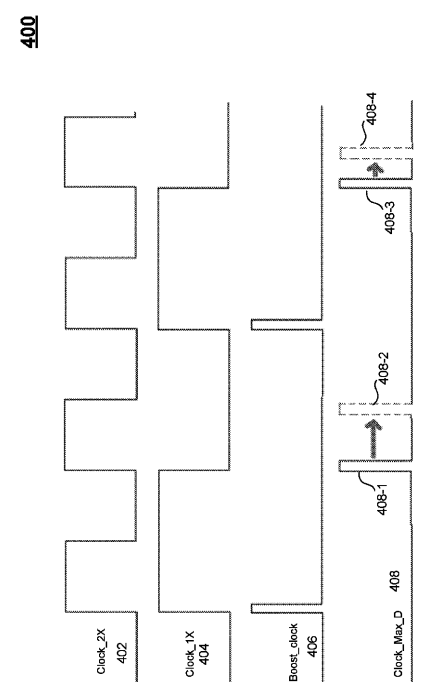


Fig. 4

【図 5】

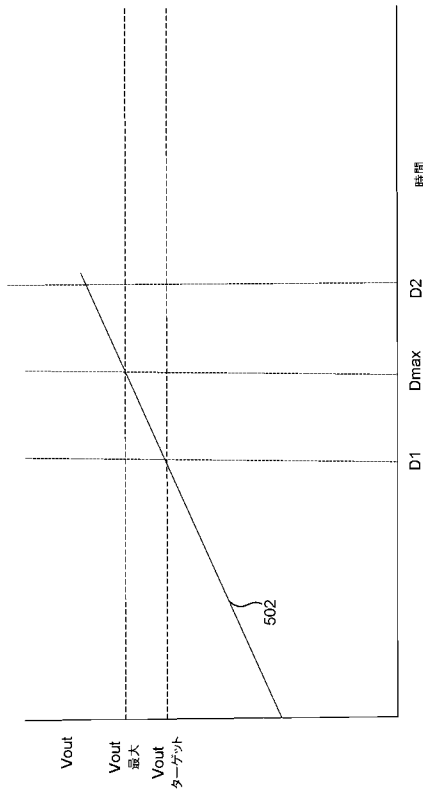


Fig. 5

【図 7】

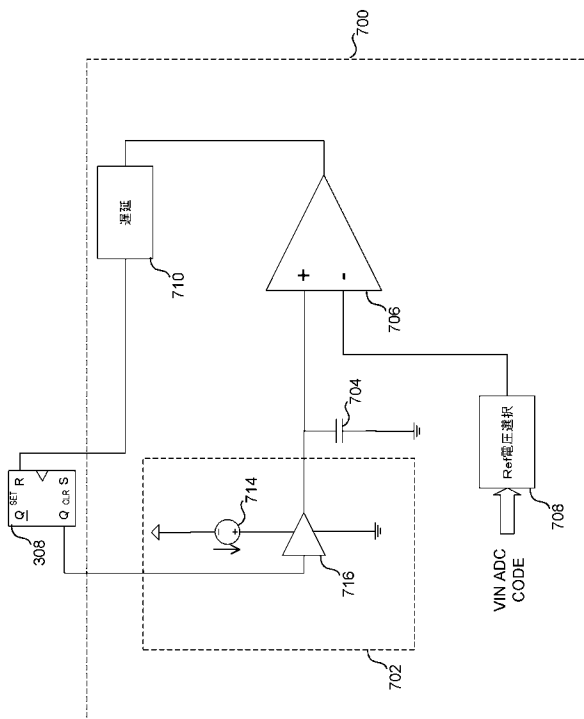


Fig. 7

【図 6】

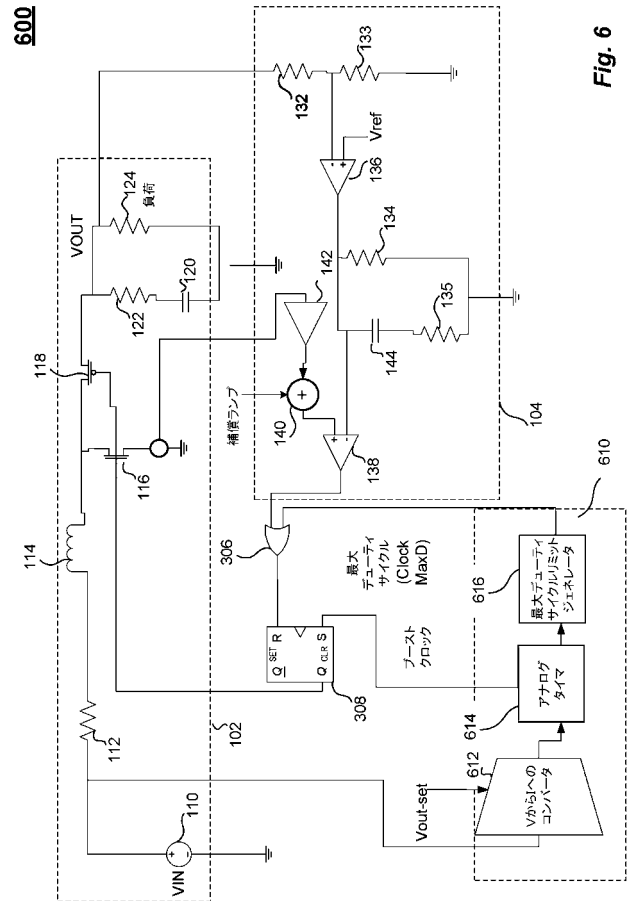


Fig. 6

【図 8】

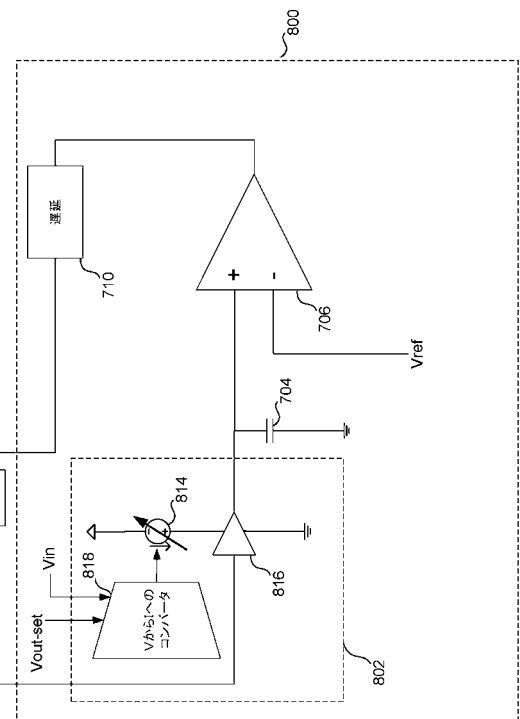


Fig. 8

【図 9】

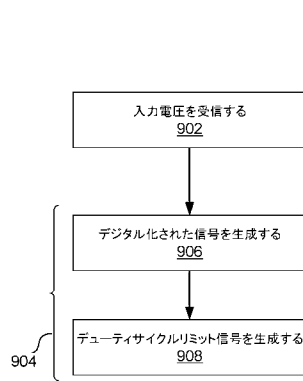


Fig. 9

【図 10】

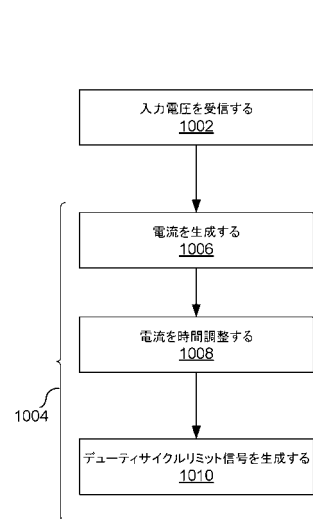


Fig. 10

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2015/053706

A. CLASSIFICATION OF SUBJECT MATTER

INV. H02M3/156

ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/079123 A1 (MIYAMAE TORU [JP]) 1 April 2010 (2010-04-01) paragraphs [0067], [0080]; figures 1-4 -----	1-4, 8-11, 15-18
X	US 2011/140684 A1 (CHEN BEN-SHENG [TW]) 16 June 2011 (2011-06-16) paragraph [0022] - paragraph [0035]; figures 1,2 -----	1,2,8,9, 15,16
X	EP 1 503 489 A2 (TEXAS INSTRUMENTS INC [US]) 2 February 2005 (2005-02-02) paragraph [0042] - paragraph [0045]; figures 2,3,6,7 -----	1-3,8,9, 15-17

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 January 2016

Date of mailing of the international search report

10/02/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Imbernon, Lisa

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/053706

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010079123 A1	01-04-2010	CN 101714819 A JP 5399734 B2 JP 2010110193 A US 2010079123 A1	26-05-2010 29-01-2014 13-05-2010 01-04-2010
US 2011140684 A1	16-06-2011	NONE	
EP 1503489 A2	02-02-2005	EP 1503489 A2 US 2005018453 A1	02-02-2005 27-01-2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 チャッキララ、スッバラオ・スレンドラ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドレイブ 5 7 7 5

(72)発明者 チェン、ジウェイ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドレイブ 5 7 7 5

Fターム(参考) 5H730 AS01 AS04 BB14 BB57 DD04 EE13 EE57 EE58 EE59 FD01

FD11 FD51 FF02 FF06 FG05