

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年3月29日(2018.3.29)

【公開番号】特開2014-183312(P2014-183312A)

【公開日】平成26年9月29日(2014.9.29)

【年通号数】公開・登録公報2014-053

【出願番号】特願2014-25472(P2014-25472)

【国際特許分類】

H 01 L 31/06 (2012.01)

【F I】

H 01 L 31/04 A

【誤訳訂正書】

【提出日】平成30年2月6日(2018.2.6)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

パターン化された $n^+a-Si:H$ 層及びパターン化された $p^+a-Si:H$ 層が互いに組み合わされ互いから電気的に分離された、パターン化された $n^+a-Si:H$ 層及びパターン化された $p^+a-Si:H$ 層を基板に形成する方法であって、この方法は、

- パターン化された $p^+a-Si:H$ 層を基板に形成すること、ここでパターン化された $p^+a-Si:H$ 層は基板表面の第1領域をカバーし、基板表面の第2領域を露出させる；

- 第1の真性 $a-Si:H$ 層を基板に堆積すること；
- 第1の真性 $a-Si:H$ 層に $n^+a-Si:H$ 層を堆積すること；
- 少なくとも第2領域で $n^+a-Si:H$ 層をカバーするパターン化されたマスキング層を設けること；

- マスキング層によってカバーされていない領域において $n^+a-Si:H$ 層及び第1の真性 $a-Si:H$ 層を選択的に除去し、それにより下層の $p^+a-Si:H$ 層をエッティング溶液に対して実質的に影響を受けないようにすること；

を備え、

ここで、 $n^+a-Si:H$ 層及び第1の真性 $a-Si:H$ 層を選択的に除去することは、希釈したTMAH溶液におけるエッティングステップを行なうことを備える、方法。

【請求項2】

$n^+a-Si:H$ 層及び第1の真性 $a-Si:H$ 層を選択的に除去することは、 $p^+a-Si:H$ 層のエッティング速度よりも少なくとも100倍速いエッティング速度で $n^+a-Si:H$ 層及び第1の真性 $a-Si:H$ 層をエッティングすることを備える、請求項1に記載の方法。

【請求項3】

希釈したTMAH溶液は、1%から10%のTMAHを含む溶液である、請求項1又は2に記載の方法。

【請求項4】

エッティングステップは、15と30との間の温度で行われる、請求項1から3のいずれかに記載の方法。

【請求項 5】

$n^+ a - Si : H$ 層及び第 1 の真性 $a - Si : H$ 層を選択的に除去する前に、在來の酸化物を除去することをさらに備える、請求項 1 から 4 のいずれかに記載の方法。

【請求項 6】

$p^+ a - Si : H$ 層を堆積する前に、基板に第 2 の真性 $a - Si : H$ 層を設けることをさらに備える、請求項 1 から 5 のいずれかに記載の方法。

【請求項 7】

パターン化された $p^+ a - Si : H$ 層を形成することは、パターン化されていない $p^+ a - Si : H$ 層を堆積し、その後 $p^+ a - Si : H$ 層をパターニングすることを備え、ここで第 2 の真性 $a - Si : H$ 層は、 $p^+ a - Si : H$ 層と同じパターンによりパターン化される、請求項 6 に記載の方法。

【請求項 8】

$p^+ a - Si : H$ 層は、 5 nm と 50 nm との間の厚さ及び 10^{20} cm^{-3} と 10^{22} cm^{-3} との間のドーピングレベルを有する、請求項 1 から 7 のいずれかに記載の方法。

【請求項 9】

第 1 の真性 $a - Si : H$ 層は、 1 nm と 10 nm との間の厚さを有する、請求項 1 から請求項 8 のいずれかに記載の方法。

【請求項 10】

$n^+ a - Si : H$ 層は、 5 nm と 50 nm との間の厚さ及び 10^{20} cm^{-3} と 10^{22} cm^{-3} との間のドーピングレベルを有する、請求項 1 から請求項 9 のいずれかに記載の方法。

【請求項 11】

基板は結晶性シリコン基板である、請求項 1 から請求項 10 のいずれかに記載の方法。

【請求項 12】

シリコンヘテロ接合相互嵌合型バックコンタクト光起電力電池の製造方法であって、請求項 1 から 11 のいずれかによって、パターン化された $n^+ a - Si : H$ 層及びパターン化された $p^+ a - Si : H$ 層が互いに組み合わされ互いから電気的に分離された、パターン化された $n^+ a - Si : H$ 層及びパターン化された $p^+ a - Si : H$ 層を結晶性シリコン基板に形成することを備え、ここでパターン化された $n^+ a - Si : H$ 層は、当該電池の裏面電界 (BSF) 領域を形成し、パターン化された $p^+ a - Si : H$ 層は当該電池のエミッタ領域を形成する、方法。

【請求項 13】

BSF 領域と電気的に接触するベースコンタクト、及びエミッタ領域と電気的に接触するエミッタコンタクトを設けることをさらに備えた、請求項 12 に記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】ヘテロ接合相互嵌合型バックコンタクト光起電力電池の製造方法

【技術分野】

【0001】

開示された技術は、ヘテロ接合相互嵌合型バックコンタクト光起電力電池を製造する方法に関する。さらにとりわけ、開示された技術は、シリコンヘテロ接合の相互嵌合型バックコンタクト光起電力電池の組み合わされたエミッタ領域及び裏面電界領域を形成する方法に関する。

【背景技術】

【0002】

相互嵌合型バックコンタクト（IBC）電池は、電池の裏側に全ての電気コンタクトを有し、それにより前側シェーディングロス（shading losses）を排除している。IBC電池では、互いに組み合わされた（interdigitated） n^+ 領域（例えば裏面電界領域を形成して）及び p^+ 領域（例えばエミッタ領域を形成して）、及び対応する互いに組み合わされた n 型コンタクト及び p 型コンタクトは、一般的に電池の裏側で使用される。

【0003】

シリコンヘテロ接合IBC電池では、エミッタ領域及び裏面電界領域は、結晶性シリコン基板（アモルファスシリコン／結晶性シリコンヘテロ構造）に適切にドープしたアモルファスシリコン層を設けることにより形成される。 p^+ 領域は、第1パターンにより結晶基板に p^+ 型アモルファスシリコン層を局的に設けることにより形成され、 n^+ 領域は、第2パターンにより n^+ 型アモルファスシリコン層を局的に設けることにより形成される。第1パターン及び第2パターンは、互いに組み合わされている（相互嵌合型である）。

【0004】

このようなシリコンヘテロ接合IBC電池を作製する場合、良好な電気的分離を設け、よってパターン化された n^+ アモルファスシリコン層とパターン化された p^+ アモルファスシリコン層との間の寄生シャントを回避する必要がある。

【0005】

例えば、US 2009/0293948では、 n 型 $a-Si:H$ （水素化アモルファスシリコン）層と p 型 $a-Si:H$ 層は、 n 型 $a-Si:H$ 層をパターン化した後、 p 型 $a-Si:H$ 層を堆積する前に、非常に薄い真性（intrinsic）バッファ層を堆積することによって実現するという方法が記述されている。この方法は、以下のステップ、つまり、基板の全面を覆い結晶性シリコン基板に真性 $a-Si:H$ バッファ層及び n 型にドープされた $a-Si:H$ 層を堆積すること；結晶性シリコンウエハを覆う n 型にドープされた $a-Si:H$ 層に櫛形グリッドが開口された金属性マスクを固定すること； n 型 $-Si:H$ 層をパターニングすること、このパターニングはマスクによってカバーされていない n 型 $a-Si:H$ をドライエッチング手順によって除去することを備える；マスクを通して薄い真性バッファ層を堆積すること；及び、同じマスクを通して p 型にドープされた $a-Si:H$ 層を堆積すること；を備える。生産環境では、金属性マスクを基板に取り付けるあるいは固定する必要があり、また、 $a-Si:H$ 層がマスクに堆積されることから定期的に洗浄あるいは交換する必要があることから、金属性マスクの使用は不利である。

【0006】

US 7,737,357には、 n 型 $a-Si:H$ 層と p 型 $a-Si:H$ 層との間の分離が、低圧化学蒸着法プロセスにて堆積される酸化シリコン層によって実現される、という方法が記述されている。酸化シリコン層を設けることは、追加の堆積ステップを要し、このことはそれが堆積される p 型 $a-Si:H$ 層に影響するかもしれない。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国2009/0293948号

【特許文献2】米国特許第7,737,357号明細書

【発明の概要】

【0008】

[開示の概要]

ある創造性のある態様は、パターン化された $n^+a-Si:H$ 層及びパターン化された $p^+a-Si:H$ 層を基板に形成する方法に関し、 $n^+a-Si:H$ 層及び $p^+a-Si:H$ 層は、互いに組み合わされており電気的に互いから分離されている。この方法は、公知の方法に比べてより少ないプロセスステップですみ、製造環境において使用されるのに適している。この方法は、シリコンヘテロ接合相互嵌合型バックコンタクト光起電力電池

用の製造プロセスにおいて互いに組み合わされたエミッタ領域及び裏面電界領域を形成するためには好適に使用可能である。

【0009】

パターン化された $n^+ a - Si : H$ 層及びパターン化された $p^+ a - Si : H$ 層を基板に形成するための創造性のある態様による方法において、パターン化された $n^+ a - Si : H$ 層及びパターン化された $p^+ a - Si : H$ 層は、互いに組み合わされ電気的に互いから分離されており、さらに好ましくは同じ面内に存在し、この方法は、以下のステップ、つまりパターン化された $p^+ a - Si : H$ 層を基板に形成すること、この $p^+ a - Si : H$ 層は基板面の第1領域をカバーし、基板面の第2領域を露出させる；第1真性(intrinsic) $a - Si : H$ 層を基板に堆積(例えば基板をカバーして)すること；第1真性 $a - Si : H$ 層に $n^+ a - Si : H$ 層を堆積(例えば $a - Si : H$ 層をカバーして)すること；少なくとも第2領域において $n^+ a - Si : H$ 層をカバーするパターン化されたマスキング層を設けること；及び、希釈したTMAH溶液においてエッチングステップを実行すること、これにより、マスキング層によってカバーされていない領域における $n^+ a - Si : H$ 層及び下層の第1真性 $a - Si : H$ 層を局所的に除去して下層の $p^+ a - Si : H$ 層を実質的に無影響にすること、を備える。

【0010】

下層の $p^+ a - Si : H$ 層を実質的に無影響にすることは、この層はエッチングされない、あるいは、 $n^+ a - Si : H$ 層及び第1真性 $a - Si : H$ 層に比べて実質的に低速でエッチングされること、例えばエッチング速度は少なくとも100倍低いものである、ということを意味する。したがって、異なる層間の良好なエッチング選択性が得られ、エッチングプロセスは自己制限している。

【0011】

エッチングステップは、希釈したTMAH(Tetramethylammonium Hydroxide：水酸化テトラメチルアンモニウム)溶液におけるウェットエッチングによって行うことができ、好ましくは例えば15と30との間の温度で、例えば15と25との間の温度のような周囲温度で行うことができるが、本開示はこれらに限定されない。この希釈したTMAH溶液は、例えば約1%から約10%のTMAH、例えば約1%から約5%のTMAHを含むことができるが、本開示はこれらに限定されない。TMAH溶液は、好ましくは水性溶液、即ち、水を備える、あるいはさらに水のみを備えた溶液である。このような希釈したTMAH溶液を使用することは、非常に良好なエッチング選択性を得ることを可能にし、よって $n^+ a - Si : H$ 層及び真性 $a - Si : H$ 層を局所的にエッチングする、及び $p^+ a - Si : H$ 層の露出面でエッチングを実質的に止める自己制限プロセスを可能にするということが驚くべきことに分かった。

【0012】

好ましい実施形態では、 $n^+ a - Si : H$ 層の表面に存在かもしれない任意の在来の酸化物が希釈したTMAHのエッチングステップを行なう前に除去される。在来の酸化物を除去することは、当業者に知られた任意の適切な方法、例えば希釈したHF浸漬を行なう等により行われてもよい。

【0013】

本開示の方法では、パターン化された $p^+ a - Si : H$ 層を形成することは、パターン化されていない $p^+ a - Si : H$ 層を堆積すること、及びその後、当業者に知られている方法を用いて $p^+ a - Si : H$ 層をパターニングすることを備えることができる。

【0014】

創造性のある態様では、本方法は、 $p^+ a - Si : H$ 層を堆積する前に第2真性 $a - Si : H$ 層を堆積することをさらに備えてもよい。第2真性 $a - Si : H$ 層は、 $p^+ a - Si : H$ 層と同じパターンによってパターン化することができる。

【0015】

好ましい実施形態では、 $p^+ a - Si : H$ 層は、5nmと50nmとの間の厚み、及び 10^{20} cm^{-3} と 10^{22} cm^{-3} との間のドーピングレベル(例えばホウ素ドーピン

グ)を有する。

【0016】

パターン化された $p^+ a - Si : H$ 層を形成した後に堆積される第1真性 $a - Si : H$ 層は、露出した基板領域(第2領域)に少なくとも設けられる。好ましい実施形態では、第1領域におけるパターン化された $p^+ a - Si : H$ 層をカバーするもの、及び第2領域における露出した基板表面をカバーするものは、パターン化していない層である。この層の厚さは、好ましくは1nmと10nmとの間である。

【0017】

好ましい実施形態では、 $n^+ a - Si : H$ 層は、5nmと50nmとの間の厚さ、及び 10^{20} cm^{-3} と 10^{22} cm^{-3} との間のドーピングレベル(例えばリンのドーピング)を有する。

【0018】

本開示の方法は、シリコンヘテロ接合相互嵌合型バックコンタクト(IBC)光起電力電池用の製造プロセスにおいて、相互に組み合わされたエミッタ領域及び裏面電界領域を形成するのに好適に使用可能である。このような製造プロセスでは、基板は、例えば、単結晶、多結晶あるいは多結晶性のシリコン基板のような結晶性シリコン基板である。好ましい実施形態では、基板はn形シリコン基板であるが、本開示はこれに制限されない。n形シリコン基板を使用する場合、パターン化された $p^+ a - Si : H$ 層は、ヘテロ接合IBC電池のエミッタ領域を形成し、パターン化された $n^+ a - Si : H$ 層は、電池の裏面電界(BSF)領域を形成する。エミッタ領域及びBSF領域は、互いに組み合わされ、及び、パターン化された $p^+ a - Si : H$ 層を設けた後に堆積される第1真性 $a - Si : H$ 層によって互いから電気的に分離される。第1真性 $a - Si : H$ 層は、 p^+ ドープ領域と n^+ ドープ領域との間に良好な電気的分離を設けることができ、その結果、1000オーム cm^2 を超えるシャント抵抗になるという利点がある。

【0019】

様々な創造性のある態様における対象(objects)及び利点を上に記述した。もちろん、そのような対象あるいは利点のすべてが本開示におけるいずれかの特定の実施形態に従い必ずしも達成されるものではないことは理解されるべきである。したがって、例えば、ここで教示され示唆されたかもしれないような他の対象あるいは利点を必ずしも達成しなくても、ここで教示されたような一つの利点あるいは複数の利点を達成あるいは最適化する方法において本開示が具現化されあるいは実行されてもよいということを当業者は認識するであろう。さらに、この概要は単に例であり、開示の範囲を制限するように意図されないことは理解される。開示の特徴及び利点とともに動作の構成及び方法の両方について、開示は、添付図面とともに読むとき以下の詳細な説明を参照することによって最も良く理解されるかもしれない。

【図面の簡単な説明】

【0020】

【図1】ヘテロ接合相互嵌合型バックコンタクト光起電力電池の断面を概略的に示す。

【図2】本開示による方法のプロセスステップを図示する。

【図3】本開示による方法のプロセスステップを図示する。

【図4】本開示による方法のプロセスステップを図示する。

【図5】本開示による方法のプロセスステップを図示する。

【図6】本開示による方法のプロセスステップを図示する。

【図7】真性 $a - Si : H$ 層、 $p^+ a - Si : H$ 層、及び $n^+ a - Si : H$ 層に関して1%TMAH溶液において測定されたエッチング速度を示す。

【発明を実施するための形態】

【0021】

各図において、同一又は同様の構成部分については同じ符号を付している。

以下の詳細な説明では、多数の具体的な詳細が開示の完全な理解及び特定の実施形態において開示がどのように実施可能かを提供するために順番に記述されている。しかしながら

ら、この開示はそれらの具体的な詳細なしで実施されてもよいことが理解されるだろう。他の例では、よく知られた方法、手順、及び技術は、本開示を不明瞭にしないように詳細には記述していない。本開示は、特定の実施形態に関して及びある図面を参照して記述されているが、開示はこれに限定されない。ここに含まれ記述される図面は概略図であり、この開示の範囲を制限するものではない。また図面において、いくつかの要素のサイズは誇張されている場合があり、よって説明の目的のため縮尺比で描かれていない場合もある。

【0022】

さらに、明細書における上部 (top)、底部、上方、下方等の用語は、説明目的のために使用され、必ずしも相対的位置を記述するものではない。そのように使用された用語は、適切な状況下で交換可能であり、また、ここに記述した開示の実施形態は、ここに記述されあるいは図示されたもの以外の他の配向において動作可能であるということが理解されるべきである。

【0023】

本開示の文脈において、光起電力電池あるいは基板の前面 (front surface) あるいは前側 (front side) は、光源の方へ配向されるのに適した面あるいは側であり、よって照明を受け入れるのに適した面あるいは側である。光起電力電池あるいは基板の裏面、後面、裏側あるいは後側は、上記前面あるいは上記前側に対向する面あるいは側である。

【0024】

本開示の文脈において、相互嵌合型 (interdigitated) は、混じり合った、組み合わされた、を意味し、よって一つのグループからの要素と別のグループからの要素とが交互に存在することを意味する。特に、相互嵌合 (interdigitation) は、光起電力電池の裏側コンタクト、及びIBC光起電力電池のエミッタ領域及びBSF領域に関する。相互嵌合型電極、並びに相互嵌合型エミッタ領域及びBSF領域は、例えば櫛状あるいは指状であることができ、例えば複数の指状要素を備えることができる。

【0025】

本開示は、パターン化されたn⁺a-Si:H層及びパターン化されたp⁺a-Si:H層を基板に形成する方法に関し、n⁺a-Si:H層及びp⁺a-Si:H層は、互いに組み合わされており（相互嵌合型であり）、電気的に互いから分離されている。本開示の方法は、好適にはシリコンヘテロ接合IBC（相互嵌合型バックコンタクト）光起電力電池用の製造プロセスにおいて、より具体的には、シリコンヘテロ接合IBC電池の裏側で相互嵌合型のエミッタ領域及びBSF（裏面電界）領域を形成するための製造プロセスにおいて、使用することができる。

【0026】

図1は、ヘテロ接合相互嵌合型バックコンタクト光起電力電池の断面を概略的に示す。この電池は、電池の裏側で全ての電気コンタクト、即ちBSF領域14へのベースコンタクト24及びエミッタ領域12へのエミッタコンタクト22を有する。基板10は、例えば単結晶、多結晶あるいは多結晶性シリコン基板のような結晶性シリコン基板である。BSF領域14及びエミッタ領域12は、水素化アモルファスシリコン (a-Si:H) で作製されている。例えば、基板10がn型基板である場合、BSF領域14は、n型a-Si:H層を含んでおり、例えば5nmと50nmとの間の厚さを有し、エミッタ領域12は、p型のa-Si:H層を含んでおり、例えば5nmと50nmとの間の厚さを有している。BSF領域14とシリコン基板10との間の界面に、第1の薄い真性a-Si:H層13が存在可能であり、及び/又はエミッタ領域12とシリコン基板10との間の界面に、第2の薄い真性a-Si:H層11が存在可能である。第1の薄い真性a-Si:H層13及び第2の薄い真性a-Si:H層11の厚さは、好ましくは1nmと10nmとの間である。真性層は、ドープされていない、あるいは意図的にドープされない層である。それは、好ましくは10⁻²cm⁻³未満のドーピングレベルを有する。

【0027】

そのような薄い真性a-Si:H層を設ける利点は、結晶性シリコン表面の表面不活性

化効果をもたらすことである。エミッタ領域12及びBSF領域14は、例えば指形あるいは櫛形となることができ、またそれらは相互嵌合型である。図1に示されるデバイスでは、BSF領域14及びエミッタ領域12は、第1の真性a-Si:H層13によって互いから電気的に分離されている。また、ベースコンタクト24及びエミッタコンタクト22は、例えば指形あるいは櫛形であり、また、BSF領域14及びエミッタ領域12のパターンに従って、それぞれ相互嵌合型である。図1に示される電池は、前側に反射防止膜20を有する。反射防止膜20とシリコン基板10との間の界面では、表面不活性化層が存在可能である(図示せず)。基板10の前面は、テクスチャ―処理され(textured)てもよく(図示せず)、また前面電界が電池の前側に設けられてもよい(図示せず)。

【0028】

本開示は、図1に示されるような光起電力電池の製作方法を提供する。本開示の方法は、図2から図6に概略的に説明されている。

【0029】

最初に、図2に図示するように、第2の真性a-Si:H層11が結晶性シリコン基板10の裏面に堆積され、その後、第2の真性a-Si:H層11にp型にドープされたa-Si:H層12が堆積される。p型にドープされたa-Si:H層12のドーピングレベルは、好ましくは 10^{20} cm^{-3} と 10^{22} cm^{-3} との間にある。この層の厚さは、好ましくは5nmと50nmとの間にある。別の記述では、結晶性シリコン基板10はn型ドーピングを有してもよい。そのような実施形態では、p型にドープされたa-Si:H層12は、光起電力電池のエミッタ領域を形成するために使用される。しかしながら、本開示はそれに限定されず、シリコン基板10はまたp型にドープされてもよく、p型にドープされたa-Si:H層12は光起電力電池のBSF領域を形成するために使用されてもよい。

【0030】

次に、図3に図示するように、p⁺a-Si:H層12及び第2の真性a-Si:H層11はパターン化され、それにより、BSF領域が設けられることになっている場所(第2領域102)でこれらの層を除去し、エミッタ領域が形成されることになっている場所(第1領域101)にのみそれらの層を残す。パターンングは、例えばリソグラフィーあるいはレーザアブレーション、又は当業者に知られている他の適切な方法によるような既知の技術を使用して行うことができる。

【0031】

層11、12をパターンングした後、第1の真性a-Si:H層13及びn型にドープされたa-Si:H層14(例えば、 10^{20} cm^{-3} と 10^{22} cm^{-3} との間のドーピングレベル及び5nmと50nmとの間の厚さを有する)が基板の裏側に堆積される(図4)。第1の真性a-Si:H層13は、p型にドープされたa-Si:H層12とn型にドープされたa-Si:H層14との間の良好な分離及び電気的分離を提供する。本開示の方法により製作された電池の測定された暗電流電圧特性に基づいて、3800オーム cm^2 のシャント抵抗が算出された。このことは、異なるドープ領域間で良好な分離及び電気的分離が得られることを例証している。

【0032】

次に、図5及び図6に図示するように、第1の真性a-Si:H層13及びn⁺a-Si:H層14がパターン化される。図5は、マスキング層15の堆積を示し、このマスキング層はBSF領域が形成されることになっている場所(第2領域102)を少なくともカバーする。マスキング層15は、好ましくは第2領域102を超えて延在し(即ち、マスキング層15は第2領域よりも好ましくは広い)、それによりアライメント用のマージンを提供し、さらに先のステップにおけるアンダーエッチングにより生じるかもしれない問題を回避する。マスキング層15は、例えばリソグラフィーによって、あるいは例えば重合体ペーストのスクリーン印刷によって形成されパターン化される。

【0033】

本開示の創造性のある態様によって、n⁺a-Si:H層14及び第1の真性a-Si

: H層 1 3 が、その後、下層の p⁺ a - Si : H層 1 2 の方への良好な選択性により局所的にエッティングされる。n⁺ a - Si : H層 1 4 及び第 1 の真性 a - Si : H層 1 3 を局所的にエッティングする前に、存在するかもしれない在来の酸化物を除去するため、好ましくは希釈した HF の浸漬が行われる。在来の酸化物を除去するための他の適切な方法が使用されてもよい。局所エッティングは、好ましくは、例えば 15 と 30 との間の温度のような周囲温度で、希釈した TM AH (Tetramethylammonium Hydroide 水酸化テトラメチルアンモニウム) 溶液におけるウェットエッティングによって行われ、この希釈した TM AH 溶液は、水に例えれば約 1 % から約 10 % の TM AH を含む。このような希釈した TM AH 溶液は、p⁺ a - Si : H よりもはるかに速く(少なくとも 100 倍速く)真性 a - Si : H 及び n⁺ a - Si : H をエッティングすることが驚くことに分かった。非常に良好な選択性を得ることができることが分かった。これにより、n⁺ a - Si : H 層 1 4 及び第 1 の真性 a - Si : H 層 1 3 を局所的にエッティングし、かつ p⁺ a - Si : H 層 1 2 の露出面でエッティングを実質的に止める自己制限プロセスを可能にする。

【0034】

図 7 は、真性 a - Si : H 層、n⁺ a - Si : H 層、及び p⁺ a - Si : H 層に関して測定されたエッティング速度を示す。最初に、1 % の HF 浸漬が 30 秒間行われ、その後、1 % の TM AH 溶液で 60 秒間エッティングされた。図 7 におけるエッティング速度は、1 ウエハあたり 49 測定点に関する平均値及び偏差値 (spreading) を示す。真性 a - Si : H 層及び n⁺ a - Si : H 層に関して、約 13 nm/min と 17 nm/min との間の各速度が測定された。p⁺ a - Si : H 層に関して、0.1 nm/min のオーダーのエッティング速度が得られた。p⁺ a - Si : H 層のエッティング速度は実質的に低く、即ち、真性 a - Si : H 層及び n⁺ a - Si : H 層のエッティング速度の約 150 倍低い。したがって、非常に良好なエッティング選択性が得られ、エッティングプロセスは自己制限的である。

【0035】

p⁺ a - Si : H 層への良好なエッティング選択性の利点は、p⁺ a - Si : H 層の厚さ及びしたがって導電率は維持することができ、したがってデバイス性能がエッティングプロセスによって有害な影響を受けないという点である。

【0036】

層 1 4 及び層 1 3 の選択性的なエッティングの後、マスキング層 1 5 が除去され、図 6 に示す構造になる。次に、メタルコンタクトが裏側に設けられ、より具体的には、BSF 領域 1 4 と電気的に接觸するベースコンタクト 2 4、及びエミッタ領域 1 2 と電気的に接觸するエミッタコンタクト 2 2 が設けられる。

【0037】

ヘテロ接合 IBC 電池を製造する方法は、例えば、電池の前側で、基板の前面をテクスチャー処理する (texturing) こと、及び / 又は、前面電界領域及び / 又は表面不活性化層及び / 又は反射防止膜を設けることのような、さらなるプロセスステップを備えることができる。表面不活性化層及び / 又は反射防止膜を設けることは、プロセスフローの初めに、つまり a - Si : H 層を堆積する前に、行うことができ、又は、後の段階、例えば裏側エミッタコンタクト及びベースコンタクトを設ける直前に行うことができる。

【0038】

パターン化された n⁺ a - Si : H 層及びパターン化された p⁺ a - Si : H 層を形成する本発明の方法について、ヘテロ接合 IBC 電池用の製造プロセスの状況において上で述べたが、本開示はそれに制限されない。例えば、本発明の方法は、またホモ接合 IBC 電池用の製造プロセスにおいて使用されてもよい。ここでは、パターン化された n⁺ a - Si : H 層及びパターン化された p⁺ a - Si : H 層は、結晶性シリコン基板に n⁺ ドープ領域及び p⁺ ドープ領域を形成するためのドーパント源として使用されてもよい。

【0039】

先の記述は、開示のある実施形態を詳述したものである。しかしながら、当然のことながら、どんなに詳しく文章で記述しても、開示は多くの方法で実施されるかもしれない。

この開示のある特徴あるいは態様を記述する特別な用語の使用は、その用語が関係している開示の特徴あるいは態様のいずれの具体的な特性を含むように制限されるために、その用語がここで再定義されることを暗示するように取られるべきではないということに注意すべきである。