СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1462355 A1

(51) 4 G 06 F 15/332

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

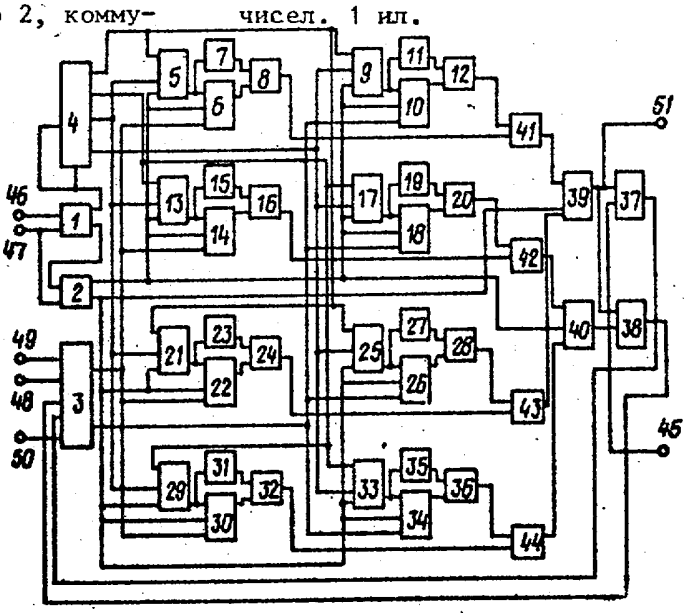
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4302198/24-24
(22) 26.06.87
(46) 28.02.89. Бюл. № 8
(71) Московский институт электронной техники
(72) Б.Ю.Алифанов и Б.И.Полянин
(53) 681.32(088.8)
(56) Авторское свидетельство СССР № 1141420, кл. G 06 F 15/332, 1985.
Патент США № 4446530, кл. G 06 F 15/332, 1984.

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ АДАМАРА ЦИФРОВОЙ ПОСЛЕДОВАТЕЛЬНОСТИ

(57) Изобретение относится к автоматике и вычислительной технике, в частности к анализаторам спектра сигналов, и может быть использовано при построении устройств обработки цифровых сигналов, например устройств обработки изображений. Цель изобретения - повышение быстродействия. Поставленная цель достигается за счет того, что в состав устройства входят счетчик 1, триггер 2, коммутаторы 3, 4, 5, блок памяти 6, элемент И 7, буферный регистр 8, коммутатор адреса 9, блок памяти 10, элемент И 11, буферный регистр 12, коммутатор адреса 13, блок памяти 14, элемент И 15, буферный регистр 16, коммутатор адреса 17, блок памяти 18, элемент И 19, буферный регистр 20, коммутатор адреса 21, блок памяти 22, элемент И 23, буферный регистр 24, коммутатор адреса 25, блок памяти 26, элемент И 27, буферный регистр 28, коммутатор адреса 29, блок памяти 30, элемент И 31, буферный регистр 32, коммутатор адреса 33, блок памяти 34, элемент И 35, буферный регистр 36, сумматор 37, вычитатель 38, коммутаторы 39, 40, элементы ИЛИ 41-44, выход 45 нечетных чисел, вход синхронизации 46, установочный вход 47, вход 48 четных чисел, вход 49 нечетных чисел, вход 50 задания режима, выход 51 четных чисел. 1 ил.



(19) SU (11) 1462355 A1

Изобретение относится к автоматике и вычислительной технике, а именно к анализаторам спектра сигналов, и может быть использовано при построении устройств обработки цифровых сигналов, в частности устройств обработки изображений.

Цель изобретения - повышение быстродействия устройства путем введения структуры блоков памяти, позволяющей одновременно считывать из блоков памяти аргументы текущего шага преобразования Адамара и затем одновременно записывать результаты вычислений в блоки памяти по требуемым согласно алгоритму быстрого преобразования Адамара адресам.

На чертеже приведена схема устройства.

Устройство для преобразования Адамара цифровой последовательности содержит счетчик 1, триггер 2, коммутор 3 информационных сигналов, коммутатор 4 формирования адресов, коммутатор 5 адреса, блок 6 памяти, элемент И 7, буферный регистр 8, коммутатор 9 адреса, блок 10 памяти, элемент И 11, буферный регистр 12, коммутатор 13 адреса, блок 14 памяти, элемент И 15, буферный регистр 16, коммутатор 17 адреса, блок 18 памяти, элемент И 19, буферный регистр 20, коммутатор 21 адреса, блок 22 памяти, элемент И 23, буферный регистр 24, коммутатор 25 адреса, блок 26 памяти, элемент И 27, буферный регистр 28, коммутатор 29 адреса, блок 30 памяти, элемент И 31, буферный регистр 32, коммутатор 33 адреса, блок 34 памяти, элемент И 35, буферный регистр 36, сумматор 37, вычитатель 38, коммутаторы 39 и 40 информационных сигналов, элементы ИЛИ 41-44, выход 45 нечетных чисел устройства, вход 46 синхронизации устройства, установочный вход 47 устройства, вход 48 счетных чисел устройства, вход 49 нечетных чисел устройства, вход 50 заданного режима устройства и выход 51 четных чисел устройства.

Устройство работает следующим образом.

Перед началом преобразования Адамара происходит ввод исходной цифровой последовательности длины 2**n в оперативные запоминающие устройства. Для этого на вход 50 устройства подается сигнал логической единицы, который разрешает прохождение подаваемого на вход 48 четных чисел и на вход 49 нечетных чисел устройства входной последовательности через коммутатор 3 на входы блоков памяти, одновременно на установочный вход 47 устройства подается установочный импульс, который переводит счетчик 1 и триггер 2 в начальное состояние. Кроме того, необходимо подавать на вход 46 синхронизации устройства тактовые импульсы, соответствующие поступлению входной последовательности. Счетчик 1 начинает счет поступающих тактовых импульсов и выработку номера K (K = 0,1,2,...,n/2-1) текущего шага процедуры ввода данных.

Коммутатор 4 вырабатывает четыре текущих адреса по следующему правилу: на первом выходе коммутатора 4 будет код A1 = K, на втором выходе коммутатора 4 будет код A2 = 2**(n-1) + K, на третьем выходе коммутатора 4 будет код A3 = 2*K + 1, на четвертом выходе коммутатора 4 будет код A4 = 2*K. Поступающая последовательность записывается в пятый, шестой, седьмой и восьмой блоки памяти. При этом нечетные члены последовательности, поступающие с входа 48 нечетных чисел устройства, записываются в блоки 22 и 30 памяти, а четные члены последовательности, поступающие с входа 48 нечетных чисел устройства, записываются в блоки 26 и 30 памяти. После окончания ввода цифровой последовательности необходимо снять управляющий сигнал логической единицы с входа 50 устройства.

После этого начинается преобразование введенной последовательности в соответствии с быстрым алгоритмом преобразования Адамара. Для последовательности объемом 2**n чисел требуется провести n идентичных итераций преобразования. Каждая итерация состоит из 2**(n-1) шагов. Обозначим номер шага индексом K. На K-м шаге необходимо произвести вычисления по формулам

$$X(2*K)=X(K) + X(K + 2**(n-1)),$$

$$X(2*K + 1) = X(K) - X(K + 2**(n - 1)),$$

где X(K) - элемент последовательности с номером K.

Требуемые номера элементов последовательности, соответствующие их адресам в блоках памяти, генерируются коммутатором 4.

Для удобства дальнейшего описания разделим восемь блоков памяти на две одинаковые по составу и внутренним взаимосвязям подгруппы: четную и нечетную.В нечетную подгруппу войдут пятый, шестой, седьмой и восьмой блоки памяти, а в четную подгруппу - первый, второй, третий и четвертый блоки памяти.

Выполнение одной итерации заключается в выборке двух чисел из одной подгруппы блоков памяти, выполнении операций сложения и вычитания и записи результатов этих операций в другую подгруппу блоков памяти. При выполнении итерации с нечетным номером - первой, третьей и т.д., происходит передача информации из нечетной подгруппы в четную, а при выполнении итерации с четным номером - второй, четвертый и т.д., происходит передача информации из четной подгруппы в нечетную.

Рассмотрим подробнее процесс передачи информации в ходе K-го шага j-й итерации преобразования. Пусть j - нечетный номер, тогда передача информации происходит из нечетной подгруппы блоков памяти в четную. В случае нечетной итерации сигнал с инверсного выхода триггера 2 (логический нуль) разрешает чтение информации из блоков памяти нечетной подгруппы, а сигнал с прямого выхода триггера 2 (логическая единица) разрешает запись информации в блоки памяти четной группы. Кроме того, сигналы с выходов триггера 2 управляют работой всех коммутаторов адреса.

Рассмотрим процесс выборки информации из нечетной подгруппы. При этом на входы адреса пятого и шестого блоков памяти через пятый и шестой коммутаторы адреса подается адрес A1 = K, а на входы адреса седьмого и восьмого блоков памяти через седьмой и восьмой коммутаторы адреса подается адрес A2 = K + 2**(n-1), т.е. происходит выборка по требуемым адресам. Если адрес K четный, элемент И 23 запрещает прохождение информации через буферный регистр 24, а на выход элемента ИЛИ 43 через буферный регистр 28 происходит информация с выхода блока 26 памяти. Если адрес K нечетный, то сигнал запрета прохождения информации выдается с элемента И 27 и на выход элемента ИЛИ 43 происходит информация с выхода блока памяти 22 через буферный регистр 24. Аналогично функционируют блоки 30 и 34 памяти, т.е. выборка нечетных элементов последовательности осуществляется только из блока 30 памяти, а выборка четных элементов последовательности осуществляется только из блока 34 памяти. При этом блоки 22 и 26 памяти предназначены для хранения только элементов последовательности, принадлежащих к младшей половине пространства адресов, а блок 30 и 34 памяти - для хранения только элементов последовательности, принадлежащих к старшей половине пространства адресов. Полученные элементы последовательно поступают через коммутаторы 39 и 40 на входы сумматора 31 и вычитателя 38. На выходе сумматора 37 появляется значение суммы чисел, а на выходе вычитателя 38 - значение разности чисел.

Рассмотрим процесс записи информации в четную подгруппу блоков памяти, который происходит после выполнения операций сложения и вычитания. Строение четной подгруппы аналогично строению нечетной подгруппы. При этом первый блок памяти четной подгруппы соответствует пятому блоку памяти нечетной подгруппы, второй блок памяти четной подгруппы соответствует шестому блоку памяти нечетной подгруппы, третий блок памяти четной подгруппы соответствует седьмому блоку памяти нечетной подгруппы, четвертый блок памяти четной подгруппы соответствует восьмому блоку памяти нечетной подгруппы. Области значений номеров элементов обрабатываемой последовательности для соответствующих друг другу блоков памяти совпадают. Поэтому элементы последовательности с четными номерами, поступающие с выхода сумматора 37, поступают через коммутатор 3 на информационные входы блоков 10 и 13 памяти. При этом на адресные входы этих блоков памяти через второй 9 и

четвертый 17 коммутаторы адреса подается выработанный коммутатором 4 адрес A4 = 2*K и происходит запись всех элементов последовательности с четными номерами в эти блоки памяти. Аналогично все элементы последовательности с нечетными номерами записываются в первый 6 и второй 10 блоки памяти. При этом на адресные входы этих блоков памяти через первый 5 и третий 13 коммутаторы адреса подается выработанный коммутатором 4 нечетный адрес A3 = 2*K + 1.

Аналогично происходит передача информации при выполнении итерации преобразования с четным номером, но направление передачи меняется на противоположное.

После выполнения n итераций в одной из подгрупп блоков памяти будут записаны элементы полностью преобразованной по Адамару входной последовательности. Для получения выходных результатов необходимо подавать на вход 46 синхронизации устройства тактовые импульсы, при этом процесс перезаписи информации будет продолжаться и в ходе его на выходе 45 нечетных чисел устройства и на выходе 51 четных чисел устройства будут появляться элементы преобразованной по Адамару входной цифровой последовательности.

Формула изобретения

Устройство для преобразования Адамара цифровой последовательности, содержащее первый и второй коммутаторы, триггер, сумматор, первый коммутатор адреса, первый блок памяти и счетчик, счетный вход которого является входом синхронизации устройства, входом задания режима которого является управляющий вход первого коммутатора, первый информационный вход которого подключен к выходу сумматора, информационный выход счетчика подключен к информационному и управляющему входам второго коммутатора, выход первого коммутатора адреса подключен к адресному входу первого блока памяти, а установочный вход счетчика соединен с первым установочным входом триггера и является установочным входом устройства, отличающееся тем, что, с целью повышения быстродействия, в него введены с второго по восьмой коммутаторы адреса, с второго по восьмой блоки памяти, с первого по восьмой элементы И, с первого по восьмой буферные регистры, с первого по четвертый элементы ИЛИ, вычитатель, третий и четвертый коммутаторы, при этом выход i-го ($i = \overline{2,8}$) коммутатора адреса подключен к информационному входу i-го блока памяти, первый выход первого коммутатора подключен к информационному входу j-го ($j = \overline{1,4}$) блока памяти, выход которого подключен к информационному входу j-го буферного регистра, выход которого подключен к первому входу j-го элемента ИЛИ, второй выход первого коммутатора подключен к информационному входу (j + 4)-го блока памяти, выход второго подключен к информационному входу (j + 4)-го буферного регистра, выход которого подключен к второму входу j-го элемента ИЛИ, первый выход второго коммутатора подключен к первым информационным входам первого, третьего, пятого и седьмого коммутаторов адреса, второй выход второго коммутатора подключен к первым информационным входам второго, четвертого и восьмого коммутаторов адреса, третий выход второго коммутатора подключен к второму информационному входу j-го коммутатора адреса, четвертый выход второго коммутатора подключен к второму информационному входу (j + 4)-го коммутатора адреса, выходы первого и второго элементов ИЛИ подключены к первым информационным входам соответственно третьего и четвертого коммутаторов, вторые информационные входы которых подключены к выходам соответственно третьего и четвертого элементов ИЛИ, выход переноса счетчика подключен к второму установочному входу триггера, прямой выход которого подключен к управляющим входам первого, второго, пятого и шестого коммутаторов адреса, входам управления записью (считывание) первого, второго, пятого и шестого блоков памяти и управляющему входу четвертого коммутатора, выход которого является выходом нечетных чисел устройства и подключен к первым входам сумматора и вычитателя, выход которого подключен к второму информационному выходу первого коммутато-

ра, третий и четвертый информационные входы которого являются входами соответственно четных и нечетных чисел устройства, инверсный выход триггера подключен к управляющим входам третьего, четвертого, седьмого и восьмого коммутаторов, входам управления записью (считыванием) третьего, четвертого, седьмого и восьмого блоков памяти и управляющему входу третьего коммутатора, выход которого является выходом четных чисел устройства и подключен к вторым входам сумматора и вычитателя, выходы старшего и младшего разрядов 1-го ($1 = \overline{1,8}$) коммутатора адреса подключены соответственно к первому и второму входам 1-го элемента И, выход которого подключен к входу разрешения записи 1-го буферного регистра.

Составитель А.Баранов
Редактор А.Огар Техред Л.Олийнык Корректор Л.Патай

Заказ 715/49 Тираж 667 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина,101