



(12) 发明专利申请

(10) 申请公布号 CN 102171824 A

(43) 申请公布日 2011. 08. 31

(21) 申请号 200980138788. X

(51) Int. Cl.

(22) 申请日 2009. 10. 15

H01L 25/065 (2006. 01)

H01L 23/60 (2006. 01)

(30) 优先权数据

12/251, 802 2008. 10. 15 US

(85) PCT申请进入国家阶段日

2011. 03. 30

(86) PCT申请的申请数据

PCT/US2009/060764 2009. 10. 15

(87) PCT申请的公布数据

W02010/045413 EN 2010. 04. 22

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 托马斯·R·汤姆斯

礼萨·贾利利泽伊纳利 顾时群

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

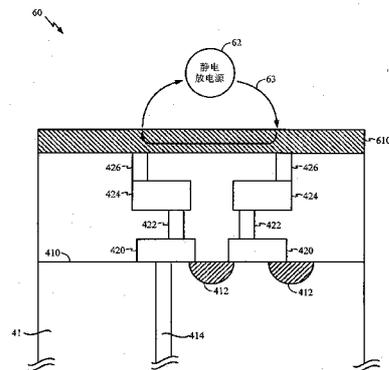
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

用于堆叠式 IC 的静电放电 (ESD) 防护

(57) 摘要

一种未经组装的堆叠式 IC 装置 (60) 包括未经组装的层级。(41) 所述未经组装的堆叠式 IC 装置还包括第一未经图案化层 (610), 所述第一未经图案化层 (610) 位于所述未经组装的层级上。所述第一未经图案化层保护所述未经组装的层级免受 ESD 事件的影响。



1. 一种未经组装的堆叠式 IC 装置,其包含:
未经组装的层级 ;以及
第一未经图案化层,其位于所述未经组装的层级上,所述第一未经图案化层保护所述未经组装的层级免受 ESD 事件的影响。
2. 根据权利要求 1 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层的厚度在 100 埃与 50000 埃之间。
3. 根据权利要求 1 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层为金属层。
4. 根据权利要求 3 所述的未经组装的堆叠式 IC 装置,其进一步包含第二未经图案化层,所述第二未经图案化层位于所述第一未经图案化层上以防止所述第一未经图案化层的氧化。
5. 根据权利要求 3 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层可稍后被图案化成层级到层级连接件。
6. 根据权利要求 1 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层为半导体层。
7. 根据权利要求 6 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层可稍后被图案化成层级到层级连接件。
8. 根据权利要求 1 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层为绝缘体层。
9. 根据权利要求 8 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层可稍后被图案化以暴露层级到层级连接件。
10. 根据权利要求 8 所述的未经组装的堆叠式 IC 装置,其中所述第一未经图案化层可稍后被移除以暴露层级到层级连接件。
11. 一种用于制造堆叠式 IC 装置的方法,其包含:
制造所述堆叠式 IC 装置的一层级 ;以及
在运输到组装厂之前将未经图案化层沉积于所述层级上,所述未经图案化层保护所述层级免受 ESD 事件的影响。
12. 根据权利要求 11 所述的方法,其中沉积所述未经图案化层包含沉积绝缘层。
13. 根据权利要求 11 所述的方法,其中沉积所述未经图案化层包含沉积二氧化硅、氮化硅或聚合物中的一者。
14. 根据权利要求 11 所述的方法,其中沉积所述未经图案化层包含沉积导电层。
15. 根据权利要求 11 所述的方法,其中沉积所述未经图案化层包含沉积半导体层。
16. 一种用于制造堆叠式 IC 装置的方法,其包含:
更改保护堆叠式 IC 装置的一层级免受 ESD 事件的影响的未经图案化层,以允许所述堆叠式 IC 装置的所述层级被集成到所述堆叠式 IC 装置中 ;以及
将所述层级集成到所述堆叠式 IC 装置中。
17. 根据权利要求 16 所述的方法,其中更改所述未经图案化层包含对绝缘体层进行图案化。
18. 根据权利要求 17 所述的方法,其中更改所述未经图案化层包含移除所述未经图案

化层以暴露所述堆叠式 IC 装置的层级到层级连接件。

19. 根据权利要求 17 所述的方法,其中更改所述未经图案化层包含对所述未经图案化层进行图案化以暴露所述堆叠式 IC 装置的层级到层级连接件。

20. 根据权利要求 16 所述的方法,其中更改所述未经图案化层包含对半导体层进行图案化。

21. 根据权利要求 20 所述的方法,其中更改所述未经图案化层包含对所述未经图案化层进行图案化以产生层级到层级连接件。

22. 根据权利要求 16 所述的方法,其中更改所述未经图案化层包含对导体层进行图案化。

23. 根据权利要求 22 所述的方法,其中更改所述未经图案化层包含对所述未经图案化层进行图案化以产生层级到层级连接件。

24. 一种未经组装的堆叠式 IC 装置,其包含用于在组装所述堆叠式 IC 装置之前防护所述未经组装的堆叠式 IC 装置免受 ESD 事件的影响的装置。

25. 根据权利要求 24 所述的未经组装的堆叠式 IC 装置,其中,在组装所述堆叠式 IC 装置之后,所述用于防护的装置经配置成用于将第一层级连接到第二层级的装置。

用于堆叠式 IC 的静电放电 (ESD) 防护

技术领域

[0001] 本发明一般涉及堆叠式集成电路 (IC)。更特定来说,本发明涉及防护堆叠式 IC 以免受静电放电的影响。

背景技术

[0002] 静电放电 (ESD) 事件在日常生活中十分常见,且一些较大的放电可由人类感官检测到。较小放电不被人类感官所察觉,因为放电强度与放电所发生的表面积的比例极小。

[0003] 在过去的几十年里,IC 已以难以置信的速率缩小。举例来说,IC 中的晶体管已减小到 45nm 且很可能将继续缩小。当晶体管尺寸缩小时,晶体管周围的支持组件通常也缩小。IC 的缩小使表面积减小。因此,随着组件尺寸变小,给定放电强度与表面积的比例增加,且组件变得易受更大范围的 ESD 事件影响。

[0004] 当带第一电荷的对象靠近或接触带第二、较低电荷的对象时,ESD 事件发生。所述电荷差作为单一事件而放电。发生电荷从第一对象到第二对象的快速转移,使得两对象带大致相等的电荷。在具有较低电荷的对象为 IC 的情况下,放电试图找到通过 IC 的最小电阻的路径。通常,此路径流过互连件 (interconnect)。此路径中的不能够承受与所述放电相关联的能量的任一部分都会被损坏。所述损坏常发生于栅极氧化物 (gate oxide) 中,其通常为 IC 中最易受放电影响的环节。当栅极氧化物损坏时,其通常从绝缘体改变为导体,使得 IC 不再如所需地起作用。ESD 事件的替代损坏机制包括击穿穿硅通孔 (through silicon via) 中的栅极氧化物而在装置中产生短路,或熔融互连件中的金属而在装置中产生断路。

[0005] 制造集成电路的制造场所 (fabrication site) 具有成熟且完备的程序来防止在制造期间通过集成电路的 ESD。举例来说,使用设计规则来确保在制造期间不会聚集大电荷。常规上,还将 ESD 保护性结构建于衬底中并连接到用于保护的装置。这些结构消耗衬底上的原本可用于有效电路 (active circuitry) 的相当大量的面积 (对于每一 ESD 缓冲器为几十到几百平方微米)。然而,ESD 事件仍可能在制造 IC 的过程期间发生。检测 IC 中的所述损坏的位置是困难的,且在制造期间发生所述损坏的最初迹象通常在最终产品未如所需起作用时出现。结果,大量时间和资源可能被花费在制造不能正确地起作用的装置上。

[0006] 在进一步推进 IC 能力方面的一项最新发展为堆叠集成电路以形成 3D 结构或堆叠式 IC。此允许将多个组件建于单独层级 (tier) 中的单一芯片中。举例来说,可将高速缓冲存储器建于微处理器的顶部上。所得堆叠式 IC 具有显著较高的装置密度和显著更复杂的制造方法。预期堆叠式 IC 中的层级到层级 (tier-to-tier) 连接密度将超过 100,000/cm²。

[0007] 对于堆叠式 IC,制造商可在一个制造场所执行第一组 IC 制造过程,且将所述 IC 层级装运到第二制造场所,所述第二制造场所执行对第二层级的第二组制造过程。第三场所可接着将所述层级组装成堆叠式 IC。当集成电路的层级离开制造场所的受控环境时,其暴露于可使整个堆叠式 IC 失效的潜在 ESD 事件的威胁下。在堆叠个别层级 (即,结合在一

起以形成堆叠式 IC) 之前,所述层级尤其易受 ESD 事件侵害。

[0008] 因此,需要当在制造过程期间将堆叠式集成电路的个别层级运输到受控环境外时保护其免受 ESD 事件的影响。

发明内容

[0009] 根据本发明的一方面,一种未经组装的堆叠式 IC 装置包括未经组装的层级。所述未经组装的堆叠式 IC 装置还包括第一未经图案化层,其位于所述未经组装的层级上。所述第一未经图案化层保护所述未经组装的层级免受 ESD 事件的影响。

[0010] 根据本发明的另一方面,一种用于制造堆叠式 IC 装置的方法包括制造所述堆叠式 IC 装置的一层级。所述方法还包括在运输到组装厂之前将未经图案化层沉积于所述层级上。所述未经图案化层保护所述层级免受 ESD 事件的影响。

[0011] 根据本发明的又一方面,一种用于制造堆叠式 IC 装置的方法包括更改保护堆叠式 IC 装置的一层级免受 ESD 事件的影响的未经图案化层以允许所述堆叠式 IC 装置的所述层级被集成到所述堆叠式 IC 装置中。所述方法还包括将所述层级集成到所述堆叠式 IC 装置中。

[0012] 根据本发明的另一方面,一种未经组装的堆叠式 IC 装置包括用于在组装所述堆叠式 IC 装置之前防护所述未经组装的堆叠式 IC 装置免受 ESD 事件的影响的装置。

[0013] 前述内容已相当广泛地概述了本发明的特征和技术优点,以便可更好地理解以下具体实施方式。下文将描述形成本发明的权利要求书的标的的额外特征和优点。所属领域的技术人员应了解,所揭示的概念和特定实施例可易于用作修改或设计用于实行本发明的相同目的的其他结构的基础。所属领域的技术人员还应认识到,此类等效构造并不脱离在所附权利要求书中所阐述的本发明的技术。当结合附图来考虑时,从以下描述可更好地理解据信为本发明所特有的新颖特征(关于其组织和操作方法)以及其它目的和优点。然而应明确理解,仅出于说明和描述的目的而提供各图中的每一者,且其并不意欲作为对本发明的限制的定义。

附图说明

[0014] 为了更完整地理解本发明,现结合附图参考以下描述。

[0015] 图 1 为展示可有利地使用本发明的一实施例的示范性无线通信系统的方框图。

[0016] 图 2 为展示电路裸片和穿过所述电路的 ESD 路径的方框图。

[0017] 图 3 为展示用于防止由 ESD 事件造成的损坏的常规布置的方框图。

[0018] 图 4 为展示用于使用绝缘保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。

[0019] 图 5 为展示用于在蚀刻处理之后使用绝缘保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。

[0020] 图 6 为展示用于使用导电保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。

具体实施方式

[0021] 图 1 为展示可有利地使用本发明的一实施例的示范性无线通信系统 100 的方框图。为了说明的目的,图 1 展示三个远程单元 120、130 和 150,以及两个基站 140。应认识到,典型的无线通信系统可具有更多远程单元和基站。远程单元 120、130 和 150 包括 IC 装置 125A、125B 和 125C,其包括此处揭示的电路。应认识到,含有 IC 的任何装置也可包括此处揭示的电路,所述装置包括基站、切换装置和网络装备。图 1 展示从基站 140 到远程单元 120、130 和 150 的前向链路信号 180,和从远程单元 120、130 和 150 到基站 140 的反向链路信号 190。

[0022] 在图 1 中,将远程单元 120 展示为移动电话,将远程单元 130 展示为便携式计算机,且将远程单元 150 展示为在无线本地环路系统中的固定位置远程单元。举例来说,远程单元可为手机、手持式个人通信系统 (PCS) 单元、例如个人数据助理的便携式数据单元,或例如仪表读取装备的固定位置数据单元。虽然图 1 说明根据本发明的教导的远程单元,但本发明不限于这些示范性所说明单元。如以下所描述,本发明可合适地用于包括 ESD 保护方案的任何装置。

[0023] 现在转到图 2,将描述 IC 中的一个 ESD 问题。图 2 为展示电路裸片和穿过所述电路的 ESD 路径的方框图。装置 20 包括具有有效侧 210 的衬底 21。在有效侧 210 上为经掺杂区域 212,经掺杂区域 212 用于产生场效晶体管 (FET) 的 PNP 结。由用于生产特定集成电路的设计所规定的许多层建置于有效侧 210 的顶部上。举例来说,接触层 220 可耦合到互连件 222,互连件 222 可耦合到中间层 224。中间层 224 可耦合到互连件 226,互连件 226 可耦合到层级到层级连接件 228。另外说明穿硅通孔 (TSV) 214,其可耦合到接触层 220。

[0024] 在处置和处理晶片期间,与装置 20 相比带相对较高电荷的 ESD 源 23 可靠近或接触衬底 21。举例来说,ESD 源 23 可接触例如层级到层级连接件 228 的暴露连接件。靠近或接触暴露连接件之后,ESD 源 23 将放电到装置 20 中以达到平衡。将形成电流 24 以产生完整电路。电流 24 将沿具有最小电阻的路径穿过装置 20。在本情况下,此路径可能穿过层级到层级连接件 228、互连件 226、中间层 224、互连件 222 和接触层 220。电流 24 接着流过衬底 21 到达穿硅通孔 214 并穿过接触层 220、互连件 222、中间层 224、互连件 226 和层级到层级连接件 228,从而与 ESD 源 23 一起产生闭合路径。通过之前所描述的机制,电流 24 的路径中的任何东西可潜在地遭受损坏,其可导致装置 20 出故障。

[0025] 现转到图 3,将检查用于防止由 ESD 事件造成的损坏的常规装置。为说明的目的,装置 30 具有与装置 20 类似的电路配置。通过借助连接件 312 而连接到有效电路的 ESD 装置 310 来实现防止由静电放电造成的损坏。ESD 装置可为 (例如) 用于正向偏压保护的二极管和用于反向偏压保护的额外二极管。如果静电放电事件发生从而发送电流穿过装置 30,则 ESD 装置将产生具有最小电阻的路径,其使电流转向远离敏感组件且朝向 ESD 装置 310。在装置 30 中,减少由 ESD 事件造成的损坏,但代价为消耗了原本可用于有效电路的面积。另外,ESD 装置 310 在装置操作期间经由泄漏电流而消耗电力。在依靠电池供电而操作的通信装置中,此电力消耗可缩短装置操作时间。另外,ESD 装置 310 为装置 30 的组件上的寄生负载。

[0026] 根据本发明的一方面,通过将薄膜涂层沉积于装置上来保护装置和其组件,以使其在制造过程期间在处于受控环境之外时免受 ESD 损坏。所述涂层可为绝缘体 (例如,氧化硅、氮化硅或聚合物)、半导体 (例如,硅) 或金属 (例如,铜)。金属或半导体涂层为由

ESD 事件引起的电流提供电阻相对低的路径,借此防止电流损坏保护层下方的敏感组件。或者,绝缘涂层防止来自 ESD 事件的电流穿过保护层下方的组件。将进一步详细描述涂层的若干实施例。

[0027] 根据一个实施例,使用绝缘保护层来保护装置免受 ESD 事件的影响。可用于绝缘保护层的一些材料包括氧化硅、氮化硅、聚合物、光致抗蚀剂或旋涂玻璃(SOG)。保护层的厚度可基于电路设计和制造过程而变化。根据一个实施例,层的厚度为 100 埃到 50000 埃。如果需要额外的 ESD 保护,则可增加厚度。较厚的绝缘层可在经受击穿并允许电流从 ESD 源流到装置之前承受较大的电位差。如果 ESD 保护是足够的且需要更快的制造过程,则层可较薄。在未来的处理中,较薄的绝缘层可更容易且更快速地移除或图案化。在一个实施例中,所述层为足够厚的以在机械上承受住运输过程。

[0028] 现在转到图 4,将描述绝缘体保护层的保护能力。图 4 为展示用于使用绝缘保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。为说明的目的,装置 40 具有与装置 20 类似的配置。在完成对层级到层级连接件 428 的制造之后,将氧化层 430 沉积于装置 40 上。氧化层 430 为未经图案化的且保持为连续材料层。

[0029] 在沉积了绝缘保护层且将装置运输到第二受控环境(例如,测试与组装厂)之后,在组装堆叠式 IC 之前可移除绝缘保护层。根据一个实施例,可使用例如湿式或干式蚀刻的可用方法来剥离所述层。根据另一实施例,可对保护层进行图案化以使得可与绝缘保护层下方的层级到层级连接件形成接触。在绝缘保护层中蚀刻出开口以显露下方的层级到层级连接件。可接着将金属触点沉积于经蚀刻的开口中。现在将进一步详细描述这些经蚀刻的开口。

[0030] 图 5 为展示用于在蚀刻处理之后使用绝缘保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。为说明的目的,装置 50 具有与装置 40 类似的配置。开口 510 经蚀刻到氧化层 430 中。可经由开口 510 形成与层级到层级连接件 428 的接触,从而允许额外的层级堆叠于层级 50 上。

[0031] 根据另一实施例,金属保护层或半导体保护层可在受控环境之外保护装置免受 ESD 事件的影响。在所述布置中,连接件的最终层未经图案化,从而导致未经图案化的金属层保留在装置的表面上。所述层未经图案化以使得由 ESD 事件引起的任何电流行进穿过保护层而非 IC。在运输到第二制造场所之后,从保护性金属层将最终连接件图案化。所述金属可为(例如)铜或铝,其取决于装置设计。在一个实施例中,使用例如多晶硅的半导体材料。保护层的厚度应足够厚以在机械上承受住运输过程且在电上承受住预期由 ESD 源造成的电流密度。

[0032] 现在转到图 6,描述导电保护层的保护能力。图 6 为展示用于使用导电保护层来防止由 ESD 事件造成的损坏的示范性布置的方框图。为说明的目的,装置 60 具有与装置 20 类似的配置。在此实例中,尚未制造层级到层级连接件 428。替代地,保护性金属层 610 保留在装置 60 的表面上。在装置 60 接触 ESD 源 62 的情况下,电流 63 形成,从而允许电流从 ESD 源 62 流到装置 60。保护性金属层 610 为具有最小电阻的路径且电流 63 完全穿过保护性金属层 610。因此,减少对保护性金属层 610 下的组件的损坏。

[0033] 在金属保护层的情况下,未向制造过程添加额外的成本或程序。通常经图案化以形成互连件的金属层未经图案化,以使得连续金属层保留在裸片的表面上。此金属层用作

保护层,直到裸片到达另一制造设施,当裸片到达另一制造设施时将所述层图案化成互连件。在绝缘体保护层的情况下,实施额外的程序和层,然而,这些层的额外成本通过未在硅中制造 ESD 装置所获得的节省和在被占用的硅面积中的节省而被抵消掉。

[0034] 虽然已阐述特定电路,但所属领域的技术人员应了解,并不需要所揭示的电路中的全部来实践本发明。此外,未描述某些众所周知的电路以保持集中于本发明。

[0035] 虽然已详细描述本发明和其优点,但应理解,在不脱离如所附权利要求书所界定的本发明的技术的情况下,可在本文中作出各种改变、替代和变更。此外,本发明的范围无意限制于说明书中所描述的过程、机器、制造、物质组成、手段、方法和步骤的特定实施例。如所属领域的技术人员将容易从本发明了解的,可根据本发明利用目前现有或稍后将开发的执行与本文中所描述的对应实施例大体上相同的功能或实现与其大体上相同的结果的过程、机器、制造、物质组成、手段、方法或步骤。因此,所附权利要求书意欲在其范围内包括所述过程、机器、制造、物质组成、手段、方法或步骤。

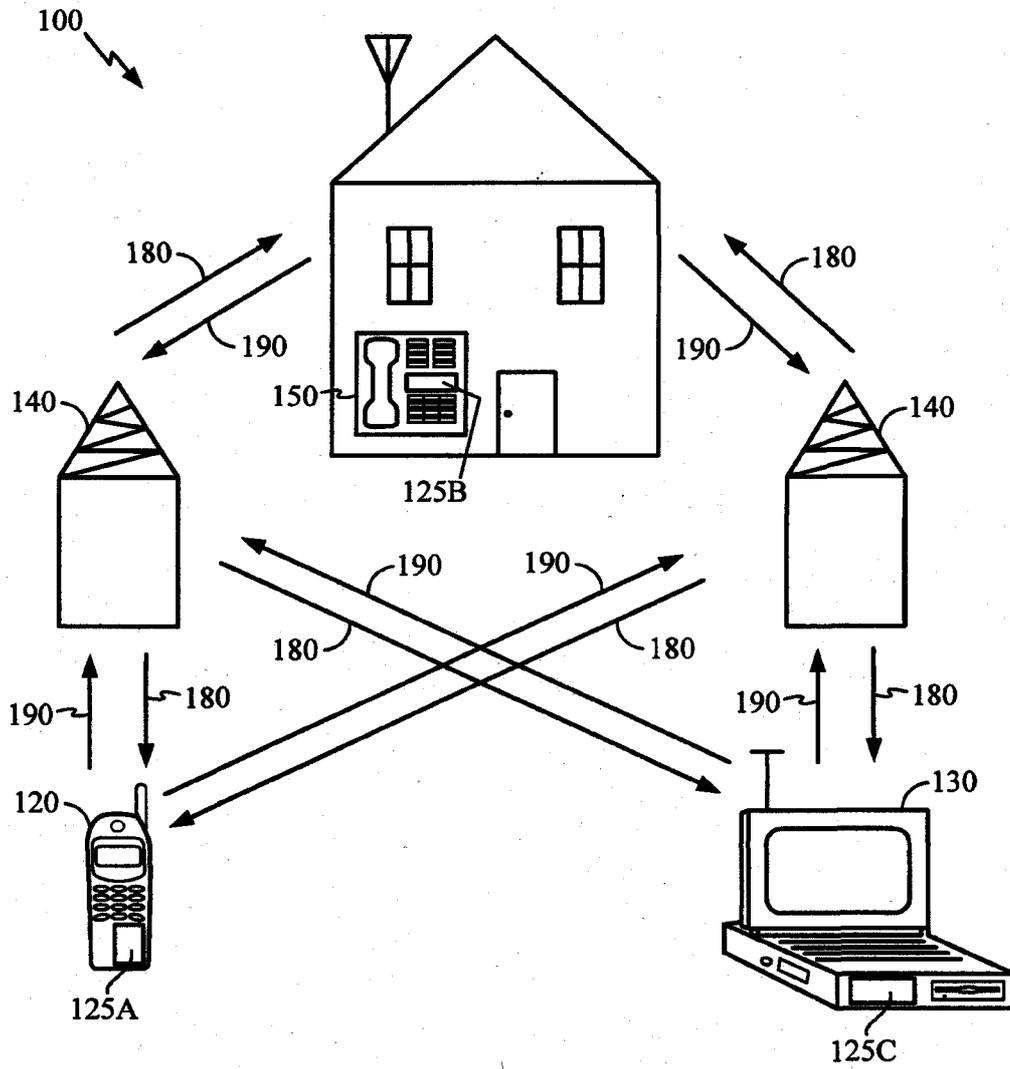


图 1

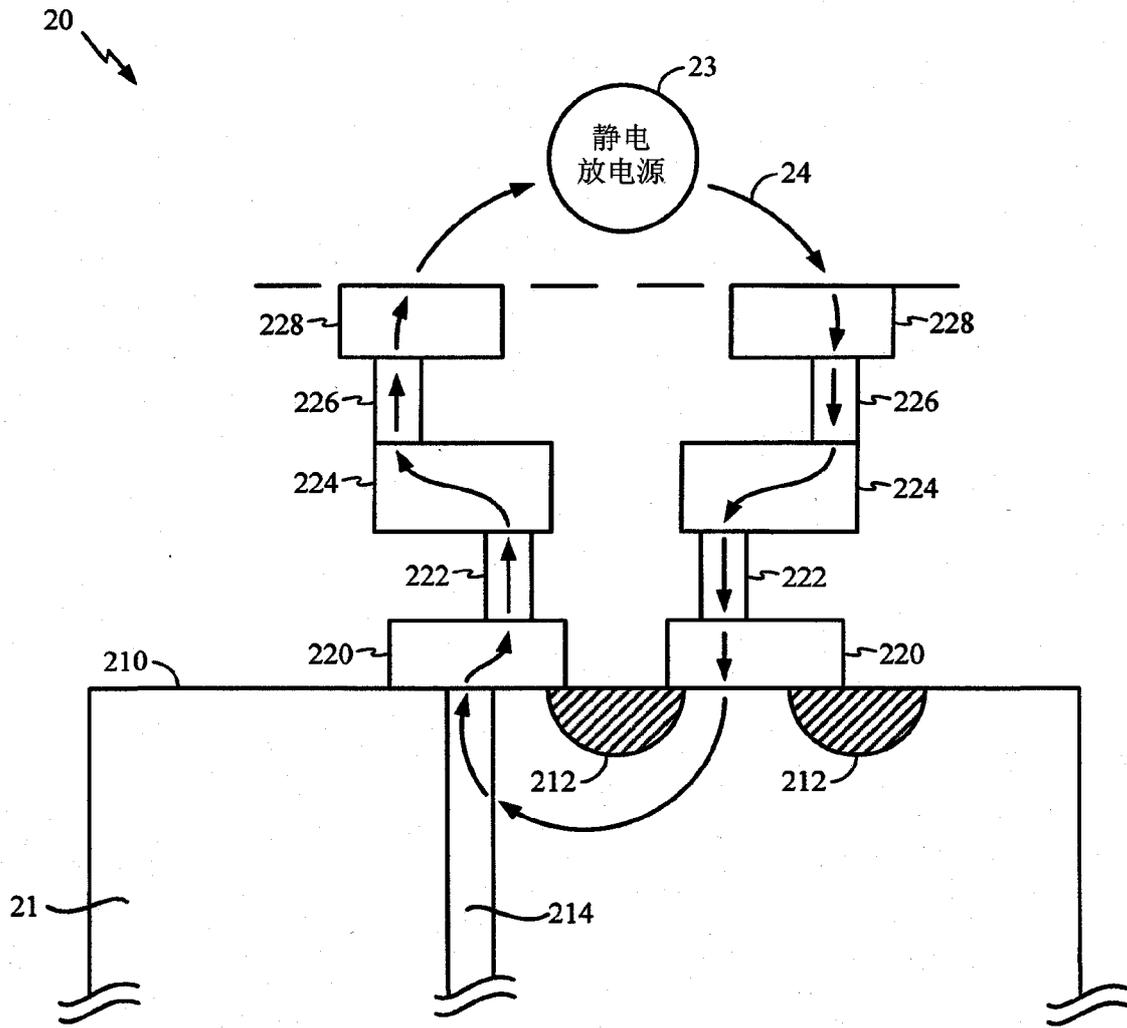


图 2

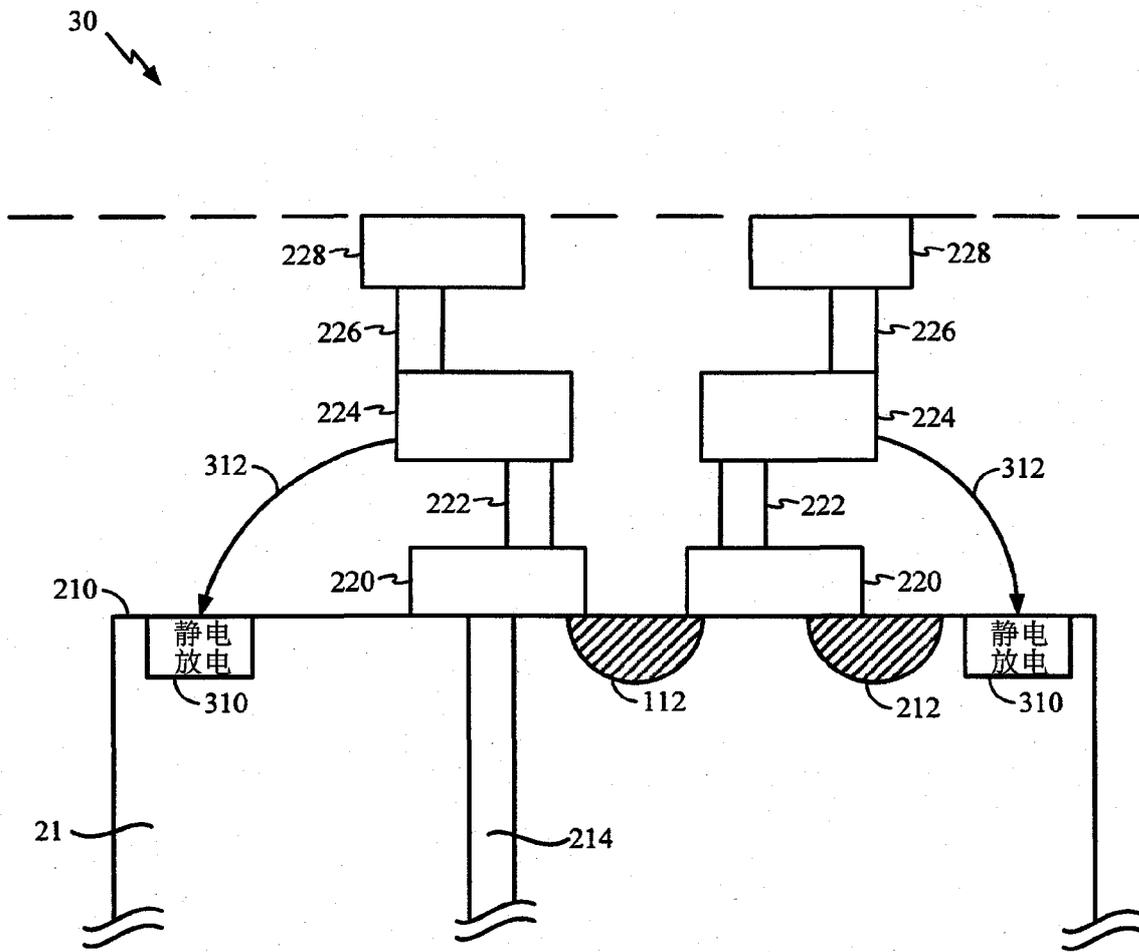


图 3

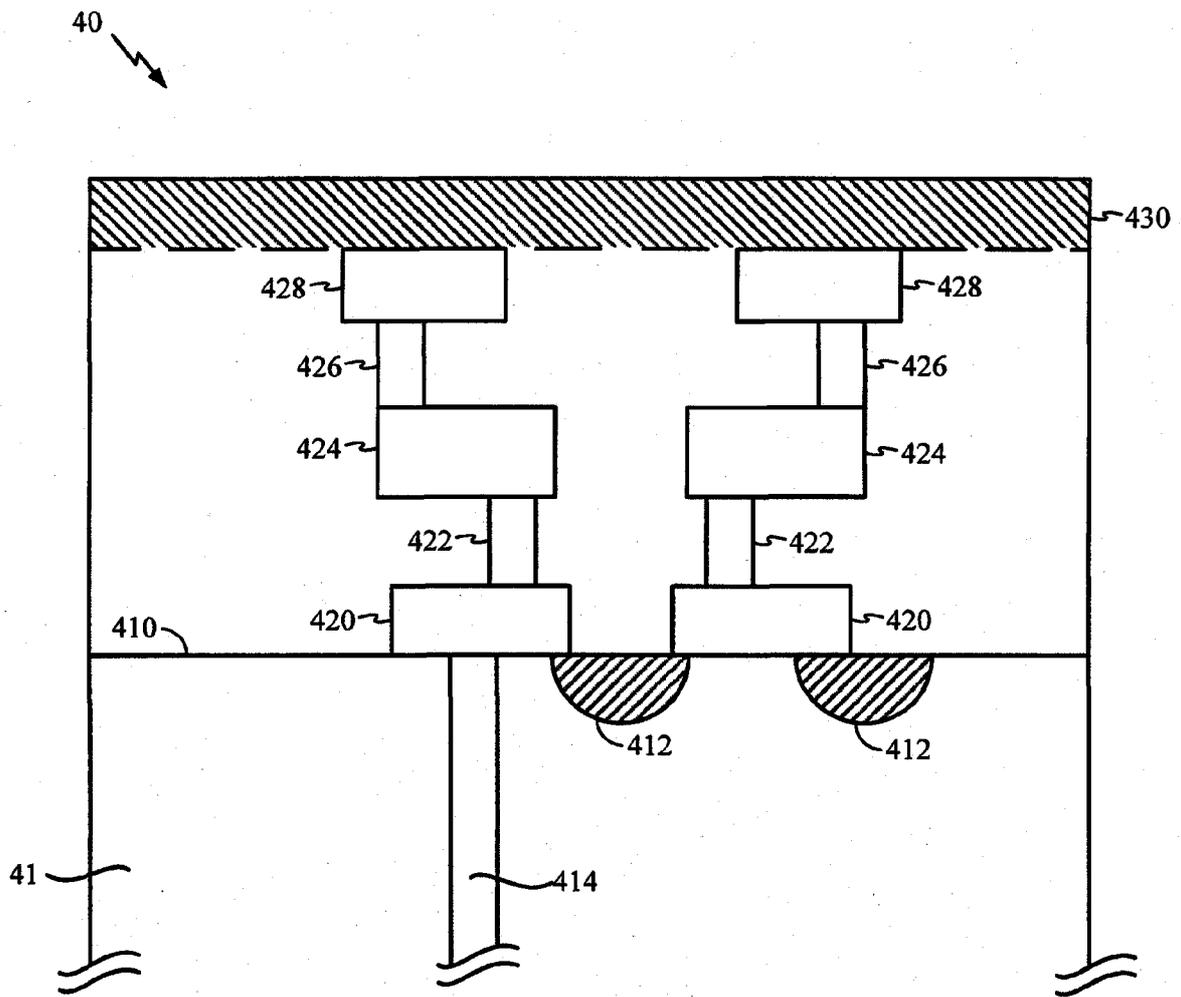


图 4

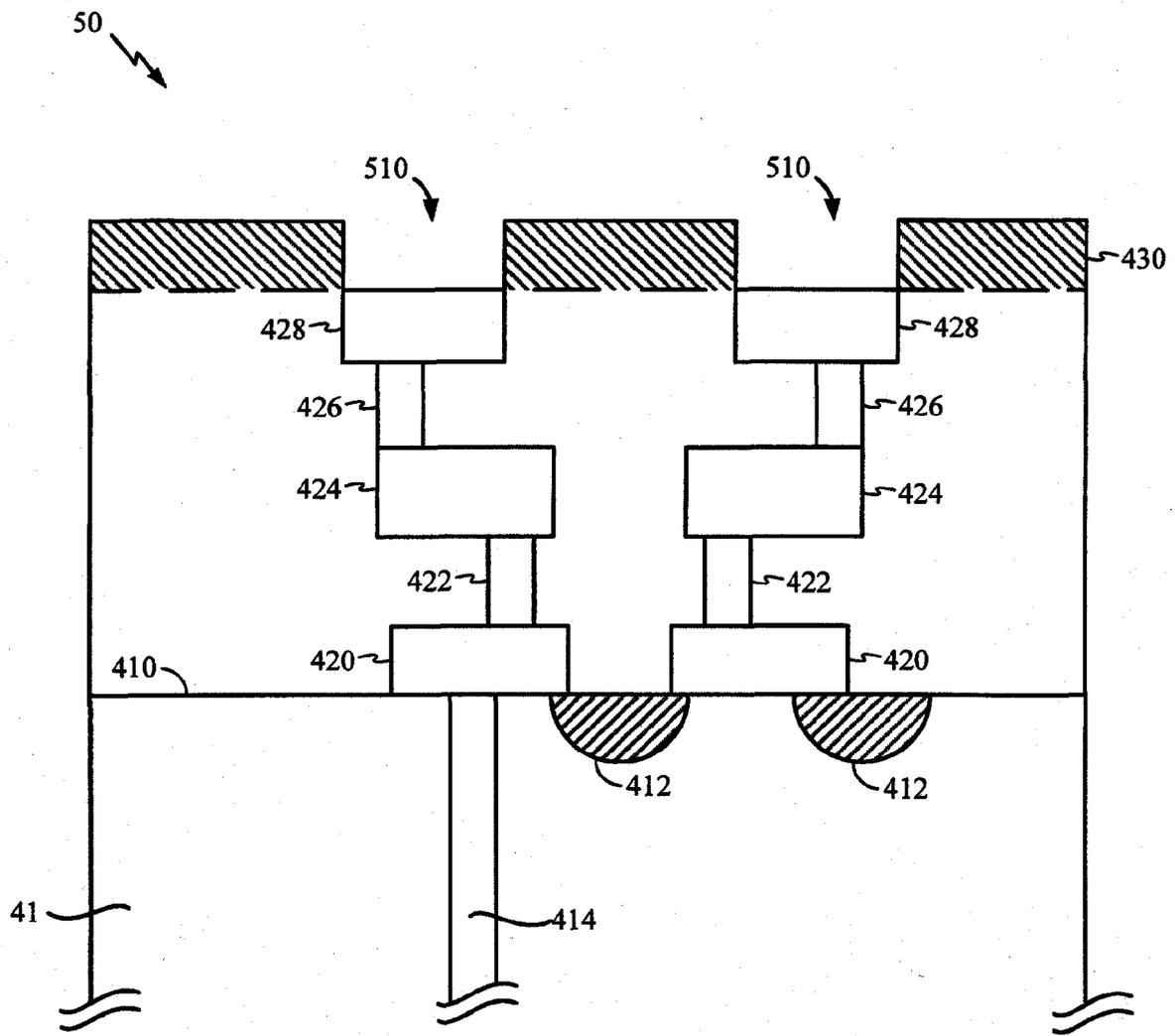


图 5

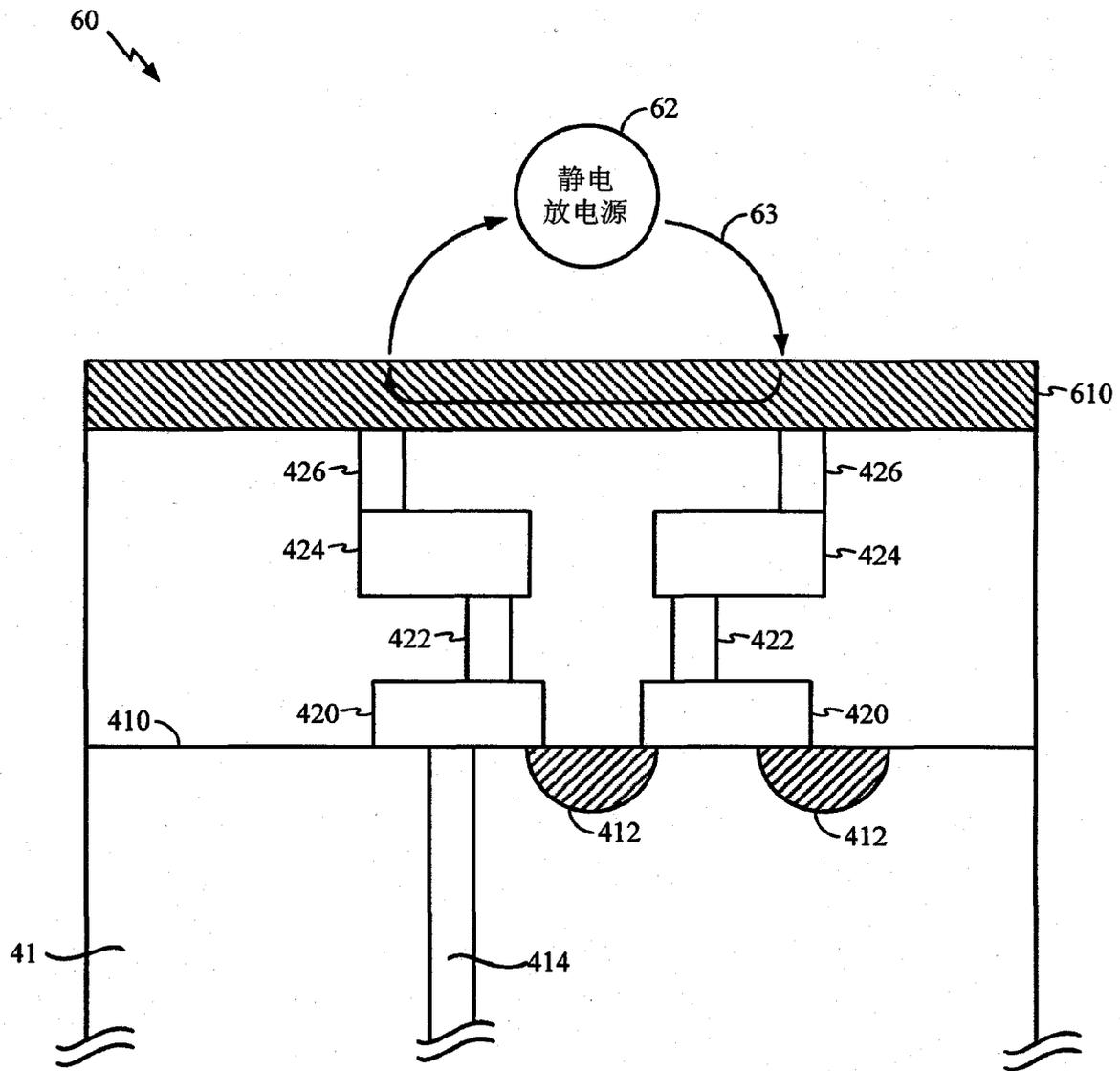


图 6