

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3722628号

(P3722628)

(45) 発行日 平成17年11月30日(2005.11.30)

(24) 登録日 平成17年9月22日(2005.9.22)

(51) Int.Cl.⁷

G09G 3/36

G09G 3/20

F I

G09G 3/36

G09G 3/20 612K

請求項の数 11 (全 13 頁)

(21) 出願番号	特願平10-298330	(73) 特許権者	000005108
(22) 出願日	平成10年10月20日(1998.10.20)		株式会社日立製作所
(65) 公開番号	特開2000-122624(P2000-122624A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成12年4月28日(2000.4.28)	(74) 代理人	100078134
審査請求日	平成15年9月26日(2003.9.26)		弁理士 武 顕次郎
		(72) 発明者	長谷川 亮
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所 映像情報メディア事業部内
		(72) 発明者	的野 孝明
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所 映像情報メディア事業部内

最終頁に続く

(54) 【発明の名称】 自動クロック位相調整装置及び自動クロック位相調整方法及びそれを用いた表示装置

(57) 【特許請求の範囲】

【請求項1】

アナログ映像信号と、クロック信号とを入力とし、前記クロック信号のタイミングにより、アナログ映像信号をデジタル映像信号に変換するA/D変換回路と、

アナログ映像信号に同期した水平同期信号を入力とし、任意に定めた遅延量で出力する遅延回路と、

前記遅延回路から出力される水平同期信号を入力とし、任意に定めた通倍比で通倍を行い、前記クロック信号として出力するクロック発生回路と、

前記A/D変換回路からの出力であるデジタル映像信号と、前記遅延回路からの出力である水平同期信号と、前記クロック発生回路からの出力であるクロック信号と、アナログ映像信号に同期した垂直同期信号とを入力として、水平映像開始座標と、水平映像終了座標を検出する映像エッジ検出回路と、

前記映像エッジ検出回路と同様の入力で、指定した座標のデジタル信号値を検出する映像レベル検出回路と、

前記遅延回路の遅延量を最小から前記クロック信号の1周期量を超えるまで任意の変化量で変化させることにより、前記クロック発生回路から出力されるクロック信号の位相を順次遅らせるように制御する第1の制御動作と、前記第1の制御動作での各クロック位相において、前記映像エッジ検出回路で検出した水平映像開始・終了座標におけるデジタル信号値を、前記映像レベル検出回路にて取得する第2の制御動作と、前記第2の制御動作で取得した水平映像開始・終了座標の各クロック位相におけるデジタル信号値について

10

20

、同じクロック位相同士で和をとる演算動作と、前記演算動作によって得られた加算デジタル信号値から、最大の加算デジタル信号値となっているクロック位相を検出する検出動作と、前記検出動作により検出したクロック位相となるように、前記遅延回路を制御する第3の制御動作を実行する制御回路とを、
備えることを特徴とした自動クロック位相調整装置。

【請求項2】

アナログ映像信号と、第1のクロック信号とを入力とし、前記第1のクロック信号のタイミングにより、アナログ映像信号をデジタル映像信号に変換するA/D変換回路と、
アナログ映像信号に同期した水平同期信号を入力とし、任意に定めた通倍比で通倍を行い、第2のクロック信号として出力するクロック発生回路と、

10

第2のクロック信号を入力として、任意に定めた遅延量で遅延させ、第1のクロック信号として出力する遅延回路と、

前記A/D変換回路からの出力であるデジタル映像信号と、前記遅延回路からの出力である第1のクロック信号と、アナログ映像信号に同期した水平・垂直同期信号とを入力として、水平映像開始座標と、水平映像終了座標を検出する映像エッジ検出回路と、

前記映像エッジ検出回路と同様の入力で、指定した座標のデジタル信号値を検出する映像レベル検出回路と、

前記遅延回路の遅延量を最小から前記クロック信号の1周期量を超えるまで任意の変化量で変化させることにより、前記クロック発生回路から出力されるクロック信号の位相を順次遅らせるように制御する第1の制御動作と、前記第1の制御動作での各クロック位相において、前記映像エッジ検出回路で検出した水平映像開始・終了座標におけるデジタル信号値を、前記映像レベル検出回路にて取得する第2の制御動作と、前記第2の制御動作で取得した水平映像開始・終了座標の各クロック位相におけるデジタル信号値について、同じクロック位相同士で和をとる演算動作と、前記演算動作によって得られた加算デジタル信号値から、最大の加算デジタル信号値となっているクロック位相を検出する検出動作と、前記検出動作により検出したクロック位相となるように、前記遅延回路を制御する第3の制御動作を実行する制御回路とを、
備えることを特徴とした自動クロック位相調整装置。

20

【請求項3】

アナログ映像信号と、クロック信号とを入力とし、前記クロック信号のタイミングにより、アナログ映像信号をデジタル映像信号に変換するA/D変換回路と、

30

アナログ映像信号に同期した水平同期信号を、任意に定めた通倍比で通倍し、かつ、任意に定めた遅延量で遅延させて、前記クロック信号として出力するクロック発生回路および遅延回路と、

前記A/D変換回路からの出力であるデジタル映像信号と、前記クロック信号と、前記水平同期信号と、アナログ映像信号に同期した垂直同期信号とを入力として、水平映像開始座標と、水平映像終了座標を検出する映像エッジ検出回路と、

前記映像エッジ検出回路と同様の入力で、指定した座標のデジタル信号値を検出する映像レベル検出回路と、

演算制御を行う制御回路とを、
具備し、

40

前記した遅延量を順次変化させることによりクロック位相を変化させ、水平映像開始・終了座標での各クロック位相におけるデジタル信号値を検出して加算することによって、入力されたアナログ映像信号における立上り・立ち下がり期間を反映させた加算デジタル信号を作成し、この加算デジタル信号値が最大となっているクロック位相に、前記クロック信号の位相を自動的に合わせることを特徴とする自動クロック位相調整方法。

【請求項4】

請求項1または請求項2に記載の自動クロック位相調整装置を具備するか、または、請求項3に記載の自動クロック位相調整方法を実行する、固定画素表示デバイスを用いた表示装置。

50

【請求項 5】

アナログ映像信号をデジタル映像信号に変換するタイミングを定めるためのクロック信号の位相を調整する自動クロック位相調整装置において、

前記クロック信号の位相を遅延するための遅延回路と、

該遅延回路と接続され、該遅延回路における前記クロック信号の位相遅延量を制御する制御回路とを有し、

前記制御回路は、前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルとを合成することにより得られた合成映像レベルが最大となるように、前記クロック信号の位相の制御量を制御することを特徴とする自動クロック位相調整装置。

10

【請求項 6】

アナログ映像信号をデジタル映像信号に変換するタイミングを定めるためのクロック信号の位相を調整する自動クロック位相調整装置において、

前記クロック信号の位相を遅延するための遅延回路と、

該遅延回路と接続され、該遅延回路における前記クロック信号の位相遅延量を制御する制御回路とを有し、

前記制御回路は、前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルと合成して合成映像レベルを求め、該合成映像レベルが最大となるように前記遅延回路の位相遅延量を制御し、該合成映像レベルが最大となる位相を前記クロック信号の最適位相として設定することを特徴とする自動クロック位相調整装置。

20

【請求項 7】

アナログ映像信号をデジタル映像信号に変換するタイミングを定めるためのクロック信号の位相を調整する自動クロック位相調整装置において、

前記クロック信号の位相を遅延するための遅延回路と、

前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルとを検出する検出回路と、

前記検出回路と接続され、前記検出回路からの出力信号に基づいて前記遅延回路における前記クロック信号の位相遅延量を制御する制御回路と、を有し、

前記制御回路は、前記検出回路の出力信号を用いて、前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルとを合成して合成映像レベルを求め、該合成映像レベルが最大となるように前記遅延回路の位相遅延量を制御し、該合成映像レベルが最大となる位相を前記クロック信号の最適位相として設定することを特徴とする自動クロック位相調整装置。

30

【請求項 8】

前記クロック信号は、前記アナログ映像信号とともに入力される水平同期信号を逡倍して得られるものであり、前記遅延回路は、前記水平同期信号の位相を遅延することにより前記クロック信号の位相を遅延することを特徴とする請求項 7 に記載の自動クロック位相調整装置。

【請求項 9】

40

前記クロック信号は、前記アナログ映像信号とともに入力される水平同期信号を逡倍して得られるものであり、前記遅延回路は、前記水平同期信号を逡倍することにより得られたクロック信号の位相を遅延することを特徴とする請求項 7 に記載の自動クロック位相調整装置。

【請求項 10】

前記制御回路は、前記水平映像開始位置における映像レベルと前記水平映像終了位置における映像レベルとを加算して前記合成映像レベルを得ることを特徴とする請求項 7 に記載の自動クロック位相調整装置。

【請求項 11】

映像表示装置において、

50

クロック信号を発生するクロック発生回路と、該クロック発生回路からのクロック信号に同期して、入力されたアナログ映像信号をデジタル映像信号に変換するA/D変換器と、該A/D変換器から出力されたデジタル映像信号に所定の処理を施す映像処理回路と、該映像処理回路からの出力信号に基づき映像表示を行う表示部と、前記クロック発生回路からのクロック信号の位相を調整する自動クロック位相調整回路とを備え、該自動クロック位相調整回路は、

前記クロック信号の位相を遅延するための遅延回路と、

前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルとを検出する検出回路と、

該検出回路と接続され、該検出回路からの出力信号に基づいて前記遅延回路における前記クロック信号の位相遅延量を制御する制御回路とを含み、 10

前記制御回路は、前記検出回路の出力信号を用いて、前記デジタル映像信号の水平映像開始位置における映像レベルと水平映像終了位置における映像レベルとを合成して合成映像レベルを求め、該合成映像レベルが最大となるように前記遅延回路の位相遅延量を制御し、該合成映像レベルが最大となる位相を前記クロック信号の最適位相として設定することを特徴とする映像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パーソナルコンピュータ等から入力されるアナログ映像信号をデジタル映像信号に変換し、液晶パネル等の固定画素デバイスに表示するための回路技術に関するものであって、更に詳述すれば、アナログ映像信号をデジタル映像信号に変換する際の、クロック位相調整を自動的に行う回路技術に関するものである。 20

【0002】

【従来の技術】

近年、パーソナルコンピュータの映像表示装置として、省スペース及び省電力が特徴である液晶ディスプレイが注目されている。液晶ディスプレイでは、パーソナルコンピュータから出力されるアナログ映像信号をディジタル映像信号に変換して、拡大／縮小処理等の映像処理を行い、液晶パネルに表示することが一般的である。

【0003】

図5に、アナログ映像信号をディジタル映像信号へ変換する回路、及びアナログ映像信号とクロック信号の波形を示す。同図に示すように、アナログ映像信号501は、入力されたクロック信号のタイミングで、A/D変換回路505によってディジタル映像信号へ変換される。 30

【0004】

アナログ映像信号501に対して、クロック位相502、503のタイミングでA/D変換が行われると、アナログ映像信号501の立ち上がり、立ち下がり部分であるために、非常に不安定なディジタル映像信号出力となってしまう。このとき、映像としてはノイズが発生しているように見える。よって、クロック位相504のように、アナログ映像信号501の安定部分でA/D変換を行うために、クロック位相を調整する必要がある。 40

【0005】

クロック位相の調整は、ユーザが液晶表示装置に表示されている映像を見ながら、キー入力等で調整を行う必要があった。しかし、映像の変化を目視にて確認し、調整を行う作業は非常に困難なものである。これを解決する方法として、自動的にA/D変換におけるクロック位相を調整する手法が開発されており、液晶表示装置においては、自動クロック位相調整機能の内蔵が必須となっている。

【0006】

従来のこの種のクロック自動調整方法としては、特開平10-63234号公報に記載のクロック自動調整方法等があげられる。以下、従来技術について説明する。

【0007】

図 6 に、従来技術による液晶表示装置のブロック図を示す。

パーソナルコンピュータは、アナログ映像信号、水平同期信号、垂直同期信号を、映像信号入力端子 101、水平同期信号入力端子 111、垂直同期信号入力端子 112 にそれぞれ入力する。

【0008】

アナログ映像信号は、映像入力端子 101 を経て A/D 変換回路 102 に入力される。A/D 変換回路 102 では、クロック発生回路 106 から入力されるクロック信号のタイミングで、アナログ映像信号をディジタル映像信号に変換する。A/D 変換回路 102 から出力されたディジタル映像信号は、映像処理回路 103、映像エッジ検出回路 108 にそれぞれ入力される。

10

【0009】

映像処理回路 103 に入力されたディジタル映像信号は、拡大/圧縮処理等が行われ、液晶駆動回路 104 を経て液晶パネル 105 に入力され、表示される。

【0010】

水平同期信号は、水平同期信号入力端子 111 から遅延回路 110 に入力される。遅延回路 110 は、水平同期信号を制御回路 107 によって定められた遅延量だけ遅延させ、出力する。遅延回路 110 から出力された水平同期信号は、クロック発生回路 106、映像エッジ検出回路 108 にそれぞれ入力される。

【0011】

クロック発生回路 106 は、水平同期信号を逡倍し、クロック信号として出力する回路であり、その逡倍比は制御回路 107 によって定められる。従って、水平同期信号の遅延量によって、クロック位相が制御される。クロック発生回路 106 から出力されたクロック信号は、A/D 変換回路 102、映像処理回路 103、映像エッジ検出回路 108 にそれぞれ入力される。

20

【0012】

垂直同期信号は、垂直同期信号入力端子 112 から映像処理回路 103、映像エッジ検出回路 108 にそれぞれ入力される。

【0013】

制御回路 107 は、液晶表示装置全体を制御を行うものであり、主にマイクロコンピュータによって構成されている。

30

【0014】

映像エッジ検出回路 108 は、制御回路 107 によって定められた映像レベルをしきい値として、入力されたディジタル映像信号の水平映像開始座標、水平映像終了座標を検出する回路である。なお、水平方向は、水平同期信号を基準としてクロック単位、垂直方向は、垂直同期信号を基準としてライン単位で検出可能である。また、ここで言う座標とは、水平方向のエッジを検出した画素と、その画素があるラインを指すものである。

【0015】

次に、図 7 を用いて自動クロック位相調整動作の従来例について説明する。

図 7 は、従来の自動クロック位相調整動作の処理フロー図である。なお、自動クロック位相調整を行う前には、入力映像信号に対してクロック逡倍比が合っている状態となっているもの、すなわち、水平同期信号を総水平画素数逡倍したクロック信号がクロック発生回路 106 から出力されているものとする。

40

【0016】

ステップ 701 では、制御回路 107 が遅延回路 110 の遅延量を最小に設定する。ステップ 702 では、制御回路 107 が、映像エッジ検出回路 108 から水平映像開始位置データを読み込み、制御回路 107 内のメモリに保存する。ステップ 703 では、制御回路 107 によって遅延回路 110 の遅延量を増やし、クロック位相を遅らせる。ステップ 704 では、制御回路 107 が、映像エッジ検出回路 108 から水平映像開始位置データを取り込む。ステップ 705 では、ステップ 704 で読み込んだ水平開始位置が、ステップ 702 に読み込んだ値から変化しているか否かを判定し、変化した場合はステップ 706

50

へ進み、変化していない場合はステップ703に戻る。ステップ706では、制御回路107が、ステップ706時点での遅延量の半分を遅延回路110に設定し、調整値とする。

【0017】

図8を用いて、さらに詳しく説明する。図8は、アナログ映像信号とクロック信号波形を示す波形図である。

【0018】

ステップ701時点でのクロック位相が、アナログ映像信号801に対してクロック位相802だとする。ステップ702では、水平開始位置を n と検出できる。ステップ703～704を繰り返すと、クロック位相がクロック位相803、804のように遅延して行く。クロック位相804の状態になった場合、ステップ704では水平開始位置を $n-1$ と検出する。このとき、ステップ705にて水平開始位置が n から $n-1$ に変化したことが判定され、ステップ706に進み、クロック位相804のように画素の中心付近にクロック位相が設定される。

【0019】

【課題を解決するための手段】

上記した目的を達成するため、本発明による自動クロック位相調整装置は、

アナログ映像信号と、クロック信号とを入力とし、前記クロック信号のタイミングにより、アナログ映像信号をディジタル映像信号に変換するA/D変換回路と、

アナログ映像信号に同期した水平同期信号を入力とし、任意に定めた遅延量で出力する遅延回路と、前記遅延回路から出力される水平同期信号を入力とし、任意に定めた通倍比で通倍を行い、前記クロック信号として出力するクロック発生回路と、

前記A/D変換回路からの出力であるディジタル映像信号と、前記遅延回路からの出力である水平同期信号と、前記クロック発生回路からの出力であるクロック信号と、アナログ映像信号に同期した垂直同期信号とを入力として、水平映像開始座標と、水平映像終了座標を検出する映像エッジ検出回路と、

前記映像エッジ検出回路と同様の入力で、指定した座標のディジタル信号値を検出する映像レベル検出回路と、

前記遅延回路の遅延量を最小から前記クロック信号の1周期量を超えるまで任意の変化量で変化させることにより、前記クロック発生回路から出力されるクロック信号の位相を順次遅らせるように制御する第1の制御動作と、前記第1の制御動作での各クロック位相において、前記映像エッジ検出回路で検出した水平映像開始・終了座標におけるディジタル信号値を、前記映像レベル検出回路にて取得する第2の制御動作と、前記第2の制御動作で取得した水平映像開始・終了座標の各クロック位相におけるディジタル信号値について、同じクロック位相同士で和をとる演算動作と、前記演算動作によって得られた加算ディジタル信号値から、最大の加算ディジタル信号値となっているクロック位相を検出する検出動作と、前記検出動作により検出したクロック位相となるように、前記遅延回路を制御する第3の制御動作を実行する制御回路とを、

備えた構成をとり、これにより、入力アナログ映像信号波形に合わせて、自動的に最適なクロック位相に調整する。

【0020】

アナログ映像信号901のように信号波形が鈍ることは、パーソナルコンピュータから表示装置への接続ケーブル等の影響により十分起こりうる現象である。このような場合、従来の自動クロック位相調整方法ではクロック位相が合わせきれないため、結局、ユーザによるクロック位相調整が必要になってしまい、自動調整の意味をなさない。

【0021】

以上のように、従来技術による自動クロック位相調整手法では、1画素の中心部が必ず安定しているアナログ映像信号にのみ有効であるため、これを改善し、入力されたアナログ映像信号波形に合わせて、自動的に最適なクロック位相に調整する手段を提供することが、本発明の目的である。

【0022】

【課題を解決するための手段】

上記した目的を達成するため、本発明による自動クロック位相調整装置は、アナログ映像信号と、クロック信号とを入力とし、前記クロック信号のタイミングにより、アナログ映像信号をデジタル映像信号に変換するA/D変換回路と、アナログ映像信号に同期した水平同期信号を入力とし、任意に定めた遅延量で出力する遅延回路と、前記遅延回路から出力される水平同期信号を入力とし、任意に定めた分周比で分周を行い、前記クロック信号として出力するクロック発生回路と、前記A/D変換回路からの出力であるデジタル映像信号と、前記遅延回路からの出力である水平同期信号と、前記クロック発生回路からの出力であるクロック信号と、アナログ映像信号に同期した垂直同期信号とを入力として、水平映像開始座標と、水平映像終了座標を検出する映像エッジ検出回路と、前記映像エッジ検出回路と同様の入力で、指定した座標のデジタル信号値を検出する映像レベル検出回路と、前記遅延回路の遅延量を最小から前記クロック信号の1周期量を超えるまで任意の変化量で変化させることにより、前記クロック発生回路から出力されるクロック信号の位相を順次遅らせるように制御する第1の制御動作と、前記第1の制御動作での各クロック位相において、前記映像エッジ検出回路で検出した水平映像開始・終了座標におけるデジタル信号値を、前記映像レベル検出回路にて取得する第2の制御動作と、前記第2の制御動作で取得した水平映像開始・終了座標の各クロック位相におけるデジタル信号値について、同じクロック位相同士で和をとる演算動作と、前記演算動作によって得られた加算デジタル信号値から、最大の加算デジタル信号値となっているクロック位相を検出する検出動作と、前記検出動作により検出したクロック位相となるように、前記遅延回路を制御する第3の制御動作を実行する制御回路とを、備えた構成をとり、これにより、入力アナログ映像信号波形に合わせて、自動的に最適なクロック位相に調整する。

10

20

【0023】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を用いて説明する。

図1は、本発明の第1実施形態に係る液晶表示装置の構成を示すブロック図であり、本実施形態は、パーソナルコンピュータからのアナログ映像信号を表示する液晶表示装置への適用例である。

30

【0024】

図1において、101はアナログ映像信号入力端子、102はA/D変換回路、103は映像処理回路、104は液晶駆動回路、105は液晶パネル、106はクロック発生回路、107は制御回路、108は映像エッジ検出回路、109は映像レベル検出回路、110は遅延回路、111は水平同期信号入力端子、112は垂直同期信号入力端子である。

【0025】

パーソナルコンピュータは、アナログ映像信号、水平同期信号、垂直同期信号を、映像信号入力端子101、水平同期信号入力端子111、垂直同期信号入力端子112にそれぞれ入力する。

40

【0026】

アナログ映像信号は、映像入力端子101を経てA/D変換回路102に入力される。A/D変換回路102では、クロック発生回路106から入力されるクロック信号のタイミングで、入力されたアナログ映像信号をデジタル映像信号に変換する。A/D変換回路102から出力されたデジタル映像信号は、映像処理回路103、映像エッジ検出回路108、映像レベル検出回路109にそれぞれ入力される。

【0027】

映像処理回路103に入力されたデジタル映像信号は、拡大/圧縮処理等が行われ、液晶駆動回路104を経て液晶パネル105に入力され、表示される。

50

【0028】

水平同期信号は、水平同期信号入力端子111から遅延回路110に入力される。遅延回路110は、水平同期信号を制御回路107によって定められた遅延量だけ遅延させ、出力する。遅延回路110から出力された水平同期信号は、クロック発生回路106、映像エッジ検出回路108、映像レベル検出回路109にそれぞれ入力される。

【0029】

クロック発生回路106は、水平同期信号を通倍し、クロック信号として出力する回路であり、その通倍比は制御回路107によって定められる。従って、水平同期信号の遅延量によって、クロック位相が制御される。クロック発生回路106から出力されたクロック信号は、A/D変換回路102、映像処理回路103、映像エッジ検出回路108、映像レベル検出回路109にそれぞれ入力される。

10

【0030】

垂直同期信号は、垂直同期信号入力端子112から映像処理回路103、映像エッジ検出回路108、映像レベル検出回路109にそれぞれ入力される。

【0031】

制御回路107は、液晶表示装置全体を制御を行うものであり、主にマイクロコンピュータによって構成されている。

【0032】

映像エッジ検出回路108は、制御回路107によって定められた映像レベルをしきい値として、入力されたデジタル映像信号の水平映像開始座標、水平映像終了座標を検出する回路である。なお、水平方向は、水平同期信号を基準としてクロック単位、垂直方向は、垂直同期信号を基準としてライン単位で検出可能である。また、ここで言う座標とは、水平方向のエッジを検出した画素と、その画素があるラインを指すものである。

20

【0033】

映像レベル検出回路109は、課題を解決する手段として図8の従来構成に新たに付け加えた回路であり、この映像レベル検出回路109は、制御回路107によって指定された画素の映像レベルを検出する。

【0034】

次に、図3を用いて自動クロック位相調整動作について説明する。

図3は、本実施形態の自動クロック位相調整動作の処理フロー図である。なお、自動クロック位相調整を行う前に、入力映像信号に対してクロック通倍比が合っている状態となっているもの、すなわち、水平同期信号を総水平画素数通倍したクロック信号がクロック発生回路106から出力されているものとする。

30

【0035】

ステップ301では、制御回路107が遅延回路110の遅延量を最小に設定する。ステップ302では、制御回路107が、映像エッジ検出回路108より水平開始位置とそのライン数データを取り込む。ステップ303では、制御回路107が、映像レベル検出回路109からステップ302にて取得した位置における映像レベルを取り込み、制御回路107内にあるメモリに記憶する。ステップ304では、制御回路107によって遅延回路110の遅延量を増やし、クロック位相を遅らせる。ステップ305では、遅延回路110での遅延量が、ステップ301から1クロック周期量動いたか否かを判定する。1クロック周期量動いた場合は、ステップ306に進み、動いていない場合は、ステップ302に戻る。このステップ302～304の動作を繰り返すことにより、水平開始位置の各クロック位相における映像レベルデータを、制御回路107内のメモリに蓄えることができる。

40

【0036】

ステップ306では、制御回路107が、遅延回路110の遅延量を再び最小に設定する。ステップ307では、制御回路107が、映像エッジ検出回路108より水平終了位置とそのライン数データを取り込む。ステップ308では、制御回路107が、映像レベル検出回路109からステップ302にて検出した位置の映像レベルを取り込み、制御回路

50

107内にあるメモリに記憶する。ステップ309では、制御回路107によって遅延回路110の遅延量を増やし、クロック位相を遅らせる。ステップ310では、遅延回路110での遅延量が、ステップ306から1クロック周期量動いたか否かを判定する。1クロック周期量動いた場合は、ステップ311に進み、動いていない場合は、ステップ307に戻る。このステップ307～309の動作を繰り返すことにより、水平終了位置の各クロック位相における映像レベルデータを、制御回路107内のメモリに蓄えることができる。

【0037】

ステップ311では、制御回路107のメモリに蓄えられている、水平映像開始・終了位置の映像レベルデータを、それぞれ同じクロック位相のデータ同士で和を取り、合成映像レベルデータを作成する。この合成映像レベルデータから安定部分を検出し、検出したクロック位相となるように、遅延回路110を制御する。

10

【0038】

さらに、図4を用いて詳しく説明を行う。

入力されたアナログ映像信号401が、水平映像開始画素402、水平映像終了画素403を含むで信号であった場合、ステップ302～304、306～309の動作により、水平映像開始画素402、水平映像終了画素403部分の各クロック位相における映像レベルを、制御回路107内のメモリ内に記録することができる。

【0039】

ステップ311では、制御回路107が以下の動作を行うことによって、最適なクロック位相に調整する。

20

【0040】

第1に、取得した映像レベルデータを同じ位相同士で加算し、合成画素404に示した合成映像レベルデータを得る。

【0041】

第2に、この合成画素404の安定部分を検出するために、合成映像レベルデータの最大値を検出する。なぜなら、映像の立ち上がり、立ち下がり部分の映像レベルは、安定部分の映像レベルに比べ小さいため、水平映像開始・終了画素の両方において安定な部分のクロック位相の合成映像レベルが最大値として現れるためである。

【0042】

この最大値を検出する方法として、各クロック位相を先頭として、連続する3つのクロック位相における映像レベルの和をとり、その値が最大となったときの中心のクロック位相を求めるクロック位相とする。合成画素拡大図405においては、クロック位相 $m-1$ 、 m 、 $m+1$ における映像レベルの和が最大となるので、求めるクロック位相は m となる。

30

【0043】

第3に、求めたクロック位相となるように、制御回路107は遅延回路110を制御し、自動クロック位相調整を終了する。

【0044】

なお、本実施形態では最大値を検出する方法として、3つクロック位相における映像レベルの和を取るによって行ったが、各1つのクロック位相における映像レベルから最大値を検出しても構わない。また、幾つかのクロック位相における映像レベルの和から最大値を検出する場合、和をとる映像レベル数は任意で構わない。

40

【0045】

図2は、本発明の第2実施形態に係る液晶表示装置の構成を示すブロック図であり、本実施形態も、パーソナルコンピュータからのアナログ映像信号を表示する液晶表示装置への適用例である。

【0046】

本実施形態が第1実施形態と相違するのは、第1実施形態が、クロック発生回路106に入力する水平同期信号の遅延量によってクロック位相を制御する構成となっているのに対して、本実施形態では、水平同期信号を直接クロック発生回路106に入力し、出力され

50

たクロック信号を遅延回路 110 に入力することにより、クロック信号を直接遅延させ、クロック位相を制御するようにした点にある。

【0047】

かような構成をとる本実施形態においても、自動クロック位相調整動作については、第1実施形態で述べた方法と同様である。

【0048】

なお、以上の実施形態では、液晶パネルを用いた表示装置への適用について述べたが、本発明は、アナログ映像信号をデジタル映像信号に変換し、表示を行うプラズマパネル等の液晶パネル以外の固定画素表示デバイスにおいても、適用可能であることは言うまでもない。

10

【0049】

【発明の効果】

以上のように本発明によれば、水平映像開始・終了位置での各クロック位相における映像レベルを検出し、合成することによって、入力されたアナログ映像信号における立ち上がり、立ち下がり期間を反映させた映像レベルデータを得ることができる。この映像レベルデータが最大となっているクロック位相、すなわち、映像レベルの変化が少ない安定部分を検出し、そこにクロック位相を合わせることで、入力されるアナログ映像信号波形に合わせて、最適なクロック位相調整を自動的に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る液晶表示装置の構成を示すブロック図である。

20

【図2】本発明の第2実施形態に係る液晶表示装置の構成を示すブロック図である。

【図3】本発明の実施形態による自動クロック位相調整動作の処理フロー図である。

【図4】本発明の実施形態による自動クロック位相調整方式の説明図である。

【図5】クロック位相調整の概念説明図である。

【図6】従来技術による液晶表示装置の構成を示すブロック図である。

【図7】従来技術による自動クロック位相調整動作の処理フロー図である。

【図8】従来技術による自動クロック位相調整方式の説明図である。

【図9】従来技術の自動クロック位相調整方式における課題の説明図である。

【符号の説明】

101 アナログ映像信号入力端子

30

102 A/D変換回路

103 映像処理回路

104 液晶駆動回路

105 液晶パネル

106 クロック発生回路

107 制御回路

108 映像エッジ検出回路

109 映像レベル検出回路

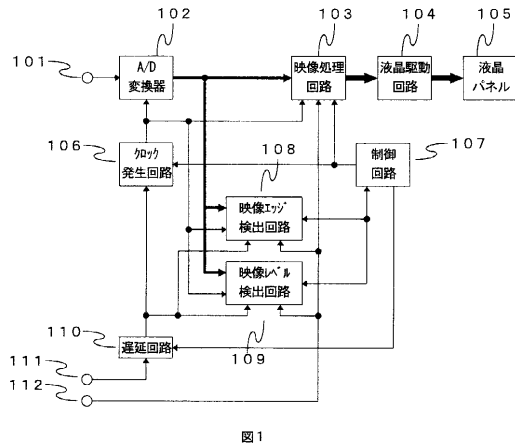
110 遅延回路

111 水平同期信号入力端子

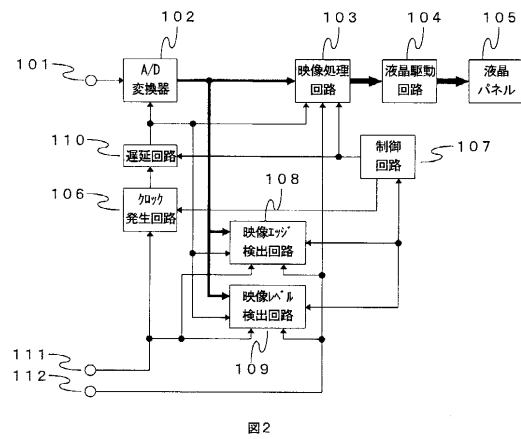
40

112 垂直同期信号入力端子

【 図 1 】



【图 2】



【 図 3 】

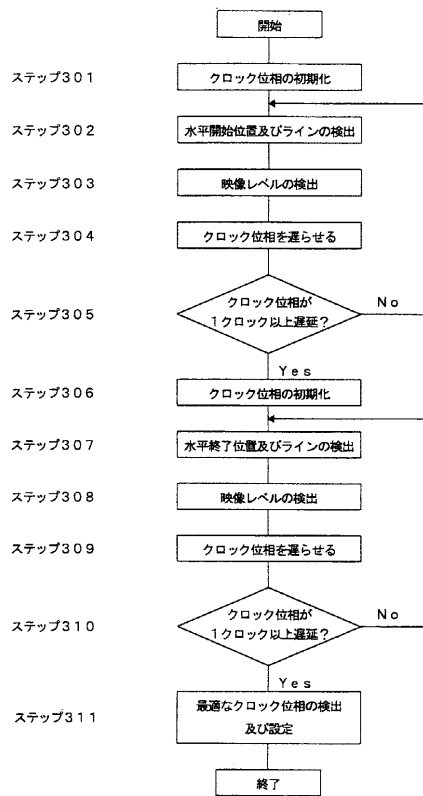
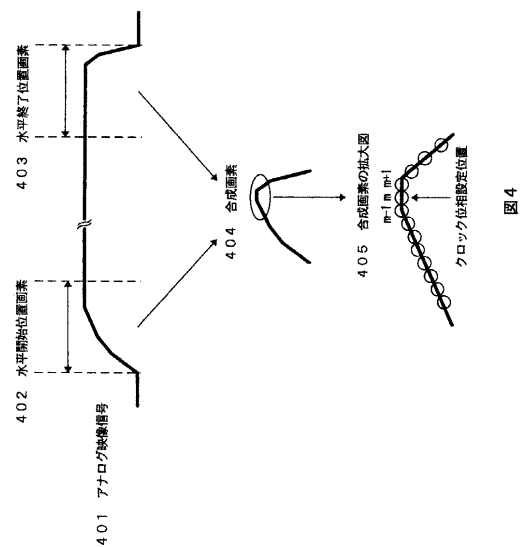


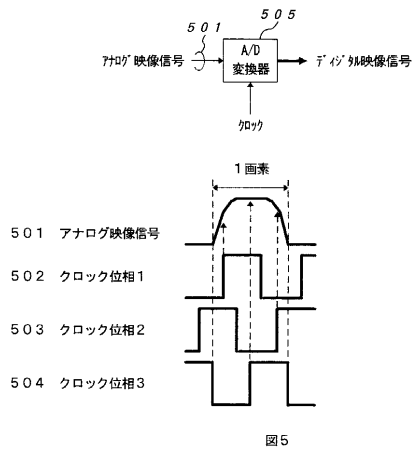
图 3

【 図 4 】

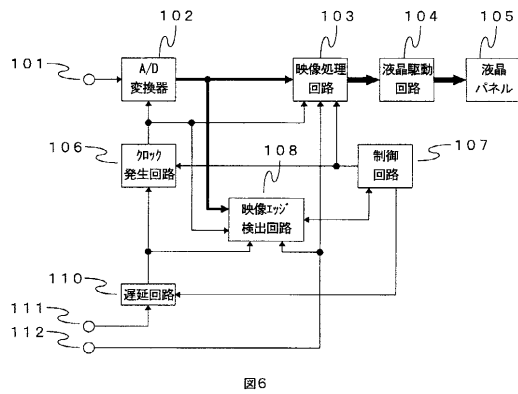


4

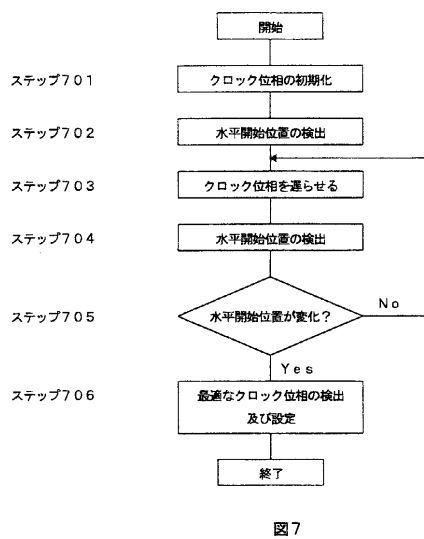
【図 5】



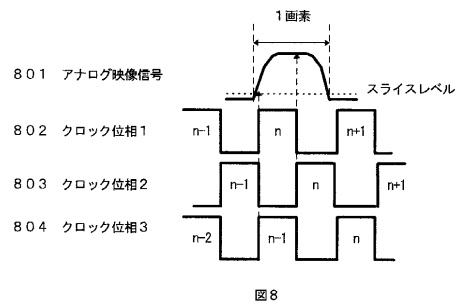
【図 6】



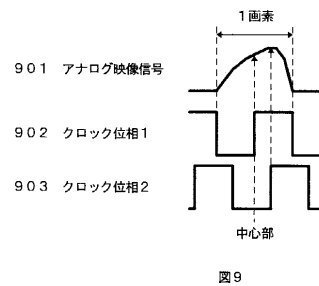
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 坂井 武
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 映像情報メディア事業部内
- (72)発明者 染矢 隆一
神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 マルチメディアシステム開発本部
内

審査官 濱本 禎広

- (56)参考文献 特開平11-167365 (JP, A)
特開平10-063234 (JP, A)
特開平10-133619 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G09G 3/00-3/38
G02F 1/133